



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월13일
(11) 등록번호 10-2706422
(24) 등록일자 2024년09월09일

(51) 국제특허분류(Int. Cl.)
G11C 16/34 (2006.01) G11C 16/10 (2006.01)
G11C 16/24 (2006.01) G11C 16/26 (2006.01)
(52) CPC특허분류
G11C 16/3459 (2013.01)
G11C 16/10 (2013.01)
(21) 출원번호 10-2020-0073162
(22) 출원일자 2020년06월16일
심사청구일자 2023년06월01일
(65) 공개번호 10-2021-0155660
(43) 공개일자 2021년12월23일
(56) 선행기술조사문헌
KR1020150014705 A
KR1020160029215 A

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
최형진
울산광역시 중구 함월22길 24, 104동 409호(성안동, 벽산이빌리지)
(74) 대리인
오종한, 문용호

전체 청구항 수 : 총 20 항

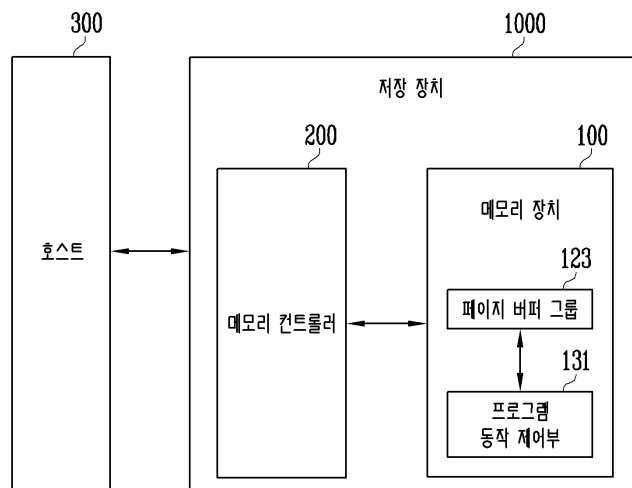
심사관 : 안경민

(54) 발명의 명칭 메모리 장치 및 이의 동작 방법

(57) 요약

본 기술은 메모리 장치에 관한 것으로, 본 기술에 따른 메모리 장치는 선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제n 프로그램 상태 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들, 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치, 프리 검증 전압을 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치 및 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들을 포함하고, 복수의 데이터 래치들 중 적어도 하나의 데이터 래치는 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 제1 내지 임계 프로그램 상태의 검증 동작에서 메인 검증 전압에 대한 메인 검증 정보를 저장하고, 프리 래치는 임계 프로그램 상태에 대한 검증 동작이 패스된 이후, 제n 프로그램 상태에 대한 메인 검증 정보를 저장한다.

대표도 - 도1



(52) CPC특허분류

G11C 16/24 (2013.01)

G11C 16/26 (2013.01)

G11C 2207/2245 (2013.01)

명세서

청구범위

청구항 1

선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제n 프로그램 상태(단, n은 1보다 큰 자연수) 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들;

상기 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치;

상기 제1 내지 제n 프로그램 상태에 대한 검증 동작시, 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리 검증 전압을 상기 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치; 및

상기 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들;을 포함하고,

상기 복수의 데이터 래치들 중 적어도 하나의 데이터 래치는,

상기 제1 내지 제n 프로그램 상태 중 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 상기 제1 내지 상기 임계 프로그램 상태의 검증 동작에서 상기 메인 검증 전압에 대한 메인 검증 정보를 저장하고,

상기 프리 래치는,

상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후, 상기 제n 프로그램 상태에 대한 상기 메인 검증 정보를 저장하는 메모리 장치.

청구항 2

제1항에 있어서,

상기 어느 하나의 메모리 셀의 문턱 전압이 상기 임계 프로그램 상태에 도달했는지 여부를 판단하는 프로그램 상태 판단부; 및

상기 복수의 데이터 래치들 사이에 데이터를 이동시키는 페이지 버퍼 제어부;를 더 포함하는 메모리 장치.

청구항 3

제2항에 있어서,

상기 페이지 버퍼 제어부는,

상기 임계 프로그램 상태에 대한 검증 동작이 패스되면, 상기 복수의 데이터 래치들 중 외부로부터 데이터를 입력 받는 데이터 래치에 저장된 데이터를 다른 데이터 래치로 이동시키는 메모리 장치.

청구항 4

제2항에 있어서,

상기 페이지 버퍼 제어부는,

상기 임계 프로그램 상태에 대한 검증 동작이 패스되면, 상기 데이터 래치들 중 어느 하나에 저장된 상기 메인 검증 정보를 상기 프리 래치로 이동시키는 메모리 장치.

청구항 5

제1항에 있어서,

상기 복수의 데이터 래치들은,

상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후, 상기 어느 하나의 메모리 셀의 다음에 선택되는 후속 메모리 셀에 저장될 후속 데이터를 저장하는 메모리 장치.

청구항 6

제5항에 있어서,
 상기 후속 데이터는,
 상기 제 n 프로그램 상태에 대한 검증 동작이 패스되면, 상기 후속 메모리 셀에 프로그램되는 메모리 장치.

청구항 7

제1항에 있어서,
 상기 임계 프로그램 상태는,
 상기 제1 내지 제 n 프로그램 상태 중 제 $n-1$ 프로그램 상태인 메모리 장치.

청구항 8

제1항에 있어서,
 상기 복수의 데이터 래치들 중 하나의 데이터 래치는,
 상기 메모리 장치를 제어하는 메모리 컨트롤러로부터 수신된 데이터를 입력받는 캐시 래치인 메모리 장치.

청구항 9

제1항에 있어서,
 상기 복수의 메모리 셀들은,
 복수의 프로그램 루프를 통해 상기 제1 내지 제 n 프로그램 상태 중 어느 하나의 상태로 프로그램 되고,
 상기 프로그램 루프는,
 상기 어느 하나의 메모리 셀과 연결된 비트라인을 프리차지하는 프리차지 구간 및 상기 비트라인의 전위를 센싱하는 검증 구간을 포함하는 메모리 장치.

청구항 10

제9항에 있어서,
 상기 센싱 래치는,
 상기 프리차지 구간에서 상기 비트라인에 프리차지될 전위를 결정하는 프리차지 데이터를 저장하는 메모리 장치.

청구항 11

선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제 n 프로그램 상태(단, n 은 1보다 큰 자연수) 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들;
 상기 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치;
 상기 제1 내지 제 n 프로그램 상태에 대한 검증 동작시, 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리 검증 전압을 상기 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치;
 상기 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들; 및
 상기 제1 내지 제 n 프로그램 상태 중 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 상기 제1 내지 상기 임계 프로그램 상태의 검증 동작에서 상기 메인 검증 전압에 대한 메인 검증 정보를 상기 복수의 데이터 래치들 중 적어도 하나의 데이터 래치에 저장하고,
 상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후에, 상기 제 n 프로그램 상태에 대한 상기 메인 검증 정보를 상기 프리 래치에 저장하는 제어 로직;을 포함하는 메모리 장치.

청구항 12

제11항에 있어서,
 상기 제어 로직은,
 상기 복수의 데이터 래치들 사이에서 데이터를 이동시키는 메모리 장치.

청구항 13

제12항에 있어서,
 상기 제어 로직은,
 상기 임계 프로그램 상태에 대한 검증 동작이 패스되면, 상기 복수의 데이터 래치들 중 외부로부터 데이터를 입력 받는 데이터 래치에 저장된 데이터를 다른 데이터 래치로 이동시키는 메모리 장치.

청구항 14

제12항에 있어서,
 상기 제어 로직은,
 상기 임계 프로그램 상태에 대한 검증 동작이 패스되면, 상기 데이터 래치들 중 어느 하나에 저장된 상기 메인 검증 정보를 상기 프리 래치로 이동시키는 메모리 장치.

청구항 15

제11항에 있어서,
 상기 제어 로직은,
 상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후, 상기 어느 하나의 메모리 셀의 다음에 선택되는 후속 메모리 셀에 저장될 후속 데이터를 상기 복수의 데이터 래치들에 저장하는 메모리 장치.

청구항 16

제15항에 있어서,
 상기 후속 데이터는,
 상기 제 n 프로그램 상태에 대한 검증 동작이 패스되면, 상기 후속 메모리 셀에 프로그램되는 메모리 장치.

청구항 17

제11항에 있어서,
 상기 임계 프로그램 상태는,
 상기 제1 내지 제 n 프로그램 상태 중 제 $n-1$ 프로그램 상태인 메모리 장치.

청구항 18

제11항에 있어서,
 상기 복수의 데이터 래치들 중 하나의 데이터 래치는,
 상기 메모리 장치를 제어하는 메모리 컨트롤러로부터 수신된 데이터를 입력받는 캐시 래치인 메모리 장치.

청구항 19

제11항에 있어서,
 상기 복수의 메모리 셀들은,
 복수의 프로그램 루프를 통해 상기 제1 내지 제 n 프로그램 상태 중 어느 하나의 상태로 프로그램 되고,

상기 프로그램 루프는,

상기 어느 하나의 메모리 셀과 연결된 비트라인을 프리차지 구간 및 상기 비트라인의 전위를 센싱하는 검증 구간을 포함하는 메모리 장치.

청구항 20

제19항에 있어서,

상기 센싱 래치는,

상기 프리차지 구간에서 상기 비트라인에 프리차지될 전위를 결정하는 프리차지 데이터를 저장하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로, 보다 구체적으로는 페이지 버퍼를 포함하는 메모리 장치 및 이의 동작 방법에 관한 것이다.

배경 기술

[0002] 저장 장치는 컴퓨터나 스마트폰 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 저장 장치는 저장되는 메모리 장치와 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는 휘발성 메모리 장치(Volatile Memory)와 비휘발성 메모리 장치(Non-Volatile Memory)로 구분될 수 있다.

[0003] 휘발성 메모리 장치는 전원이 공급된 경우에만 데이터를 저장하고, 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치일 수 있다. 그리고, 휘발성 메모리 장치는 정적 랜덤 액세스 메모리(SRAM; Static Random Access Memory), 동적 랜덤 액세스 메모리(DRAM; Dynamic Random Access Memory) 등이 있다.

[0004] 비휘발성 메모리 장치는 전원이 차단되어도 데이터가 소멸되지 않는 메모리 장치로서, 롬(ROM; Read Only Memory), PROM(Programmable ROM), EPROM(Electrically Programmable ROM), EEPROM(Electrically Erasable and Programmable ROM) 및 플래시 메모리(Flash Memory) 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예는 제한된 수의 캐시 래치를 포함하는 메모리 장치에서 개선된 캐시 프로그램 동작을 수행할 수 있는 메모리 장치 및 이의 동작 방법을 제공한다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 메모리 장치는 선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제n 프로그램 상태(단, n은 1보다 큰 자연수) 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들, 상기 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치, 상기 제1 내지 제n 프로그램 상태에 대한 검증 동작시, 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리 검증 전압을 상기 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치 및 상기 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들을 포함하고, 상기 복수의 데이터 래치들 중 적어도 하나의 데이터 래치는 상기 제1 내지 제n 프로그램 상태 중 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 상기 제1 내지 상기 임계 프로그램 상태의 검증 동작에서 상기 메인 검증 전압에 대한 메인 검증 정보를 저장하고, 상기 프리 래치는 상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후, 상기 제n 프로그램 상태에 대한 상기 메인 검증 정보를 저장할 수 있다.

[0007] 본 발명의 실시 예에 따른 메모리 장치는 선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제n 프로그램 상태(단, n은 1보다 큰 자연수) 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들, 상기 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치, 상기 제1 내지 제n 프로그램 상태에 대한 검증 동작시, 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리

검증 전압을 상기 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치, 상기 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들 및 상기 제1 내지 제n 프로그램 상태 중 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 상기 제1 내지 상기 임계 프로그램 상태의 검증 동작에서 상기 메인 검증 전압에 대한 메인 검증 정보를 상기 복수의 데이터 래치들 중 적어도 하나의 데이터 래치에 저장하고, 상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후에, 상기 제n 프로그램 상태에 대한 상기 메인 검증 정보를 상기 프리 래치에 저장하는 제어 로직을 포함할 수 있다.

발명의 효과

[0008] 본 기술에 따른 메모리 장치 및 이의 동작 방법은 캐시 래치를 포함하는 메모리 장치에서 개선된 캐시 프로그램 동작을 수행할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 일 실시 예에 따른 저장 장치를 설명하기 위한 블록도이다.
- 도 2는 본 발명의 일 실시 예에 따른 메모리 장치를 설명하기 위한 블록도이다.
- 도 3은 본 발명의 일 실시 예에 따른 메모리 셀 어레이를 설명하기 위한 도면이다.
- 도 4는 본 발명의 일 실시 예에 따른 메모리 블록을 설명하기 위한 도면이다.
- 도 5는 본 발명의 일 실시 예에 따른 메모리 블록을 설명하기 위한 도면이다.
- 도 6은 본 발명의 일 실시 예에 따른 메모리 블록을 설명하기 위한 도면이다.
- 도 7은 본 발명의 일 실시 예에 따른 메모리 셀의 프로그램 상태를 설명하기 위한 도면이다.
- 도 8은 본 발명의 일 실시 예에 따른 프로그램 동작시 선택된 워드라인에 인가되는 전압을 설명하기 위한 도면이다.
- 도 9는 본 발명의 일 실시 예에 따른 캐시 프로그램 동작을 설명하기 위한 도면이다.
- 도 10은 본 발명의 일 실시 예에 따른 프로그램 루프를 설명하기 위한 도면이다.
- 도 11은 본 발명의 일 실시 예에 따른 메모리 셀이 프로그램되는 과정을 설명하기 위한 도면이다.
- 도 12는 본 발명의 일 실시 예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- 도 13은 본 발명의 일 실시 예에 따른 프로그램 동작 제어부를 설명하기 위한 도면이다.
- 도 14는 본 발명의 일 실시 예에 따른 각 래치에 저장된 정보를 설명하기 위한 도면이다.
- 도 15는 본 발명의 일 실시 예에 따른 메모리 장치의 프로그램 동작을 설명하기 위한 흐름도이다.
- 도 16은 본 발명의 일 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 흐름도이다.
- 도 17은 본 발명의 일 실시 예에 따른 메모리 카드 시스템을 설명하기 위한 도면이다.
- 도 18는 본 발명의 일 실시 예에 따른 SSD(Solid State Drive) 시스템을 설명하기 위한 도면이다.
- 도 19는 본 발명의 일 실시 예에 따른 사용자 시스템을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니된다.

[0011] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

[0012] 도 1은 본 발명의 일 실시 예에 따른 저장 장치를 설명하기 위한 블록도이다.

- [0013] 도 1을 참조하면, 저장 장치(1000)는 메모리 장치(100) 및 메모리 컨트롤러(200)를 포함할 수 있다.
- [0014] 저장 장치(1000)는 휴대폰, 스마트폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, 디스플레이 장치, 태블릿 PC 또는 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트(300)의 제어에 따라 데이터를 저장하는 장치일 수 있다.
- [0015] 저장 장치(1000)는 호스트(300)와의 통신 방식인 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다. 예를 들면, 저장 장치(1000)는 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multi-media Card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(Universal Serial Bus) 스토리지 장치, UFS(Universal Flash Storage) 장치, PCMCIA(Personal Computer Memory Card International Association) 카드 형태의 스토리지 장치, PCI(Peripheral Component Interconnection) 카드 형태의 스토리지 장치, PCI-E(PCI Express) 카드 형태의 스토리지 장치, CF(Compact Flash) 카드, 스마트 미디어(Smart Media) 카드 메모리 스틱(Memory Stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다.
- [0016] 저장 장치(1000)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 구현될 수 있다. 예를 들면, 저장 장치(1000)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 구현될 수 있다.
- [0017] 메모리 장치(100)는 데이터를 저장하거나 저장된 데이터를 이용할 수 있다. 구체적으로, 메모리 장치(100)는 메모리 컨트롤러(200)의 제어에 응답하여 동작할 수 있다. 그리고, 메모리 장치(100)는 복수의 메모리 다이들을 포함할 수 있고, 복수의 메모리 다이들 각각은 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이를 포함할 수 있다.
- [0018] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0019] 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록은 복수의 메모리 셀들을 포함할 수 있고, 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다. 여기서, 페이지는 메모리 장치(100)에 데이터를 저장하거나, 메모리 장치(100)에 저장된 데이터를 리드하는 하나의 단위일 수 있다.
- [0020] 메모리 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND flash memory), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change random access memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등으로 구현될 수 있다. 본 명세서에서는 설명의 편의를 위해, 메모리 장치(100)가 낸드 플래시 메모리인 경우를 가정하여 설명한다.
- [0021] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 커맨드 및 어드레스를 수신할 수 있다. 메모리 장치(100)는 메모리 셀 어레이 중 수신된 어드레스에 의해 선택된 영역을 액세스하도록 구성될 수 있다. 선택된 영역을 액세스한다는 것은 선택된 영역에 대해서 수신된 커맨드에 해당하는 동작을 수행함을 의미할 수 있다. 예를 들면, 메모리 장치(100)는 쓰기 동작 (프로그램 동작), 리드 동작 및 소거 동작을 수행할 수 있다. 여기서, 프로그램 동작은 메모리 장치(100)가 어드레스에 의해 선택된 영역에 데이터를 기록하는 동작일 수 있다. 리드 동작은 메모리 장치(100)가 어드레스에 의해 선택된 영역으로부터 데이터를 읽는 동작을 의미할 수 있다. 소거 동작은 메모리 장치(100)가 어드레스에 의해 선택된 영역에 저장된 데이터를 소거하는 동작을 의미할 수 있다.
- [0022] 메모리 장치(100)에 포함된 복수의 메모리 다이들은 각각 적어도 하나의 메모리 셀 어레이를 포함할 수 있다. 그리고, 복수의 메모리 다이들은 다이 인터리빙(Die Interleaving) 동작, 채널 인터리빙 동작, 웨이 인터리빙 동작 또는 플레인 인터리빙 동작을 통해 제어될 수 있다.

- [0023] 본 발명의 실시 예에서, 메모리 장치(100)는 페이지 버퍼 그룹(123) 및 프로그램 동작 제어부(131)를 포함할 수 있다.
- [0024] 페이지 버퍼 그룹(123)은 메모리 장치(100)에 포함된 메모리 셀에 프로그램될 데이터를 임시로 저장하거나, 메모리 셀과 연결된 비트라인에 프리차지될 전위를 결정하는 프리차지 데이터를 저장하거나, 메모리 셀에 저장된 데이터를 센싱하고 센싱된 데이터를 저장할 수 있다. 페이지 버퍼 그룹(123)은 캐시 프로그램 동작을 위해 다음 페이지에 프로그램될 데이터를 임시로 저장할 수 있다. 구체적으로, 현재 페이지에 데이터가 프로그램되는 도중, 다음 페이지에 프로그램될 데이터를 임시로 저장할 수 있다. 현재 페이지는 선택된 워드라인에 연결된 메모리 셀들일 수 있다. 다음 페이지는 다음에 선택되는 워드라인에 연결된 메모리 셀들일 수 있다.
- [0025] 프로그램 동작 제어부(131)는 페이지 버퍼 그룹(123)에 임시로 저장된 데이터가 메모리 장치(100)에 프로그램되도록 페이지 버퍼 그룹(123) 및 주변 회로(120)를 제어할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 선택된 워드라인에 연결된 메모리 셀들의 프로그램 상태를 식별하고, 식별된 프로그램 상태에 따라 다음에 선택될 워드라인에 연결된 메모리 셀들에 저장될 데이터가 페이지 버퍼 그룹(123)에 입력되도록 주변 회로(120)를 제어할 수 있다.
- [0026] 메모리 컨트롤러(200)는 저장 장치(1000)에 전원이 인가되면 펌웨어(FW: firmware)를 실행할 수 있다. 펌웨어(FW)는 호스트(300)로부터 입력된 요청을 수신하거나 호스트(300)로 응답을 출력하는 호스트 인터페이스 레이어(HIL: Host Interface Layer), 호스트(300)의 인터페이스와 메모리 장치(100)의 인터페이스 사이의 동작의 관리하는 플래시 변환 레이어(FTL: Flash Translation Layer) 및 메모리 장치(100)에 커맨드를 제공하거나, 메모리 장치(100)로부터 응답을 수신하는 플래시 인터페이스 레이어(FIL: Flash Interface Layer)를 포함할 수 있다.
- [0027] 메모리 컨트롤러(200)는 호스트(300)로부터 데이터와 논리 어드레스(LA: Logical Address)를 입력 받고, 논리 어드레스를 메모리 장치(100)에 포함된 데이터가 저장될 메모리 셀들의 주소를 나타내는 물리 어드레스(PA: Physical Address)로 변환할 수 있다. 논리 어드레스는 논리 블록 어드레스(LBA: Logical Block Address)일 수 있고, 물리 어드레스는 물리 블록 어드레스(PBA: Physical Block Address)일 수 있다.
- [0028] 메모리 컨트롤러(200)는 호스트(300)의 요청에 따라 프로그램 동작, 리드 동작 또는 소거 동작 등을 수행하도록 메모리 장치(100)를 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(200)는 프로그램 커맨드, 물리 블록 어드레스 및 데이터를 메모리 장치(100)에 제공할 수 있다. 리드 동작 시, 메모리 컨트롤러(200)는 리드 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다. 소거 동작 시, 메모리 컨트롤러(200)는 소거 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0029] 메모리 컨트롤러(200)는 호스트(300)로부터의 요청과 무관하게 자체적으로 프로그램 동작, 리드 동작 또는 소거 동작을 수행하도록 메모리 장치(100)를 제어할 수 있다. 예를 들면, 메모리 컨트롤러(200)는 웨어 레벨링(wear leveling), 가비지 컬렉션(garbage collection), 리드 리클레임(read reclaim) 등의 배경 동작(background operation)을 수행하기 위해 사용되는 프로그램 동작, 리드 동작 또는 소거 동작을 수행하도록 메모리 장치(100)를 제어할 수 있다.
- [0030] 메모리 컨트롤러(200)는 메모리 장치(100)에 캐시 프로그램 커맨드(cache program command)를 제공할 수 있다. 메모리 장치(100)는 캐시 프로그램 커맨드(cache program command)를 수신하면, 프로그램 동작 제어부(131)는 현재 페이지에 데이터가 프로그램되는 도중 다음 페이지에 프로그램될 데이터가 페이지 버퍼 그룹(123)에 저장되도록 페이지 버퍼 그룹(123)을 제어할 수 있다.
- [0031] 호스트(300)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 저장 장치(1000)와 통신할 수 있다.
- [0032] 도 2는 본 발명의 일 실시 예에 따른 메모리 장치를 설명하기 위한 블록도이다.
- [0033] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 제어 로직(130)을 포함할 수 있다.

- [0034] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함할 수 있다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 로우 디코더(121)에 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz)은 비트 라인들(BL1 내지 BLn)을 통해 페이지 버퍼 그룹(123)에 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함할 수 있다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀일 수 있다. 같은 워드라인에 연결된 메모리 셀들은 하나의 페이지로 정의될 수 있다. 따라서, 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다.
- [0035] 행 라인들(RL)은 적어도 하나 이상의 소스 선택 라인, 복수의 워드라인들 및 적어도 하나 이상의 드레인 선택 라인을 포함할 수 있다.
- [0036] 메모리 셀 어레이(110)에 포함된 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0037] 주변 회로(120)는 제어 로직(130)의 제어에 따라 메모리 셀 어레이(110)의 선택된 영역에 프로그램 동작, 리드 동작 또는 소거 동작을 수행하도록 구성될 수 있다. 즉, 주변 회로(120)는 제어 로직(130)의 제어에 따라 메모리 셀 어레이(110)를 구동할 수 있다. 예를 들어, 주변 회로(120)는 제어 로직(130)의 제어에 따라 행 라인들(RL) 및 비트 라인들(BL1~BLn)에 다양한 동작 전압들을 인가하거나, 인가된 전압들을 디스차지 할 수 있다.
- [0038] 구체적으로, 주변 회로(120)는 로우 디코더(121), 전압 생성부(122), 페이지 버퍼 그룹(123), 컬럼 디코더(124) 및 입출력 회로(125)를 포함할 수 있다.
- [0039] 로우 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결될 수 있다. 행 라인들(RL)은 적어도 하나 이상의 소스 선택 라인, 복수의 워드라인들 및 적어도 하나 이상의 드레인 선택 라인을 포함할 수 있다. 실시 예에서, 워드 라인들은 노멀 워드 라인들과 더미 워드 라인들을 포함할 수 있다. 그리고, 행 라인들(RL)은 파이프 선택 라인을 더 포함할 수 있다.
- [0040] 로우 디코더(121)는 제어 로직(130)의 제어에 응답하여 동작하도록 구성될 수 있다. 로우 디코더(121)는 제어 로직(130)으로부터 로우 어드레스(RADD)를 수신할 수 있다. 구체적으로, 로우 디코더(121)는 로우 어드레스(RADD)를 디코딩하도록 구성될 수 있다. 로우 디코더(121)는 디코딩된 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 적어도 하나의 메모리 블록을 선택할 수 있다. 그리고, 로우 디코더(121)는 디코딩된 어드레스에 따라 전압 생성부(122)가 생성한 전압들을 적어도 하나의 워드 라인(WL)에 인가하도록 선택된 메모리 블록의 적어도 하나의 워드 라인을 선택할 수 있다.
- [0041] 예를 들어, 프로그램 동작 시에, 로우 디코더(121)는 선택된 워드 라인에 프로그램 전압을 인가하고 비선택된 워드 라인들에 프로그램 전압보다 낮은 레벨의 프로그램 패스 전압을 인가할 수 있다. 프로그램 검증 동작 시에, 로우 디코더(121)는 선택된 워드 라인에 검증 전압을 인가하고 비선택된 워드 라인들에 검증 전압보다 높은 검증 패스 전압을 인가할 수 있다. 리드 동작 시에, 로우 디코더(121)는 선택된 워드 라인에 리드 전압을 인가하고, 비선택된 워드 라인들에 리드 전압보다 높은 리드 패스 전압을 인가할 수 있다.
- [0042] 실시 예에서, 메모리 셀 어레이(110)의 소거 동작은 메모리 블록 단위로 수행될 수 있다. 소거 동작 시에 로우 디코더(121)는 디코딩된 어드레스에 따라 하나의 메모리 블록을 선택할 수 있고, 로우 디코더(121)는 선택된 메모리 블록에 연결되는 워드 라인들에 접지 전압을 인가할 수 있다.
- [0043] 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 동작할 수 있다. 구체적으로, 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 메모리 장치(100)로 공급되는 외부 전원 전압을 이용하여 복수의 전압들을 생성하도록 구성될 수 있다. 예를 들어, 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 프로그램 전압, 검증 전압, 패스 전압, 리드 전압 및 소거 전압 등을 생성할 수 있다. 즉, 전압 생성부(122)는 동작 신호(OPSIG)에 응답하여 프로그램, 리드 및 소거 동작들에 사용되는 다양한 동작 전압들(Vop)을 생성할 수 있다.
- [0044] 실시 예로서, 전압 생성부(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성할 수 있다. 전압 생성부(122)에서 생성된 내부 전원 전압은 메모리 셀 어레이(110)의 동작 전압으로서 사용될 수 있다.
- [0045] 실시 예로서, 전압 생성부(122)는 외부 전원 전압 또는 내부 전원 전압을 이용하여 복수의 전압들을 생성할 수 있다. 예를 들면, 전압 생성부(122)는 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(130)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 전압들을 생성할 수 있다.

그리고, 생성된 복수의 전압들은 로우 디코더(121)에 의해 메모리 셀 어레이(110)에 공급될 수 있다.

- [0046] 페이지 버퍼 그룹(123)은 제1 내지 제n 페이지 버퍼들(PB1~PBn)을 포함할 수 있다. 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 각각 제1 내지 제n 비트 라인들(BL1~BLn)을 통해 메모리 셀 어레이(110)에 연결될 수 있다. 그리고, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 제어 로직(130)의 제어에 응답하여 동작할 수 있다. 구체적으로, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 페이지 버퍼 제어 신호들(PBSIGNALS)에 응답하여 동작할 수 있다. 예를 들면, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 제1 내지 제n 비트 라인들(BL1~BLn)을 통해 수신된 데이터를 임시로 저장하거나, 리드 또는 검증 동작 시, 비트 라인들(BL1~BLn)의 전압 또는 전류를 센싱(sensing)할 수 있다.
- [0047] 구체적으로, 프로그램 동작 시, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 선택된 워드 라인에 프로그램 펄스가 인가될 때, 입출력 회로(125)를 통해 수신한 데이터(DATA)를 제1 내지 제n 비트 라인들(BL1~BLn)을 통해 선택된 메모리 셀들에 전달할 수 있다. 전달된 데이터(DATA)에 따라 선택된 페이지의 메모리 셀들은 프로그램될 수 있다. 프로그램 허용 전압(예를 들면, 접지 전압)이 인가되는 비트 라인과 연결된 메모리 셀은 상승된 문턱 전압을 가질 수 있다. 프로그램 금지 전압(예를 들면, 전원 전압)이 인가되는 비트 라인과 연결된 메모리 셀의 문턱 전압은 유지될 수 있다.
- [0048] 프로그램 검증 동작 시, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 선택된 메모리 셀들로부터 제1 내지 제n 비트 라인들(BL1~BLn)을 통해 페이지 데이터를 읽을 수 있다.
- [0049] 리드 동작 시, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 선택된 페이지의 메모리 셀들로부터 제1 내지 제n 비트 라인들(BL1~BLn)을 통해 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 컬럼 디코더(124)의 제어에 따라 입출력 회로(125)로 출력할 수 있다.
- [0050] 소거 동작 시, 제1 내지 제n 페이지 버퍼들(PB1~PBn)은 제1 내지 제n 비트 라인들(BL1~BLn)을 플로팅(floating) 시킬 수 있다.
- [0051] 컬럼 디코더(124)는 컬럼 어드레스(CADD)에 응답하여 입출력 회로(125)와 페이지 버퍼 그룹(123) 사이에서 데이터를 전달할 수 있다. 예를 들면, 컬럼 디코더(124)는 데이터 라인들(DL)을 통해 제1 내지 제n 페이지 버퍼들(PB1~PBn)과 데이터를 주고받거나, 컬럼 라인들(CL)을 통해 입출력 회로(125)와 데이터를 주고받을 수 있다.
- [0052] 입출력 회로(125)는 메모리 컨트롤러(200)로부터 전달받은 커맨드(CMD) 및 어드레스(ADDR)를 제어 로직(130)에 전달하거나, 데이터(DATA)를 컬럼 디코더(124)와 주고받을 수 있다.
- [0053] 센싱 회로(126)는 리드 동작(read operation) 또는 검증 동작(verify operation)시, 허용 비트 신호(VRYBIT)에 응답하여 기준 전류를 생성하고, 페이지 버퍼 그룹(123)으로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력할 수 있다.
- [0054] 제어 로직(130)은 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 동작 신호(OPSIG), 로우 어드레스(RADD), 페이지 버퍼 제어 신호들(PBSIGNALS) 및 허용 비트(VRYBIT)를 출력하여 주변 회로(120)를 제어할 수 있다. 또한, 제어 로직(130)은 패스 또는 페일 신호(PASS 또는 FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다. 본 발명에 따른 일 실시 예에서, 패스 또는 페일 신호(PASS 또는 FAIL)를 포함하는 검증 정보는 페이지 버퍼 그룹(123)에 임시로 저장될 수 있다. 프로그램 동작 제어부(131)는 검증 정보를 기초로 프로그램 동작을 수행할 수 있다. 실시 예에서, 프로그램 동작 제어부(131)는 패스 또는 페일 신호(PASS 또는 FAIL) 신호에 응답하여, 메모리 셀의 프로그램 상태를 결정할 수 있다. 예를 들어, 메모리 셀이 트리플 레벨 셀(Triple Level Cell, TLC)로 동작하는 경우, 프로그램 동작 제어부(131)는 메모리 셀의 프로그램 상태가 소거 상태(E) 또는 제1 내지 제7 프로그램 상태(P1 내지 P7) 중 어느 하나인지 여부를 결정할 수 있다.
- [0055] 도 3은 본 발명의 일 실시 예에 따른 메모리 셀 어레이를 설명하기 위한 도면이다.
- [0056] 도 3을 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함할 수 있다. 각 메모리 블록은 3차원 구조로 형성될 수 있고, 각 메모리 블록은 기판 위에 적층된 복수의 메모리 셀들을 포함할 수 있다. 이러한 복수의 메모리 셀들은 +X 방향, +Y 방향 및 +Z 방향을 따라 배열될 수 있다. 각 메모리 블록의 구조는 도 4 내지 도 6을 참조하여 더 상세히 설명한다.
- [0057] 도 4는 본 발명의 일 실시 예에 따른 메모리 블록을 설명하기 위한 도면이다.
- [0058] 도 4를 참조하면, 메모리 블록(BLK_i)은 제1 셀렉트 라인과 제2 셀렉트 라인 사이에 서로 평행하게 배열된 다수

의 워드 라인들이 연결될 수 있다. 여기서, 제1 셀렉트 라인(SSL)은 소스 셀렉트 라인(SSL)일 수 있고, 제2 셀렉트 라인(SSL)은 드레인 셀렉트 라인(DSL)일 수 있다. 보다 구체적으로 설명하면, 메모리 블록(BLK_i)은 비트 라인들(BL₁~BL_n)과 소스 라인(SL) 사이에 연결된 다수의 스트링들(strings; ST)을 포함할 수 있다. 비트 라인들(BL₁~BL_n)은 스트링들(ST)에 각각 연결될 수 있고, 소스 라인(SL)은 스트링들(ST)에 공통으로 연결될 수 있다. 스트링들(ST)은 서로 동일하게 구성될 수 있으므로, 제1 비트 라인(BL₁)에 연결된 스트링(ST)을 예를 들어 구체적으로 설명하도록 한다.

- [0059] 스트링(ST)은 소스 라인(SL)과 제1 비트 라인(BL₁) 사이에서 서로 직렬로 연결된 소스 셀렉트 트랜지스터(SST), 다수의 메모리 셀들(MC₁~MC₁₆) 및 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다. 하나의 스트링(ST)에는 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST)가 적어도 하나 이상씩 포함될 수 있으며, 메모리 셀들(MC₁~MC₁₆) 또한 도면에 도시된 개수보다 더 많이 포함될 수 있다.
- [0060] 소스 셀렉트 트랜지스터(SST)의 소스(source)는 소스 라인(SL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터(DST)의 드레인(drain)은 제1 비트 라인(BL₁)에 연결될 수 있다. 메모리 셀들(MC₁~MC₁₆)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에서 직렬로 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 소스 셀렉트 트랜지스터들(SST)의 게이트들은 소스 셀렉트 라인(SSL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터들(DST)의 게이트들은 드레인 셀렉트 라인(DSL)에 연결될 수 있고, 메모리 셀들(MC₁~MC₁₆)의 게이트들은 다수의 워드 라인들(WL₁~WL₁₆)에 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 메모리 셀들 중에서 동일한 워드 라인에 연결된 메모리 셀들의 그룹을 물리 페이지(physical page; PG)라 할 수 있다. 따라서, 메모리 블록(BLK_i)에는 워드 라인들(WL₁~WL₁₆)의 개수만큼의 물리 페이지들(PG)이 포함될 수 있다.
- [0061] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0062] 싱글 레벨 셀(single level cell; SLC)은 1비트의 데이터를 저장할 수 있다. 싱글 레벨 셀의 하나의 물리 페이지(PG)는 하나의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다. 하나의 논리 페이지(LPG) 데이터는 하나의 물리 페이지(PG)에 포함된 셀 개수만큼의 데이터 비트들을 포함할 수 있다.
- [0063] 멀티 레벨셀(Multi Level Cell; MLC), 트리플 레벨 셀(Triple Level Cell; TLC) 및 쿼드 레벨 셀(Quad Level Cell; QLC)는 2 비트 이상의 데이터를 저장할 수 있다. 이 경우 하나의 물리 페이지(PG)는 2 이상의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다.
- [0064] 도 5는 본 발명의 일 실시 예에 따른 메모리 블록을 설명하기 위한 도면이다.
- [0065] 도 5를 참조하면, 도 3의 메모리 블록들(BLK₁~BLK_z) 중 어느 하나의 메모리 블록(BLK_a)이 도시되어 있다. 메모리 블록(BLK_a)은 복수의 셀 스트링들(CS₁₁~CS_{1m}, CS₂₁~CS_{2m})을 포함할 수 있다. 실시 예로서, 복수의 셀 스트링들(CS₁₁~CS_{1m}, CS₂₁~CS_{2m}) 각각은 'U'자형으로 형성될 수 있다. 메모리 블록(BLK_a) 내에서, 행 방향(즉 +X 방향)으로 m개의 셀 스트링들이 배열될 수 있다.
- [0066] 한편, 도 5에서는 열 방향(즉 +Y 방향)으로 2개의 셀 스트링들이 배열되는 것으로 도시하였으나, 이는 설명의 편의를 위한 것으로서 열 방향으로 3개 이상의 셀 스트링들이 배열될 수 있음은 당연하다.
- [0067] 복수의 셀 스트링들(CS₁₁~CS_{1m}, CS₂₁~CS_{2m}) 각각은 적어도 하나의 소스 선택 트랜지스터(SST), 제1 내지 제 n 메모리 셀들(MC₁~MC_n), 파이프 트랜지스터(PT), 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함할 수 있다.
- [0068] 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC₁~MC_n) 각각은 유사한 구조를 가질 수 있다. 실시 예로서, 선택 트랜지스터들(SST, DST) 및 메모리 셀들(MC₁~MC_n) 각각은 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막을 포함할 수 있다. 실시 예로서, 채널층을 제공하기 위한 필라(pillar)가 각 셀 스트링(each cell string)에 제공될 수 있다. 실시 예로서, 채널층, 터널링 절연막, 전하 저장막 및 블로킹 절연막 중 적어도 하나를 제공하기 위한 필라가 각 셀 스트링에 제공될 수 있다.
- [0069] 각 셀 스트링의 소스 선택 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC₁~MC_p) 사이에 연결될 수 있다.
- [0070] 실시 예로서, 동일한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 행 방향으로 신장되는 소스 선택 라

인에 연결되고, 상이한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 상이한 소스 선택 라인들에 연결될 수 있다. 도 5를 참조하면, 제1 행의 셀 스트링들(CS11~CS1m)의 소스 선택 트랜지스터들은 제1 소스 선택 라인(SSL1)에 연결되어 있다. 제 2 행의 셀 스트링들(CS21~CS2m)의 소스 선택 트랜지스터들은 제 2 소스 선택 라인(SSL2)에 연결되어 있다.

[0071] 다른 실시 예로서, 셀 스트링들(CS11~CS1m, CS21~CS2m)의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결될 수 있다.

[0072] 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에 연결될 수 있다.

[0073] 제1 내지 제 n 메모리 셀들(MC1~MCn)은 제1 내지 제 p 메모리 셀들(MC1~MCp)과 제 p+1 내지 제 n 메모리 셀들(MCp+1~MCn)로 구분될 수 있다. 제1 내지 제p 메모리 셀들(MC1~MCp)은 +Z 방향과 역방향으로 순차적으로 배열되며, 소스 선택 트랜지스터(SST)와 파이프 트랜지스터(PT) 사이에서 직렬 연결될 수 있다. 제p+1 내지 제n 메모리 셀들(MCp+1~MCn)은 +Z 방향으로 순차적으로 배열되며, 파이프 트랜지스터(PT)와 드레인 선택 트랜지스터(DST) 사이에서 직렬 연결될 수 있다. 제1 내지 제p 메모리 셀들(MC1~MCp)과 제p+1 내지 제n 메모리 셀들(MCp+1~MCn)은 파이프 트랜지스터(PT)를 통해 연결된다. 각 셀 스트링의 제1 내지 제n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제1 내지 제n 워드라인들(WL1~WLn)에 연결될 수 있다.

[0074] 각 셀 스트링의 파이프 트랜지스터(PT)의 게이트는 파이프 라인(PL)에 연결될 수 있다.

[0075] 각 셀 스트링의 드레인 선택 트랜지스터(DST)는 해당 비트라인과 메모리 셀들(MCp+1~MCn) 사이에 연결된다. 행 방향으로 배열되는 셀 스트링들은 행 방향으로 신장되는 드레인 선택 라인에 연결될 수 있다. 제1 행의 셀 스트링들(CS11~CS1m)의 드레인 선택 트랜지스터들은 제1 드레인 선택 라인(DSL1)에 연결될 수 있다. 제2 행의 셀 스트링들(CS21~CS2m)의 드레인 선택 트랜지스터들은 제2 드레인 선택 라인(DSL2)에 연결될 수 있다.

[0076] 열 방향으로 배열되는 셀 스트링들은 열 방향으로 신장되는 비트라인에 연결될 수 있다. 도 5를 참조하면, 제1 열의 셀 스트링들(CS11, CS21)은 제1 비트 라인(BL1)에 연결되어 있다. 제m 열의 셀 스트링들(CS1m, CS2m)은 제 m 비트라인(BLm)에 연결될 수 있다.

[0077] 행 방향으로 배열되는 셀 스트링들 내에서 동일한 워드라인에 연결되는 메모리 셀들은 하나의 페이지를 구성할 수 있다. 예를 들면, 제1 행의 셀 스트링들(CS11~CS1m) 중 제1 워드라인(WL1)과 연결된 메모리 셀들은 하나의 페이지를 구성할 수 있다. 제2 행의 셀 스트링들(CS21~CS2m) 중 제1 워드라인(WL1)과 연결된 메모리 셀들은 다른 하나의 페이지를 구성할 수 있다. 드레인 선택 라인들(DSL1, DSL2) 중 어느 하나가 선택됨으로써 하나의 행 방향으로 배열되는 셀 스트링들이 선택될 수 있다. 그리고, 워드라인들(WL1~WLn) 중 어느 하나가 선택됨으로써 선택된 셀 스트링들 중 하나의 페이지가 선택될 수 있다.

[0078] 다른 실시 예로서, 제1 내지 제 m 비트라인들(BL1~BLm) 대신 이븐 비트라인들 및 오드 비트라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11~CS1m 또는 CS21~CS2m) 중 짝수 번째 셀 스트링들은 이븐 비트라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11~CS1m 또는 CS21~CS2m) 중 홀수 번째 셀 스트링들은 오드 비트라인들에 각각 연결될 수 있다.

[0079] 실시 예로서, 제1 내지 제n 메모리 셀들(MC1~MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 선택 트랜지스터(SST)와 메모리 셀들(MC1~MCp) 사이의 전계(electric field)를 감소시키기 위해 제공될 수 있다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 드레인 선택 트랜지스터(DST)와 메모리 셀들(MCp+1~MCn) 사이의 전계를 감소시키기 위해 제공될 수 있다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKa)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLK a)의 크기는 증가할 수 있다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKa)의 크기는 감소하는 반면 메모리 블록(BLKa)에 대한 동작의 신뢰성은 저하될 수 있다.

[0080] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱전압을 가질 수 있다. 메모리 블록(BLKa)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱전압은 각각의 더미 메모리 셀들에 연결된 더미 워드라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱전압을 가질 수 있다.

[0081] 도 6은 본 발명의 일 실시 예에 따른 메모리 블록을 설명하기 위한 도면이다.

- [0082] 도 6를 참조하면, 도 3의 메모리 블록들(BLK1-BLKz) 중 어느 하나의 메모리 블록(BLKb)의 다른 실시 예가 도시되어 있다. 메모리 블록(BLKb)은 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m')을 포함할 수 있다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은 +Z 방향을 따라 신장될 수 있다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은, 메모리 블록(BLK1') 하부의 기관(미도시) 위에 적층된, 적어도 하나의 소스 선택 트랜지스터(SST), 제1 내지 제 n 메모리 셀들(MC1~MCn) 그리고 적어도 하나의 드레인 선택 트랜지스터(DST)를 포함할 수 있다.
- [0083] 각 셀 스트링의 소스 선택 트랜지스터(SST)는 공통 소스 라인(CSL)과 메모리 셀들(MC1~MCn) 사이에 연결될 수 있다. 동일한 행에 배열된 셀 스트링들의 소스 선택 트랜지스터들은 동일한 소스 선택 라인에 연결될 수 있다. 제1 행에 배열된 셀 스트링들(CS11'~CS1m')의 소스 선택 트랜지스터들은 제1 소스 선택 라인(SSL1)에 연결될 수 있다. 제2 행에 배열된 셀 스트링들(CS21'~CS2m')의 소스 선택 트랜지스터들은 제2 소스 선택 라인(SSL2)에 연결될 수 있다. 다른 실시 예로서, 셀 스트링들(CS11'~CS1m', CS21'~CS2m')의 소스 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결될 수 있다.
- [0084] 각 셀 스트링의 제1 내지 제 n 메모리 셀들(MC1~MCn)은 소스 선택 트랜지스터(SST)와 드레인 선택 트랜지스터(DST) 사이에서 직렬 연결될 수 있다. 제1 내지 제 n 메모리 셀들(MC1~MCn)의 게이트들은 각각 제1 내지 제 n 워드라인들(WL1~WLn)에 연결될 수 있다.
- [0085] 각 셀 스트링의 드레인 선택 트랜지스터(DST)는 해당 비트라인과 메모리 셀들(MC1~MCn) 사이에 연결될 수 있다. 행 방향으로 배열되는 셀 스트링들의 드레인 선택 트랜지스터들은 행 방향으로 신장되는 드레인 선택 라인에 연결될 수 있다. 제1 행의 셀 스트링들(CS11'~CS1m')의 드레인 선택 트랜지스터들은 제1 드레인 선택 라인(DSL1)에 연결될 수 있다. 제 2 행의 셀 스트링들(CS21'~CS2m')의 드레인 선택 트랜지스터들은 제 2 드레인 선택 라인(DSL2)에 연결될 수 있다.
- [0086] 결과적으로, 각 셀 스트링에 파이프 트랜지스터(PT)가 제외된 것을 제외하면 도 6의 메모리 블록(BLKb)은 도 5의 메모리 블록(BLKa)과 유사한 등가 회로를 갖을 수 있다.
- [0087] 다른 실시 예로서, 제1 내지 제 m 비트라인들(BL1~BLm) 대신 이븐 비트라인들 및 오드 비트라인들이 제공될 수 있다. 그리고 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 짝수 번째 셀 스트링들은 이븐 비트라인들에 각각 연결되고, 행 방향으로 배열되는 셀 스트링들(CS11'~CS1m' 또는 CS21'~CS2m') 중 홀수 번째 셀 스트링들은 오드 비트라인들에 각각 연결될 수 있다.
- [0088] 실시 예로서, 제1 내지 제 n 메모리 셀들(MC1~MCn) 중 적어도 하나 이상은 더미 메모리 셀로서 이용될 수 있다. 예를 들어, 적어도 하나 이상의 더미 메모리 셀들은 소스 선택 트랜지스터(SST)와 메모리 셀들(MC1~MCn) 사이의 전계(electric field)를 감소시키기 위해 제공될 수 있다. 또는, 적어도 하나 이상의 더미 메모리 셀들은 드레인 선택 트랜지스터(DST)와 메모리 셀들(MC1~MCn) 사이의 전계를 감소시키기 위해 제공될 수 있다. 더 많은 더미 메모리 셀들이 제공될수록, 메모리 블록(BLKb)에 대한 동작의 신뢰성이 향상되는 반면, 메모리 블록(BLKb)의 크기는 증가할 수 있다. 더 적은 메모리 셀들이 제공될수록, 메모리 블록(BLKb)의 크기는 감소하는 반면 메모리 블록(BLKb)에 대한 동작의 신뢰성은 저하될 수 있다.
- [0089] 적어도 하나 이상의 더미 메모리 셀들을 효율적으로 제어하기 위해, 더미 메모리 셀들 각각은 요구되는 문턱전압을 가질 수 있다. 메모리 블록(BLKb)에 대한 소거 동작 이전 또는 이후에, 더미 메모리 셀들 중 전부 혹은 일부에 대한 프로그램 동작들이 수행될 수 있다. 프로그램 동작이 수행된 뒤에 소거 동작이 수행되는 경우, 더미 메모리 셀들의 문턱전압은 각각의 더미 메모리 셀들에 연결된 더미 워드라인들에 인가되는 전압을 제어함으로써 더미 메모리 셀들은 요구되는 문턱전압을 가질 수 있다.
- [0090] 도 7은 본 발명의 일 실시 예에 따른 메모리 셀의 프로그램 상태를 설명하기 위한 도면이다.
- [0091] 도 7을 참조하면, 메모리 셀은 문턱 전압에 따라 소거 상태(E) 또는 7개의 프로그램 상태(P1 내지 P7)로 프로그램될 수 있다. 도 7의 메모리 셀은 1개의 소거 상태 및 7개의 프로그램 상태로 프로그램될 수 있는 트리플 레벨 셀(Triple Level Cell, TLC)로 도시되었으나, 이는 설명의 편의를 위한 일 실시 예에 불과할 뿐, 구현시에는 멀티 레벨 셀(Multi Level Cell, MLC), 싱글 레벨 셀(Single Level Cell, SLC), 쿼드 레벨 셀(Quad Level Cell, QLC) 등으로 구현될 수 있다. 그리고, 설명의 편의를 위해 소거 상태와 프로그램 상태를 구분하였으나, 소거 상태는 제0 프로그램 상태(P0)로 표현할 수 있다. 따라서, 도 7에 도시된 소거 상태(E)와 7개의 프로그램 상태(P1 내지 P7)는 제0 내지 제7의 프로그램 상태들로 표현될 수도 있다.

- [0092] 선택된 워드라인에 연결된 메모리 셀들은 소거 상태(E) 또는 7개의 프로그램 상태(P1 내지 P7) 중 어느 하나의 상태에 포함된 문턱 전압을 가질 수 있다. 즉, 메모리 셀들은 소거 상태(E) 또는 7개의 프로그램 상태(P1 내지 P7) 중 어느 하나의 상태에 포함된 문턱 전압을 갖도록 프로그램될 수 있다. 프로그램 동작이 수행되기 전에 메모리 셀들은 소거 상태(E)일 수 있다. 프로그램 동작 시, 소거 상태(E)인 메모리 셀들은 선택된 워드라인에 프로그램 전압이 인가됨에 따라 7개의 프로그램 상태 중 어느 하나의 프로그램 상태로 프로그램될 수 있다.
- [0093] 그리고, 메모리 셀들의 소거 상태(E) 또는 7개의 프로그램 상태(P1 내지 P7)은 검증 전압을 이용하여 구분될 수 있다. 여기서, 검증 전압은 메인 검증 전압 및 프리 검증 전압으로 구분될 수 있다. 프리 검증 전압은 선택된 워드라인에 메인 검증 전압을 인가하기 전에 인가되는 메인 검증 전압보다 낮은 전위 레벨을 갖는 전압을 의미할 수 있다.
- [0094] 그리고, 메모리 셀들의 인접하는 프로그램 상태들은 메인 검증 전압 및 프리 검증 전압으로 구분될 수 있다. 예를 들어, 소거 상태(E)와 제1 프로그램 상태(P1)는 제1 프리 검증 전압(Vpvf1) 및 제1 메인 검증 전압(Vvf1)에 의해 구분될 수 있다. 제1 프로그램 상태(P1)와 제2 프로그램 상태(P2)는 제2 프리 검증 전압(Vpvf2) 및 제2 메인 검증 전압(Vvf2)에 의해 구분될 수 있다. 제2 프로그램 상태(P2)와 제3 프로그램 상태(P3)는 제3 프리 검증 전압(Vpvf3) 및 제3 메인 검증 전압(Vvf3)에 의해 구분될 수 있다. 제3 프로그램 상태(P3)와 제4 프로그램 상태(P4)는 제4 프리 검증 전압(Vpvf4) 및 제4 메인 검증 전압(Vvf4)에 의해 구분될 수 있다. 제4 프로그램 상태(P4)와 제5 프로그램 상태(P5)는 제5 프리 검증 전압(Vpvf5) 및 제5 메인 검증 전압(Vvf5)에 의해 구분될 수 있다. 제5 프로그램 상태(P5)와 제6 프로그램 상태(P6)는 제6 프리 검증 전압(Vpvf6) 및 제6 메인 검증 전압(Vvf6)에 의해 구분될 수 있다. 제6 프로그램 상태(P6)와 제7 프로그램 상태(P7)는 제7 프리 검증 전압(Vpvf7) 및 제7 메인 검증 전압(Vvf7)에 의해 구분될 수 있다. 한편, 본 발명의 일 실시 예에 따르면, 제6 프로그램 상태(P6)와 제7 프로그램 상태(P7)는 제7 메인 검증 전압(Vvf7)에 의해 구분될 수 있다. 프로그램 시간을 단축하기 위하여 제7 프리 검증 전압(Vpvf7)을 인가하지 않을 수도 있다.
- [0095] 프리 검증 전압과 메인 검증 전압은 비트라인에 프리차지되는 전위 레벨 또는 선택된 워드라인에 인가되는 프로그램 전압의 레벨을 결정하는 데 사용될 수 있다. 예를 들어, 제1 프리 검증 전압 및 제1 메인 검증 전압에 의해 메모리 셀의 문턱 전압은 3가지 상태로 구분될 수 있다. 즉, 메모리 셀의 문턱 전압은 제1 프리 검증 전압보다 낮은 제1 상태, 제1 프리 검증 전압보다 크고 제1 메인 검증 전압보다 낮은 제2 상태 및 제1 메인 검증 전압보다 큰 제3 상태로 구분될 수 있다.
- [0096] 문턱 전압이 제1 상태인 메모리 셀은, 문턱 전압이 제2 상태 또는 제3 상태인 메모리 셀보다 더 높은 레벨의 프로그램 전압을 사용하여 프로그램될 수 있다. 또는, 문턱 전압이 제1 상태인 메모리 셀과 연결된 비트라인은, 문턱 전압이 제2 상태 또는 제3 상태인 메모리 셀과 연결된 비트라인보다 더 낮은 레벨의 전압으로 프리차지될 수 있다.
- [0097] 문턱 전압이 제2 상태인 메모리 셀은, 문턱 전압이 제1 상태인 메모리 셀 보다 더 낮고, 문턱전압이 제3 상태인 메모리 셀보다 더 높은 레벨의 프로그램 전압을 사용하여 프로그램될 수 있다. 또는, 문턱 전압이 제2 상태인 메모리 셀과 연결된 비트라인은, 문턱 전압이 제1 상태인 메모리 셀과 연결된 비트라인보다 높은 레벨의 전압으로 프리차지 될 수 있고, 문턱전압이 제3 상태인 메모리 셀과 연결된 비트라인보다 더 낮은 레벨의 전압으로 프리차지 될 수 있다.
- [0098] 도 7에 도시된 프로그램 방법은 하나의 소거 상태(E)에서 7개의 프로그램 상태(P1 내지 P7)를 형성할 수 있다. 도 7에 도시된 프로그램 상태들은 도 8에 도시된 제1 내지 제M 프로그램 루프를 포함하는 프로그램 동작이 1회 수행되는 동안에 형성될 수 있다.
- [0099] 도 8은 본 발명의 일 실시 예에 따른 프로그램 동작시 선택된 워드라인에 인가되는 전압을 설명하기 위한 도면이다.
- [0100] 도 8을 참조하면, 도 7의 프로그램 상태를 형성하기 위한 프로그램 동작은 M개의 프로그램 루프를 포함할 수 있다. 각 프로그램 루프는 선택된 워드라인에 프로그램 전압을 인가하는 동작 및 선택된 워드라인에 검증 전압을 인가하는 동작을 포함할 수 있다. 프로그램 전압을 인가하는 동작은 프로그램(program) 구간에 포함될 수 있고, 검증 전압을 인가하는 동작은 검증(verify) 구간에 포함될 수 있다. 프로그램 전압을 인가하는 동작은 메모리 셀의 문턱전압을 상승시키는 동작일 수 있고, 검증 전압을 인가하는 동작은 문턱전압을 판단하여 해당 메모리 셀이 목표 프로그램 상태에 도달하였는지를 확인하는 동작일 수 있다. 예를 들어, 제1 프로그램 루프는 제1 프로그램 전압(Vpgm1) 및 복수의 메인 검증 전압들(Vvf1 내지 Vvf7)을 선택된 워드라인에 인가하는 동작을 포함할

수 있다. 설명의 편의를 위해 모든 프로그램 루프에서 7개의 메인 검증 전압이 인가되는 것으로 도시하였으나, 검증 전압의 개수는 이에 제한되지 않고, 서로 다른 메인 검증 전압 및 프리 검증 전압이 인가될 수 있다.

- [0101] 프로그램 루프가 순차적으로 수행됨에 따라 프로그램 전압은 스텝 전압(ΔV_{pgm})만큼 상승할 수 있다. 이를 증가형 스텝 펄스 프로그램(Incremental Step Pulse Program; ISPP) 방식이라고 한다. 예를 들어, 제2 프로그램 루프에서 선택된 워드라인에 인가되는 제2 프로그램 전압(V_{pgm2})은 제1 프로그램 전압(V_{pgm1})보다 스텝 전압(ΔV_{pgm})만큼 클 수 있다. 설명의 편의를 위해, 스텝 전압은 고정적인 것으로 도시되었으나, 스텝 전압은 동적으로 변경될 수 있다.
- [0102] M개의 프로그램 루프가 진행되는 도중 목표 프로그램 상태에 도달한 메모리 셀은, 더 이상 프로그램이 진행되지 않도록 프로그램 금지(inhibit) 상태가 될 수 있다. 후속 프로그램 루프가 진행되더라도 프로그램 금지 상태가 된 메모리 셀의 문턱 전압은 유지될 수 있다. 예를 들어, 제2 프로그램 루프에서 목표 프로그램 상태인 제2 프로그램 상태(P2)로 프로그램이 완료된 메모리 셀은, 제3 프로그램 루프 시 프로그램 금지 상태가 될 수 있다. 실시 예에서, 목표 프로그램 상태에 도달한 메모리 셀의 비트라인을 프로그램 금지 전압으로 프리차지할 수 있다. 비트라인이 프로그램 금지 전압으로 프리차지되면, 메모리 셀의 채널은 프로그램 전압에 의해 셀프 부스팅되고 메모리 셀이 프로그램되지 않을 수 있다.
- [0103] 도 9는 본 발명의 일 실시 예에 따른 캐시 프로그램 동작을 설명하기 위한 도면이다.
- [0104] 도 9를 참조하면, 메모리 셀 어레이(110)에 포함된 복수의 페이지들은 순차적으로 프로그램될 수 있다. 예를 들어, N번째 페이지 및 N+1번째 페이지는 N번째 페이지부터 차례로 프로그램될 수 있다. 복수의 페이지들은 페이지 버퍼 그룹(123)에 임시로 저장된 데이터에 따라 프로그램될 수 있다. 예를 들어, 페이지 버퍼 그룹(123)에 임시로 저장된 N번째 페이지 데이터가 메모리 셀 어레이(110)에 포함된 N번째 페이지에 프로그램될 수 있다.
- [0105] 캐시 프로그램 동작 시, N번째 페이지 데이터가 N번째 페이지에 프로그램되는 동안, N+1 번째 페이지 데이터가 페이지 버퍼 그룹(123)에 입력될 수 있다. N번째 페이지 데이터가 N번째 페이지에 프로그램되면, 페이지 버퍼 그룹(123)에 임시로 저장된 N+1번째 페이지 데이터는 N+1번째 페이지에 프로그램될 수 있다. 캐시 프로그램 동작 시, N+1번째 페이지 데이터가 N+1번째 페이지에 프로그램되는 동안, N+2번째 데이터가 페이지 버퍼 그룹(123)에 입력될 수 있다.
- [0106] 즉, 메모리 셀 어레이(110)에 데이터가 프로그램되는 동안, 다음 페이지에 프로그램될 데이터가 페이지 버퍼 그룹(123)에 입력되므로 전체 페이지에 데이터를 프로그램하는 프로그램 시간이 감소될 수 있다.
- [0107] 도 10은 본 발명의 일 실시 예에 따른 프로그램 루프를 설명하기 위한 도면이다.
- [0108] 도 10을 참조하면, 프로그램 루프는 프리차지(pre-charge) 구간, 프로그램(program) 구간 및 검증(verify) 구간을 포함할 수 있다.
- [0109] 프리차지(pre-charge) 구간은 비트라인에 프리차지 전압을 인가하는 구간일 수 있다. 프리차지 전압은 프로그램 허용 전압 또는 프로그램 금지 전압일 수 있다. 프로그램 허용 전압은 0V일 수 있고, 프로그램 금지 전압은 전원 전압(V_{cc})일 수 있다. 프리차지 전압은 프로그램 허용 전압보다 크고, 프로그램 금지 전압보다 낮은 레벨의 더블 프로그램 전압일 수 있다.
- [0110] 프로그램(program) 구간은 선택된 메모리 셀의 문턱 전압이 목표 프로그램 상태에 포함되도록 워드라인에 동작 전압을 인가하는 구간일 수 있다. 프로그램(program) 구간은 선택된 메모리 셀의 프로그램 상태를 목표 프로그램 상태로 만들기 위한 구간일 수 있다. 프로그램(program) 구간은 선택된 워드라인에 프로그램 전압(V_{pgm})을 인가하고, 선택되지 않은 워드라인에 패스 전압(V_{pass})을 인가하는 구간일 수 있다.
- [0111] 검증(verify) 구간은 프로그램(program) 구간 이후, 선택된 메모리 셀의 프로그램 상태가 목표 프로그램 상태에 도달했는지 여부를 검증하는 구간일 수 있다. 검증(verify) 구간은 비트라인을 센싱하는 구간을 포함할 수 있다. 검증(verify) 구간에서 센싱 회로(126)는 허용 비트 신호(VRYBIT)에 응답하여 기준 전류를 생성하고, 페이지 버퍼 그룹(123)으로부터 수신된 센싱 전압(V_{PB})과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력할 수 있다. 센싱 회로(126)는 페이지 버퍼 그룹(123)으로부터 수신된 센싱 전류와 기준 전류를 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력할 수도 있다. 센싱 전압(V_{PB})과 기준 전압을 비교하는 것으로 설명하였으나, 센싱 전류(IPB)와 기준 전류를 비교하여 패스 신호(PASS) 또는 페일(FAIL) 신호를 출력할 수도 있다. 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 이후, 검증(verify) 구간은 비트라인으로부터 센싱된 데이터를 저장하는 구간일 수 있다.

- [0112] 도 10에 도시된 바와 같이, 제K 프로그램 루프 이전에 제6 프로그램 상태(P6)에 대한 검증이 패스된 경우, 제K 프로그램 루프 이후의 프로그램 루프들은 제7 프로그램 상태(P7)를 형성하기 위한 프로그램 루프일 수 있다. 목표 프로그램 상태가 제6 프로그램 상태(P6)인 메모리 셀들은 프로그램 금지 상태가 되고, 제K 프로그램 루프부터 프로그램되지 않을 수 있다. 예를 들어, 제K 프로그램 루프의 프리차지 구간에서, 목표 프로그램 상태인 제6 프로그램 상태(P6)에 도달한 메모리 셀의 비트라인에 전원 전압(Vcc)이 인가됨으로써, 목표 프로그램 상태인 제6 프로그램 상태(P6)에 도달한 메모리 셀은 프로그램 금지(inhibit) 상태가 될 수 있다.
- [0113] 목표 프로그램 상태가 제7 프로그램 상태(P7)인 메모리 셀들은 프로그램 허용 상태가 되고, 제K 프로그램 루프부터 프로그램될 수 있다. 예를 들어, 제K 프로그램 루프의 프리차지 구간에서, 목표 프로그램 상태인 제7 프로그램 상태(P7)인 메모리 셀의 비트라인에 그라운드 전압(GND) 또는 0V가 인가됨으로써, 목표 프로그램 상태인 제7 프로그램 상태(P7)인 메모리 셀이 프로그램될 수 있다.
- [0114] 도 11은 본 발명의 일 실시 예에 따른 메모리 셀이 프로그램되는 과정을 설명하기 위한 도면이다.
- [0115] 도 11을 참조하면, 제6 프로그램 상태(P6)에 대한 검증 동작이 패스되면, 목표 프로그램 상태가 소거 상태(E) 내지 제6 프로그램 상태(P6)인 메모리 셀들은 다음 프로그램 루프에서 프로그램되지 않도록 제어될 수 있다. 예를 들어, 목표 프로그램 상태가 소거 상태(E) 내지 제6 프로그램 상태(P6)인 메모리 셀들의 비트라인은 프리차지(pre-charge) 구간에서 프로그램 금지 전압으로 프리차지됨으로써 제K 프로그램 루프에서 프로그램되지 않을 수 있다.
- [0116] 목표 프로그램 상태가 제7 프로그램 상태(P7)인 메모리 셀들은 제K 프로그램 루프부터 프로그램될 수 있다. 예를 들어, 목표 프로그램 상태가 제7 프로그램 상태(P7)인 메모리 셀들의 비트라인은 프리차지(pre-charge) 구간에서 프로그램 허용 전압으로 프리차지될 수 있다.
- [0117] 도 11에 도시된 바와 같이, 목표 프로그램 상태가 제7 프로그램 상태(P7)인 메모리 셀이 제1 영역(a), 제2 영역(b) 및 제3 영역(c)에 존재할 수 있다. 제1 영역(a)에 존재하는 메모리 셀은 제2 영역(b) 및 제3 영역(c)에 존재하는 메모리 셀보다 문턱 전압이 낮으므로, 제K 프로그램 루프 및 제K+1 프로그램 루프가 진행된 이후에 제7 프로그램 상태(P7)에 도달할 수 있다. 제7 프로그램 상태(P7)에 도달한 제1 영역(a)에 포함된 메모리 셀은 프로그램 금지 상태가 될 수 있다. 제2 영역(b)에 존재하는 메모리 셀은 제K 프로그램 루프의 프로그램 구간이 진행된 이후에 제7 프로그램 상태(P7)에 도달하고, 프로그램 금지 상태가 될 수 있다. 프로그램 금지 상태가 되는 경우, 다음 프로그램 루프에서 비트라인에 프로그램 금지(inhibit) 전압이 인가될 수 있다. 프로그램 금지 전압은 전원 전압(Vcc)일 수 있다. 제3 영역(c)에 존재하는 메모리 셀은 이미 제7 프로그램 상태(P7)로 프로그램 되었으므로, 제K 프로그램 루프 이전에 프로그램 금지 상태가 될 수 있다. 프로그램 동작 제어부(131)는 제2 영역(b)에 존재하는 메모리 셀을 프로그램 할 때보다 더 높은 레벨의 프로그램 전압을 사용하여 제1 영역(a)에 존재하는 메모리 셀을 프로그램 할 수 있다. 또는, 프로그램 동작 제어부(131)는 제2 영역(b)에 존재하는 메모리 셀을 프로그램 할 때보다 더 낮은 레벨의 비트라인 프리차지 전압을 사용하여 제1 영역(a)에 존재하는 메모리 셀을 프로그램 할 수 있다.
- [0118] 도 12는 본 발명의 일 실시 예에 따른 페이지 버퍼를 설명하기 위한 도면이다.
- [0119] 도 12를 참조하면, 페이지 버퍼(1230)는 제1 래치(1231), 제2 래치(1232), 제3 래치(1233), 제4 래치(1234), 제5 래치(1235) 및 프리차지 회로(1236)를 포함할 수 있다. 페이지 버퍼(1230)는 도 2에 도시된 페이지 버퍼 그룹(123)에 포함된 복수의 페이지 버퍼들(PB1 내지 PBn) 중 어느 하나의 페이지 버퍼(PBi)일 수 있다.
- [0120] 페이지 버퍼(1230)는 비트라인(BL)을 통해 메모리 셀 어레이(110)에 연결될 수 있다. 페이지 버퍼(1230)는 프로그램 동작 시 프로그램 동작 제어부(131)의 제어에 응답하여 동작할 수 있다. 구체적으로, 페이지 버퍼(1230)는 페이지 버퍼 제어 신호들(PBSIGNALS)에 응답하여 동작할 수 있다. 페이지 버퍼(1230)는 데이터 라인들(DL)을 통해 컬럼 디코더(124)와 데이터를 주고받을 수 있다.
- [0121] 제1 래치(1231)는 비트라인을 프리차지되는 전압을 결정하는 데 사용되는 프리차지 데이터 또는 비트라인으로부터 센싱되는 센싱된 데이터를 저장할 수 있다.
- [0122] 제2 래치(1232)는 특정 프로그램 상태에 대한 검증 동작이 패스될 때까지 프리 검증 전압에 대한 프리 검증 정보를 저장할 수 있다. 그리고, 제2 래치(1232)는 특정 프로그램 상태의 검증 동작이 패스된 이후, 메인 검증 전압에 대한 메인 검증 정보를 저장할 수 있다. 예를 들어, 제2 래치(1232)는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스될 때까지 프리 검증 전압에 대한 프리 검증 정보를 저장하고, 제6 프로그램 상태(P6)에 대한 검증

동작이 패스된 이후, 메인 검증 전압에 대한 메인 검증 정보를 저장할 수 있다.

- [0123] 제3 래치(1233) 내지 제5 래치(1235)는 비트라인(BL)과 연결된 메모리 셀에 프로그램될 데이터를 임시로 저장할 수 있다. 그리고, 제3 래치(1233) 내지 제5 래치(1235)는 특정 프로그램 상태에 대한 검증 동작이 패스될 때까지 메인 검증 전압에 대한 메인 검증 정보를 분산하여 저장할 수 있다. 예를 들어, 제6 프로그램 상태(P6)에 대한 검증 동작이 패스될 때까지, 제3 래치(1233)는 LSB 비트 및 메인 검증 정보, 제4 래치(1234)는 CSB 비트 및 메인 검증 정보, 제5 래치(1235)는 MSB 비트 및 메인 검증 정보를 임시로 저장할 수 있다.
- [0124] 제5 래치(1235)는 데이터라인(DL)과 연결되어 있으므로, 외부로부터 데이터를 입력받을 수 있다.
- [0125] 제1 래치(1231)에서 비트라인(BL)으로부터 센싱된 데이터는 센싱 회로(126)에 전달될 수 있다. 여기서, 센싱된 데이터는 센싱 전압(VPB) 또는 센싱 전류(IPB)일 수 있다. 센싱 회로(126)는 허용 비트 신호(VRYBIT)에 응답하여 기준 전류를 생성하고, 페이지 버퍼(1230)로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 검증 정보를 출력할 수 있다. 검증 정보는 메인 검증 전압에 대한 메인 검증 정보 및 프리 검증 전압에 대한 프리 검증 정보를 포함할 수 있다. 그리고, 검증 정보는 메모리 셀의 문턱 전압을 메인 검증 전압 또는 프리 검증 전압과 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)로 나타낼 수 있다.
- [0126] 그리고, 프로그램 동작 제어부(131)는 검증 정보를 기반으로 비트라인을 프리차지할지 여부를 결정할 수 있다. 제6 프로그램 상태(P6)에 대한 검증 동작이 패스되면, 프로그램 동작 제어부(131)는 제1 래치(1231)로 센싱된 데이터를 기반으로 비트라인을 프리차지할지 여부를 결정할 수 있다.
- [0127] 프리차지 회로(1236)는 프로그램 동작 제어부(131)의 제어에 따라 비트라인을 프로그램 허용 전압 또는 프로그램 금지 전압 중 어느 하나의 전압으로 프리차지할 수 있다. 또는, 프리차지 회로(1236)는 더블 프로그램 전압으로 프리차지할 수 있다.
- [0128] 본 발명에 따른 프로그램 동작 제어부(131)는 도 8에 도시된 제1 내지 제M 프로그램 루프를 포함하는 1회의 프로그램 동작을 통해, 소거 상태(E) 또는 7개의 프로그램 상태(P1 내지 P7)을 형성할 수 있다. 프로그램 동작이 수행되는 동안, 페이지 버퍼(1230)는 LSB 비트, CSB 비트 및 MSB 비트를 모두 저장하고 있을 수 있다. 예를 들어, 제3 래치(1233)는 LSB 비트, 제4 래치(1234)는 CSB 비트, 제5 래치(1235)는 MSB 비트를 저장할 수 있다. 제3 래치(1233) 내지 제5 래치(1235)가 각각 저장하는 비트는 이에 제한되지 않는다.
- [0129] 그러나, 미리 정해진 프로그램 상태에 대한 검증 동작이 패스된 경우, LSB 비트, CSB 비트 또는 MSB 비트 중 적어도 하나가 페이지 버퍼(1230)에 저장되지 않아도 메모리 셀은 다음 프로그램 상태로 프로그램될 수 있다. 예를 들어, 제4 프로그램 상태(P4)에 대한 검증 동작이 패스된 경우, 페이지 버퍼(1230)에 MSB 비트가 저장되어 있지 않더라도, 메모리 셀은 제5 프로그램 상태(P5) 내지 제7 프로그램 상태(P7)로 프로그램될 수 있다. 또는, 제5 프로그램 상태(P5)에 대한 검증 동작이 패스된 경우, 페이지 버퍼(1230)에 CSB 비트가 저장되어 있지 않더라도, 메모리 셀은 제6 프로그램 상태(P6)로 프로그램될 수 있다. 즉, 프로그램 상태를 형성하기 위해 제3 래치(1233) 내지 제5 래치(1235)에 저장된 비트들 중 적어도 하나가 필요하지 않은 경우, 필요하지 않은 비트가 저장된 래치에는 다음 페이지에 저장될 비트가 입력될 수 있다. 제1 래치(1231) 내지 제5 래치(1235)에 저장된 데이터에 대한 설명은 도 14를 참조하여 구체적으로 후술하기로 한다.
- [0130] 도 13은 본 발명의 일 실시 예에 따른 프로그램 동작 제어부를 설명하기 위한 도면이다.
- [0131] 도 13을 참조하면, 프로그램 동작 제어부(131)는 프로그램 상태 판단부(132) 및 페이지 버퍼 제어부(133)를 포함할 수 있다.
- [0132] 프로그램 동작 제어부(131)는 페이지 버퍼(1230)에 임시로 저장된 데이터가 비트라인과 연결된 메모리 셀에 저장되도록 페이지 버퍼(1230)를 포함한 주변 회로(120)를 제어할 수 있다. 프로그램 동작 제어부(131)는 도 8에 도시된 제1 내지 제M 프로그램 루프를 포함하는 1회의 프로그램 동작을 통해, 소거 상태(E) 또는 7개의 프로그램 상태(P1 내지 P7)을 형성할 수 있다.
- [0133] 프로그램 상태 판단부(132)는 메모리 셀의 프로그램 상태를 판단할 수 있다. 프로그램 상태 판단부(132)는 프로그램 루프의 횟수, 프리 검증 전압 및 메인 검증 전압의 레벨, 프리 검증 정보 및 메인 검증 정보 등을 사용하여 메모리 셀의 프로그램 상태를 판단할 수 있다. 예를 들어, 페이지 버퍼(1230)에 저장된 검증 정보가 패스를 나타내고, 검증 전압이 제5 프리 검증 전압(Vpvf5) 및 제5 메인 검증 전압(Vvf5)인 경우, 프로그램 상태 판단부(132)는 메모리 셀의 프로그램 상태가 제5 프로그램 상태(P5)라고 판단할 수 있다. 또는, 프로그램 상태 판단부(132)는 센싱 회로(126)로부터 검증 동작의 검증 정보, 즉 패스 또는 페일 정보를 직접 전달받을 수도 있다. 그

리고, 프로그램 상태 판단부(132)는 메모리 셀의 문턱 전압이 임계 프로그램 상태에 도달했는지 여부를 판단할 수 있다. 예를 들어, 프로그램 상태 판단부(132)는 메모리 셀의 문턱 전압이 제6 프로그램 상태(P6)에 도달했는지 여부를 판단할 수 있다.

[0134] 페이지 버퍼 제어부(133)는 페이지 버퍼 제어 신호들(PBSIGNALS)을 출력하여 페이지 버퍼(1230)를 제어할 수 있다. 페이지 버퍼 제어부(133)는 페이지 버퍼(1230)에 포함된 복수의 래치들 간에 데이터가 이동되도록 제어할 수 있다. 예를 들어, 페이지 버퍼 제어부(133)는 다음 페이지에 저장될 LSB 비트, CSB 비트 또는 MSB 비트가 페이지 버퍼(1230)에 입력되도록 래치들 간에 데이터를 이동시킬 수 있다. 페이지 버퍼 제어부(133)는 페이지 버퍼(1230)에 저장된 데이터가 메모리 셀에 저장되도록 프리차지 회로(1236) 및 복수의 래치들(1231 내지 1235)을 제어할 수 있다. 페이지 버퍼 제어부(133)는 프리차지 구간, 프로그램 구간 및 검증 구간에서 페이지 버퍼(1230)를 제어할 수 있다.

[0135] 그리고, 페이지 버퍼 제어부(133)는 임계 프로그램 상태에 대한 검증 동작이 패스되면, 복수의 래치들 중 외부로부터 데이터를 입력 받는 래치에 저장된 데이터를 다른 래치로 이동시킬 수 있다. 예를 들어, 페이지 버퍼 제어부(133)는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스되면, 메모리 컨트롤러(200)로부터 수신된 데이터를 입력받는 캐시 래치(예컨대, 제5 래치(1235))에 저장된 데이터를 다른 래치(예컨대, 제2 래치(1232) 내지 제4 래치(1234))로 이동시킬 수 있다. 여기서, 임계 프로그램 상태는 최상위 프로그램 상태보다 한 단계 낮은 상태의 프로그램 상태일 수 있다. 예컨대, 최상위 프로그램 상태가 제7 프로그램 상태(P7)인 경우, 임계 프로그램 상태는 제6 프로그램 상태(P6)일 수 있다.

[0136] 그리고, 페이지 버퍼 제어부(133)는 임계 프로그램 상태에 대한 검증 동작이 패스되면, 메모리 셀에 저장된 데이터들을 저장하는 데이터 래치들 중 어느 하나에 저장된 메인 검증 정보를 프리 검증 정보를 저장하던 래치에 저장할 수 있다. 예를 들어, 페이지 버퍼 제어부(133)는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스되면, 제3 래치(1233) 내지 제5 래치(1235)에 저장된 메인 검증 정보를 제2 래치(1232)에 저장할 수 있다.

[0137] 그리고, 페이지 버퍼 제어부(133)는 임계 프로그램 상태에 대한 검증 동작이 패스된 이후, 어느 하나의 메모리 셀의 다음에 선택되는 후속 메모리 셀에 저장될 후속 데이터를 저장할 수 있다. 예를 들어, 페이지 버퍼 제어부(133)는 N번째 페이지 중 어느 하나의 메모리 셀에 저장될 데이터를 제3 래치(1233) 내지 제5 래치(1235)에 저장할 수 있고, 페이지 버퍼 제어부(133)는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스되면, N+1번째 페이지의 후속 메모리 셀에 저장될 데이터를 제3 래치(1233) 내지 제5 래치(1235)에 저장할 수 있다. 그리고, 프로그램 동작 제어부(131)는 제7 프로그램 상태(P7)에 대한 검증 동작이 패스되면, N+1번째 페이지에 저장될 데이터를 후속 메모리 셀에 프로그램 할 수 있다.

[0138] 도 14는 본 발명의 일 실시 예에 따른 각 래치에 저장된 정보를 설명하기 위한 도면이다.

[0139] 도 14를 참조하면, 제4 프로그램 상태(P4)에 대한 검증 동작이 패스되기 전에 래치에 저장된 정보(1410), 제4 프로그램 상태(P4)에 대한 검증 동작이 패스된 후 래치에 저장된 정보(1420), 제5 프로그램 상태(P5)에 대한 검증 동작이 패스된 후 래치에 저장된 정보(1430) 및 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 후 래치에 저장된 정보(1440)가 도시되어 있다.

[0140] 제1 래치(1231)에는 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터 및 프리차지 구간에서 비트라인에 프리차지될 전위를 결정하는 프리차지 데이터가 저장될 수 있다.

[0141] 제2 래치(1232)는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스될 때까지 프리 검증 전압에 대한 프리 검증 정보를 저장하고, 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 이후, 메인 검증 전압에 대한 메인 검증 정보를 저장할 수 있다.

[0142] 제3 래치(1233)는 제4 프로그램 상태(P4)에 대한 검증 동작이 패스될 때까지 N번째 페이지에 저장될 LSB 비트 및 메인 검증 정보를 저장할 수 있다. 그리고, 제3 래치(1233)에는 제5 프로그램 상태(P5)에 대한 검증 동작이 패스된 경우, 제3 래치(1233)에 기저장된 LSB 비트 대신에 다음 페이지에 저장될 LSB 비트가 입력될 수 있다. 즉, LSB 비트, CSB 비트 또는 MSB 비트 중 다음 프로그램 상태를 형성하기 위해 필요하지 않은 비트가 래치에서 제거되고, 다음 페이지에 저장될 비트가 입력될 수 있다. 제3 래치(1233)에 기저장된 LSB 비트 및 메인 검증 정보는 제5 프로그램 상태(P5)가 패스된 이후에는 필요하지 않으므로, 제3 래치(1233)에 기저장된 데이터는 제거되고, N+1번째 페이지에 저장될 LSB 비트가 저장될 수 있다. 한편, 제3 래치(1233)에 저장된 N+1번째 LSB 비트는 제5 래치(1235)가 외부로부터 수신한 데이터일 수 있다.

[0143] 제4 래치(1234)는 제5 프로그램 상태(P5)에 대한 검증 동작이 패스될 때까지 N번째 페이지에 저장될 CSB 비트

및 메인 검증 정보를 저장할 수 있다. 그리고, 제4 래치(1234)에 저장된 CSB 비트는 제5 프로그램 상태(P5)에 대한 검증 동작이 패스된 후에는 필요하지 않으므로, 제4 래치(1234)에서 제거될 수 있다. 다만, 제4 래치(1234)에 저장된 N번째 CSB 비트에 대한 메인 검증 정보는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 경우에도 필요할 수 있다. 구체적으로, 프로그램 루프는 메인 검증 정보를 기반으로 수행되므로, 제5 프로그램 상태(P5) 또는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스되더라도, 메인 검증 정보가 페이지 버퍼(1230) 내에 저장되어야 한다. 따라서, 실시 예에 따른 프로그램 동작 제어부(131)는 제4 래치(1234)에 저장된 메인 검증 정보를 제2 래치(1232)로 이동시킬 수 있고, 프로그램 동작 제어부(131)는 제2 래치(1232)에 저장된 메인 검증 정보를 바탕으로 프리차지 구간, 프로그램 구간 및 검증 구간에 대응되는 동작을 수행할 수 있다.

[0144] 제5 래치(1235)는 데이터라인(DL)과 연결되어 외부로부터 데이터를 입력받을 수 있는 래치일 수 있다. 구체적으로, 제5 래치(1235)는 메모리 장치(100)를 제어하는 메모리 컨트롤러(200)로부터 수신된 데이터를 입력받을 수 있다. 그리고, 제5 래치(1235)는 페이지에 저장될 데이터를 저장할 수도 있다. 구체적으로, 제5 래치(1235)는 제4 프로그램 상태(P4)에 대한 검증 동작이 패스될 때까지 N번째 페이지에 저장될 MSB 비트 및 메인 검증 정보를 저장할 수 있다. 그리고, 제4 프로그램 상태(P4)에 대한 검증 동작이 패스된 이후, 다음 프로그램 상태를 형성하기 위해 필요하지 않은 비트인 MSB 비트가 제5 래치(1235)에서 제거되고, 다음 페이지인 N+1번째 페이지에 저장될 LSB 비트가 입력될 수 있다. 제5 프로그램 상태(P5)에 대한 검증 동작이 패스된 이후에는 N+1번째 페이지에 저장될 CSB 비트가 입력되고, 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 이후에는 N+1번째 페이지에 저장될 MSB 비트가 입력될 수 있다.

[0145] 도 14에 도시된 비트의 입력 순서, 이동 순서 및 이동 방법은 설명의 편의를 위하여 일 실시 예를 개시한 것으로, 구현시에는 LSB 비트, CSB 비트 및 MSB 비트의 이동 방법은 이에 제한되지 않는다.

[0146] 도 15는 본 발명의 일 실시 예에 따른 메모리 장치의 프로그램 동작을 설명하기 위한 흐름도이다. 도 15에서는 설명의 편의를 위하여, 메모리 셀이 트리플 레벨 셀(Triple Level Cell, TLC)로 동작하는 경우를 가정하여 설명하기로 한다.

[0147] S1501단계에서, 제1 프로그램 상태(P1) 내지 제5 프로그램 상태(P5)를 목표 프로그램 상태로 갖는 메모리 셀들에 프로그램 동작이 수행될 수 있다. 각각의 프로그램 동작은 하나 이상의 프로그램 루프를 포함할 수 있다. 하나의 프로그램 루프는 프로그램 전압 인가 구간 및 검증 구간을 포함할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 페이지 버퍼 그룹(123)에 임시로 저장된 데이터가 메모리 셀 어레이(110)에 프로그램 되도록 주변 회로(120)를 제어할 수 있다. 그리고, 프로그램 동작 제어부(131)는 프로그램 전압 인가 구간에서 선택된 워드라인에 프로그램 전압이 인가되도록 주변 회로(120)를 제어할 수 있다. 그리고, 프로그램 동작 제어부(131)는 프로그램 루프의 검증 구간에서 프리 검증 전압 및 메인 검증 전압을 인가하여 프로그램 상태에 대한 프로그램 동작이 패스 또는 페일되었는지 판단할 수 있다. 프로그램 동작 제어부(131)는 검증 구간에서 센싱 회로(126)로부터 검증 결과를 수신하거나, 페이지 버퍼(1230)에 포함된 래치들 중 하나로부터 프로그램 상태에 대한 프로그램 동작이 패스 또는 페일되었는지 판단할 수 있다. 검증 동작에서 페일로 판단되면, 미리 설정된 스텝 전압(Vstep) 크기만큼 프로그램 전압을 증가시켜서 다음 프로그램 루프가 수행될 수 있다. 검증 동작은 프리 검증 전압 또는 메인 검증 전압을 사용하여 메모리 셀에 저장된 데이터를 센싱하는 동작일 수 있다. 검증 동작이 패스된 경우는 프리 검증 전압 또는 메인 검증 전압에 대한 검증 동작이 모두 패스된 경우를 의미할 수 있다. 제1 프로그램 상태(P1) 내지 제5 프로그램 상태(P5)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 검증 동작이 패스되면, S1503단계로 진행할 수 있다.

[0148] S1503단계에서, 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 프로그램 전압이 인가될 수 있다. 다른 실시 예에서, 제6 프로그램 상태(P6) 또는 제7 프로그램 상태(P7)를 목표 프로그램 상태로 갖는 메모리 셀들에 연결된 선택된 워드라인에 프로그램 전압이 인가될 수 있다. 프로그램 전압이 인가되는 동안에 프로그램 전압이 인가되는 메모리 셀에 연결된 비트라인에는 프로그램 허용 전압이 인가될 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 페이지 버퍼 그룹(123)에 임시로 저장된 데이터가 메모리 셀 어레이(110)에 프로그램 되도록 주변 회로(120)를 제어할 수 있다. 그리고, 프로그램 동작 제어부(131)는 선택된 워드라인에 프로그램 전압이 인가되도록 주변 회로(120)를 제어할 수 있다.

[0149] S1505단계에서, 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 검증 동작이 수행될 수 있다. 구체적으로, 제6 프로그램 상태(P6)에 대응하는 프리 검증 전압 또는 메인 검증 전압이 선택된 워드라인에 인가될 수 있다.

[0150] S1507단계에서, 제6 프로그램 동작의 패스여부가 판단될 수 있다. 프로그램 동작의 패스 여부는 프리 검증 전압

또는 메인 검증 전압이 워드라인에 인가된 후, 메모리 셀을 센싱한 결과로 판단될 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 센싱 회로(126)로부터 검증 결과를 수신하거나, 페이지 버퍼(1230)에 포함된 래치들 중 하나로부터 프로그램 상태에 대한 프로그램 동작이 패스 또는 페일 되었는지에 대한 검증 정보를 수신하여 제6 프로그램 상태(P6)에 대한 프로그램 동작의 결과를 판단할 수 있다. 프로그램 동작이 페일된 것으로 판단되면 S1509단계로, 프로그램 동작이 패스된 것으로 판단되면 S1511단계로 진행할 수 있다.

[0151] S1509단계에서, 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 프로그램 동작이 페일로 판단되면, 다음 프로그램 루프가 진행될 수 있다. 다음 프로그램 루프에서는, 이전 프로그램 루프에서 선택된 워드라인에 인가된 전압 크기보다 미리 설정된 스텝 전압(Vstep)크기만큼 증가된 프로그램 전압이 선택된 워드라인에 인가될 수 있다. 따라서 상대적으로 프로그램 효율이 낮은 메모리 셀들에 더 높은 프로그램 전압이 인가될 수 있다. 프로그램 동작 제어부(131)는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스될 때까지 S1503, S1505 및 S1507단계를 반복할 수 있다.

[0152] S1511단계에서, 프로그램 동작 제어부(131)는 제7 프로그램 상태(P7)에 대한 프로그램 루프를 수행하기 전에, 페이지 버퍼(1230)에 포함된 복수의 래치들 간에 데이터가 이동되도록 페이지 버퍼(1230)를 제어할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 페이지 버퍼 제어 신호들(PBSIGNALS)을 출력하여 페이지 버퍼(1230)를 제어할 수 있다. 이 후, 제7 프로그램 상태(P7)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 프로그램 루프가 수행될 수 있다. 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 프로그램 동작이 패스로 판단되면, 프로그램 동작 제어부(131)는 소거 상태(E), 제1 프로그램 상태(P1) 내지 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 연결된 비트라인들에는 프로그램 금지 전압을 인가할 수 있다. 반면에, 프로그램 동작 제어부(131)는 제7 프로그램 상태(P7)를 목표 프로그램 상태로 갖는 메모리 셀들에 연결된 비트라인들에는 프로그램 허용 전압이 인가할 수 있다. 그리고, 프로그램 동작 제어부(131)는 마지막 프로그램 상태인 제7 프로그램 상태(P7)에 대한 검증 동작 중 일부가 생략(skip)할 수 있다. 특히, 제7 프리 검증 전압(Vpvf7)을 이용한 검증 동작이 생략(skip)될 수 있다. 프리 검증 전압을 이용한 검증 동작이 생략됨으로써, 이후 진행되는 프로그램 루프가 단축될 수 있고, 메모리 장치(100)는 프로그램 속도가 증가되므로 향상된 프로그램 효율을 가질 수 있다.

[0153] 도 16은 본 발명의 일 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 흐름도이다.

[0154] 도 16을 참조하면, S1601 단계에서, 제1 프로그램 상태(P1) 내지 제4 프로그램 상태(P4)를 목표 프로그램 상태로 갖는 메모리 셀들에 프로그램 동작이 수행될 수 있다. 각각의 프로그램 동작은 하나 이상의 프로그램 루프를 포함할 수 있다. 하나의 프로그램 루프는 프로그램 전압 인가 구간 및 검증 구간을 포함할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 페이지 버퍼 그룹(123)에 임시로 저장된 데이터가 메모리 셀 어레이(110)에 프로그램 되도록 주변 회로(120)를 제어할 수 있다. 그리고, 프로그램 동작 제어부(131)는 프로그램 전압 인가 구간에서 선택된 워드라인에 프로그램 전압이 인가되도록 주변 회로(120)를 제어할 수 있다. 그리고, 프로그램 동작 제어부(131)는 프로그램 루프의 검증 구간에서 프리 검증 전압 및 메인 검증 전압을 인가하여 프로그램 상태가 패스 또는 페일되었는지 판단할 수 있다. 또는, 프로그램 동작 제어부(131)는 검증 구간에서 센싱 회로(126)로부터 수신하거나, 페이지 버퍼(1230)에 포함된 래치들 중 하나로부터 프로그램 상태에 대한 프로그램 동작이 패스 또는 페일되었는지 판단할 수 있다. 한편, 제4 프로그램 상태(P4)에 대한 프로그램 동작이 패스되기 전에 제3 래치(1233)에는 N번째 페이지에 저장될 LSB 비트(이하, N번째 LSB 비트) 및 메인 검증 정보, 제4 래치(1234)에는 N번째 페이지에 저장될 CSB 비트(이하, N번째 CSB 비트) 및 메인 검증 정보, 제5 래치(1235)에는 N번째 페이지에 저장될 MSB 비트(이하, N번째 MSB 비트) 및 메인 검증 정보가 저장될 수 있다. 그리고, 제1 프로그램 상태(P1) 내지 제4 프로그램 상태(P4)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 검증 동작이 패스되면, S1603단계로 진행할 수 있다.

[0155] S1603 단계에서, 프로그램 동작 제어부(131)는 제5 래치(1235)에 저장된 데이터를 삭제하는 리셋 동작을 수행하고, 다음 페이지에 저장될 데이터를 제5 래치(1235)에 입력할 수 있다. 예를 들어, 제5 래치(1235)에는 N번째 MSB 비트 및 메인 검증 결과가 저장되어 있을 수 있다. 이 경우, 프로그램 동작 제어부(131)는 제5 래치(1235)의 N번째 MSB 비트 및 메인 검증 결과를 삭제하는 리셋 동작을 수행하고, 프로그램 동작 제어부(131)는 N+1번째 페이지에 저장될 LSB 비트(이하, N+1번째 LSB 비트)를 외부(예컨대, 메모리 컨트롤러 또는 호스트)로부터 수신하여 제5 래치(1235)에 입력할 수 있다.

[0156] S1611 단계에서, 제5 프로그램 상태(P5)를 목표 프로그램 상태로 갖는 메모리 셀들에 프로그램 동작이 수행될 수 있다. S1601 단계에서 설명한 바와 같이, 프로그램 동작 제어부(131)는 페이지 버퍼 그룹(123)에 임시로 저

장된 데이터가 메모리 셀 어레이(110)에 프로그램 되도록 주변 회로(120)를 제어할 수 있다. 프로그램 동작 제어부(131)는 제5 프로그램 상태(P5)에 대한 프로그램 동작이 패스인지에 대한 검증 동작을 수행할 수 있다. 프로그램 동작 제어부(131)는 제5 프로그램 상태(P5)에 대한 프로그램 동작이 페일인 경우, 프로그램 전압을 스텝 전압의 크기만큼 증시시켜서 다음 프로그램 루프를 수행할 수 있다. 그리고, 프로그램 동작 제어부(131)는 제5 프로그램 상태(P5)에 대한 프로그램 동작이 패스될 때까지 프로그램 루프를 수행할 수 있다. 그리고, 제5 프로그램 상태(P5)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 검증 동작이 패스되면, S1613단계로 진행할 수 있다.

- [0157] S1613 단계에서, 프로그램 동작 제어부(131)는 제5 래치(1235)에 저장된 데이터를 제3 래치(1233)로 이동시킬 수 있다. 구체적으로, 제5 래치(1235)에는 N+1번째 LSB 비트, 제3 래치(1233)에는 N번째 LSB 비트 및 메인 검증 정보가 저장되어 있을 수 있다. 프로그램 동작 제어부(131)는 제5 래치(1235)의 N+1번째 LSB 비트를 제3 래치(1233)으로 이동시킬 수 있다. 프로그램 동작 제어부(131)는 제3 래치(1233)에 기저장되어 있던 N번째 LSB 비트 및 메인 검증 정보를 삭제하는 리셋 동작을 수행하고, 제5 래치(1235)의 N+1번째 LSB 비트를 제3 래치(1233)로 이동시킬 수 있다.
- [0158] S1615 단계에서, 프로그램 동작 제어부(131)는 제5 래치(1235)에 외부로부터 수신한 새로운 데이터를 입력할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 제5 래치(1235)에 저장된 N+1번째 LSB 비트를 삭제하고, 제5 래치(1235)에 N+1번째 CSB 비트를 입력할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 제5 래치(1235)의 N+1번째 LSB 비트를 삭제하는 리셋 동작을 수행하고, 프로그램 동작 제어부(131)는 N+1번째 페이지에 저장될 CSB 비트를 메모리 컨트롤러(200)로부터 수신하여 제5 래치(1235)에 입력할 수 있다.
- [0159] S1621 단계에서, 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 프로그램 동작이 수행될 수 있다. 그리고, 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 검증 동작이 패스될 때까지 프로그램 루프가 반복적으로 수행될 수 있다. 제6 프로그램 상태(P6)를 목표 프로그램 상태로 갖는 메모리 셀들에 대한 검증 동작이 패스되면, S1623 단계로 진행할 수 있다.
- [0160] S1623 단계에서, 프로그램 동작 제어부(131)는 제4 래치(1234)에 저장된 N번째 CSB 비트에 대한 메인 검증 정보를 제2 래치(1232)로 이동시킬 수 있다. 제6 프로그램 상태(P6)에 대한 검증 동작이 패스될 때까지 제2 래치(1232)에는 프리 검증 정보가 저장되어 있을 수 있다. 프리 검증 정보는 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리 검증 전압에 대한 패스 또는 페일에 대한 검증 정보일 수 있다. 그리고, 프리 검증 정보는 프리 검증 전압을 선택된 워드라인에 인가할지 여부를 나타내는 정보를 포함할 수 있다. 메모리 장치(100)는 프로그램 성능을 위하여 최상위 프로그램 상태인 제7 프로그램 상태(P7)에 대한 프리 검증을 수행하지 않을 수 있다. 즉, 프리 검증을 위한 프리 검증 전압이 인가되지 않고 생략될 수 있다. 프로그램 동작 제어부(131)는 제2 래치(1232)에 저장된 프리 검증 정보를 삭제하는 리셋 동작을 수행하고, 제4 래치(1234)에 저장된 제7 프로그램 상태(P7)에 대한 메인 검증 정보를 제2 래치(1232)로 이동시킬 수 있다.
- [0161] S1625 단계에서, 프로그램 동작 제어부(131)는 제5 래치(1235)의 N+1번째 CSB 비트를 제4 래치(1234)로 이동시킬 수 있다. 이 경우, 제4 래치(1234)에 기저장된 제7 프로그램 상태(P7)에 대한 메인 검증 정보가 제2 래치(1232)로 이미 이동되었고, N번째 CSB 비트는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 이후에는 추가로 이용되지 않으므로, 프로그램 동작 제어부(131)는 제4 래치(1234)에 저장된 데이터를 삭제하는 리셋 동작을 수행할 수 있다. 그리고, 프로그램 동작 제어부(131)는 제5 래치(1235)의 N+1번째 CSB 비트를 제4 래치(1234)로 이동시킬 수 있다.
- [0162] S1627 단계에서, 프로그램 동작 제어부(131)는 제5 래치(1235)에 외부로부터 수신한 새로운 데이터를 입력할 수 있다. 구체적으로, 프로그램 동작 제어부(131)는 N+1번째 페이지에 저장될 비트들 중 페이지 버퍼(1230)에 아직 저장되지 않은 비트가 제5 래치(1235)에 입력되도록 주변 회로(120)를 제어할 수 있다. 예를 들어, 프로그램 동작 제어부(131)는 제5 래치(1235)에 저장된 데이터를 삭제하는 리셋 동작을 수행하고, 제5 래치(1235)에 N+1번째 페이지에 저장될 MSB 비트를 입력할 수 있다.
- [0163] 한편, 종래에는 제6 프로그램 상태(P6)에 대한 검증 동작이 패스된 경우에도 검증 동작에 대한 결과, 즉, 검증 정보를 저장하는 래치가 적어도 하나가 필요하므로, 제7 프로그램 상태(P7)에 대한 검증 동작이 패스된 이후에 검증 정보를 포함하는 래치를 리셋할 수 있었다. 본 발명의 일 실시 예에 따르면, 제7 프로그램 상태(P7)에 대한 프리 검증 동작을 생략하고, 제1 내지 제6 프로그램 상태(P6)에 대한 프리 검증 동작에 대한 검증 정보를 저장하는 래치를 이용하여 메인 검증 정보를 저장함으로써, 캐시 프로그램 동작시 성능을 개선할 수 있는 효과가 있다.

- [0164] 이후, S1630 단계에서, 프로그램 동작 제어부(131)는 제7 프로그램 상태(P7)를 형성하기 위한 프로그램 루프를 시작할 수 있다. 구체적으로, 프리차지(precharge) 구간에서, 프로그램 동작 제어부(131)는 제1 래치(1231)로 이동된 검증 정보를 기반으로 제7 프로그램 상태(P7)로 프로그램될 메모리 셀의 비트라인을 프리차지할 수 있다. 소거 상태(E) 및 제1 프로그램 상태(P1) 내지 제6 프로그램 상태(P6)로 프로그램이 완료된 메모리 셀의 비트라인은 프로그램 금지 전압으로 프리차지될 수 있다. 프로그램 동작 제어부(131)는 프로그램(program) 구간에서 선택된 워드라인에 제7 프로그램 상태를 형성하기 위한 프로그램 전압을 인가할 수 있다. 그리고, 프로그램 동작 제어부(131)는 제7 프로그램 상태(P7)에 대한 검증 동작이 패스할 때까지 프로그램 전압을 스텝 전압만큼 상승시키는 프로그램 루프를 반복적으로 수행할 수 있다.
- [0165] S1640 단계에서, 프로그램 동작 제어부(131)는 페이지 버퍼(1230)에 저장된 N+1 번째 페이지에 저장될 데이터가 N+1 페이지에 저장되도록 프로그램 동작을 수행할 수 있다.
- [0166] 도 17은 본 발명의 일 실시 예에 따른 메모리 카드 시스템을 설명하기 위한 도면이다.
- [0167] 도 17을 참조하면, 메모리 카드 시스템(2000)은 메모리 컨트롤러(2100), 메모리 장치(2200) 및 커넥터(2300)를 포함할 수 있다.
- [0168] 메모리 컨트롤러(2100)는 메모리 장치(2200)와 전기적으로 연결되고, 메모리 컨트롤러(2100)는 메모리 장치(2200)를 액세스하도록 구성될 수 있다. 예를 들어, 메모리 컨트롤러(2100)는 메모리 장치(2200)에 대한 읽기 동작, 쓰기 동작, 소거 동작 및 배경(background) 동작을 제어하도록 구성될 수 있다. 메모리 컨트롤러(2100)는 메모리 장치(2200) 및 호스트 사이에 인터페이스를 제공하도록 구성될 수 있다. 그리고, 메모리 컨트롤러(2100)는 메모리 장치(2200)를 제어하기 위한 펌웨어(firmware)를 구동할 수 있다.
- [0169] 예를 들어, 메모리 컨트롤러(2100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부와 같은 구성 요소들을 포함할 수 있다.
- [0170] 메모리 컨트롤러(2100)는 커넥터(2300)를 통해 외부 장치와 통신할 수 있다. 메모리 컨트롤러(2100)는 특정한 통신 규격에 따라 외부 장치(예컨대, 호스트)와 통신할 수 있다. 예시적으로, 메모리 컨트롤러(2100)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer system interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성될 수 있다. 예시적으로, 커넥터(2300)는 상술된 다양한 통신 규격들 중 적어도 하나에 의해 정의될 수 있다.
- [0171] 예시적으로, 메모리 장치(2200)는 EEPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노아 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin-Torque Magnetic RAM) 등과 같은 다양한 불휘발성 메모리 소자들로 구현될 수 있다.
- [0172] 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어 PC 카드 (PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 범용 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0173] 도 18은 본 발명의 일 실시 예에 따른 SSD(Solid State Drive) 시스템을 설명하기 위한 도면이다.
- [0174] 도 18를 참조하면, SSD 시스템(3000)은 호스트(3100) 및 SSD(3200)를 포함할 수 있다. SSD(3200)는 신호 커넥터(3001)를 통해 호스트(3100)와 신호(SIG)를 주고받고, 전원 커넥터(3002)를 통해 전원(PWR)을 입력 받을 수 있다. SSD(3200)는 SSD 컨트롤러(3210), 복수의 플래시 메모리들(3221~322n), 보조 전원 장치(3230), 및 버퍼 메모리(3240)를 포함할 수 있다.
- [0175] 실시 예에서, SSD 컨트롤러(3210)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)의 기능을 수행할 수 있다. SSD 컨트롤러(3210)는 호스트(3100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(3221~322n)을 제어할 수 있다. 예시적으로, 신호(SIG)는 호스트(3100) 및 SSD(3200)의 인터페이스에 기반된 신호들일 수 있다. 예를 들어, 신호(SIG)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI

(peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer system interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 인터페이스들 중 적어도 하나에 의해 정의된 신호일 수 있다.

- [0176] 보조 전원 장치(3230)는 전원 커넥터(3002)를 통해 호스트(3100)와 연결될 수 있다. 보조 전원 장치(3230)는 호스트(3100)로부터 전원(PWR)을 입력받고, 충전할 수 있다. 보조 전원 장치(3230)는 호스트(3100)로부터의 전원 공급이 원활하지 않을 경우, SSD(3200)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(3230)는 SSD(3200) 내에 위치할 수도 있고, SSD(3200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(3230)는 메인 보드에 위치하며, SSD(3200)에 보조 전원을 제공할 수도 있다.
- [0177] 버퍼 메모리(3240)는 SSD(3200)의 버퍼 메모리로 동작할 수 있다. 예를 들어, 버퍼 메모리(3240)는 호스트(3100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(3221~322n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(3221~322n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(3240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, GRAM 등과 같은 휘발성 메모리 또는 FRAM, ReRAM, STT-MRAM, PRAM 등과 같은 불휘발성 메모리들을 포함할 수 있다.
- [0178] 도 19는 본 발명의 일 실시 예에 따른 사용자 시스템을 설명하기 위한 도면이다.
- [0179] 도 19를 참조하면, 사용자 시스템(4000)은 애플리케이션 프로세서(4100), 메모리 모듈(4200), 네트워크 모듈(4300), 스토리지 모듈(4400), 및 사용자 인터페이스(4500)를 포함할 수 있다.
- [0180] 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들, 운영체제(OS; Operating System), 또는 사용자 프로그램 등을 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리케이션 프로세서(4100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.
- [0181] 메모리 모듈(4200)은 사용자 시스템(4000)의 주 메모리, 동작 메모리, 버퍼 메모리, 또는 캐시 메모리로 동작할 수 있다. 메모리 모듈(4200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR2 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 불휘발성 랜덤 액세스 메모리를 포함할 수 있다. 예시적으로 애플리케이션 프로세서(4100) 및 메모리 모듈(4200)은 POP(Package on Package)를 기반으로 패키징되어 하나의 반도체 패키지로 제공될 수 있다.
- [0182] 네트워크 모듈(4300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(4300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, Wi-Fi 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(4300)은 애플리케이션 프로세서(4100)에 포함될 수 있다.
- [0183] 스토리지 모듈(4400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(4400)은 애플리케이션 프로세서(4100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(4400)은 스토리지 모듈(4400)에 저장된 데이터를 애플리케이션 프로세서(4100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(4400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 불휘발성 반도체 메모리 소자로 구현될 수 있다. 예시적으로, 스토리지 모듈(4400)은 사용자 시스템(4000)의 메모리 카드, 외장형 드라이브 등과 같은 탈착식 저장 매체(removable drive)로 제공될 수 있다.
- [0184] 예시적으로, 스토리지 모듈(4400)은 복수의 불휘발성 메모리 장치들을 포함할 수 있고, 복수의 불휘발성 메모리 장치들은 도 1 내지 도 16을 참조하여 설명한 메모리 장치와 동일하게 동작할 수 있다. 스토리지 모듈(4400)은 도 1을 참조하여 설명된 저장 장치(1000)와 동일하게 동작할 수 있다.
- [0185] 사용자 인터페이스(4500)는 애플리케이션 프로세서(4100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(4500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(4500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.

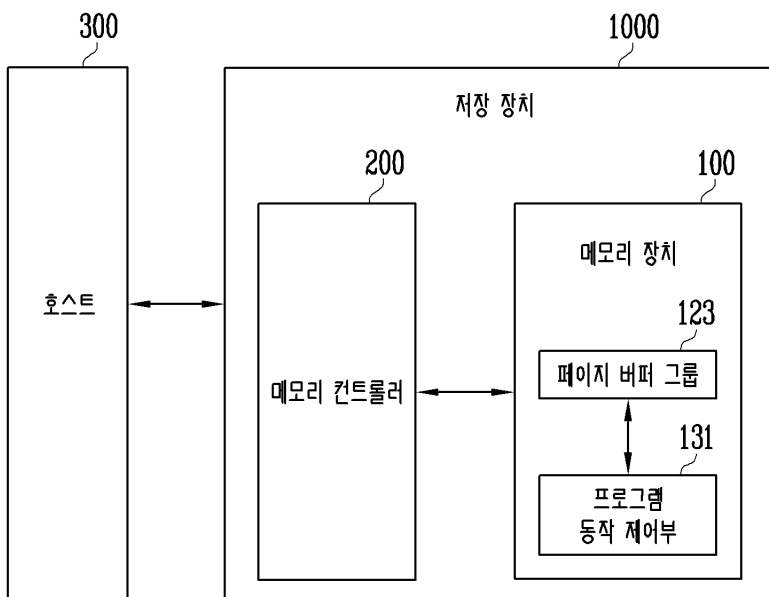
부호의 설명

[0186]

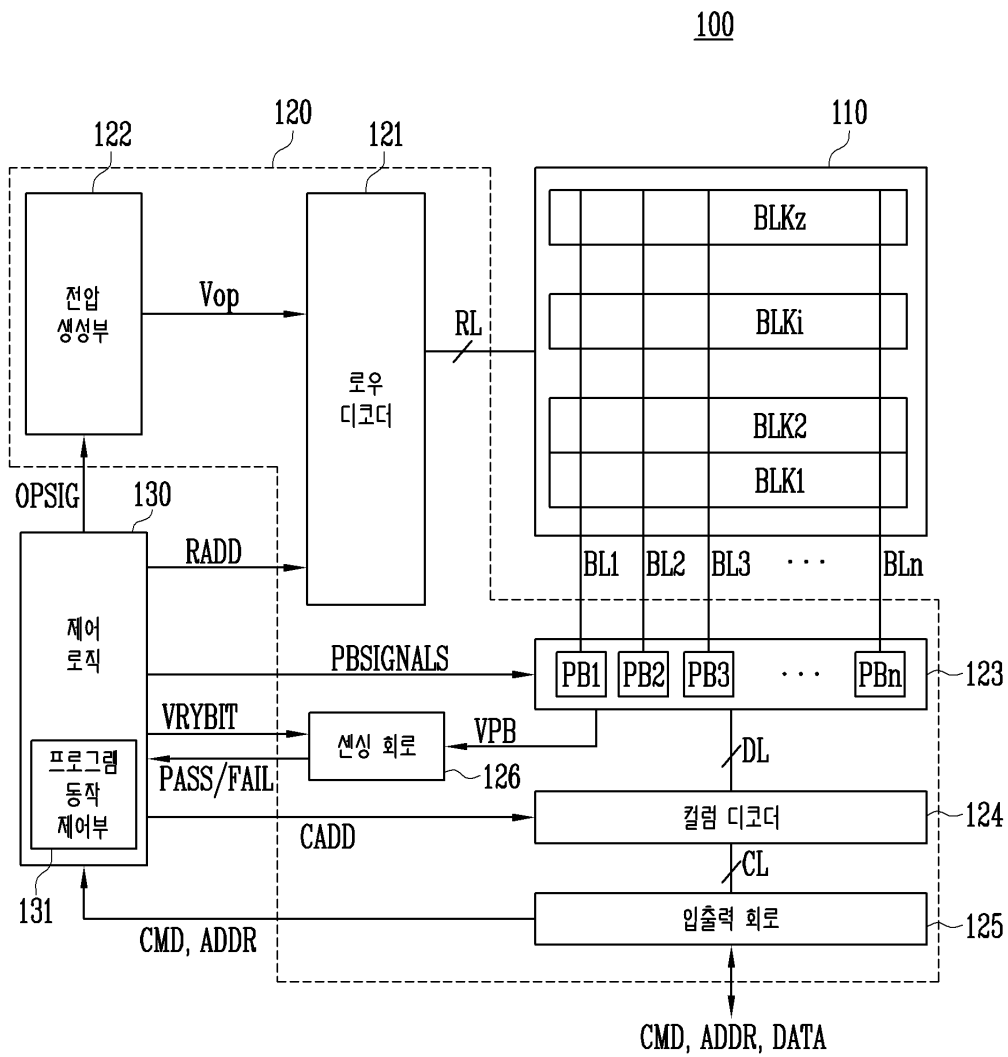
- 1000: 저장 장치
- 100: 메모리 장치
- 123: 페이지 버퍼 그룹
- 131: 프로그램 동작 제어부
- 200: 메모리 컨트롤러
- 300: 호스트

도면

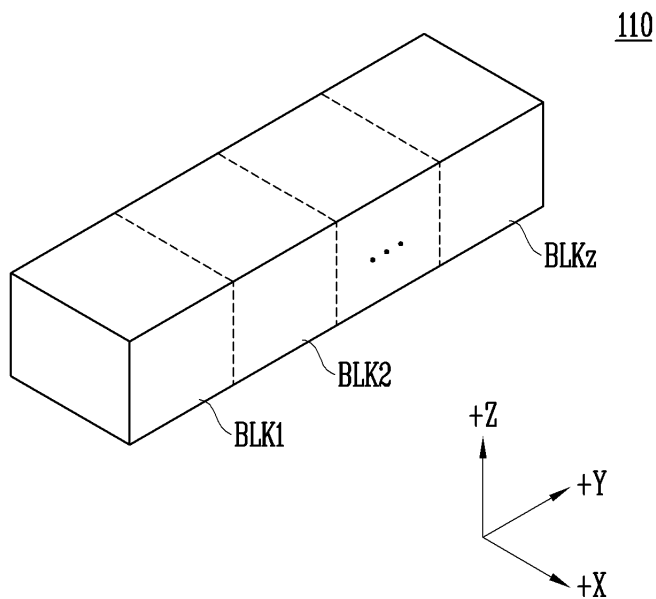
도면1



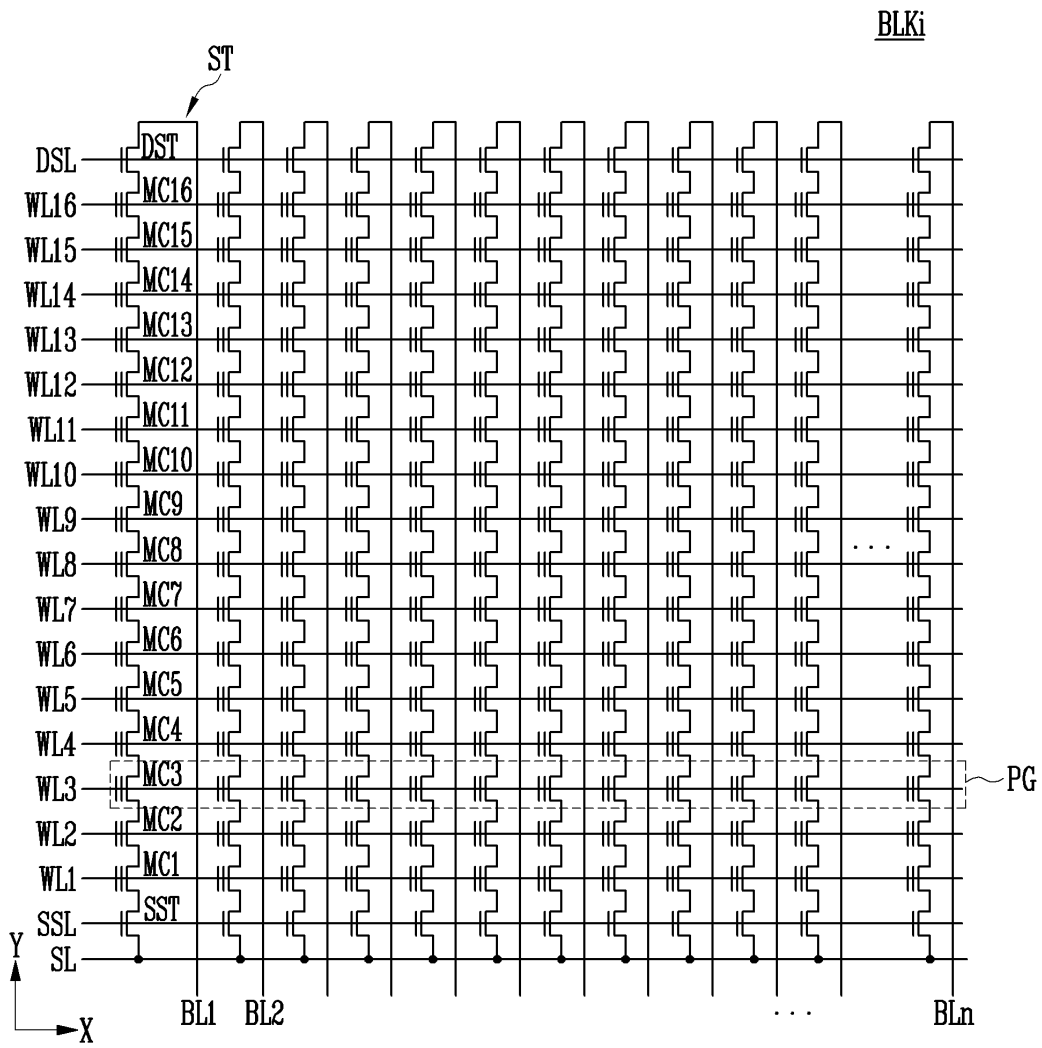
도면2



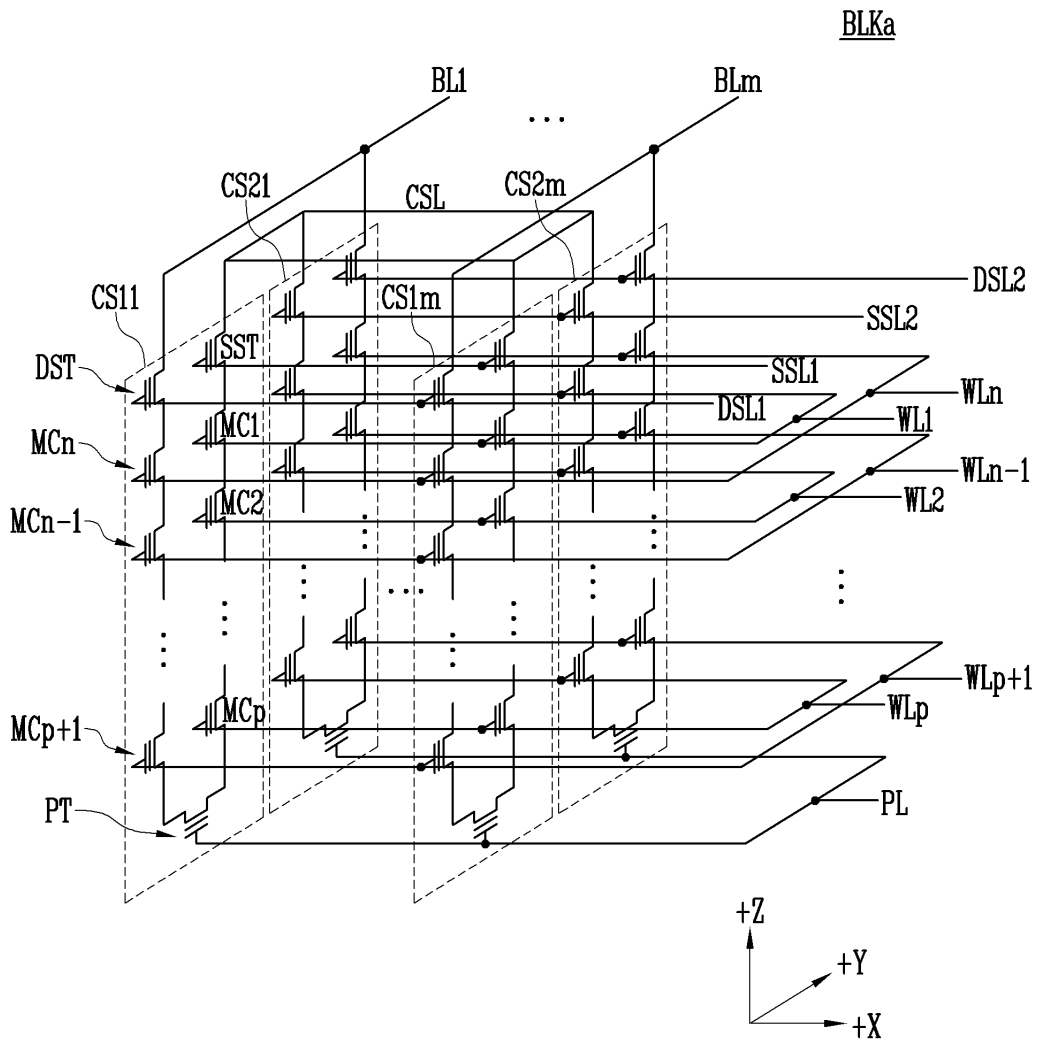
도면3



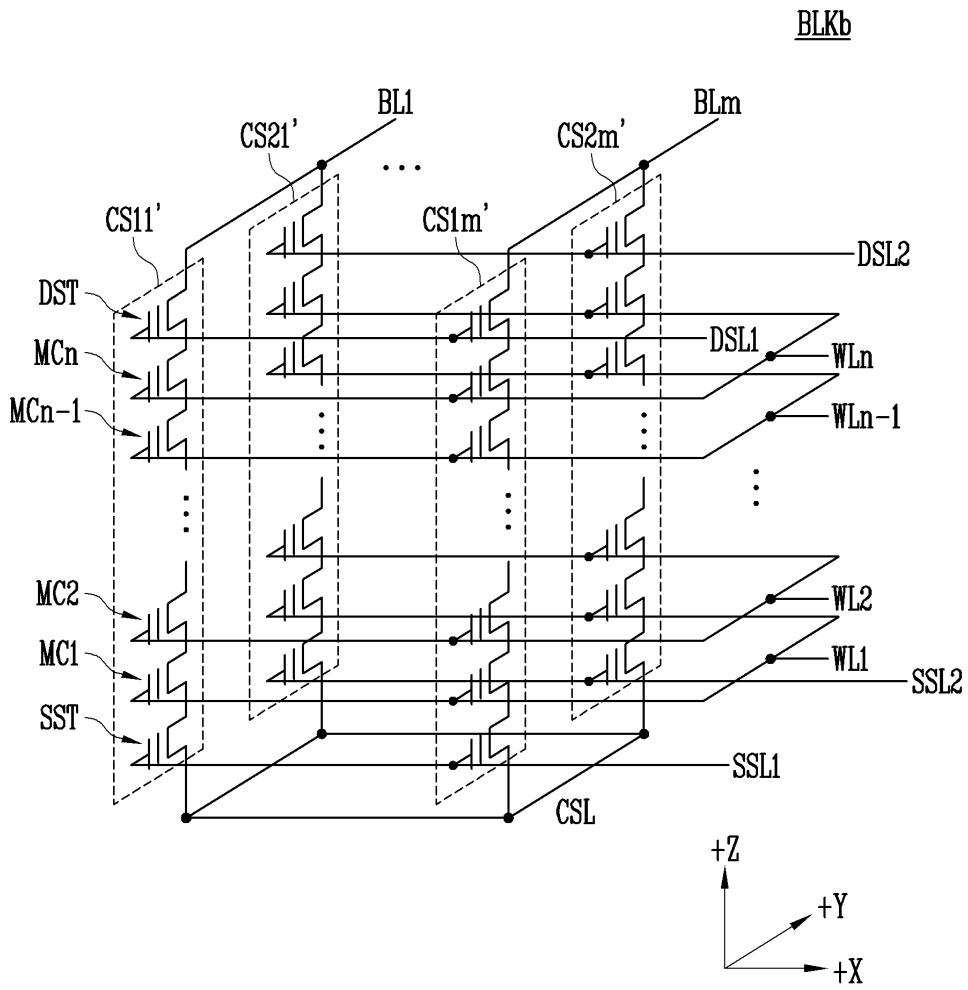
도면4



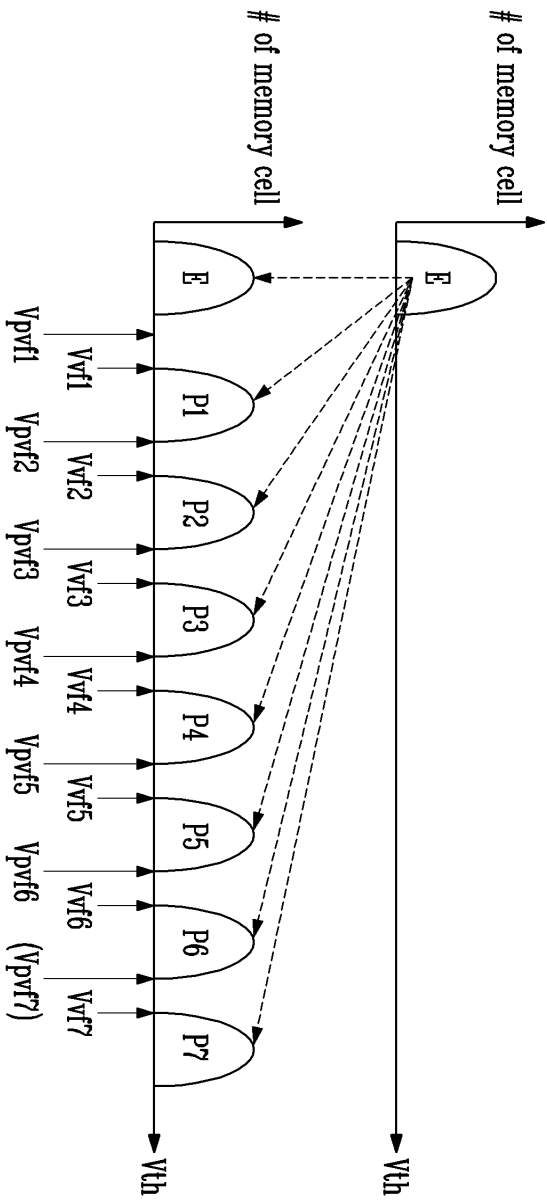
도면5



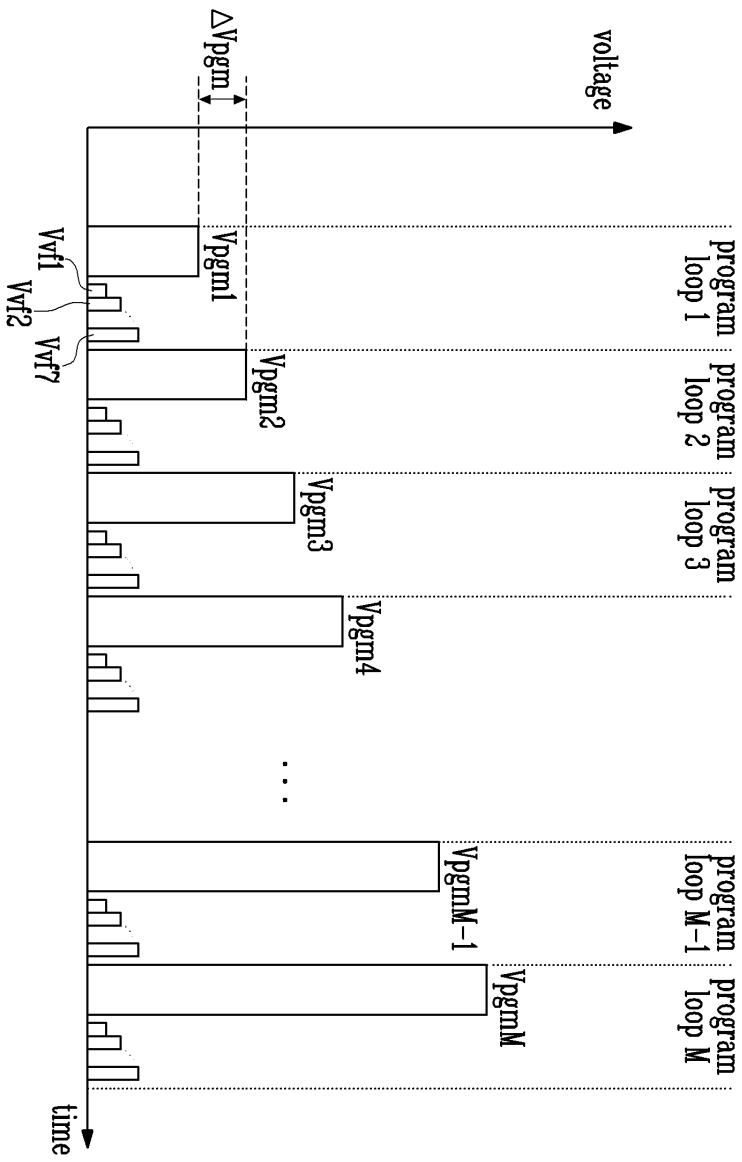
도면6



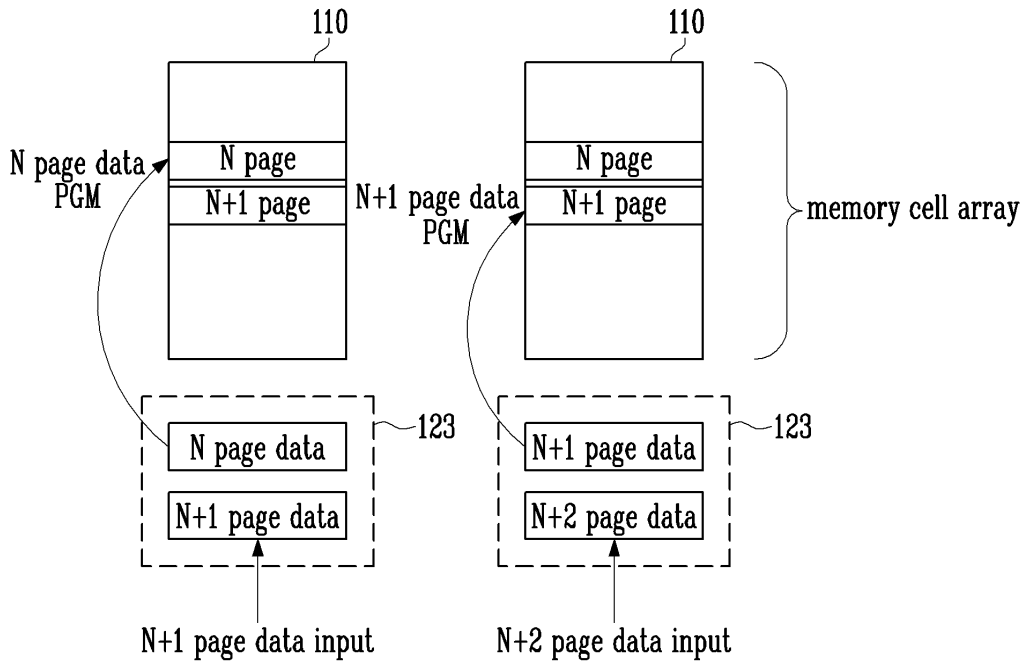
도면7



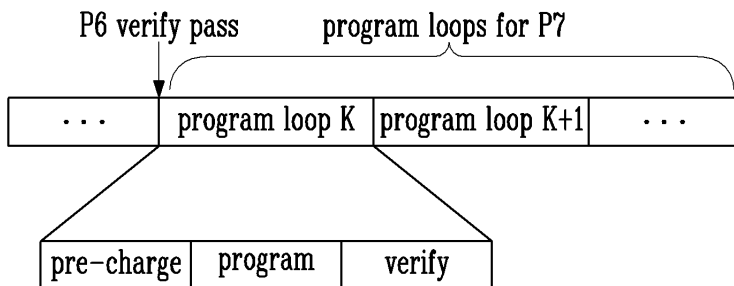
도면8



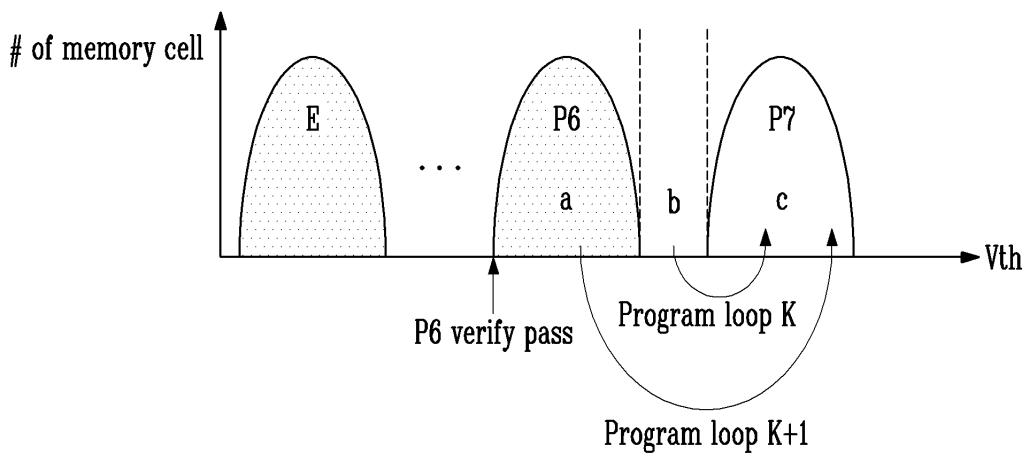
도면9



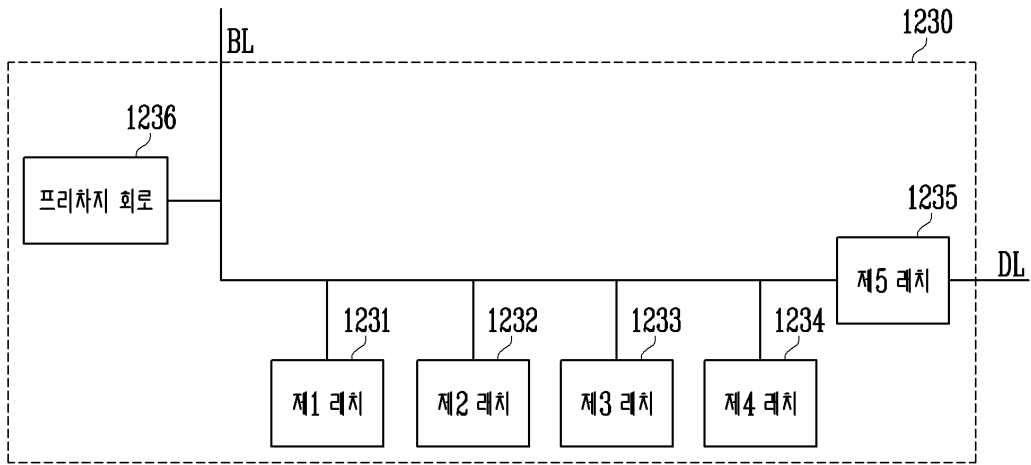
도면10



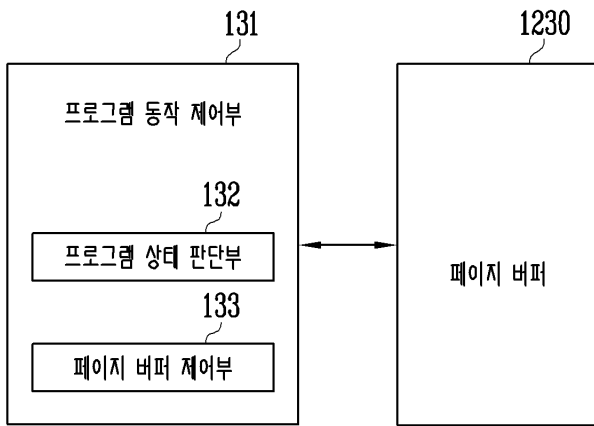
도면11



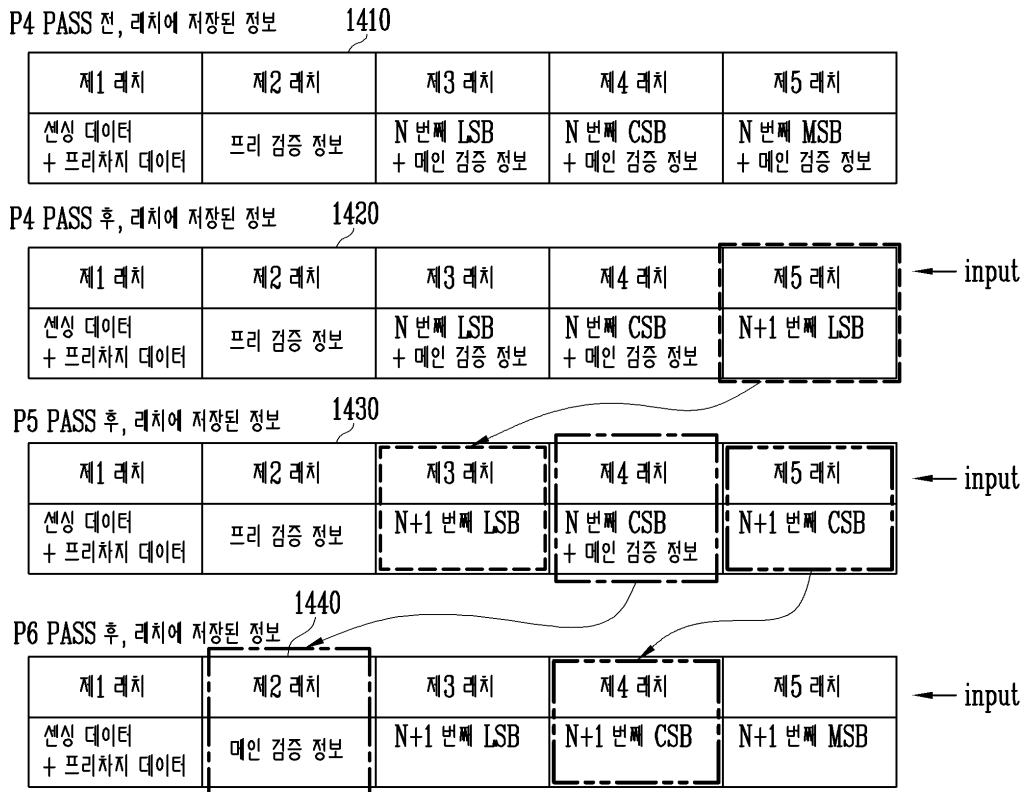
도면12



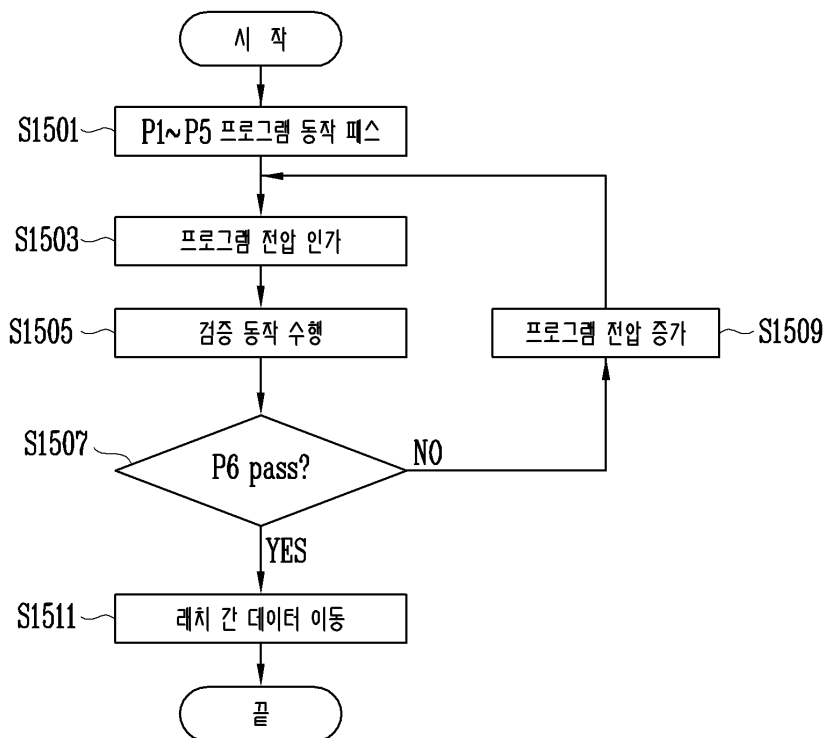
도면13



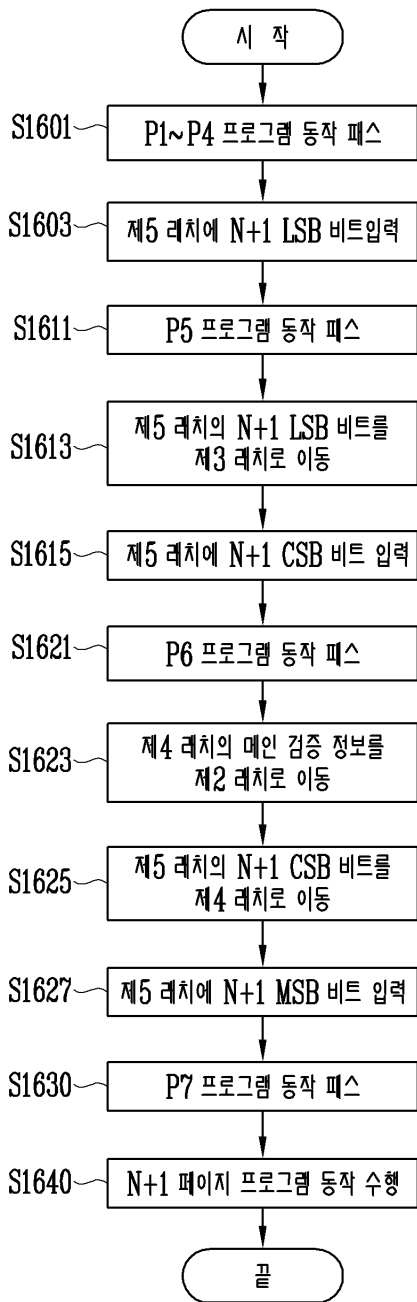
도면14



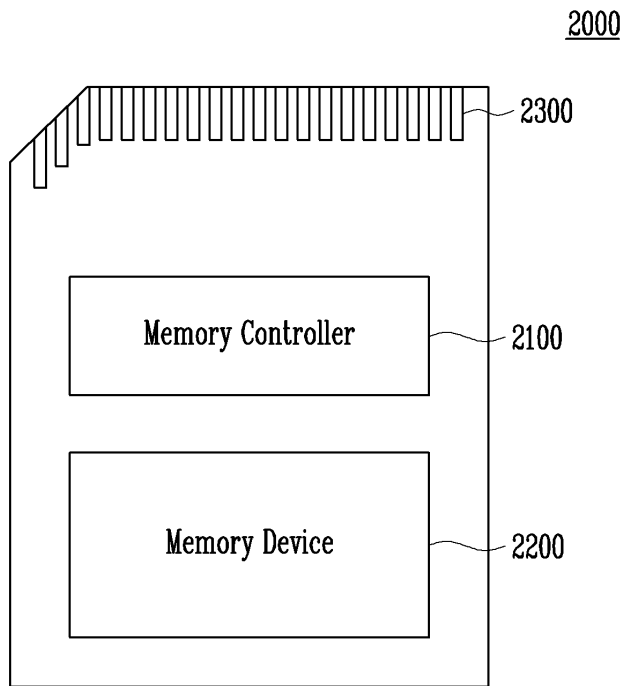
도면15



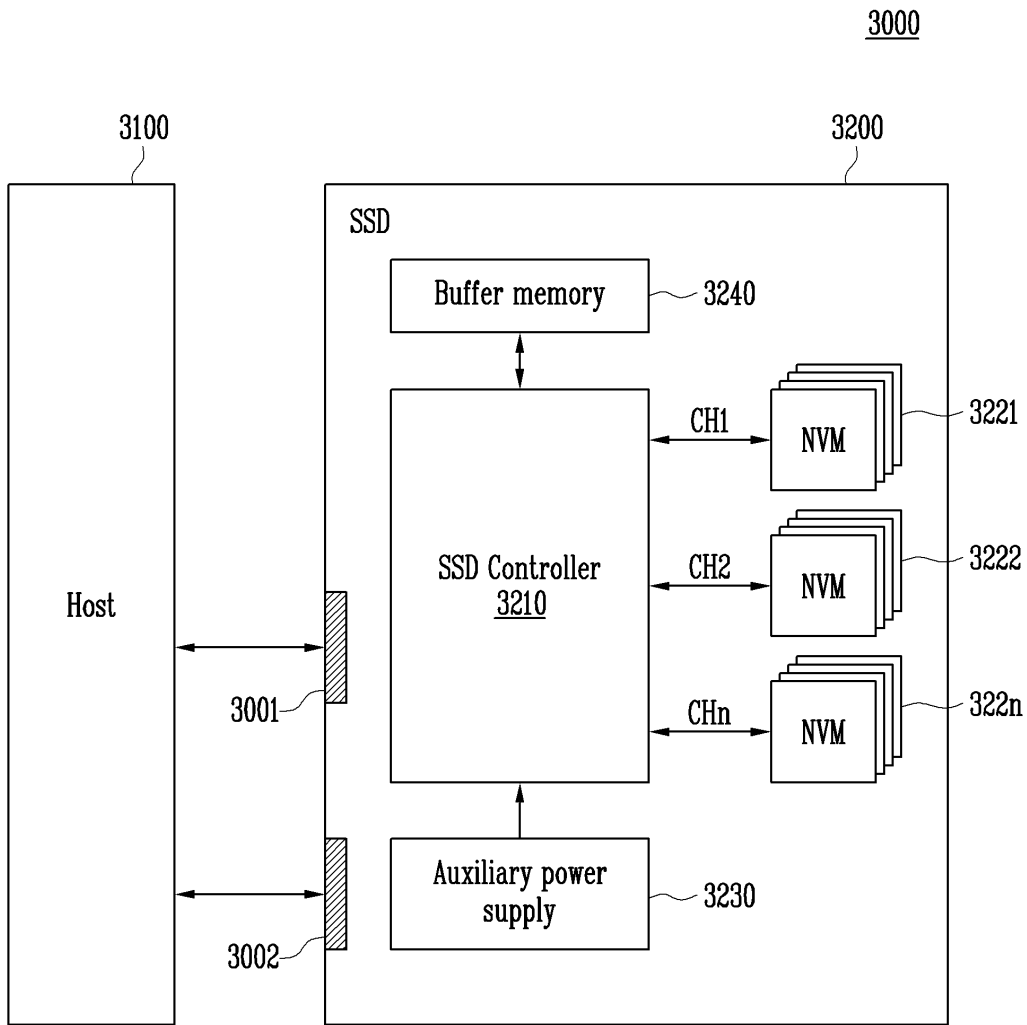
도면16



도면17

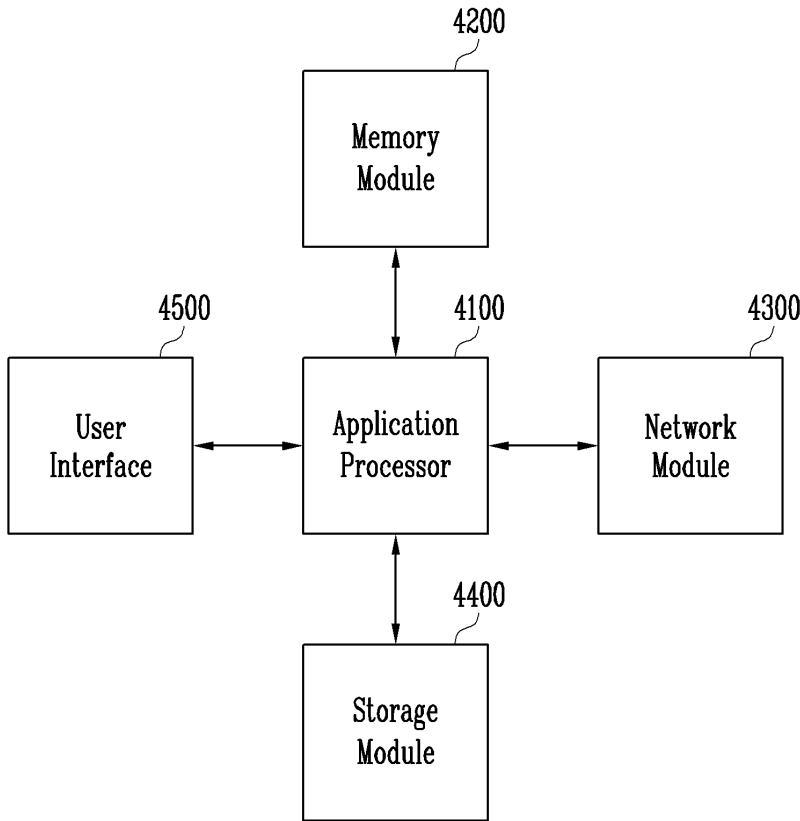


도면18



도면19

4000



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 11

【변경전】

선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제n 프로그램 상태(단, n은 1보다 큰 자연수) 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들;

상기 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치;

상기 제1 내지 제n 프로그램 상태에 대한 검증 동작시, 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리 검증 전압을 상기 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치;

상기 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들; 및

상기 제1 내지 제n 프로그램 상태 중 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 상기 제1 내지 상기 임계 프로그램 상태의 검증 동작에서 상기 메인 검증 전압에 대한 메인 검증 정보를 상기 복수의 데이터 래치들 중 적어도 하나의 데이터 래치에 저장하고,

상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후에, 상기 제n 프로그램 상태에 대한 상기 메인 검증 정보를 상기 프리 래치에 저장하는 제어 로직;을 포함하는 메모리 장치.

【변경후】

선택된 워드라인과 연결되고, 문턱 전압을 기초로 구분되는 제1 내지 제n 프로그램 상태(단, n은 1보다 큰 자연

수) 중 어느 하나의 상태로 프로그램되는 복수의 메모리 셀들;

상기 복수의 메모리 셀들 중 어느 하나의 메모리 셀과 연결된 비트라인으로부터 센싱된 데이터를 저장하는 센싱 래치;

상기 제1 내지 제n 프로그램 상태에 대한 검증 동작시, 메인 검증 전압보다 낮은 전위 레벨을 갖는 프리 검증 전압을 상기 선택된 워드라인에 인가할지 여부를 나타내는 프리 검증 정보를 저장하는 프리 래치;

상기 어느 하나의 메모리 셀에 저장될 데이터들을 저장하는 복수의 데이터 래치들; 및

상기 제1 내지 제n 프로그램 상태 중 임계 프로그램 상태에 대한 검증 동작이 패스될 때까지, 상기 제1 내지 상기 임계 프로그램 상태의 검증 동작에서 상기 메인 검증 전압에 대한 메인 검증 정보를 상기 복수의 데이터 래치들 중 적어도 하나의 데이터 래치에 저장하고,

상기 임계 프로그램 상태에 대한 검증 동작이 패스된 이후에, 상기 제n 프로그램 상태에 대한 상기 메인 검증 정보를 상기 프리 래치에 저장하는 제어 로직;을 포함하는 메모리 장치.