



(12) 发明专利申请

(10) 申请公布号 CN 114825303 A

(43) 申请公布日 2022. 07. 29

(21) 申请号 202111090367.3

(22) 申请日 2021.09.17

(30) 优先权数据

10-2021-0012351 2021.01.28 KR

(71) 申请人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 李承镐

(74) 专利代理机构 北京路浩知识产权代理有限公司

公司 11002

专利代理师 宋玉环 赵赫

(51) Int. Cl.

H02H 9/04 (2006.01)

H01L 27/02 (2006.01)

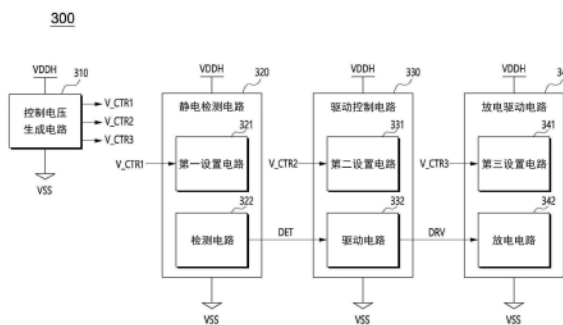
权利要求书4页 说明书14页 附图6页

(54) 发明名称

静电放电电路和静电放电控制系统

(57) 摘要

本申请涉及一种静电放电电路,该静电放电电路可以包括控制电压生成电路、静电检测电路、驱动控制电路和放电驱动电路。控制电压生成电路可以通过对供电电压的分压操作生成第一至第三控制电压。静电检测电路可以基于第一控制电压设置第一设置电压,并且检测通过第一设置电压传输的静电。驱动控制电路可以基于第二控制电压设置第二设置电压,并且生成驱动控制信号。放电驱动电路可以基于第三控制电压设置第三设置电压,并且对静电执行放电操作。



1. 一种静电放电电路,包括:

控制电压生成电路,通过对供电电压进行分压来生成第一控制电压、第二控制电压和第三控制电压;

静电检测电路,基于所述第一控制电压设置第一设置电压,并且通过检测所述第一设置电压中包含的静电来生成静电检测信号;

驱动控制电路,基于所述第二控制电压设置第二设置电压,并且基于所述静电检测信号生成驱动控制信号;以及

放电驱动电路,基于所述第三控制电压设置第三设置电压,并且基于所述驱动控制信号对所述第三设置电压中包含的静电执行放电操作。

2. 根据权利要求1所述的静电放电电路,其中所述第一控制电压至所述第三控制电压中的一个或多个具有不同的电压电平。

3. 根据权利要求1所述的静电放电电路,其中所述第一控制电压至所述第三控制电压具有从所述供电电压的电压电平依次减小的电压电平。

4. 根据权利要求1所述的静电放电电路,其中所述静电检测电路包括:

第一设置电路,接收所述供电电压,并且基于所述第一控制电压生成所述第一设置电压;以及

检测电路,检测所述第一设置电压中包含的所述静电,并且输出所述静电检测信号。

5. 根据权利要求1所述的静电放电电路,其中所述驱动控制电路包括:

第二设置电路,接收所述供电电压,并且基于所述第二控制电压生成所述第二设置电压;以及

驱动电路,基于所述静电检测信号生成所述驱动控制信号。

6. 根据权利要求1所述的静电放电电路,其中所述放电驱动电路包括:

第三设置电路,接收所述供电电压,并且基于所述第三控制电压生成所述第三设置电压;以及

放电电路,基于所述驱动控制信号形成针对所述第三设置电压的放电路径。

7. 根据权利要求1所述的静电放电电路,其中所述静电检测电路包括第一低压晶体管,所述第一低压晶体管通过所述第一低压晶体管的栅极端子接收所述第一控制电压,

所述驱动控制电路包括第二低压晶体管和第三低压晶体管,所述第二低压晶体管通过所述第二低压晶体管的栅极端子接收所述第二控制电压,所述第三低压晶体管通过所述第三低压晶体管的栅极端子接收所述静电检测信号,并且

所述放电驱动电路包括第四低压晶体管和第五低压晶体管,所述第四低压晶体管通过所述第四低压晶体管的栅极端子接收所述第三控制电压,所述第五低压晶体管通过所述第五低压晶体管的栅极端子接收所述驱动控制信号。

8. 根据权利要求1所述的静电放电电路,进一步包括反向放电电路,所述反向放电电路将接地电压中包含的静电向所述供电电压所施加到的供电电压端子放电。

9. 一种静电放电控制系统,包括:

第一静电放电电路,对第一供电电压中包含的静电执行放电操作;

第二静电放电电路,对第二供电电压中包含的静电执行放电操作,所述第一供电电压比所述第二供电电压具有更高的电压电平;以及

选择控制电路,基于所述第一供电电压和所述第二供电电压中的所选择的供电电压来选择性地控制所述第一静电放电电路或所述第二静电放电电路,所选择的供电电压被施加到供电电压端子。

10. 根据权利要求9所述的静电放电控制系统,其中所述第一静电放电电路包括:

控制电压生成电路,通过对第一供电电压进行分压来生成第一控制电压、第二控制电压和第三控制电压;

静电检测电路,基于所述第一控制电压设置第一设置电压,并且通过检测所述第一设置电压中包含的静电来生成静电检测信号;

驱动控制电路,基于所述第二控制电压设置第二设置电压,并且基于所述静电检测信号生成驱动控制信号;以及

放电驱动电路,基于所述第三控制电压设置第三设置电压,并且基于所述驱动控制信号对所述第三设置电压中包含的静电执行放电操作。

11. 根据权利要求9所述的静电放电控制系统,其中所述选择控制电路分别向所述第一静电放电电路或所述第二静电放电电路选择性地提供所述第一供电电压或所述第二供电电压。

12. 根据权利要求9所述的静电放电控制系统,其中所述选择控制电路包括:

第一比较电路,将所选择的供电电压与对应于所述第一供电电压的第一参考电压进行比较;

第二比较电路,将所选择的供电电压与对应于所述第二供电电压的第二参考电压进行比较;

控制电路,基于所述第一比较电路和所述第二比较电路的输出信号生成选择控制信号;以及

输出电路,响应于所述选择控制信号选择性地输出所述第一供电电压或所述第二供电电压。

13. 根据权利要求10所述的静电放电控制系统,其中所述静电检测电路包括第一低压晶体管,所述第一低压晶体管通过所述第一低压晶体管的栅极端子接收所述第一控制电压,

所述驱动控制电路包括第二低压晶体管和第三低压晶体管,所述第二低压晶体管通过所述第二低压晶体管的栅极端子接收所述第二控制电压,所述第三低压晶体管通过所述第三低压晶体管的栅极端子接收所述静电检测信号,并且

所述放电驱动电路包括第四低压晶体管和第五低压晶体管,所述第四低压晶体管通过所述第四低压晶体管的栅极端子接收所述第三控制电压,所述第五低压晶体管通过所述第五低压晶体管的栅极端子接收所述驱动控制信号。

14. 根据权利要求9所述的静电放电控制系统,其中所述第二静电放电电路包括:

检测电路,检测所述第二供电电压中包含的静电;

驱动电路,基于所述检测电路的输出信号生成控制信号;以及

放电电路,基于所述控制信号形成针对所述第二供电电压的放电路径。

15. 根据权利要求10所述的静电放电控制系统,其中所述控制电压生成电路包括:

传输电路,响应于选择控制信号来传输所述第一供电电压;以及

分压电路,接收通过所述传输电路传输的电压,并且通过对所接收的电压进行分压来生成所述第一控制电压至所述第三控制电压。

16. 一种静电放电控制系统,包括:

控制信号生成电路,基于第一供电电压和第二供电电压中的所选择的供电电压来生成选择控制信号,所选择的供电电压被施加到供电电压端子;

控制电压生成电路,当所选择的供电电压是所述第一供电电压时,所述控制电压生成电路响应于所述选择控制信号而被启用,并且所述控制电压生成电路通过对所选择的供电电压进行分压来生成第一控制电压、第二控制电压和第三控制电压;

第一设置电路,接收所选择的供电电压,并且基于所述第一控制电压和所述选择控制信号中的一个来生成第一设置电压;

检测电路,检测所述第一设置电压中包括的静电,并且输出静电检测信号;

第二设置电路,接收所选择的供电电压,并且基于所述第二控制电压和所述选择控制信号中的一个来生成第二设置电压;

驱动电路,基于所述静电检测信号生成驱动控制信号;

第三设置电路,接收所选择的供电电压,并且基于所述第三控制电压和所述选择控制信号中的一个来生成第三设置电压;以及

放电电路,基于所述驱动控制信号形成针对所述第三设置电压的放电路径。

17. 根据权利要求16所述的静电放电控制系统,其中所述控制信号生成电路包括:

第一比较电路,将所选择的供电电压与对应于所述第一供电电压的第一参考电压进行比较;

第二比较电路,将所选择的供电电压与对应于所述第二供电电压的第二参考电压进行比较;以及

控制电路,基于所述第一比较电路和所述第二比较电路的输出信号来生成所述选择控制信号。

18. 根据权利要求16所述的静电放电控制系统,其中所述第一设置电路包括第一低压NMOS晶体管,所述第一低压NMOS晶体管通过所述第一低压NMOS晶体管的栅极端子接收所述第一控制电压,

所述第二设置电路包括第二低压NMOS晶体管,所述第二低压NMOS晶体管通过所述第二低压NMOS晶体管的栅极端子接收所述第二控制电压,并且

所述第三设置电路包括第三低压NMOS晶体管,所述第三低压NMOS晶体管通过所述第三低压NMOS晶体管的栅极端子接收所述第三控制电压。

19. 根据权利要求18所述的静电放电控制系统,其中所述第一设置电路进一步包括第一低压PMOS晶体管,所述第一低压PMOS晶体管与所述第一低压NMOS晶体管并联联接,并且通过所述第一低压PMOS晶体管的栅极端子接收所述选择控制信号,

所述第二设置电路进一步包括第二低压PMOS晶体管,所述第二低压PMOS晶体管与所述第二低压NMOS晶体管并联联接,并且通过所述第二低压PMOS晶体管的栅极端子接收所述选择控制信号,并且

所述第三设置电路进一步包括第三低压PMOS晶体管,所述第三低压PMOS晶体管与所述第三低压NMOS晶体管并联联接,并且通过所述第三低压PMOS晶体管的栅极端子接收所述选

择控制信号。

20. 一种静电放电电路,包括:

偏置生成电路,生成偏置电压;

静电感测电路,感测供电电压中包含的静电,并且生成驱动控制信号;以及

放电驱动电路,基于所述偏置电压来设置设置电压,并且基于所述驱动控制信号对所述设置电压中包含的静电执行放电操作。

21. 根据权利要求20所述的静电放电电路,其中所述静电感测电路包括:

静电检测电路,检测所述供电电压中包含的静电,并且生成静电检测信号;以及

驱动控制电路,基于所述静电检测信号生成所述驱动控制信号。

22. 根据权利要求21所述的静电放电电路,其中所述偏置生成电路通过对所述供电电压进行分压来生成所述偏置电压。

23. 根据权利要求22所述的静电放电电路,其中所述静电检测电路包括:

第一设置电路,接收所述供电电压,并且基于所述偏置电压生成第一设置电压;以及检测电路,检测所述第一设置电压中包含的静电,并且输出所述静电检测信号。

24. 根据权利要求22所述的静电放电电路,其中所述驱动控制电路包括:

第二设置电路,接收所述供电电压,并且基于所述偏置电压生成第二设置电压;以及驱动电路,基于所述静电检测信号来生成所述驱动控制信号。

25. 根据权利要求20所述的静电放电电路,其中所述放电驱动电路包括:

设置电路,接收所述供电电压,并且基于所述偏置电压生成所述设置电压;以及放电电路,基于所述驱动控制信号形成针对所述设置电压的放电路径。

26. 根据权利要求20所述的静电放电电路,其中所述放电驱动电路包括:

第一低压晶体管,通过所述第一低压晶体管的栅极端子接收所述偏置电压;以及

第二低压晶体管,通过所述第二低压晶体管的栅极端子接收所述驱动控制信号。

27. 根据权利要求20所述的静电放电电路,进一步包括反向放电电路,所述反向放电电路将接地电压中包含的静电向所述供电电压所施加到的供电电压端子放电。

静电放电电路和静电放电控制系统

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年01月28日提交的韩国专利申请10-2021-0012351的优先权，该韩国专利申请通过引用整体并入本文。

技术领域

[0003] 各个实施例总体上涉及一种静电放电电路和静电放电控制系统，更特别地，涉及一种能够保护集成电路的内部电路免受电力中包含的静电的影响的静电放电电路和静电放电控制系统。

背景技术

[0004] 通常，包括半导体设备的集成电路接收电力，并且执行各种电路操作。为了稳定地执行各种电路操作，集成电路需要接收稳定的电力。然而，施加到集成电路的电力可能包含不期望的具有较高电压的静电。

[0005] 最近，随着技术的发展，安装在集成电路上的内部电路的大小逐渐减小，集成度也越来越高。在这种情况下，电力中包含的较高电压的静电会对内部电路产生潜在的破坏性影响。特别地，较高电压的静电可能破坏内部电路中包括的金属氧化物半导体(MOS)晶体管的栅极介电层。因此，集成电路包括用于保护内部电路免受较高电压静电的影响的ESD(静电放电)电路。

发明内容

[0006] 在实施例中，一种静电放电电路可包括：控制电压生成电路，被配置为通过对供电电压进行分压来生成第一控制电压、第二控制电压和第三控制电压；静电检测电路，被配置为基于第一控制电压设置第一设置电压，并且通过检测第一设置电压中包含的静电来生成静电检测信号；驱动控制电路，被配置为基于第二控制电压设置第二设置电压，并且基于静电检测信号生成驱动控制信号；以及放电驱动电路，被配置为基于第三控制电压设置第三设置电压，并且基于驱动控制信号对第三设置电压中包含的静电执行放电操作。

[0007] 在实施例中，一种静电放电控制系统可以包括：第一静电放电电路，被配置为对第一供电电压中包含的静电执行放电操作；第二静电放电电路，被配置为对第二供电电压中包含的静电执行放电操作，第一供电电压比第二供电电压具有更高的电压电平；以及选择控制电路，被配置为基于第一供电电压和第二供电电压中的所选择的供电电压来选择性地控制第一静电放电电路或第二静电放电电路，所选择的供电电压被施加到供电电压端子。

[0008] 在实施例中，一种静电放电控制系统可以包括：控制信号生成电路，被配置为基于第一供电电压和第二供电电压中的所选择的供电电压生成选择控制信号，所选择的供电电压被施加到供电电压端子；控制电压生成电路，该控制电压生成电路在所选择的供电电压是第一供电电压时，响应于选择控制信号而被启用，并且该控制电压生成电路被配置为通过对所选择的供电电压进行分压来生成第一控制电压、第二控制电压和第三控制电压；第

一设置电路,被配置为接收所选择的供电电压,并且基于第一控制电压和选择控制信号中的一个生成第一设置电压;检测电路,被配置为检测第一设置电压中包含的静电并输出静电检测信号;第二设置电路,被配置为接收所选择的供电电压,并且基于第二控制电压和选择控制信号中的一个来生成第二设置电压;驱动电路,被配置为基于静电检测信号生成驱动控制信号;第三设置电路,被配置为接收所选择的供电电压,并且基于第三控制电压和选择控制信号中的一个生成第三设置电压;以及放电电路,被配置为基于驱动控制信号形成针对第三设置电压的放电路径。

[0009] 在实施例中,静电放电电路可包括:偏置生成电路,被配置为生成偏置电压;静电感测电路,被配置为感测供电电压中包含的静电,并且生成驱动控制信号;以及放电驱动电路,被配置为基于偏置电压来设置设置电压,并且基于驱动控制信号对设置电压中包含的静电执行放电操作。

附图说明

- [0010] 图1是示出根据实施例的静电放电电路的框图。
- [0011] 图2是示出图1的静电放电电路的电路图。
- [0012] 图3示出根据实施例的静电放电控制系统。
- [0013] 图4示出图3的选择控制电路。
- [0014] 图5示出图3的第二静电放电电路。
- [0015] 图6示出根据另一实施例的控制电压生成电路。
- [0016] 图7示出根据另一实施例的静电放电控制系统。
- [0017] 图8示出图7的控制信号生成电路。
- [0018] 图9是示出根据另一实施例的静电放电电路的框图。

具体实施方式

[0019] 本发明的描述仅仅是针对结构和/或功能描述的实施例。本发明的权利范围不应被解释为限于说明书中描述的实施例。也就是说,因为实施例可以以各种方式修改并且可以具有各种形式,所以本发明的权利范围应当被理解为包括可以实现技术精神的等同方案。此外,本公开中提出的对象或效果并不意指特定实施例应当包括所有对象或效果或仅包括此类效果。因此,本公开的权利范围不应被理解为因此而受到限制。

[0020] 本申请中所述术语的含义应当作如下理解。

[0021] 诸如“第一”和“第二”的术语用于将一个元件与另一元件区分开,本公开的范围不应受这些术语的限制。例如,第一元件可以被命名为第二元件。同样地,第二元件可以被命名为第一元件。

[0022] 除非上下文中另有明确表述,否则单数表达应当被理解为包括复数表达。诸如“包括”或“具有”的术语应当被理解为指示存在一组特征、数字、步骤、操作、元件、部件或其组合,不排除存在或添加一个或多个其他特征、数字、步骤、操作、元件、部件或其组合的可能性。

[0023] 在步骤中的每一个中,使用符号(例如,a、b和c)以便于描述,并且符号不描述步骤的顺序。除非上下文中清楚地描述了特定顺序,否则这些步骤可以按照与上下文中描述的

顺序不同的顺序来执行。也就是说,步骤可以根据所描述的顺序执行,可以与所描述的顺序基本同时地执行,或者可以按照所描述的顺序的相反顺序执行。

[0024] 除非另有定义,否则本文中使用的包括技术术语或科学术语的所有术语具有与本领域技术人员通常理解的术语相同的含义。常用词典中定义的术语应当被理解为与相关技术语境中定义的术语具有相同的含义,除非在申请中明确定义,否则不应理解为具有理想或过于形式化的含义。

[0025] 各个实施例涉及一种静电放电电路,该静电放电电路包括低压晶体管,并且能够保护集成电路的内部电路免受供电电压中包含的静电的影响。

[0026] 而且,各个实施例还涉及一种能够保护集成电路的内部电路免受多个供电电压中包含的静电的影响的静电放电控制系统。

[0027] 图1是示出根据实施例的静电放电电路300的框图。

[0028] 参照图1,静电放电电路300可以被配置为感测和放电供电电压VDDH中包含的静电。更具体地,静电放电电路300可以包括控制电压生成电路310、静电检测电路320、驱动控制电路330和放电驱动电路340。

[0029] 控制电压生成电路310可以被配置为通过对供电电压VDDH进行分压来生成第一至第三控制电压V_CTR1至V_CTR3。供电电压VDDH可以具有相对较高的电压电平。例如,供电电压VDDH可以高于静电放电电路300中包括的低压晶体管的允许电压。例如,供电电压VDDH可以是约 $3.3V \pm 10\%$ 、约 $2.5V \pm 10\%$ 和约 $1.8V \pm 10\%$ 中的一种。作为参考,具有相对较低的电压电平的供电电压(将在下面描述)可以包括低压晶体管的允许电压。例如,具有相对较低的电压电平的供电电压可以是约 $1.8V \pm 10\%$ 、约 $1.2V \pm 10\%$ 和约 $0.8V \pm 10\%$ 中的一种。控制电压生成电路310可以联接在供电电压VDDH被施加到的供电电压端子与接地电压VSS被施加到的接地电压端子之间。

[0030] 由控制电压生成电路310生成的第一至第三控制电压V_CTR1至V_CTR3可以具有相同的电压电平。此外,第一至第三控制电压V_CTR1至V_CTR3中的至少一个可具有与第一至第三控制电压V_CTR1至V_CTR3中的其他控制电压不同的电压电平。图2示出具有彼此不同的电压电平的第一至第三控制电压V_CTR1至V_CTR3。

[0031] 静电检测电路320可以被配置为基于第一控制电压V_CTR1设置第一设置电压(setup voltage),并且检测第一设置电压中包含的静电。静电检测电路320可以通过检测静电来生成静电检测信号DET。静电检测电路320可以联接在供电电压端子与接地电压端子之间。更具体地,静电检测电路320可以包括第一设置电路321和检测电路322。

[0032] 第一设置电路321可以被配置为接收供电电压VDDH,并且基于第一控制电压V_CTR1生成第一设置电压。检测电路322可以被配置为检测第一设置电压中包含的静电,并且输出静电检测信号DET。下面将参照图2描述第一设置电路321和检测电路322的详细电路配置。

[0033] 驱动控制电路330可配置为基于第二控制电压V_CTR2设置第二设置电压,并且基于静电检测信号DET生成驱动控制信号DRV。驱动控制电路330可联接在供电电压端子与接地电压端子之间。更具体地,驱动控制电路330可以包括第二设置电路331和驱动电路332。

[0034] 第二设置电路331可以被配置为接收供电电压VDDH,并且基于第二控制电压V_CTR2生成第二设置电压。驱动电路332可以被配置为基于静电检测信号DET生成驱动控制信

号DRV。下面将参照图2描述第二设置电路331和驱动电路332的详细电路配置。

[0035] 放电驱动电路340可以配置为基于第三控制电压V_CTR3设置第三设置电压,并且基于驱动控制信号DRV对第三设置电压中包含的静电执行放电操作。放电驱动电路340可以联接在供电电压端子与接地电压端子之间。更具体地,放电驱动电路340可以包括第三设置电路341和放电电路342。

[0036] 第三设置电路341可以被配置为接收供电电压VDDH,并且基于第三控制电压V_CTR3生成第三设置电压。放电电路342可以被配置为基于驱动控制信号DRV形成针对第三设置电压的放电路径。下面将参照图2描述第三设置电路341和放电电路342的详细电路配置。

[0037] 图2是示出图1的静电放电电路300的电路图。

[0038] 参照图2,静电放电电路300可以包括控制电压生成电路310、静电检测电路320、驱动控制电路330和放电驱动电路340。

[0039] 控制电压生成电路310可以包括在供电电压端子与接地电压端子之间串联联接的第一至第四电阻器R1至R4。

[0040] 第一至第四电阻器R1至R4可通过对供电电压VDDH进行分压来生成第一至第三控制电压V_CTR1至V_CTR3。第三控制电压V_CTR3可以从第一电阻器R1和第二电阻器R2共同联接到的节点输出,第二控制电压V_CTR2可以从第二电阻器R2和第三电阻器R3共同联接到的节点输出,并且第一控制电压V_CTR1可以从第三电阻器R3和第四电阻器R4共同联接到的节点输出。因此,第一至第三控制电压V_CTR1至V_CTR3可以具有不同的电压电平。此外,第一至第三控制电压V_CTR1至V_CTR3可以具有从供电电压VDDH的电压电平依次降低的电压电平。即,在第一至第三控制电压V_CTR1至V_CTR3之中,第三控制电压V_CTR3可具有最高电压电平,第二控制电压V_CTR2可具有次高电压电平,并且第一控制电压V_CTR1可具有最低电压电平。

[0041] 具有上述配置的控制电压生成电路310可以通过对供电电压VDDH进行分压来生成第一至第三控制电压V_CTR1至V_CTR3。

[0042] 根据另一实施例,控制电压生成电路310可以包括在供电电压端子与接地电压端子之间串联联接的第一至第三电阻器R1至R3。第一至第三电阻器R1至R3可通过对供电电压VDDH进行分压来生成第一至第三控制电压V_CTR1至V_CTR3。在实施例中,第一控制电压V_CTR1和第二控制电压V_CTR2可以具有相同的电压电平。在另一实施例中,第二控制电压V_CTR2和第三控制电压V_CTR3可以具有相同的电压电平。

[0043] 静电检测电路320可以包括检测电路322和第一设置电路321。静电检测电路320可以包括串联联接在供电电压端子与接地电压端子之间的第五电阻器R5、第一NMOS晶体管NM1和电容器C。第一NMOS晶体管NM1可以被包括在第一设置电路321中。第五电阻器R5和电容器C可以被包括在检测电路322中。

[0044] 第一NMOS晶体管NM1可以联接在第五电阻器R5与第一节点N1之间,并且被配置为通过其栅极端子接收第一控制电压V_CTR1。第一NMOS晶体管NM1可以响应于第一控制电压V_CTR1而导通。因此,当第一NMOS晶体管NM1导通时,供电电压VDDH可以作为第一设置电压而通过第五电阻器R5和第一NMOS晶体管NM1传输到第一节点N1。因此,第一节点N1可以接收第一设置电压。

[0045] 电容器C可以联接在第一节点N1与接地电压端子之间。电容器C可以根据被传输到

第一节点N1的第一设置电压的电流特性而开路或短路。换句话说,当第一节点N1的第一设置电压具有DC特性时,电容器C可以开路,并且当第一节点N1的第一设置电压具有AC特性时,电容器C可以短路。也就是说,电容器C可以根据流过第一节点N1的电流的特性而开路或短路。

[0046] 更具体地说,当供电电压VDDH中不包含静电时,第一节点N1的第一设置电压可以具有DC特性。此时,电容器C可以开路。因此,第一节点N1可以具有对应于供电电压VDDH的电压电平或类似于供电电压VDDH的电压电平。另一方面,当供电电压VDDH中包含静电时,供电电压VDDH的电压电平因静电的较高电压而瞬时改变。因此,第一节点N1的第一设置电压可能具有AC特性。此时,电容器C可能短路。因此,第一节点N1可以具有对应于接地电压VSS的电压电平或类似于接地电压VSS的电压电平。

[0047] 即,第一节点N1可具有根据供电电压VDDH中是否包含静电而改变的电压电平。第一节点N1处的改变的电压电平被输出为静电检测信号DET,因此静电检测信号DET指示供电电压VDDH中是否包含静电。

[0048] 具有上述配置的静电检测电路320可以响应于第一控制电压V_CTR1而向第一节点N1提供第一设置电压。静电检测电路320可以通过检测第一节点N1上的第一设置电压中包含的静电来生成静电检测信号DET。

[0049] 驱动控制电路330可以包括第二设置电路331和驱动电路332。驱动控制电路330可以包括串联联接在供电电压端子与接地电压端子之间的第二NMOS晶体管NM2、第三NMOS晶体管NM3、第一PMOS晶体管PM1和第四NMOS晶体管NM4。第二NMOS晶体管NM2和第三NMOS晶体管NM3可以被包括在第二设置电路331中。第一PMOS晶体管PM1和第四NMOS晶体管NM4可以被包括在驱动电路332中。

[0050] 第二NMOS晶体管NM2和第三NMOS晶体管NM3可以串联联接在第二节点N2与供电电压端子之间,并且通过其栅极端子接收第二控制电压V_CTR2。第二NMOS晶体管NM2和第三NMOS晶体管NM3可以响应于第二控制电压V_CTR2而导通。因此,供电电压VDDH可以作为第二设置电压通过第二NMOS晶体管NM2和第三NMOS晶体管NM3传输到第二节点N2。因此,第二节点N2可以接收第二设置电压。

[0051] 第一PMOS晶体管PM1和第四NMOS晶体管NM4可以串联联接在第二节点N2与接地电压端子之间,并且通过其栅极端子接收静电检测信号DET。因此,当静电检测信号DET具有对应于逻辑高电平的电压电平时,第四NMOS晶体管NM4可以导通。另一方面,当静电检测信号DET具有对应于逻辑低电平的电压电平时,第一PMOS晶体管PM1可以导通。

[0052] 如上所述,当没有检测到静电时,静电检测信号DET可以具有对应于供电电压VDDH的电压电平。也就是说,当没有检测到静电时,静电检测信号DET可以具有逻辑高电平。因此,第四NMOS晶体管NM4可以响应于具有逻辑高电平的静电检测信号DET而导通。此时,驱动控制信号DRV可以具有对应于接地电压VSS的逻辑低电平。

[0053] 另一方面,当检测到静电时,静电检测信号DET可以具有对应于接地电压VSS的电压电平。即,静电检测信号DET可以具有逻辑低电平。因此,第一PMOS晶体管PM1可以响应于具有逻辑低电平的静电检测信号DET而导通。此时,驱动控制信号DRV可以具有对应于第二设置电压的逻辑高电平。

[0054] 具有上述配置的驱动控制电路330可以响应于第二控制电压V_CTR2而向第二节点

N2提供第二设置电压。此外，驱动控制电路330可以基于静电检测信号DET生成驱动控制信号DRV。

[0055] 放电驱动电路340可以包括第三设置电路341和放电电路342。放电驱动电路340可以包括串联联接在供电电压端子与接地电压端子之间的第五NMOS晶体管NM5和第六NMOS晶体管NM6。第五NMOS晶体管NM5可以被包括在第三设置电路341中。第六NMOS晶体管NM6可以被包括在放电电路342中。

[0056] 第五NMOS晶体管NM5可以联接在第三节点N3与供电电压端子之间，并且通过其栅极端子接收第三控制电压V_CTR3。第五NMOS晶体管NM5可响应于第三控制电压V_CTR3而导通。供电电压VDDH可以作为第三设置电压通过第五NMOS晶体管NM5传输到第三节点N3。因此，第三节点N3可以接收第三设置电压。

[0057] 第六NMOS晶体管NM6可以联接在第三节点N3与接地电压端子之间，并且通过其栅极端子接收驱动控制信号DRV。当驱动控制信号DRV具有逻辑低电平时，第六NMOS晶体管NM6可以被关断。另一方面，当驱动控制信号DRV具有逻辑高电平时，第六NMOS晶体管NM6可以导通。因此，当第六NMOS晶体管NM6导通时，第三节点N3和接地电压端子可以彼此联接。即，第六NMOS晶体管NM6可以响应于驱动控制信号DRV而形成针对第三节点N3上的第三设置电压的放电路径。

[0058] 如上所述，当没有检测到静电时，驱动控制信号DRV可具有逻辑低电平。第六NMOS晶体管NM6可以响应于具有逻辑低电平的驱动控制信号DRV而关断。另一方面，当检测到静电时，驱动控制信号DRV可以具有逻辑高电平。第六NMOS晶体管NM6可以响应于具有逻辑高电平的驱动控制信号DRV而导通。此时，第六NMOS晶体管NM6可以形成放电路径。因此，供电电压VDDH中包含的静电可以通过放电路径向接地电压端子放电。

[0059] 具有上述配置的放电驱动电路340可响应于第三控制电压V_CTR3向第三节点N3提供第三设置电压。此外，放电驱动电路340可以基于驱动控制信号DRV对供电电压VDDH中包含的静电执行放电操作。

[0060] 根据本实施例的静电放电电路300可以使用对应于较高电压（例如，3.3V）的供电电压VDDH。被包括在静电放电电路300中的第一至第六NMOS晶体管NM1至NM6和第一PMOS晶体管PM1可以全部利用低压晶体管来实施。低压晶体管可以是在实施使用较低供电电压（例如，1.8V）的集成电路时使用的晶体管。

[0061] 通常，与高压晶体管相比，低压晶体管可以占用更小的面积并且需要更低的设计成本。如上所述，尽管使用低压晶体管，静电放电电路300也可以对与较高电压相对应的供电电压VDDH中包含的静电进行检测和放电。换句话说，根据本实施例的静电放电电路300不仅可以对供电电压VDDH中包含的静电执行放电操作，而且还可以减小静电放电电路300所占用的面积。

[0062] 在根据本实施例的静电放电电路300中使用低压晶体管的原因可以描述如下。

[0063] 通常，晶体管可以具有依赖于其操作特性的可靠性保证条件。仅当晶体管的源极、漏极和栅极端子的电压电平满足可靠性保证条件时，低压晶体管才可以执行正常的电路操作。在使用较低供电电压（例如，1.8V）的集成电路中，低压晶体管的栅极端子和漏极端子之间的电压差Vgd、栅极端子和源极端子之间的电压差Vgs以及漏极端子和源极端子之间的电压差Vds需要为1.98V或更小，以满足可靠性保证条件。根据本实施例的静电放电电路300可

接收对应于较高电压的3.3V的供电电压VDDH,并且第一至第六NMOS晶体管NM1至NM6和第一PMOS晶体管PM1可各自保持低压晶体管的可靠性保证条件。

[0064] 下文中,为了便于描述,假设通过对3.3V的供电电压VDDH进行分压所获得的第一控制电压V_CTRL1、第二控制电压V_CTRL2和第三控制电压V_CTRL3分别为2.3V、2.4V和2.5V。此外,假设第一至第六NMOS晶体管NM1至NM6和第一PMOS晶体管PM1的阈值电压为0.5V。

[0065] 第一NMOS晶体管NM1可通过其栅极端子接收2.3V的第一控制电压V_CTRL1。因此,在假设忽略第五电阻器R5的情况下,栅极端子和漏极端子之间的电压差Vgd可以变为1V(=3.3V-2.3V),栅极端子和源极端子之间的电压差Vgs可以变为0.5V(=2.3V-1.8V),并且漏极端子和源极端子之间的电压差Vds可以变为1.5V(=3.3V-1.8V)。即,第一NMOS晶体管NM1的栅极、漏极和源极端子之间的上述电压差可以具有1.98V或更小的范围内的电压电平,这对应于低压晶体管的可靠性保证条件。

[0066] 第二NMOS晶体管NM2可通过其栅极端子接收2.4V的第二控制电压V_CTRL2。因此,栅极端子和漏极端子之间的电压差Vgd可以变为0.9V(=3.3V-2.4V),栅极端子和源极端子之间的电压差Vgs可以变为0.5V(=2.4V-1.9V),并且漏极端子和源极端子之间的电压差Vds可以变为1.4V(=3.3V-1.9V)。即,第二NMOS晶体管NM2的栅极、漏极和源极端子之间的上述电压差可以具有1.98V或更小的范围内的电压电平,这对应于低压晶体管的可靠性保证条件。类似地,第三NMOS晶体管NM3、第一PMOS晶体管PM1和第四NMOS晶体管NM4中的每一个的栅极、漏极和源极端子之间的电压差可以具有1.98V或更小的范围内的电压电平,这对应于低压晶体管的可靠性保证条件。

[0067] 第五NMOS晶体管NM5可通过其栅极端子接收2.5V的第三控制电压V_CTRL3。因此,栅极端子和漏极端子之间的电压差Vgd可以变为0.8V(=3.3V-2.5V),栅极端子和源极端子之间的电压差Vgs可以变为0.5V(=2.5V-2V),并且漏极端子和源极端子之间的电压差Vds可以变为1.3V(=3.3V-2V)。即,第五NMOS晶体管NM5的栅极、漏极和源极端子之间的上述电压差可以具有1.98V或更小的范围内的电压电平,这对应于低压晶体管的可靠性保证条件。类似地,第六NMOS晶体管NM6的栅极、漏极和源极端子之间的电压差可以具有1.98V或更小的范围内的电压电平,这对应于低压晶体管的可靠性保证条件。

[0068] 特别地,在第五NMOS晶体管NM5的情况下,由于第三控制电压V_CTRL3的电压电平为2.5V,所以从漏极端子流向源极端子的电流Ids可以最大化。即,根据本实施例的静电放电电路300可以使从第五NMOS晶体管NM5的漏极端子流向源极端子的电流Ids最大化,从而使对静电的放电效率最大化。

[0069] 根据本实施例的静电放电电路300可以进一步包括反向放电电路350。

[0070] 参照图2,反向放电电路350可以被配置为将接地电压VSS中包含的静电向供电电压端子放电。反向放电电路350可以被配置为联接在接地电压端子与供电电压端子之间的二极管D。

[0071] 根据本实施例的静电放电电路300不仅可以对供电电压VDDH中包含的静电执行放电操作,还可以对接地电压VSS中包含的静电执行放电操作。

[0072] 图3是示出根据实施例的静电放电控制系统400的框图。

[0073] 参照图3,静电放电控制系统400可以被配置为对集成电路中的多个供电电压中包含的静电执行放电操作。下文中,为了便于描述,将供电电压端子VDD接收第一供电电压

VDDH和接收第二供电电压VDDL的情况作为示例进行描述,该第一供电电压VDDH具有对应于较高电压的约 $3.3V \pm 10\%$ 、约 $2.5V \pm 10\%$ 和约 $1.8V \pm 10\%$ 中的一个,该第二供电电压VDDL具有对应于较低电压的约 $1.8V \pm 10\%$ 、约 $1.2V \pm 10\%$ 和约 $0.8V \pm 10\%$ 中的一个。当向供电电压端子VDD施加3.3V的第一供电电压VDDH时,静电放电控制系统400可以对第一供电电压VDDH中包含的静电执行放电操作。此外,当向供电电压端子VDD施加1.8V的第二供电电压VDDL时,静电放电控制系统400可以对第二供电电压VDDL中包含的静电执行放电操作。更具体地,静电放电控制系统400可以包括选择控制电路410、第一静电放电电路420和第二静电放电电路430。

[0074] 选择控制电路410可以被配置为基于第一供电电压VDDH和第二供电电压VDDL之间的施加到供电电压端子VDD的供电电压来选择性地控制第一静电放电电路420和第二静电放电电路430。选择控制电路410可以被设计成选择性地启用第一静电放电电路420和第二静电放电电路430。例如,选择控制电路410可选择性地向第一静电放电电路420和第二静电放电电路430提供第一供电电压VDDH和第二供电电压VDDL。即,选择控制电路410可向第一静电放电电路420提供第一供电电压VDDH,并且向第二静电放电电路430提供第二供电电压VDDL。可基于向第一静电放电电路420提供的第一供电电压VDDH来启用该第一静电放电电路420。可以基于向第二静电放电电路430提供的第二供电电压VDDL来启用该第二静电放电电路430。

[0075] 图4示出图3的选择控制电路410。

[0076] 参照图4,选择控制电路410可以包括第一比较电路411、第二比较电路412、控制电路413和输出电路414。

[0077] 第一比较电路411可以被配置为将传输到供电电压端子VDD的供电电压与对应于第一供电电压VDDH的第一参考电压VREF1进行比较。当施加到供电电压端子VDD的供电电压低于第一供电电压VDDH时,第一比较电路411可以生成具有逻辑低电平的第一比较信号。当第一供电电压VDDH被施加到供电电压端子VDD时,第一比较电路411可以生成具有逻辑高电平的第一比较信号。

[0078] 第二比较电路412可以被配置为将传输到供电电压端子VDD的供电电压与对应于第二供电电压VDDL的第二参考电压VREF2进行比较。当施加到供电电压端子VDD的供电电压低于第二供电电压VDDL时,第二比较电路412可以生成具有逻辑低电平的第二比较信号。当第二供电电压VDDL被施加到供电电压端子VDD时,第二比较电路412可以生成具有逻辑高电平的第二比较信号。

[0079] 控制电路413可以被配置为基于第一比较电路411和第二比较电路412的第一比较信号和第二比较信号来生成选择控制信号CTR_S。控制电路413可以包括与非门NAND。与非门NAND可以接收第一比较电路411和第二比较电路412的第一比较信号和第二比较信号,对接收到的信号执行与非运算,并且输出选择控制信号CTR_S。

[0080] 输出电路414可响应于选择控制信号CTR_S选择性地输出第一供电电压VDDH或第二供电电压VDDL作为输出电压。更具体地,输出电路414可以包括第一PMOS晶体管PM1、反相器INV和第二PMOS晶体管PM2。

[0081] 第一PMOS晶体管PM1可通过其栅极端子接收选择控制信号CTR_S。当选择控制信号CTR_S具有逻辑低电平时,第一PMOS晶体管PM1可以导通。当第一PMOS晶体管PM1导通时,施

加到供电电压端子VDD的第一供电电压VDDH可以作为输出电压被输出。反相器INV可以使选择控制信号CTR_S反相并输出经反相的选择控制信号。然后,第二PMOS晶体管PM2可以通过其栅极端子接收经反相的选择控制信号。当经反相的选择控制信号具有逻辑低电平时,第二PMOS晶体管PM2可以导通。当第二PMOS晶体管PM2导通时,施加到供电电压端子VDD的第二供电电压VDDL可以作为输出电压被输出。

[0082] 下文中,将参照图4说明选择控制电路410的电路操作。

[0083] 在下面的描述中,将以对应于较低电压的第二供电电压VDDL被施加到供电电压端子VDD的情况为例。

[0084] 第二比较电路412可接收第二供电电压VDDL,将第二供电电压VDDL与第二参考电压VREF2进行比较,并且输出具有逻辑高电平的第二比较信号。此时,因为第一参考电压VREF1比施加到供电电压端子VDD的第二供电电压VDDL具有更高的电压电平,所以第一比较电路411可以生成具有逻辑低电平的第一比较信号。然后,与非门NAND可以基于具有逻辑低电平的第一比较信号和具有逻辑高电平的第二比较信号输出具有逻辑高电平的选择控制信号CTR_S。因此,第二PMOS晶体管PM2可以响应于具有逻辑高电平的选择控制信号CTR_S而导通,并且输出第二供电电压VDDL作为输出电压。此时,第一PMOS晶体管PM1可以保持关断状态。

[0085] 接下来,将对应于较高电压的第一供电电压VDDH被施加到供电电压端子VDD的情况描述如下。

[0086] 第一比较电路411可接收第一供电电压VDDH,将第一供电电压VDDH与第一参考电压VREF1进行比较,并且输出具有逻辑高电平的第一比较信号。此时,因为施加到供电电压端子VDD的第一供电电压VDDH具有比第二参考电压VREF2更高的电压电平,所以第二比较电路412可以生成具有逻辑高电平的第二比较信号。然后,与非门NAND可以基于具有逻辑高电平的第一比较信号和具有逻辑高电平的第二比较信号输出具有逻辑低电平的选择控制信号CTR_S。因此,第一PMOS晶体管PM1可以响应于具有逻辑低电平的选择控制信号CTR_S而导通,并且输出第一供电电压VDDH作为输出电压。此时,第二PMOS晶体管PM2可以保持关断状态。

[0087] 当第一供电电压VDDH被施加到供电电压端子VDD时,具有上述配置的选择控制电路410可以向图3的第一静电放电电路420提供第一供电电压VDDH。另一方面,当第二供电电压VDDL被施加到供电电压端子VDD时,选择控制电路410可以向图3的第二静电放电电路430提供第二供电电压VDDL。

[0088] 返回参照图3,第一静电放电电路420可通过从选择控制电路410接收的第一供电电压VDDH被启用。第一静电放电电路420可对第一供电电压VDDH中包含的静电执行放电操作。第一静电放电电路420可对应于图1和图2的静电放电电路300。即,第一静电放电电路420可以包括参照图1和图2描述的控制电压生成电路310、静电检测电路320、驱动控制电路330和放电驱动电路340。

[0089] 另一方面,第二静电放电电路430可通过从选择控制电路410接收的第二供电电压VDDL被启用。第二静电放电电路430可对第二供电电压VDDL中包含的静电执行放电操作。

[0090] 图5是示出图3的第二静电放电电路430的电路图。

[0091] 参照图5,第二静电放电电路430可以包括检测电路431、驱动电路432和放电电路

433。第二静电放电电路430可以通过供电电压端子VDD接收第二供电电压VDDL。

[0092] 检测电路431可以被配置为检测第二供电电压VDDL中包含的静电。检测电路431可以包括串联联接在供电电压端子VDD与接地电压端子之间的电阻器R和电容器C。

[0093] 驱动电路432可以被配置为基于检测电路431的输出信号生成控制信号CTR。驱动电路432可以包括串联联接在供电电压端子VDD与接地电压端子之间的第一PMOS晶体管PM1和第一NMOS晶体管NM1。

[0094] 放电电路433可以被配置为响应于控制信号CTR而形成针对第二供电电压VDDL的放电路径。放电电路433可以包括联接在供电电压端子VDD与接地电压端子之间的第二NMOS晶体管NM2。

[0095] 第二静电放电电路430可接收第二供电电压VDDL并对第二供电电压VDDL执行放电操作。第一NMOS晶体管NM1和第二NMOS晶体管NM2以及第一PMOS晶体管PM1可以是低压晶体管。

[0096] 下文中,将参照图3至图5来描述图3的静电放电控制系统400的整体电路操作。

[0097] 首先,将对应于较高电压的第一供电电压VDDH被施加到供电电压端子VDD的情况描述如下。

[0098] 如上所述,当第一供电电压VDDH被施加到供电电压端子VDD时,图4的选择控制电路410可以输出第一供电电压VDDH作为输出电压。因此,第一静电放电电路420可以被启用,并且第二静电放电电路430可以被停用。然后,接收第一供电电压VDDH的图3的第一静电放电电路420可以执行参照图2描述的放电操作。因此,第一供电电压VDDH中包含的静电可以向接地电压端子放电。

[0099] 接下来,将对应于较低电压的第二供电电压VDDL被施加到供电电压端子VDD的情况描述如下。

[0100] 如上所述,当第二供电电压VDDL被施加到供电电压端子VDD时,图4的选择控制电路410可以输出第二供电电压VDDL作为输出电压。因此,第一静电放电电路420可以被停用,并且第二静电放电电路430可以被启用。

[0101] 参照图5,当第二供电电压VDDL中不包含静电时,因为电容器C开路,所以检测电路431的第一节点N1可以具有与第二供电电压VDDL相对应的电压电平。即,第一节点N1可以具有逻辑高电平。然后,驱动电路432可以响应于作为检测电路431的输出信号的、第一节点N1上的逻辑高电平而生成具有逻辑低电平的控制信号CTR。此时,放电电路433的第二NMOS晶体管NM2可以响应于具有逻辑低电平的控制信号CTR而保持关断状态。

[0102] 当第二供电电压VDDL中包含静电时,由于电容器C短路,所以检测电路431的第一节点N1可具有对应于接地电压VSS的电压电平。即,第一节点N1可以具有逻辑低电平。然后,驱动电路432可以响应于作为检测电路431的输出信号的第一节点N1上的逻辑低电平,生成具有逻辑高电平的控制信号CTR。然后,放电电路433的第二NMOS晶体管NM2可以响应于具有逻辑高电平的控制信号CTR而导通。因此,第二供电电压VDDL中包含的静电可以向接地电压端子放电。

[0103] 如上所述,当对应于较低电压的第二供电电压VDDL被施加到供电电压端子VDD时,第二静电放电电路430可以被启用。在这种情况下,第一静电放电电路420可以被停用。对于该操作,可以将图2的控制电压生成电路310修改为具有与图6相同的配置。在描述之前,当

第二供电电压VDDL被施加到供电电压端子VDD时,控制电压生成电路310可以被停用。

[0104] 图6是示出根据另一实施例的控制电压生成电路310'的电路图。

[0105] 参照图6,控制电压生成电路310'可以包括传输电路311和分压电路312。

[0106] 传输电路311可以被配置为响应于选择控制信号CTR_S,传输通过供电电压端子VDD接收的第一供电电压VDDH。传输电路311可以包括PMOS晶体管PM,该PMOS晶体管PM具有联接在供电电压端子VDD与分压电路312之间的源极端子和漏极端子以及被配置为接收选择控制信号CTR_S的栅极端子。选择控制信号CTR_S可对应于图4的选择控制信号CTR_S。

[0107] 分压电路312可被配置为接收通过传输电路311传输的电压,并且生成第一至第三控制电压V_CTR1至V_CTR3。分压电路312可以包括串联联接在PMOS晶体管PM与接地电压端子之间的第一至第四电阻器R1至R4。

[0108] 参照图4和图6,控制电压生成电路310'的电路操作将描述如下。

[0109] 当对应于较高电压的第一供电电压VDDH被施加到供电电压端子VDD时,图4的控制电路413可以生成具有逻辑低电平的选择控制信号CTR。然后,图6的PMOS晶体管PM可以响应于具有逻辑低电平的选择控制信号CTR_S而导通。因此,当第一供电电压VDDH被施加到供电电压端子VDD时,控制电压生成电路310'可以通过分压操作生成第一至第三控制电压V_CTR1至V_CTR3。由于参照图2已经充分描述了用于生成第一至第三控制电压V_CTR1至V_CTR3的分压操作和使用第一至第三控制电压V_CTR1至V_CTR3的放电操作,因此此处将省略对其的详细描述。

[0110] 当对应于较低电压的第二供电电压VDDL被施加到供电电压端子VDD时,选择控制信号CTR可以具有逻辑高电平。图6的PMOS晶体管PM可以响应于具有逻辑高电平的选择控制信号CTR_S而被关断。因此,当第二供电电压VDDL被施加到供电电压端子VDD时,控制电压生成电路310'可以被停用。由于第一至第三控制电压V_CTR1至V_CTR3在控制电压生成电路310'被停用时变得具有逻辑低电平,因此被包括在图3的第一静电放电电路420中的图2的静电检测电路320、驱动控制电路330和放电驱动电路340也可以被停用。

[0111] 图7是示出根据另一实施例的静电放电控制系统700的框图。

[0112] 参照图7,静电放电控制系统700可以被配置为控制通过供电电压端子VDD接收多个供电电压的集成电路中的多个供电电压中包含的静电的放电操作。在静电放电控制系统700中,如图3的静电放电控制系统400中那样,第一供电电压VDDH或第二供电电压VDDL可以被施加到供电电压端子VDD。

[0113] 静电放电控制系统700可以包括控制信号生成电路710、控制电压生成电路720、第一设置电路721、第一传输电路722、公共检测电路723、第二设置电路724、第二传输电路725、公共驱动电路726,第三设置电路727、第三传输电路728和公共放电电路729。

[0114] 控制信号生成电路710可以被配置为基于被施加到供电电压端子VDD的第一供电电压VDDH和第二供电电压VDDL中的一个供电电压来生成第一选择控制信号CTR_S1和第二选择控制信号CTR_S2。第一选择控制信号CTR_S1和第二选择控制信号CTR_S2可以具有相反的关系。第一选择控制信号CTR_S1和第二选择控制信号CTR_S2可以通过彼此分离的信号线传输。在另一实施例中,第一选择控制信号CTR_S1和第二选择控制信号CTR_S2可以通过相同的信号线传输,并且第二选择控制信号CTR_S2可以是第一选择控制信号CTR_S1的反相信号,反之亦然。

[0115] 图8示出图7的控制信号生成电路710。

[0116] 参照图8,控制信号生成电路710可以包括第一比较电路711、第二比较电路712和控制电路713。除了第一PMOS晶体管PM1和第二PMOS晶体管PM2之外,控制信号生成电路710可以具有与图4的选择控制电路410类似的配置。

[0117] 当第一供电电压VDDH被施加到供电电压端子VDD时,控制信号生成电路710可以生成具有逻辑低电平的第一选择控制信号CTR_S1和具有逻辑高电平的第二选择控制信号CTR_S2。另一方面,当第二供电电压VDDL被施加到供电电压端子VDD时,控制信号生成电路710可以生成具有逻辑高电平的第一选择控制信号CTR_S1和具有逻辑低电平的第二选择控制信号CTR_S2。

[0118] 返回参照图7,控制电压生成电路720可响应于第一选择控制信号CTR_S1而被启用或停用,并且通过对通过供电电压端子VDD传输的供电电压执行分压操作来生成第一至第三控制电压V_CTR1至V_CTR3。控制电压生成电路720可以对应于图6的控制电压生成电路310'。然而,与图6的控制电压生成电路310'不同,控制电压生成电路720可以接收第一选择控制信号CTR_S1而不是选择控制信号CTR_S。

[0119] 如上所述,当第一供电电压VDDH被施加到供电电压端子VDD时,第一选择控制信号CTR_S1可以具有逻辑低电平。因此,当第一供电电压VDDH被施加到供电电压端子VDD时,控制电压生成电路720可以被启用。因此,控制电压生成电路720可以通过对第一供电电压VDDH执行分压操作来生成第一至第三控制电压V_CTR1至V_CTR3。另一方面,当第二供电电压VDDL被施加到供电电压端子VDD时,第一选择控制信号CTR_S1可以具有逻辑高电平。因此,控制电压生成电路720可以被停用。

[0120] 第一设置电路721、公共检测电路723、第二设置电路724、公共驱动电路726、第三设置电路727和公共放电电路729可分别对应于图2的第一设置电路321、检测电路322、第二设置电路331、驱动电路332、第三设置电路341和放电电路342。

[0121] 然而,当第一供电电压VDDH和第二供电电压VDDL被施加到供电电压端子VDD时,公共检测电路723、公共驱动电路726和公共放电电路729可以共同使用。即,公共检测电路723、公共驱动电路726和公共放电电路729可以用于执行对第一供电电压VDDH的放电操作和对第二供电电压VDDL的放电操作。因此,根据本实施例的静电放电控制系统700可以使对包括第一供电电压VDDH和第二供电电压VDDL的多个供电电压执行放电操作所需的电路所占用的电路面积最小化。

[0122] 第一传输电路722可以与第一设置电路721并联联接,并且响应于第二选择控制信号CTR_S2而将通过供电电压端子VDD施加的供电电压作为第一设置电压传输。第一传输电路722可以包括第一PMOS晶体管PM1。第一PMOS晶体管PM1可以联接在第五电阻器R5和第一节点N1之间,并且通过其栅极端子接收第二选择控制信号CTR_S2。

[0123] 如上所述,当第二供电电压VDDL被施加到供电电压端子VDD时,第二选择控制信号CTR_S2可以具有逻辑低电平。第一PMOS晶体管PM1可响应于具有逻辑低电平的第二选择控制信号CTR_S2而导通。此时,第一设置电路721的第一NMOS晶体管NM1可响应于具有逻辑低电平的第一控制电压V_CTR1而被关断。因此,第二供电电压VDDL可以通过第五电阻器R5和第一PMOS晶体管PM1传输到第一节点N1。

[0124] 第二传输电路725可与第二设置电路724并联联接,并且响应于第二选择控制信号

CTR_S2而将通过供电电压端子VDD施加的供电电压作为第二设置电压传输。第二传输电路725可以包括第二PMOS晶体管PM2。第二PMOS晶体管PM2可以联接在供电电压端子VDD与第二节点N2之间,并且通过其栅极端子接收第二选择控制信号CTR_S2。因此,当第二供电电压VDDL被施加到供电电压端子VDD时,第二PMOS晶体管PM2可以响应于具有逻辑低电平的第二选择控制信号CTR_S2而导通。此时,第二NMOS晶体管NM2和第三NMOS晶体管NM3可响应于具有逻辑低电平的第二控制电压V_CTRL2而被关断。因此,第二供电电压VDDL可以通过第二PMOS晶体管PM2传输到第二节点N2。

[0125] 第三传输电路728可以与第三设置电路727并联联接,并且响应于第二选择控制信号CTR_S2而将通过供电电压端子VDD施加的供电电压作为第三设置电压传输。第三传输电路728可以包括第三PMOS晶体管PM3。第三PMOS晶体管PM3可以联接在供电电压端子VDD与第三节点N3之间,并且通过其栅极端子接收第二选择控制信号CTR_S2。因此,当第二供电电压VDDL被施加到供电电压端子VDD时,第三PMOS晶体管PM3可以响应于具有逻辑低电平的第二选择控制信号CTR_S2而导通。此时,第五NMOS晶体管NM5可基于具有逻辑低电平的第三控制电压V_CTRL3而被关断。因此,第二供电电压VDDL可以通过第三PMOS晶体管PM3传输到第三节点N3。

[0126] 如同静电放电控制系统700中包括的NMOS晶体管,第一至第三PMOS晶体管PM1至PM3可以各自具有依赖于其操作特性的可靠性保证条件。即,低压晶体管可用作第一至第三PMOS晶体管PM1至PM3。

[0127] 简而言之,根据本实施例的静电放电控制系统700中的NMOS晶体管和PMOS晶体管可以是低压晶体管。此外,即使第一供电电压VDDH或第二供电电压VDDL被施加到供电电压端子VDD,静电放电控制系统700也可以对第一供电电压VDDH或第二供电电压VDDL中包含的静电执行放电操作。静电放电控制系统700可以进一步包括当第一供电电压VDDH和第二供电电压VDDL中的任意一个被施加到供电电压端子VDD时所使用的公共检测电路723、公共驱动电路726和公共放电电路729。

[0128] 如上所述,静电放电控制系统700可以对第一供电电压VDDH和第二供电电压VDDL两者执行放电操作。因此,可以以最小的电路面积来实施静电放电控制系统700。

[0129] 图9是示出根据另一实施例的静电放电电路900的框图。

[0130] 参照图9,静电放电电路900可以被配置为对供电电压VDDH中包含的静电进行感测和放电。更具体地,静电放电电路900可以包括偏置生成电路910、静电感测电路920和放电驱动电路930。

[0131] 偏置生成电路910可以被配置为生成偏置电压V_B。偏置生成电路910可以联接在供电电压VDDH被施加到的供电电压端子与接地电压VSS被施加到的接地电压端子之间。偏置生成电路910可对应于图1的控制电压生成电路310。因此,偏置电压V_B可对应于图1的第一至第三控制电压V_CTRL1至V_CTRL3中的一个。

[0132] 静电感测电路920可被配置为感测供电电压VDDH中包含的静电,并且生成驱动控制信号DRV。静电感测电路920可以包括图1的静电检测电路320和驱动控制电路330。

[0133] 放电驱动电路930可以被配置为基于偏置电压V_B而设置设置电压,并且基于驱动控制信号DRV对设置电压中包含的静电执行放电操作。放电驱动电路930可以对应于图1的放电驱动电路340。然而,与图1的放电驱动电路340不同,图9的放电驱动电路930可以接收

偏置电压V_B而不是图1的第三控制电压V_{CTR3}。

[0134] 根据本实施例的静电放电电路900可以响应于偏置电压V_B来设置放电驱动电路930的设置电压。此外,静电放电电路900可以对设置电压中包含的静电执行放电操作。

[0135] 根据上述实施例,静电放电电路和静电放电控制系统可以保护集成电路的内部电路免受供电电压中包含的静电的影响,从而保证电路操作稳定。

[0136] 此外,可以使用低压晶体管来实施静电放电电路和静电放电控制系统。因此,可以使静电放电电路和静电放电控制系统的电路面积最小化。

[0137] 虽然上面描述了各个实施例,但本领域技术人员将理解,所描述的实施例仅仅是示例。因此,不应基于所述实施例限制本文描述的静电放电电路和静电放电控制系统。

300

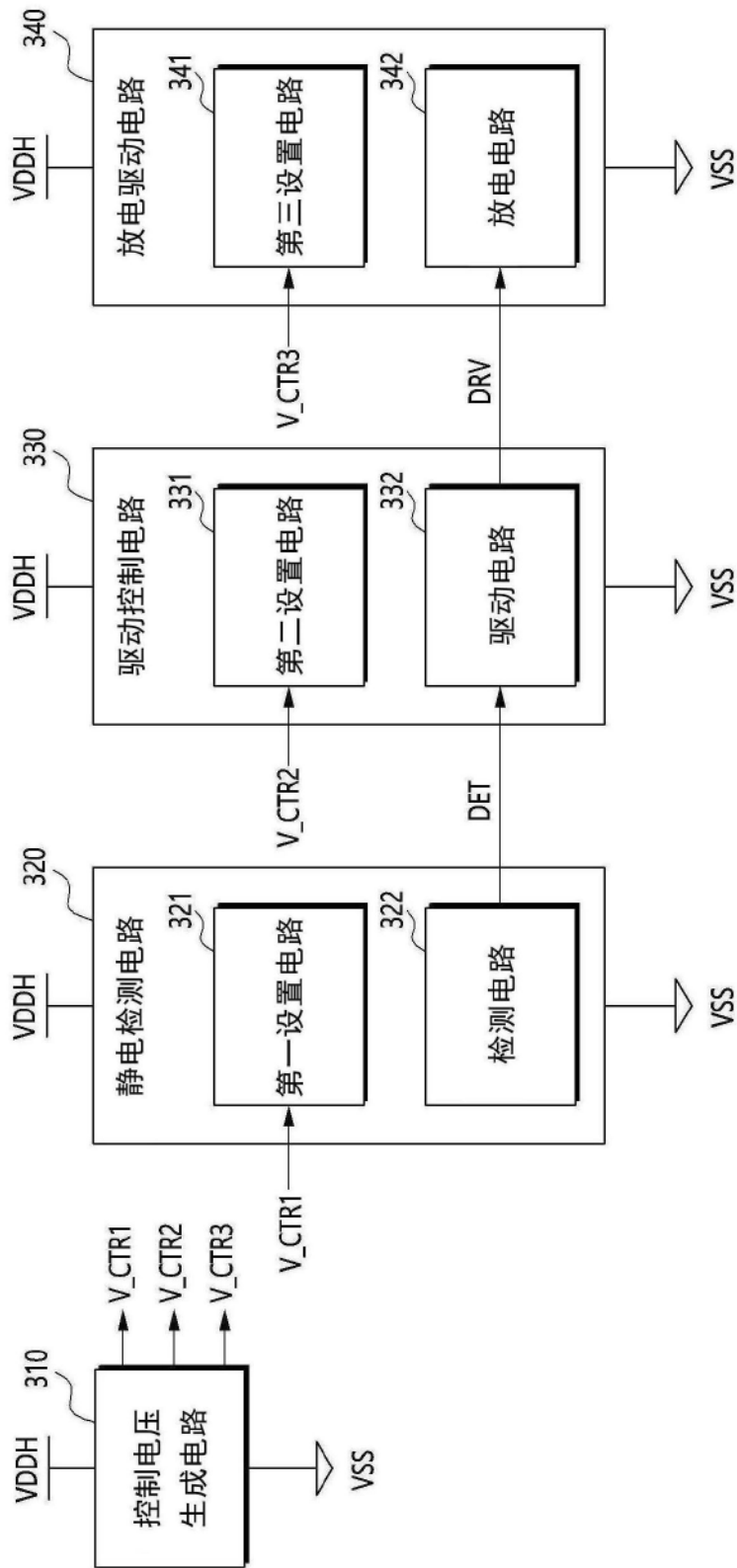


图1

300

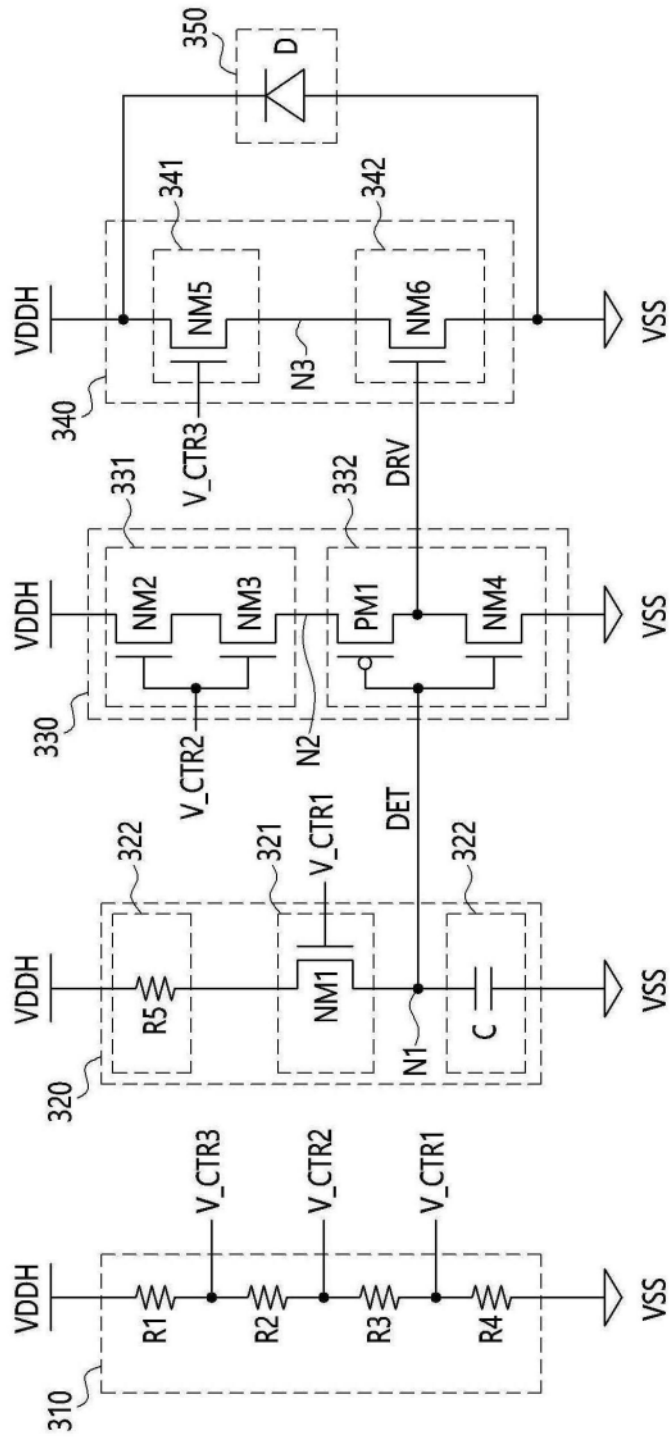


图2

400

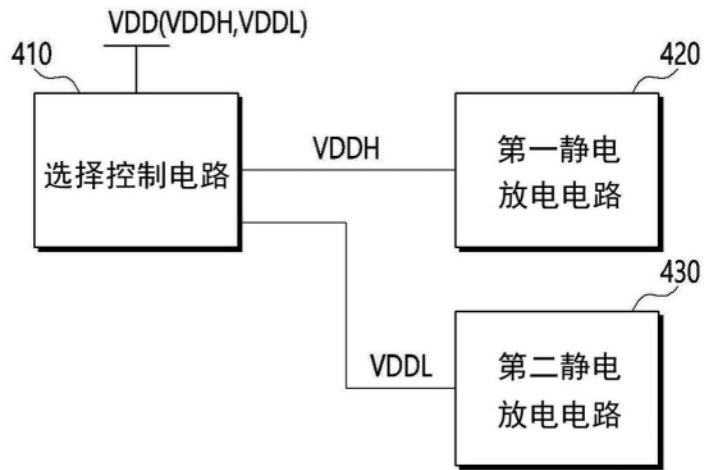


图3

410

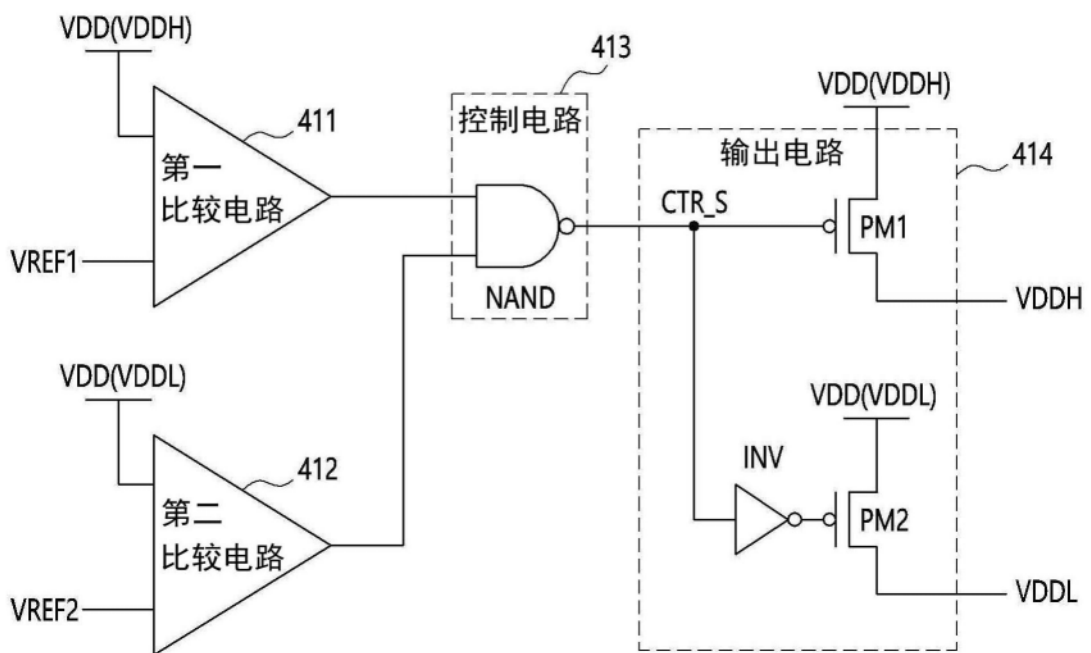


图4

430

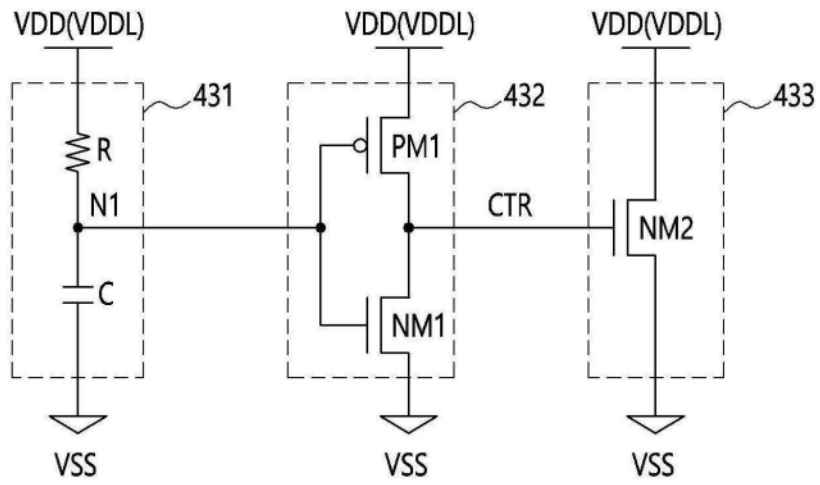


图5

310'

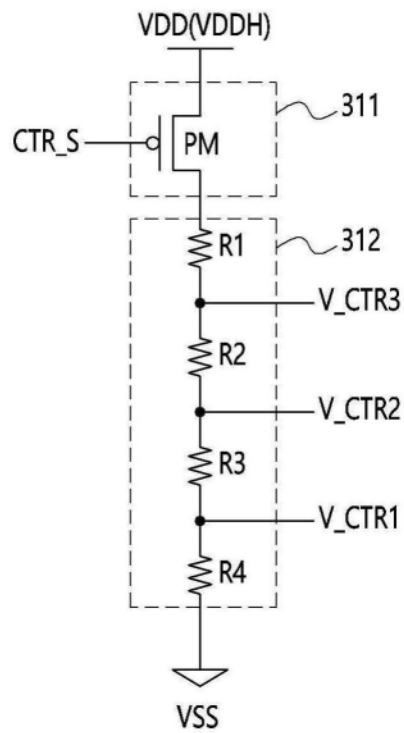


图6

700

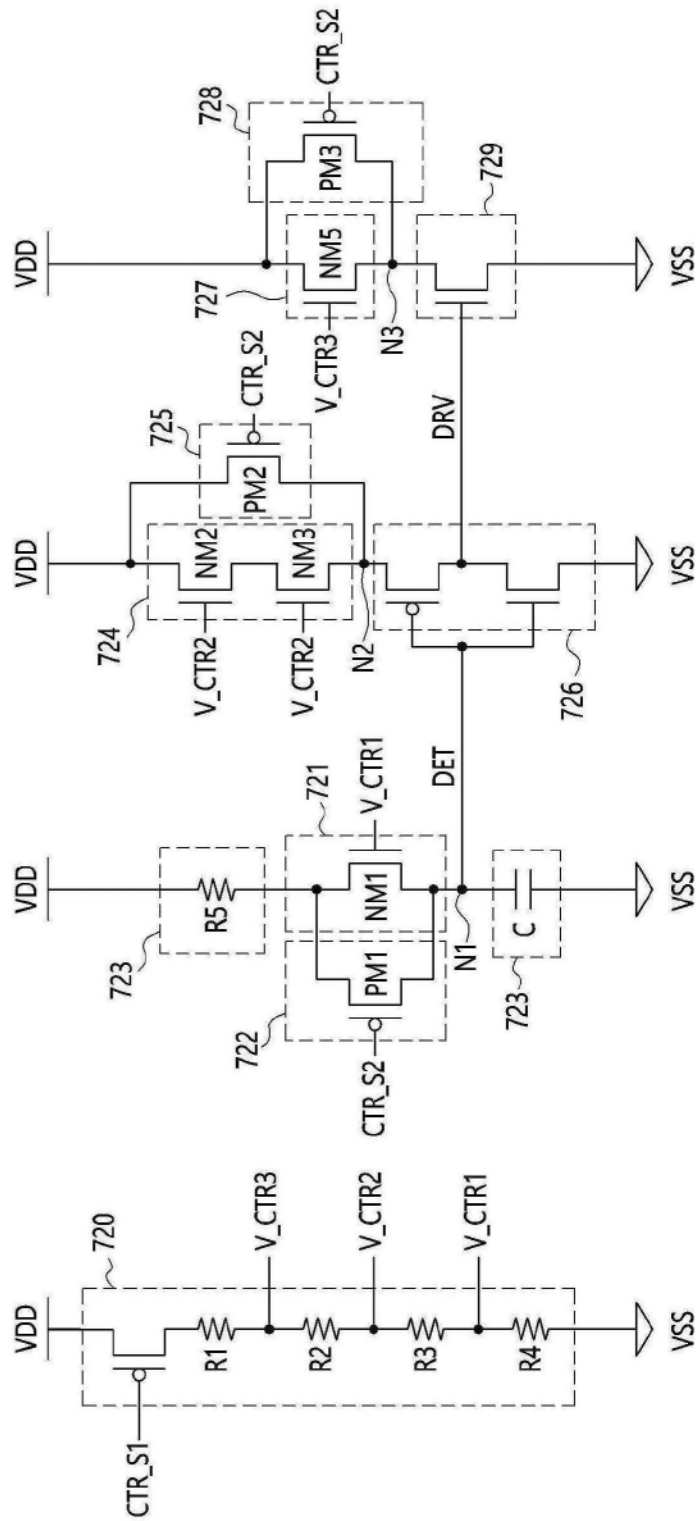
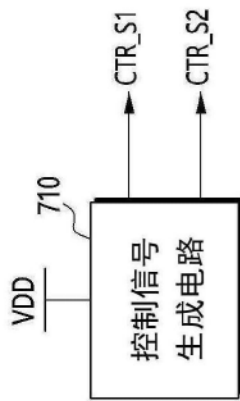


图7

710

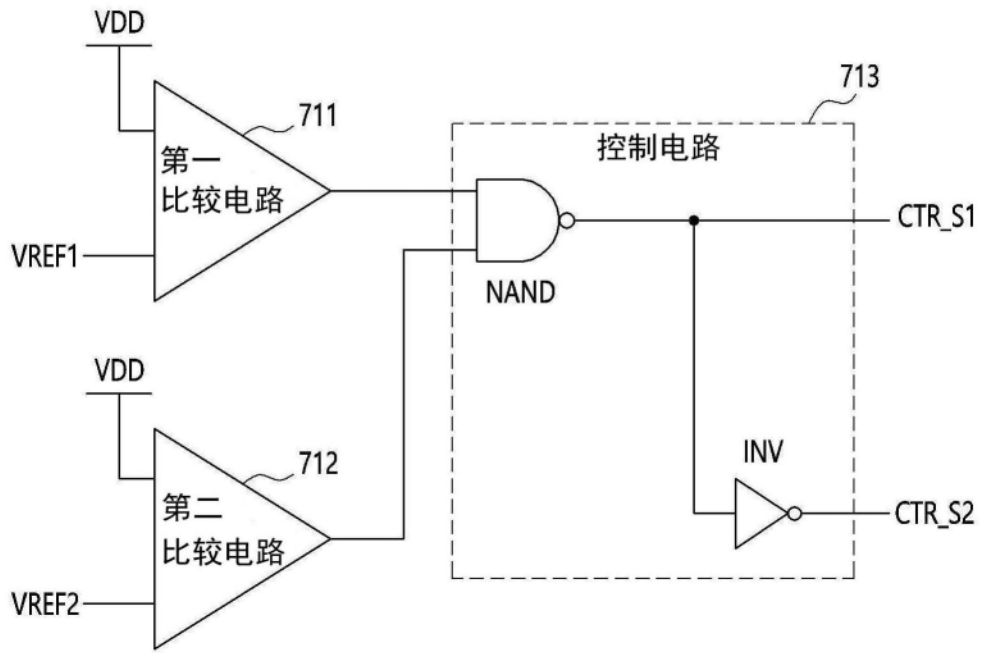


图8

900

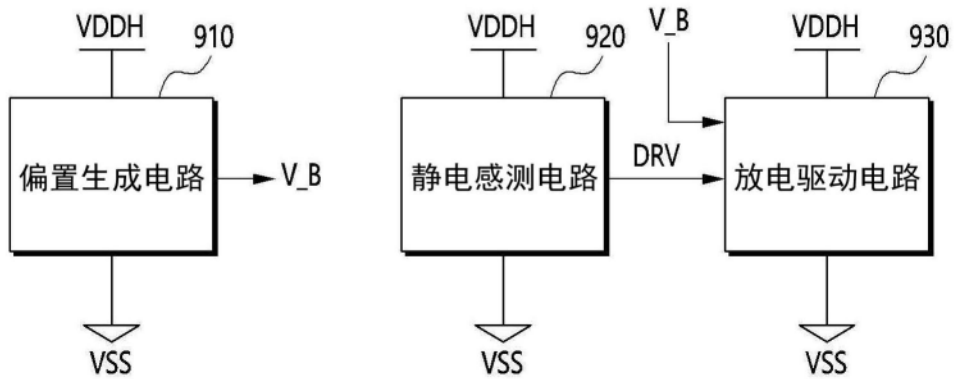


图9