

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/762

H01L 21/20

H01L 21/762



[12] 发明专利申请公开说明书

[21] 申请号 200380101675.5

[43] 公开日 2005 年 12 月 7 日

[11] 公开号 CN 1706038A

[22] 申请日 2003.10.14

[21] 申请号 200380101675.5

[30] 优先权

[32] 2002.10.18 [33] US [31] 10/272,979

[86] 国际申请 PCT/US2003/032770 2003.10.14

[87] 国际公布 WO2004/040619 英 2004.5.13

[85] 进入国家阶段日期 2005.4.18

[71] 申请人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 D·J·瑞斯特 相奇

J·F·布勒

[74] 专利代理机构 北京纪凯知识产权代理有限公司

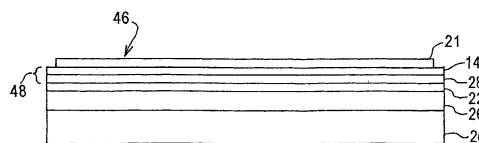
代理人 戈泊程伟

权利要求书 2 页 说明书 7 页 附图 9 页

[54] 发明名称 通过掩埋氧化物层中的压缩材料导入张力应变硅的半导体器件

[57] 摘要

一种在不需形成硅锗层的情况下，提供绝缘体上硅(SOI)与应变硅技术的高速能力的半导体器件。在SOI半导体衬底(20)上形成压缩材料层(22)，以引起在覆盖硅层(21)中的应变。该压缩材料包括氧氮化硅、磷、氮化硅以及硼/磷掺杂的硅玻璃。



ISSN 1008-4274

1. 一种半导体器件，包含：
半导体衬底（20），
在该半导体衬底（20）上的压缩材料层（22），以及
5 在该压缩材料层上（20）的应变硅层（21）。
2. 如权利要求1所述的半导体器件，还包含插入在压缩材料层（22）与衬底（20）之间的第一绝缘层（26）。
3. 如权利要求1所述的半导体器件，还包含插入在压缩材料层（22）与应变硅层（21）之间的第二绝缘层（48）。
- 10 4. 如权利要求3所述的半导体器件，还包含在该衬底（20）与该压缩材料层（22）之间的绝缘层（26）。
5. 如权利要求4所述的半导体器件，其中在垂直方向中，该压缩材料层（22）放置在该第一绝缘层（26）与第二绝缘层（48）之间。
6. 一种形成具有应变硅层（21）的半导体器件的方法，包含：
15 设置半导体衬底（20），
在该半导体衬底上（20）形成压缩材料层（22），以及
在该压缩材料层上（22）形成应变硅层（21）。
7. 如权利要求6所述的方法，其中该压缩材料层（22）由磷的离子增强化学气相沉积、硼/磷掺杂硅玻璃的沉积、 SiO_xN_y 或者 Si_3N_4 所
20 形成。
8. 如权利要求6所述的方法，还包含在半导体衬底（20）与压缩材料层（22）之间形成第一绝缘层（26）。
9. 如权利要求8所述的方法，还包含在压缩材料层（22）与应变硅层（21）之间形成第二绝缘层（48）。
- 25 10. 如权利要求9所述的方法，其中该第一绝缘层（26）与第二

绝缘层（48）为掩埋氧化物层。

通过掩埋氧化物层中的压缩材料导入张力应变硅的半导体器件

技术领域

5 本发明涉及半导体器件的制造，更具体地，涉及包含绝缘体上硅（SOI）技术的改良半导体器件。

背景技术

在半导体工业中持续研究的重要目标是在降低半导体器件中的功率的同时，增加半导体性能。平面晶体管，譬如金属氧化物半导体场效应晶体管（MOSFET），特别适合在高密度的集成电路中使用。随着
10 MOSFET 与其它器件尺寸的减少，该器件的源极/漏极区域、沟道区域与栅极电极的尺寸也会减少。

具有短沟道长度的持续变小的平面晶体管的尺寸必须提供非常浅的源极/漏极结。浅结对避免注入掺杂物横向扩散入沟道内极为必要，这是因为此扩散会不利地导致漏电流与差的击穿性能。厚度大约为
15 1000 埃或更小的浅源极/漏极结通常是短沟道器件的可接受性能所需要的。

绝缘体上硅（SOI）技术可用以形成高速、浅结器件。此外，SOI 器件通过减少寄生的结电容值而改善性能。虽然 SOI 技术改善浅结器件的性能，但是需要较深结的器件则不会从 SOI 受益。例如，对温度
20 敏感或需要深注入的器件形成在整块衬底上会有较佳的表现。

在 SOI 衬底中，由氧化硅制成的掩埋氧化物（BOX）薄膜形成在单晶硅上，且该氧化物薄膜上会形成单晶硅薄膜。制造此 SOI 衬底的种种方法为已知的。一种方法为 SIMOX（注氧隔离），其中氧被离子注入于单晶硅衬底内，以形成掩埋氧化物薄膜（BOX）。

25 形成 SOI 衬底的另一方法为晶片接合，其中具有氧化硅表面层的两个半导体衬底在氧化硅表面处接合在一起，以在两个半导体衬底之间形成 BOX 层。

另一 SOI 技术为 Smart Cut®（智能剥离），其同样包含经由氧化物层来接合半导体衬底。在 Smart Cut® 方法中，其中的一个半导体衬底

在接合之前被掺杂了氢离子。随后，氢离子掺杂将会受到氢离子掺杂的衬底从接合的衬底分开，而在表面上留下薄硅层。

应变硅技术同样可形成较高速度的器件。形成应变硅晶体管的方法是通过将硅锗 (SiGe) 的渐变层 (graded layer) 沉积于整块硅晶片 (bulk silicon wafer) 上。接着在 SiGe 上沉积薄硅层。在 SiGe 晶格中原子之间的距离比在一般硅晶格中原子之间的距离还大。因为当将一晶体形成在另一晶体上时，不同晶体内的原子会自然地倾向于彼此对齐，所以当硅沉积在 SiGe 顶部时，硅原子则倾向于伸长或“应变” (strain)，以对齐 SiGe 晶格中的诸原子。应变硅中的电子会遭受较少的阻力，并且比在一般晶体硅中流动还快达 80%。

在此所使用的半导体器件名称并未受限于具体揭露出的具体实施例。在此所使用的半导体器件包括各种电子器件，该电子器件包括倒装晶片、倒装晶片/封装组件、晶体管、电容器、微处理器、随机存取存储器等等。一般而言，半导体器件指的是包含半导体的任何电性器件。

发明内容

在该半导体器件技术中，需要结合了 SOI 技术与应变硅技术的性能改善的器件。在此技术中，需要一种半导体器件，该器件包含形成应变硅层，而不在该衬底上形成 SiGe 晶格。

这些与其它需求由本发明的具体实施例满足，其提供包含半导体衬底以及在该半导体衬底上的压缩材料层的半导体器件。在该压缩材料层上形成应变硅层。

也可由本发明某些具体实施例满足上述的需求，这些具体实施例提供一种形成具有应变硅层的半导体器件的方法，其包含提供半导体衬底以及在该衬底上形成压缩材料层。在该压缩材料层上形成应变硅层。

本发明满足具有改善电性特征的改善高速半导体器件的需求。本发明的上述与其它特征、态样与优点，将在本发明以下详细说明合并附图中变得明显可见。

附图说明

图 1A 至 1H 说明使用 SmartCut® (智能剥离) 工艺的 SOI 半导体器件的形成, 该器件具有掩埋在氧化物层中的压缩材料层;

图 2A 至 2G 说明使用晶片接合技术的 SOI 半导体器件的形成, 该器件具有掩埋在氧化物层中的压缩材料层;

5 图 3A 至 3E 说明在具有掩埋氧化物层中的压缩材料层的 SOI 半导体衬底上形成场效应晶体管;

图 4A 至 4C 说明在源极/漏极区域中形成具有应变硅沟道与较高度度的砷掺杂物的场效应晶体管。

具体实施方式

10 本发明能够生产具有 SOI 与应变硅技术两者优点的改良高速半导体器件。本发明进一步通过耦合 SOI 的降低寄生结电容的优点与应变硅技术来提供较高的速度。这些优点通过结合应变硅层与 SOI 半导体衬底而提供。

15 将结合在附图中所说明的半导体器件的形成而说明本发明。不过, 这仅是示例性的, 本申请发明并不局限在图式中所说明的具体器件的形成。

首先将说明使用 Smart Cut®技术在 SOI 衬底上形成半导体器件的方法。上部部分 10 由以下步骤所形成: 如图 1A 图所示, 设置单晶硅晶片 12。如图 1B 所示, 在硅晶片 12 上形成一层热生长的硅氧化物 14。
20 如图 1C 所示, 将氢离子 16 注入到硅晶片 12 里达到预定深度 18, 以形成上部部分 10。注入的氢离子会在受到注入的晶片产生微穴、微气泡或微泡。当微穴的密度与尺寸将穴的距离减少到某一临限以下时, 会发生穴内的裂缝并且裂缝经过渗透型过程而扩散。如以下所述, 这最后会导致晶片 12 的裂开。

25 设置下部部分 40, 以接合到上部部分 10。按如下过程形成下部部分 40: 半导体衬底 20 设有形成于其上的压缩材料层 22 (见图 1D)。该压缩材料可以包括含磷离子增强化学气相沉积 (PECVD) 的硅氧氮化物 (SiO_xN_y), 氮化硅 (Si_3N_4) 以及硼/磷掺杂的硅玻璃 (BPSG) 的多数压缩材料的任何一种。压缩材料层 22 可以由多种传统技术所沉积,
30 包括化学气相沉积 (CVD)。压缩材料 22 沉积成大约 500 埃至大约 2000

埃的厚度。

如图 1E 所示, BOX 层 26 是由 SIMOX (注氧隔离) 工艺所形成。在 SIMOX 工艺中, 氧离子 24 注入到半导体衬底 20 内。在本发明的某些具体实施例中, 氧离子 24 是以从大约 70keV 至大约 200keV 范围的能量并且以大约 $1.0 \times 10^{17} \text{cm}^{-2}$ 至大约 $1.0 \times 10^{18} \text{cm}^{-2}$ 的范围的剂量而注入在半导体衬底 20 内。在注入以后, 在包含惰性气体以及从大约 0.2 % 至 2.0% 氧气的气氛中, 下部部分 40 会在从约 1250°C 至 1400°C 的范围的温度上退火达大约 4 至大约 6 小时, 以形成 BOX 层 26。退火气氛中的氧会在下部部分 40 上形成薄氧化物层 28。氧化物层 28 会改善后续氢离子注入上部部分 10 的黏结性。

如图 1G 所示, 上部部分 10 与下部部分 40 在其所各自具有的氧化物层 14 与 28 的表面 41 处彼此接合。在某些具体实施例中, 上部部分 10 与下部部分 40 的接合表面 19、29 会抛光成低表面粗糙度, 例如 2 埃微米²RMS。如图 1G 所示, 将下部部分 10 与上部部分 40 一起挤压, 并且从约 900°C 至约 1200°C 范围的温度, 在一惰性气氛中加热达约 5 分钟至约 5 小时, 以熔合该下部部分 10 与上部部分 40。

在某些具体实施例中, 将氧化剂, 譬如 H_2O_2 或者 HNO_3 与 H_2O_2 水溶液滴设置在该上部部分 10 与下部部分 40 之间的界面中。氧化剂通过允许相当低温度的接合, 经由在接合液体中提供掺杂物而具有较佳的应力补偿, 并通过使用该接合液体中的掺杂物而限制污染物徙动来改进接合过程, 其中该接合液体将产生具有紧密匹配衬底晶片的热扩张系数的接合层, 该接合液体中的掺杂物将提供用于阻挡可动污染物扩散的接合层。

合并的晶片/半导体衬底 42 在约 1100°C 上退火达约 2 小时。此退火步骤造成微穴在掺杂氢的上部部分 10 中扩散, 而造成晶片 12 裂开。上部部分 10 的整块硅部分 44 随后会离开下部部分 40, 而留下黏结的硅层 21。因而如图 1H 所示, 会得到在 BOX 层上形成有压缩材料层的 SOI 衬底。在某些具体实施例中, 在形成半导体结构 46 以后(见图 1H), 由于裂开的 SOI 结构呈现微粗糙状所以抛光该结构 46。

SOI 半导体结构 46 包含第一绝缘层 26 (下部 BOX 层), 与第二绝缘层 48 (氧化物层 14 与 28 (上部 BOX 层)), 而压缩材料层 22 则插

入其间。该第一绝缘层 26 与第二绝缘层 48 的各自厚度是从约 500 埃到约 4000 埃。在本发明的某些具体实施例中，在垂直方向上，压缩材料层 22 大致上放置于该第一绝缘层 26 与第二绝缘层 48 之间，虽然该压缩材料层 22 没有必需垂直地放置于该绝缘层 26、48 之间。该压缩材料层 22 致使硅层 21 中从大约 0.2% 至大约 1.5% 的晶格不匹配。

另一方法所解释的，是在 SOI 半导体衬底上产生应变硅层，并在 BOX 层之间形成压缩材料层的半导体器件。上部部分 80 由以下步骤所形成：如图 2A 所示，将轻微掺杂的外延硅层 32 生长在重掺杂的硅衬底上 30。接着将氧化物层 34 形成在硅层 32 上。在某些具体实施例中，通过硅层 32 的热氧化来形成氧化物层 34。在某些具体实施例中，氧化物层 34 譬如通过 CVD（化学气相沉积）而沉积。

设置下部部分 82 以接合到上部部分 80。下部部分 82 形成如下：如图 2C 所示，轻微掺杂的硅半导体衬底 20 上形成有压缩材料层。如先前具体实施例所描述的，氧离子 24 通过 SIMOX 工艺注入到半导体衬底 20 内。如图 2D 所示，接着将半导体衬底 20 退火以形成 BOX 层 26。如图 2E 所示，在惰性气体与约 0.2% 至约 2% 氧气的气氛中进行退火，以形成氧化物层 28。在某些具体实施例中，例如通过 CVD 来沉积氧化物层 28。在某些具体实施例中，在接合上部部分 80 与下部部分 82 以前，将接合表面 84 与 86 抛光。将上部与下部部分 80、82 一起挤压，以使各氧化物层 34、28 的接合表面 84、86 接触，并且如图 2F 所示，在约 900°C 至约 1200°C，将合并的结构 88 退火 5 分钟至 5 小时，以影响接合。在某些具体实施例中，在上部与下部部分 80、82 接合以前，将一滴譬如过氧化氢或者硝酸以及双氧水溶液等氧化溶液沉积在接合表面 84、86 的其中之一上。

待氧化物层 28、34 熔合以后，该重掺杂的衬底 30 会譬如通过优先蚀刻重掺杂的衬底 30 以提供具有应变硅层 32 的 SOI 半导体器件 90，其中通过插入在 BOX 层 26、92 之间的压缩材料层 22 引起应变。

该压缩材料层 22 包含磷的 PECVD、BPSG、 SiO_xN_y 或者 Si_3N_4 。压缩材料层 22 的厚度从约 500 埃至约 2000 埃。下部 BOX 层 26 与上部 BOX 层 92 的各自厚度从约 500 埃至约 4000 埃。在本发明的某些具体实施例中，在垂直方向上，压缩材料层 22 大致上放置于下部 BOX

层 26 与上部 BOX 层 92 中间。压缩材料层 22 致使应变硅层 32 从约 0.2% 到约 1.5% 的晶格不匹配。

讨论一种形成譬如金属氧化物半导体场效应晶体管 (MOSFET) 的半导体器件的方法。在两 BOX 层 26,92 之间形成具有应变硅层 32 与压缩材料层 22 的 SOI 半导体器件 94, 设有一栅极氧化物层 50 与形成在该栅极氧化物层 50 上的栅极导电层 51。栅极氧化物层 50 以传统的方法而形成, 譬如通过硅层 32 的热氧化或者 CVD (化学气相沉积)。栅极导电层 51 由传统材料所形成, 譬如多晶硅或金属。如图 3B 所示, 该结构 94 譬如通过光刻图形化而被图形化, 以形成具有栅极导体 52 的栅极结构 96。然后, 最终的结构会经历掺杂物的注入, 以形成源极/漏极延伸部分 54。通过传统的方法进行掺杂物的注入, 在某些具体实施例中, 这些方法包括在半导体器件 94 上形成光刻胶掩膜以及传统的掺杂物的注入。

如图 3D 所示, 接着将氮化硅层沉积在半导体结构 94 上并予以各向异性蚀刻, 以形成侧壁间隔物 56。如图 3E 图所示, 半导体结构接着根据传统方法经历较重的掺杂以形成源极/漏极区域 58。将最终结构 94 退火, 以激活源极/漏极区域 58, 在具有应变硅沟道的 SOI 衬底上形成 MOSFET 半导体器件。

在其它方式中, 应变硅层则形成在 SiGe 层上。当将砷 (As) 掺入包含形成在 SiGe 层上的应变硅层的半导体器件中时, As 在 SiGe 中扩散地比在应变硅中还慢。图 4A 至 4C 显示了形成在具有 SiGe 层的半导体衬底 20 上的 MOSFET 半导体器件。浅沟隔离区域 66 会隔离 MOSFET 98 与邻近的 MOSFET。由于硅晶格应变以匹配 SiGe 层 60 的晶格间距, 所以 SiGe 层 60 会引起硅层 62 中的晶格应变。会在应变硅层 62 中形成轻微掺杂的源极/漏极延伸部分 64。

如图 4B 所示, 砷 68 以增加的剂量来注入, 以补偿在 SiGe 层 60 中砷的缓慢扩散。随后将半导体器件 98 退火, 以激活源极/漏极区域 70。

如图 4C 所示, 导电硅化物层 72 形成在栅极结构 96 以及源极/漏极区域 70 上。导电硅化物层的形成是通过将譬如钴或镍的金属沉积在半导体结构 98 上并且接着将半导体结构 98 退火, 以使该金属与源极/

漏极区域 70 与栅极导体 52 中的硅反应，从而形成金属硅化物 72。如图 4C 所示，接着将未起反应的金属从半导体器件 98 移除。

5 增加剂量的砷离子会减少源极漏极区域以及源极/漏极延伸部分的薄层电阻，以减少寄生的源极/漏极电阻。增加剂量的砷离子也会减少硅/硅化物的接触电阻。此外，对 SiGe 层的低势垒高度则会进一步减少硅/硅化物的接触电阻。

本发明的方法提供一种具有绝缘体上硅与应变硅技术的高速性能的改良半导体器件。该半导体衬底上的压缩材料层允许形成应变硅层无须形成 SiGe 底层。

10 在本揭露中所显示的具体实施例仅用于说明。它们不应该推断来限制权利要求。本领域技术人员应当清楚的是，本发明包含没有具体说明在其中的各种具体实施例。



图 1A

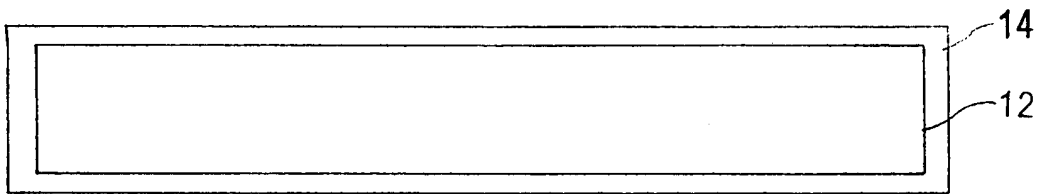


图 1B

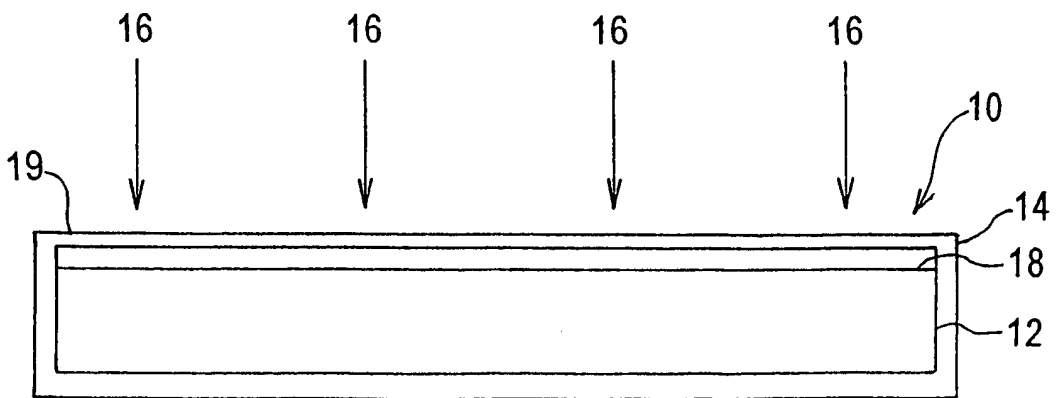


图 1C

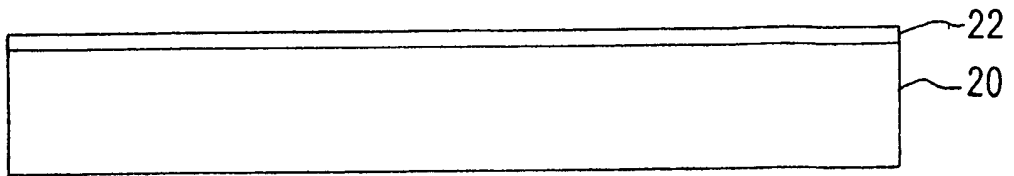


图 1D

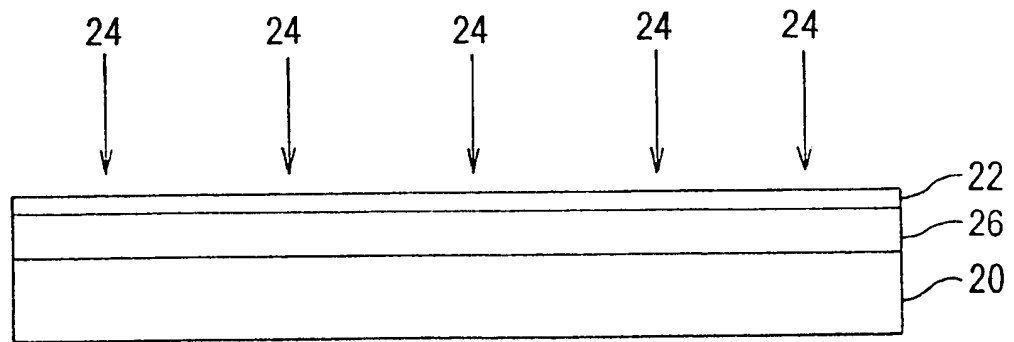


图 1E

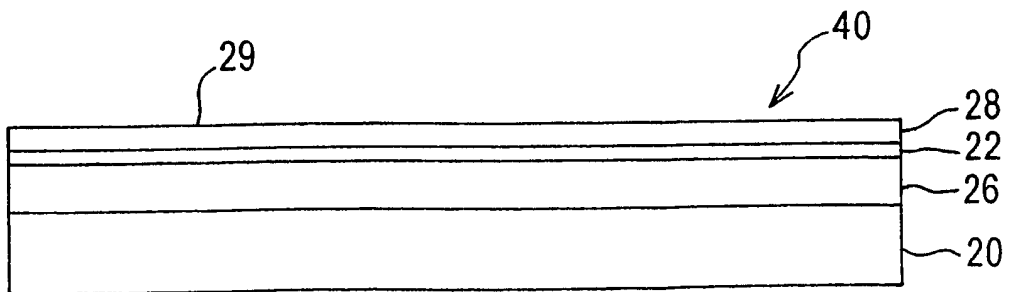


图 1F

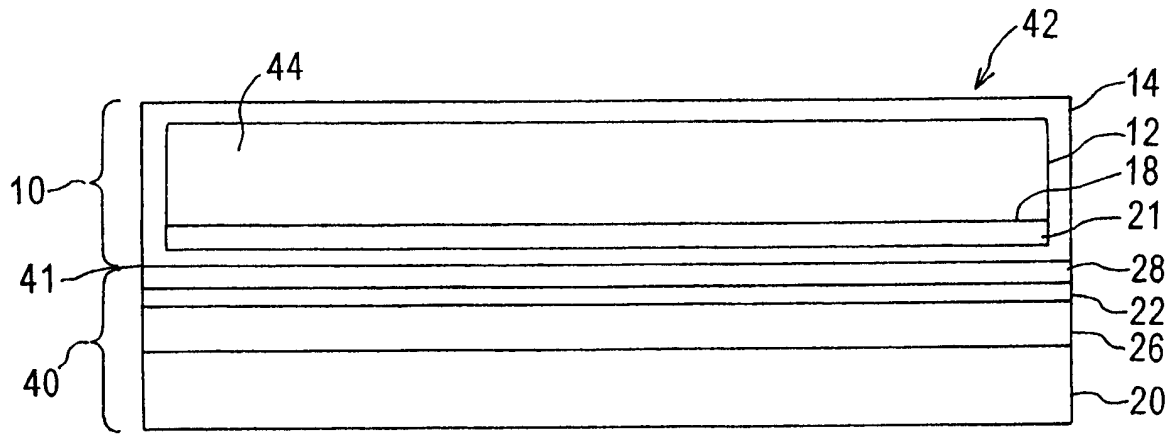


图 1G

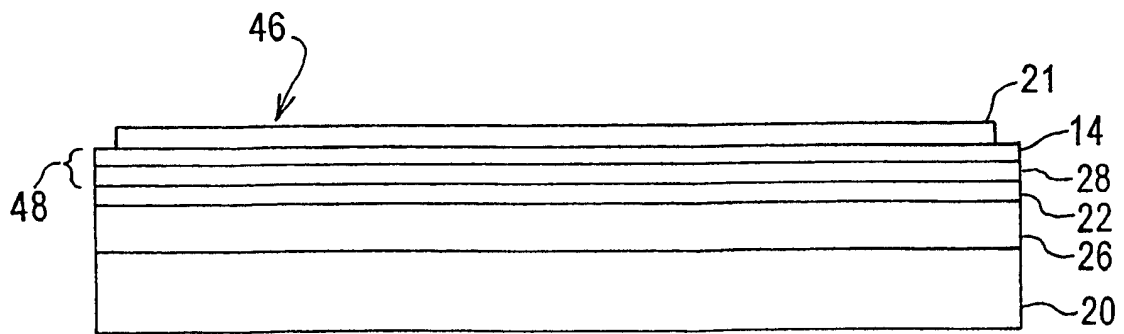


图 1H

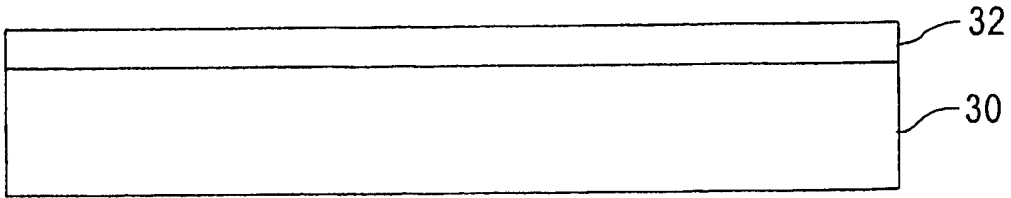


图 2A

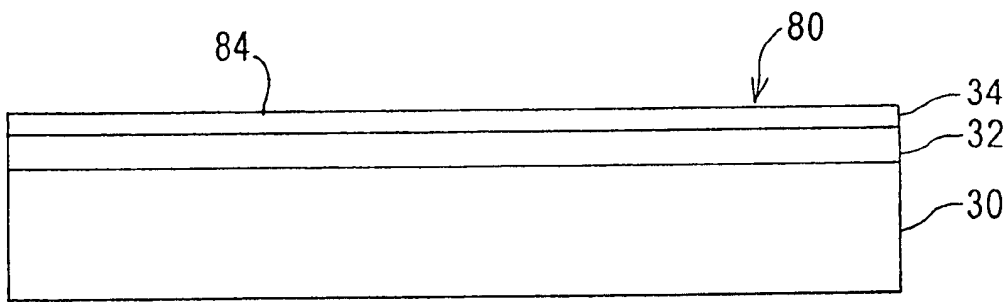


图 2B

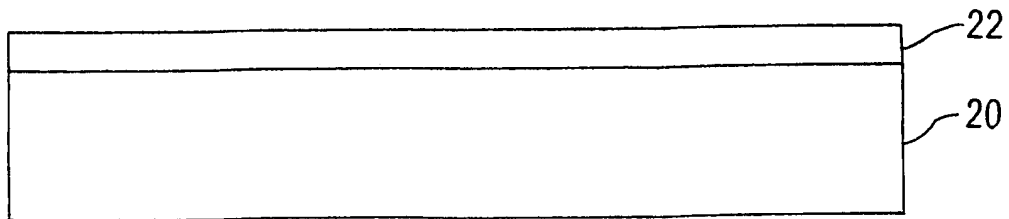


图 2C

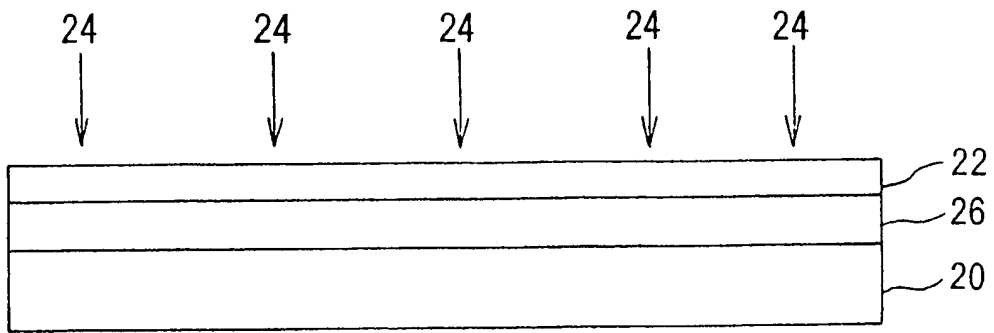


图 2D

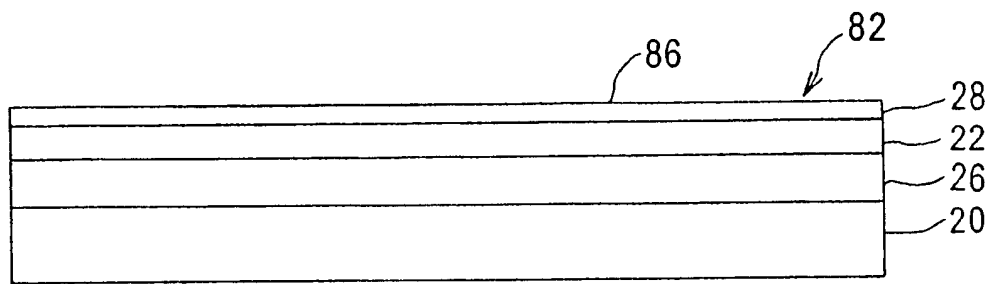


图 2E

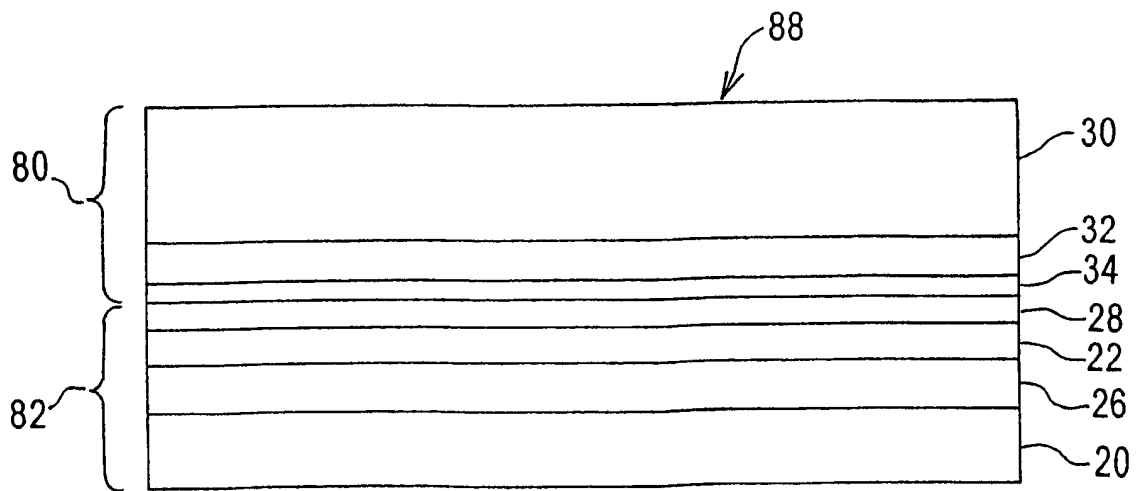


图 2F

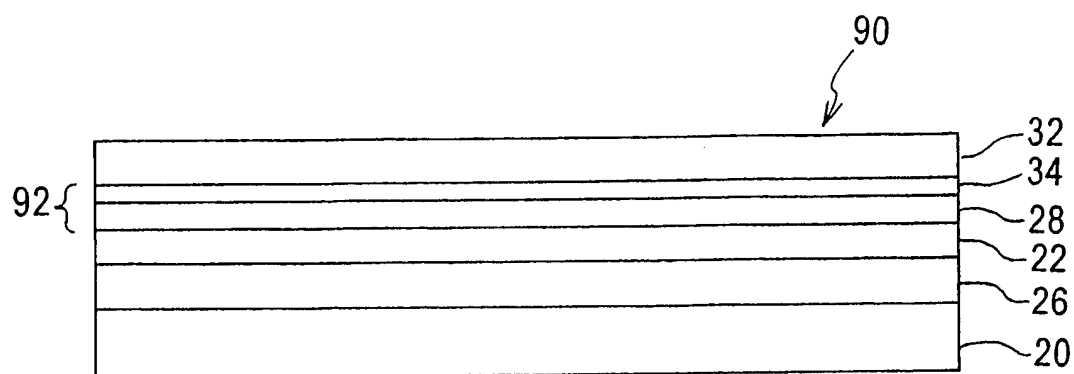


图 2G

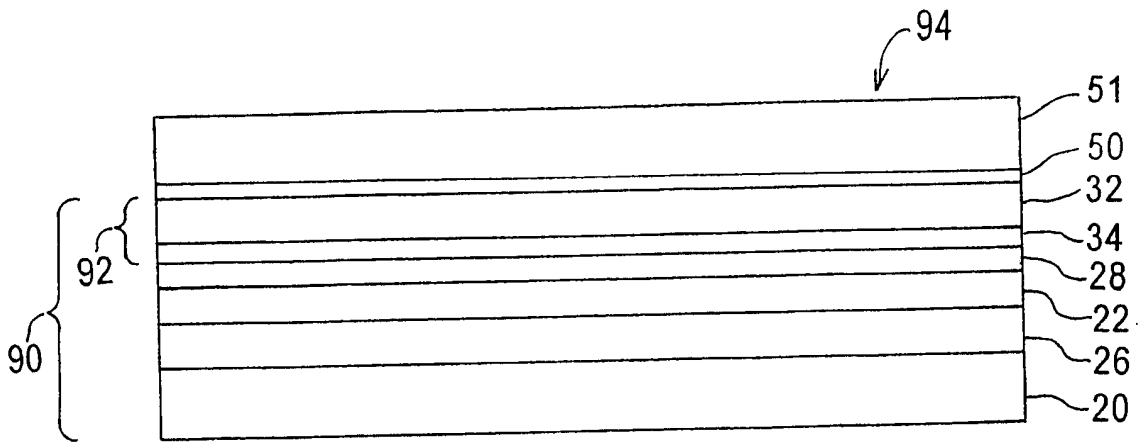


图 3A

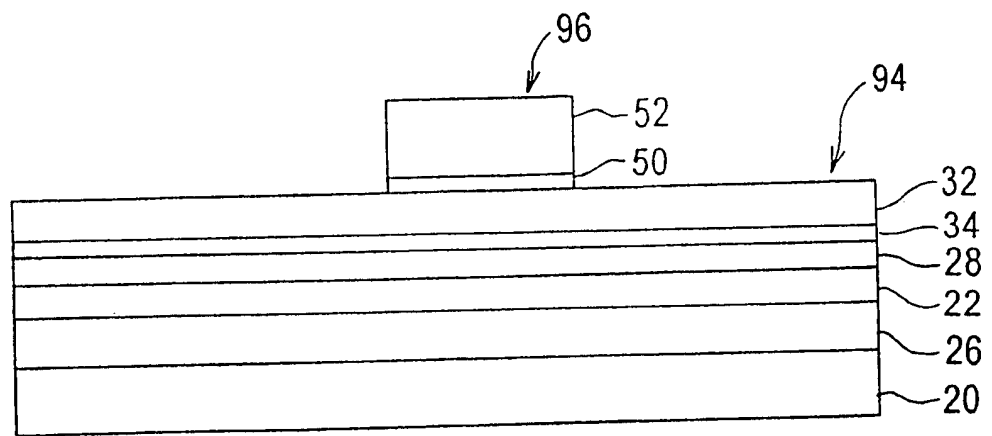


图 3B

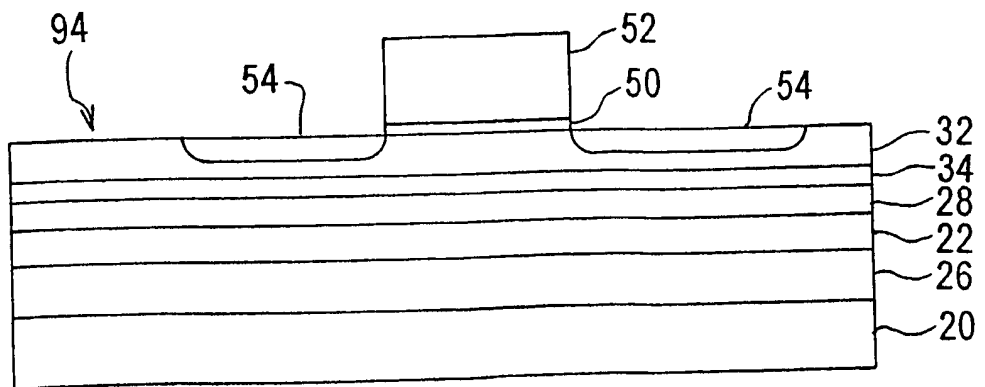


图 3C

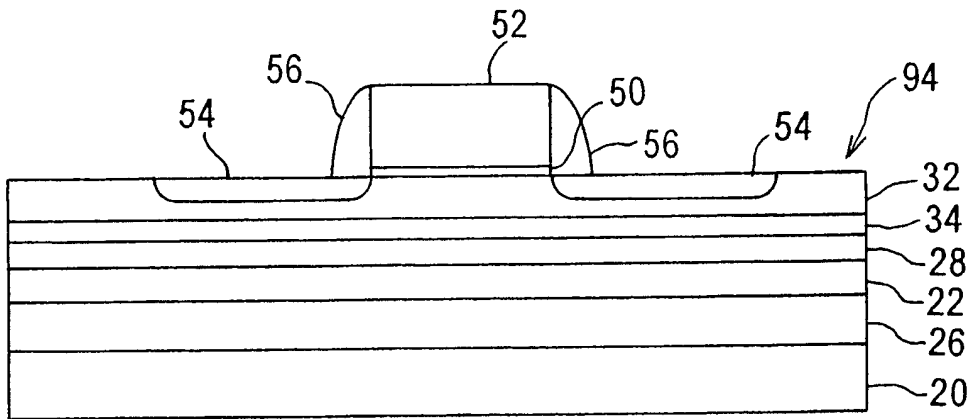


图 3D

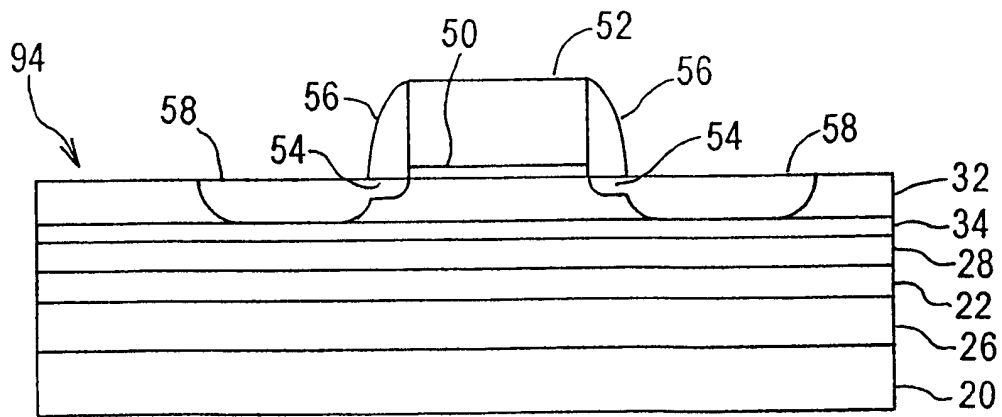


图 3E

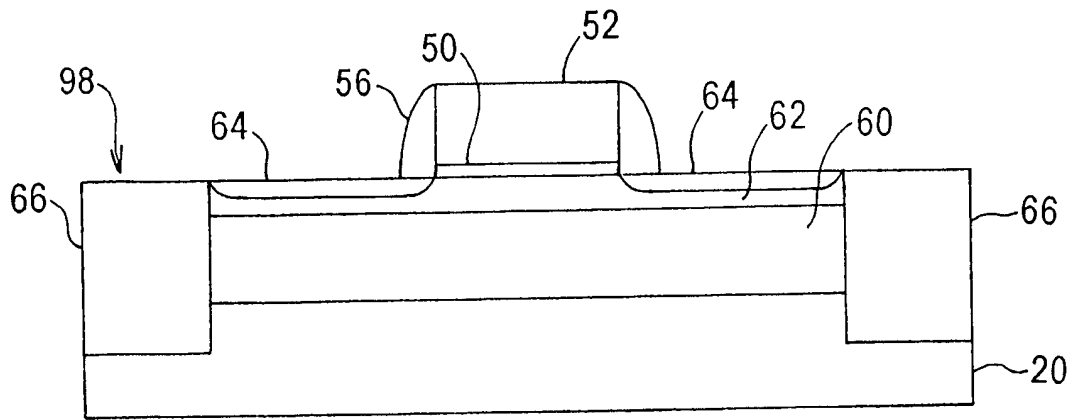


图 4A

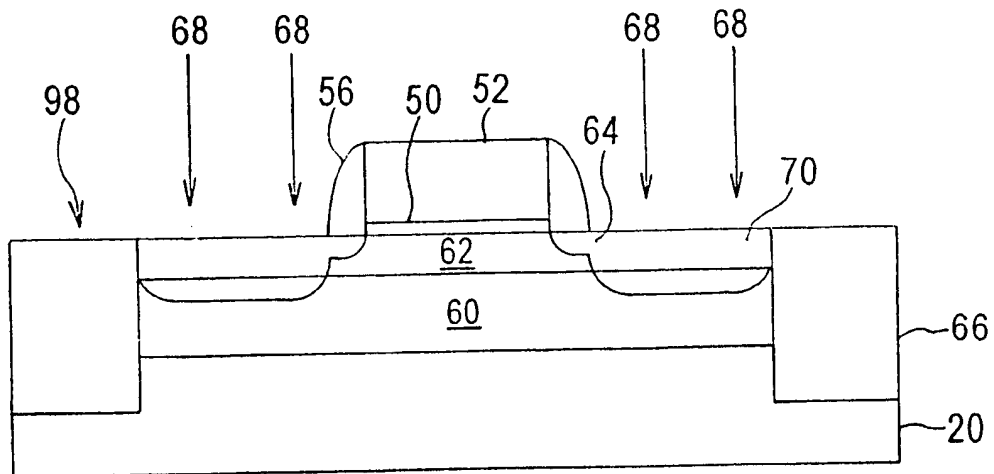


图 4B

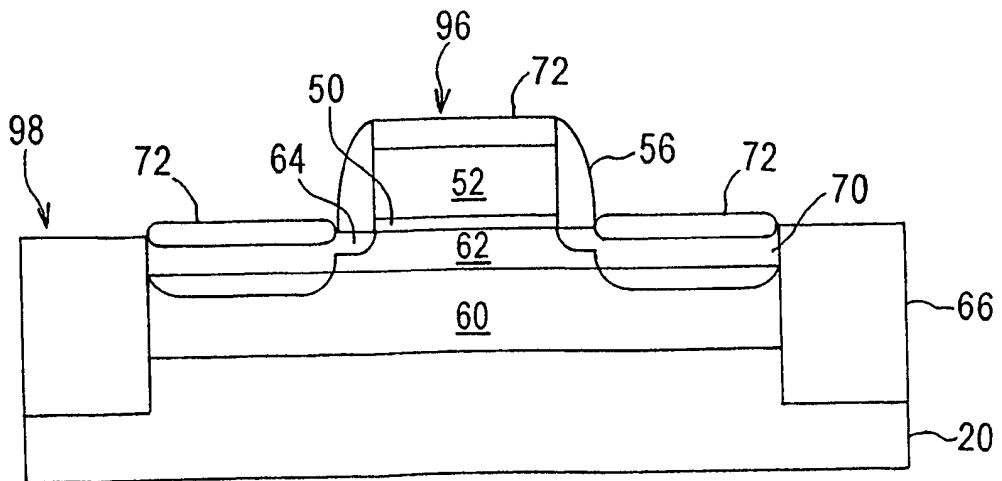


图 4C