



(52) CPC특허분류

*H01L 27/11582* (2013.01)

*H01L 27/11585* (2013.01)

*H01L 29/516* (2013.01)

*H01L 29/66833* (2013.01)

*H01L 29/6684* (2013.01)

*H01L 29/78391* (2015.01)

*H01L 29/792* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 형성된 제1게이트절연막;

상기 제1게이트절연막 상부에 형성되어 상기 제1게이트절연막 일부와 중첩되고, 강유전체를 포함하는 제2게이트절연막;

상기 제2게이트절연막 상에 형성된 제2게이트전극; 및

상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입되고, 상기 제2게이트절연막이 선택적으로 네거티브 캐패시턴스를 갖도록 제어하는 제1게이트전극

을 포함하는 스위칭 소자.

#### 청구항 2

제1항에 있어서,

상기 제1게이트전극은 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입된 제1영역 및 상기 제1영역으로부터 연장되어 상기 제2게이트전극 측벽과 겹을 갖고 이웃하는 제2영역을 포함하는 스위칭 소자.

#### 청구항 3

제2항에 있어서,

상기 겹의 선포는 적어도 상기 제1게이트절연막의 두께보다는 큰 스위칭 소자.

#### 청구항 4

제1항에 있어서,

상기 제2게이트절연막은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조의 금속산화물을 포함하는 스위칭 소자.

#### 청구항 5

제4항에 있어서,

상기 제2게이트절연막은 1nm 내지 20nm 범위의 두께를 갖는 스위칭 소자.

#### 청구항 6

제1항에 있어서,

오프상태에서 상기 제1게이트전극 및 상기 제2게이트전극 각각은 오프전압레벨을 갖고, 턴온 동작 구간에서 상기 제1게이트전극 및 상기 제2게이트전극 각각에는 제1턴온전압 및 제2턴온전압이 인가되며,

상기 제1턴온전압은 상기 오프전압레벨에서 상기 오프전압레벨보다 낮은 제1전압레벨로 스위핑하고, 연속해서 상기 제1전압레벨에서 상기 오프전압레벨보다 높고, 상기 제1전압레벨과 다른 극성을 갖는 제2전압레벨로 스위핑하도록 구성되며,

상기 제2턴온전압은 상기 오프전압레벨에서 상기 오프전압레벨보다 높은 제3전압레벨로 스위핑하도록 구성된 스위칭 소자.

#### 청구항 7

제6항에 있어서,

상기 제2턴온전압이 상기 오프전압레벨에서 상기 제3전압레벨로 스위칭하는 시점보다 상기 제1턴온전압이 상기 오프전압레벨에서 상기 제1전압레벨로 스위칭하는 시점이 더 빠르도록 구성된 스위칭 소자.

**청구항 8**

제6항에 있어서,

상기 오프전압레벨은 그라운드 전위를 포함하고, 상기 제1전압레벨은 네거티브 극성을 가지며, 상기 제2전압레벨 및 상기 제3전압레벨은 포지티브 극성을 갖는 스위칭 소자.

**청구항 9**

기관 상에 형성된 제1게이트스택; 및

상기 제1게이트스택에 이웃하도록 상기 기관 상에 형성된 적어도 1개 이상의 제2게이트스택을 포함하고,

상기 제1게이트스택은 상기 기관 상에 순차적으로 적층된 제1게이트절연막, 제1게이트전극, 상기 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제2게이트전극을 포함하며,

상기 제2게이트스택은 상기 기관 상에 순차적으로 적층된 제3게이트절연막, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제4게이트절연막 및 제3게이트전극을 포함하는 스위칭 소자.

**청구항 10**

제9항에 있어서,

상기 제2게이트절연막은 상기 제1게이트절연막 일부와 중첩되고,

상기 제1게이트전극은 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입된 제1영역 및 상기 제1영역으로부터 연장되어 상기 제2게이트전극 측벽과 겹을 갖고 이웃하는 제2영역을 포함하는 스위칭 소자.

**청구항 11**

제10항에 있어서,

상기 겹의 선폭은 적어도 상기 제1게이트절연막의 두께보다는 크고, 상기 제1게이트스택과 상기 제2게이트스택 사이의 간격보다는 작은 스위칭 소자.

**청구항 12**

제10항에 있어서,

상기 제2게이트전극의 일측벽은 상기 제3게이트전극과 마주보고, 상기 제2게이트전극의 타측벽은 상기 제1게이트전극의 제2영역과 마주보는 스위칭 소자.

**청구항 13**

제9항에 있어서,

상기 제2게이트절연막 및 상기 제4게이트절연막 각각은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조의 금속산화물을 포함하는 스위칭 소자.

**청구항 14**

제13항에 있어서,

상기 제2게이트절연막의 두께는 상기 제4게이트절연막의 두께보다 두꺼운 스위칭 소자.

**청구항 15**

제14항에 있어서,

상기 제2게이트절연막은 1nm 내지 20nm 범위의 두께를 갖고, 상기 제4게이트절연막은 1nm 내지 10nm 범위의 두

계를 갖는 스위칭 소자.

**청구항 16**

제9항에 있어서,

상기 제1게이트스택의 선폭은 상기 제2게이트스택의 선폭과 동일하거나, 또는 더 큰 스위칭 소자.

**청구항 17**

제9항에 있어서,

오프상태에서 상기 제1게이트전극, 상기 제2게이트전극 및 상기 제3게이트전극 각각은 오프전압레벨을 갖고, 턴 온 동작 구간에서 상기 제1게이트전극, 상기 제2게이트전극 및 상기 제3게이트전극에는 각각 제1턴온전압, 제2턴온전압 및 제3턴온전압이 인가되며,

상기 제1턴온전압은 상기 오프전압레벨에서 상기 오프전압레벨보다 낮은 제1전압레벨로 스위핑하고, 연속해서 상기 제1전압레벨에서 상기 오프전압레벨보다 높고, 상기 제1전압레벨과 다른 극성을 갖는 제2전압레벨로 스위핑하도록 구성되며,

상기 제2턴온전압 및 상기 제3턴온전압은 각각 상기 오프전압레벨에서 상기 오프전압레벨보다 높은 제3전압레벨 및 제4전압레벨로 스위핑하도록 구성되는 스위칭 소자.

**청구항 18**

제17항에 있어서,

상기 제2턴온전압이 상기 오프전압레벨에서 상기 제3전압레벨로 스위핑하는 시점 및 상기 제3턴온전압이 상기 오프전압레벨에서 상기 제4전압레벨로 스위핑하는 시점보다 상기 제1턴온전압이 상기 오프전압레벨에서 상기 제1전압레벨로 스위핑하는 시점이 더 빠르도록 구성된 스위칭 소자.

**청구항 19**

제18항에 있어서,

상기 제3턴온전압이 상기 오프전압레벨에서 상기 제4전압레벨로 스위핑하는 시점은 상기 제2턴온전압이 상기 오프전압레벨에서 상기 제3전압레벨로 스위핑하는 시점과 동일하거나, 또는 더 빠르도록 구성된 스위칭 소자.

**청구항 20**

제17항에 있어서,

상기 오프전압레벨은 그라운드 전위를 포함하고, 상기 제1전압레벨은 네거티브 극성을 가지며, 상기 제2전압레벨, 상기 제3전압레벨 및 상기 제4전압레벨은 포지티브 극성을 갖는 스위칭 소자.

**청구항 21**

기관 상에 형성된 제1게이트스택; 및

상기 제1게이트스택과 이웃하도록 상기 기관 상에 형성된 제2게이트스택을 포함하고,

상기 제1게이트스택은 상기 기관 상에 순차적으로 적층된 제1게이트절연막, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제1게이트전극을 포함하며,

상기 제2게이트스택은 상기 기관 상에 순차적으로 적층된 전하트랩막을 포함하는 메모리막 및 제2게이트전극을 포함하는 스위칭 소자.

**청구항 22**

제21항에 있어서,

상기 제2게이트절연막은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이드 구조의 금속산화물을 포함하는 스위칭 소자.

**청구항 23**

제22항에 있어서,  
 상기 제2게이트절연막은 1nm 내지 10nm 범위의 두께를 갖는 스위칭 소자.

**청구항 24**

제21항에 있어서,  
 상기 제2게이트스택은 상기 전하트랩막에 전하를 주입하거나, 또는 주입된 전하를 제거하여 예정된 범위내에서 문턱전압값을 가변하는 스위칭 소자.

**청구항 25**

제21항에 있어서,  
 상기 메모리막은 상기 기판과 상기 전하트랩막 사이에 삽입된 터널절연막 및 상기 전하트랩막과 상기 제2게이트 전극 사이에 삽입된 블록킹막을 포함하며,  
 상기 터널절연막 및 상기 블록킹막을 산화물을 포함하고, 상기 전하트랩막은 질화물을 포함하는 스위칭 소자.

**청구항 26**

제21항에 있어서,  
 상기 제1게이트스택의 선폭은 상기 제2게이트스택의 선폭과 동일하거나, 또는 더 큰 스위칭 소자.

**청구항 27**

채널구조물을 공유하는 복수의 메모리셀들; 및  
 상기 채널구조물을 공유하여 상기 메모리셀들 일측에 연결된 제1스위칭 소자를 포함하고,  
 상기 제1스위칭 소자는,  
 상기 채널구조물을 감싸는 제1게이트절연막;  
 상기 제1게이트절연막을 감싸는 제1게이트전극;  
 상기 제1게이트전극 일부를 감싸고, 상기 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막; 및  
 상기 제2게이트절연막을 감싸고, 평판형태를 갖는 제2게이트전극을 포함하는 반도체 메모리 장치.

**청구항 28**

제27항에 있어서,  
 상기 제1게이트전극은 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입된 제1영역 및 상기 제1영역으로부터 연장되어 상기 제2게이트전극 측벽과 갭을 갖고 이웃하는 제2영역을 포함하는 반도체 메모리 장치.

**청구항 29**

제28항에 있어서,  
 상기 제1게이트전극의 제2영역은 상기 제2게이트전극과 상기 메모리셀들 사이에 위치하는 반도체 메모리 장치.

**청구항 30**

제27항에 있어서,  
 상기 제2게이트절연막은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성

영역을 갖는 플루오라이트 구조의 금속산화물을 포함하는 반도체 메모리 장치.

**청구항 31**

제30항에 있어서,

상기 제2게이트절연막은 1nm 내지 20nm 범위의 두께를 갖는 반도체 메모리 장치.

**청구항 32**

제27항에 있어서,

상기 채널구조물은 코어필라, 상기 코어필라 상에 형성된 캡핑막, 상기 캡핑막의 측면과 상기 코어필라의 저면 및 측면을 감싸는 채널막을 포함하는 반도체 메모리 장치.

**청구항 33**

제27항에 있어서,

상기 복수의 메모리셀들 각각은 메모리구조물을 포함하고, 상기 메모리구조물은 상기 채널구조물을 감싸고 터널 절연막, 전하트랩막 및 블록킹막이 순차적으로 적층된 메모리막 및 상기 메모리막을 감싸고 평판형태를 갖는 게이트전극을 포함하는 반도체 메모리 장치.

**청구항 34**

제27항에 있어서,

상기 채널구조물을 공유하여 상기 메모리셀들 타측에 연결된 제2스위칭 소자를 더 포함하고, 상기 제2스위칭 소자는 상기 제1스위칭 소자와 동일한 구성 및 형상을 갖되, 상기 채널구조물이 연장된 방향으로 상기 제1스위칭 소자와 상기 제2스위칭 소자가 상호 대칭적인 형상을 갖는 반도체 메모리 장치.

**청구항 35**

제27항에 있어서,

상기 채널구조물을 공유하여 상기 메모리셀들 타측에 연결된 제2스위칭 소자를 더 포함하고, 상기 제2스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 제2게이트구조물을 포함하며,

상기 제1게이트구조물은 상기 채널구조물을 감싸는 제3게이트절연막, 상기 제3게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제4게이트절연막 및 상기 제4게이트절연막을 감싸고 평판 형태를 갖는 제3게이트전극을 포함하고,

상기 제2게이트구조물은 상기 채널구조물을 감싸고 전하드랩막을 포함하는 메모리막 및 상기 메모리막을 감싸고 평판형태를 갖는 제4게이트전극

을 포함하는 반도체 메모리 장치.

**청구항 36**

제35항에 있어서,

상기 제2게이트구조물은 상기 제1게이트구조물과 상기 메모리셀들 사이에 위치하는 반도체 메모리 장치.

**청구항 37**

제35항에 있어서,

상기 제2게이트구조물은 상기 전하드랩막에 전하를 주입하거나, 또는 주입된 전하를 제거하여 예정된 범위내에서 문턱전압값을 가변하는 반도체 메모리 장치.

**청구항 38**

제27항에 있어서,

상기 채널구조물을 공유하여 상기 메모리셀들 타측에 연결된 제2스위칭 소자를 더 포함하고, 상기 제2스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 적어도 1개 이상의 제2게이트구조물을 포함하며,

상기 제1게이트구조물은 상기 채널구조물을 감싸는 제3게이트절연막, 상기 제3게이트절연막을 감싸는 제3게이트전극, 상기 제3게이트전극 일부를 감싸고 상기 제3게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제4게이트절연막 및 상기 제4게이트절연막을 감싸고 평판형태를 갖는 제4게이트전극을 포함하고,

상기 제2게이트구조물은 상기 채널구조물을 감싸는 제5게이트절연막, 상기 제5게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 제6게이트절연막 및 상기 제6게이트절연막을 감싸고 평판형태를 갖는 제5게이트전극

을 포함하는 반도체 메모리 장치.

### 청구항 39

제38항에 있어서,

상기 제3게이트전극은 상기 제3게이트절연막과 상기 제4게이트절연막 사이에 삽입된 제1영역 및 상기 제1영역으로부터 연장되어 상기 제4게이트전극 측벽과 겹을 갖고 이웃하는 제2영역을 포함하는 반도체 메모리 장치.

### 청구항 40

제39항에 있어서,

상기 제1게이트구조물은 상기 제2게이트구조물과 상기 메모리셀들 사이에 위치하하고, 상기 제3게이트전극의 제2영역은 상기 제4게이트전극과 상기 메모리셀들 사이에 위치하는 반도체 메모리 장치.

### 청구항 41

제38항에 있어서,

상기 채널구조물이 연장된 방향으로 상기 제1스위칭 소자와 상기 제2스위칭 소자의 상기 제1게이트구조물은 상호 대칭적인 형상을 갖는 반도체 메모리 장치.

### 청구항 42

제38항에 있어서,

상기 제2게이트절연막, 상기 제4게이트절연막 및 상기 제6게이트절연막 각각은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조를 갖는 금속산화물을 포함하되, 상기 제2게이트절연막의 두께 및 상기 제4게이트절연막의 두께는 상기 제6게이트절연막의 두께보다 두꺼운 반도체 메모리 장치.

### 청구항 43

제27항에 있어서,

상기 제1스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 적어도 1개 이상의 제2게이트구조물을 포함하고, 상기 제1게이트구조물은 상기 메모리셀들과 상기 제2게이트구조물 사이에 위치하며,

상기 제1게이트구조물은 상기 제1게이트절연막, 상기 제1게이트전극, 상기 제2게이트절연막 및 상기 제2게이트전극을 포함하고,

상기 제2게이트구조물은 상기 채널구조물을 감싸는 제3게이트절연막, 상기 제3게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 제4게이트절연막 및 상기 제4게이트절연막을 감싸고 평판형태를 갖는 제3게이트전극

을 포함하는 반도체 메모리 장치.

### 청구항 44

제43항에 있어서,

상기 채널구조물을 공유하여 상기 메모리셀들 타측에 연결된 제2스위칭 소자를 더 포함하고, 상기 제2스위칭 소자는 상기 제1게이트구조물 및 적어도 1개 이상의 상기 제2게이트구조물을 포함하되, 상기 제1스위칭 소자 내의 상기 제2게이트구조물의 개수는 상기 제2스위칭 소자 내의 상기 제2게이트구조물의 개수와 동일하거나, 또는 더 많은 반도체 메모리 장치.

**청구항 45**

채널구조물을 공유하는 복수의 메모리셀들; 및

상기 채널구조물을 공유하여 상기 메모리셀들 일측에 연결된 제1스위칭 소자를 포함하고, 상기 제1스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 제2게이트구조물을 포함하며,

상기 제1게이트구조물은 상기 채널구조물을 감싸는 제1게이트절연막, 상기 제1게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 상기 제2게이트절연막을 감싸고 평판형태를 갖는 제1게이트전극을 포함하고,

상기 제2게이트구조물은 상기 채널구조물을 감싸고 전하트랩막을 포함하는 메모리막 및 상기 메모리막을 감싸고 평판형태를 갖는 제2게이트전극

을 포함하는 반도체 메모리 장치.

**청구항 46**

제45항에 있어서,

상기 채널구조물을 공유하여 상기 메모리셀들 타측에 연결된 제2스위칭 소자를 더 포함하고, 상기 제2스위칭 소자는 상기 제1스위칭 소자와 동일한 구성 및 형상을 갖되, 상기 채널구조물이 연장된 방향으로 상기 제1스위칭 소자와 상기 제2스위칭 소자가 상호 대칭적인 형상을 갖는 반도체 메모리 장치.

**청구항 47**

제45항에 있어서,

상기 복수의 메모리셀들 각각은 메모리구조물을 포함하고, 상기 메모리구조물은 상기 제2게이트구조물과 동일한 구성 및 형상을 갖는 반도체 메모리 장치.

**청구항 48**

제45항에 있어서,

상기 제2게이트구조물은 상기 제1게이트구조물과 상기 메모리셀들 사이에 위치하는 반도체 메모리 장치.

**청구항 49**

제45항에 있어서,

상기 제2게이트절연막은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조의 금속산화물을 포함하는 반도체 메모리 장치.

**청구항 50**

제49항에 있어서,

상기 제2게이트절연막은 1nm 내지 10nm 범위의 두께를 갖는 반도체 메모리 장치.

**청구항 51**

제45항에 있어서,

상기 제2게이트구조물은 상기 전하트랩막에 전하를 주입하거나, 또는 주입된 전하를 제거하여 예정된 범위내에서 문턱전압값을 가변하는 반도체 메모리 장치.

**청구항 52**

기관 상에 제1물질막과 제2물질막이 적어도 1회 이상 교번 적층된 제1적층체를 형성하는 단계;  
 상기 제1적층체를 관통하는 제1오픈부를 형성하는 단계;  
 상기 제1오픈부의 측벽에 강유전체를 포함하는 제2게이트절연막을 형성하는 단계;  
 상기 제2게이트절연막이 형성된 제1오픈부의 측벽 및 상기 제1적층체 상에 상기 제2물질막을 형성하는 단계;  
 상기 제1오픈부 내 상기 제2물질막의 측벽에 제1게이트절연막 및 채널막을 순차적으로 형성하는 단계;  
 상기 제2물질막을 제거하는 단계; 및  
 상기 제2물질막이 제거된 공간에 도전물질을 갭필하여 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입된 제1게이트전극 및 상기 제2게이트절연막에 접하는 제2게이트전극을 형성하는 단계를 포함하는 반도체 메모리 장치 제조방법.

**청구항 53**

제22항에 있어서,  
 상기 제1오픈부 내 상기 제2물질막의 측벽에 제1게이트절연막 및 채널막을 순차적으로 형성하는 단계 이전에,  
 상기 제1적층체 상에 상기 제1물질막과 상기 제2물질막이 복수회 교번 적층된 제2적층체를 형성하는 단계;  
 상기 제2적층체를 관통하여 상기 제1오픈부에 연결되도록 제2오픈부를 형성하는 단계; 및  
 상기 제2오픈부의 측벽에 메모리막을 형성하는 단계를 더 포함하는 반도체 메모리 장치 제조방법.

**청구항 54**

제53항에 있어서,  
 상기 제1오픈부 내 상기 제2물질막의 측벽에 제1게이트절연막 및 채널막을 순차적으로 형성하는 단계에서 상기 제2오픈부의 메모리막 상에도 상기 제1게이트절연막 및 상기 채널막을 순차적으로 형성하는 반도체 메모리 장치 제조방법.

**청구항 55**

제53항에 있어서,  
 상기 제1적층체 상에 상기 제1물질막과 상기 제2물질막이 복수회 교번 적층된 제2적층체를 형성하는 단계에서 상기 제2적층체의 최하층 및 최상층에는 상기 제1절연막이 위치하도록 형성하되, 상기 제2적층체의 최하층 및 최상층에 위치하는 상기 제1절연막은 상대적으로 두꺼운 두께를 갖도록 형성하는 반도체 메모리 장치 제조방법.

**청구항 56**

제53항에 있어서,  
 상기 메모리막은 전하트랩 단일막 또는 전하트랩막과 블록킹막이 적층된 다층막으로 형성하는 반도체 메모리 장치 제조방법.

**청구항 57**

제52항에 있어서,  
 상기 제1게이트전극은 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 위치하는 제1영역 및 상기 제1게이트전극 측벽과 겹을 갖고 마주보도록 상기 제1영역의 일측 끝단으로부터 확장된 제2영역을 포함하는 반도체 메모리 장치 제조방법.

**청구항 58**

제52항에 있어서,

상기 제2게이트절연막은 상기 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조의 금속산화물을 포함하는 반도체 메모리 장치 제조방법.

**청구항 59**

제58항에 있어서,

상기 제2게이트절연막은 1nm 내지 20nm 범위의 두께를 갖도록 형성하는 반도체 메모리 장치 제조방법.

**청구항 60**

제58항에 있어서,

상기 제2게이트절연막을 형성하는 단계는,

원자층증착법을 이용하여 180℃ 내지 300℃ 범위의 온도에서 상기 제2게이트절연막을 형성하는 단계; 및

산소 분위기 및 400℃ 내지 900℃ 범위의 온도에서 어닐 공정을 수행하는 단계를 포함하는 반도체 메모리 장치 제조방법.

**청구항 61**

기판 상에 제1물질막과 제2물질막이 적어도 1회 이상 교번 적층된 제1적층체를 형성하는 단계;

상기 제1적층체를 관통하는 제1오픈부를 형성하는 단계;

상기 제1오픈부의 표면을 따라 강유전체를 포함하는 제2게이트절연막을 형성하는 단계;

상기 제1적층체 상에 상기 제1물질막과 상기 제2물질막이 복수회 교번 적층된 제2적층체를 형성하는 단계;

상기 제2적층체를 관통하여 상기 제1오픈부에 연결되도록 제2오픈부를 형성하는 단계;

상기 제2오픈부의 측벽에 메모리막을 형성하는 단계;

상기 제1오픈부 및 상기 제2오픈부의 표면을 따라 제1게이트절연막 및 채널막을 순차적으로 형성하는 단계;

상기 제2물질막을 제거하는 단계; 및

상기 제2물질막이 제거된 공간에 도전물질을 깎필하여 상기 제2게이트절연막과 접하는 게이트전극 및 상기 메모리막에 접하는 제어게이트를 형성하는 단계

를 포함하는 반도체 장치 제조방법.

**청구항 62**

제61항에 있어서,

상기 제2게이트절연막은 자발 유도된 네거티브 캐패시턴스를 갖는 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조의 금속산화물을 포함하는 반도체 메모리 장치 제조방법.

**청구항 63**

제62항에 있어서,

상기 제2게이트절연막은 1nm 내지 10nm 범위의 두께를 갖도록 형성하는 반도체 메모리 장치 제조방법.

**청구항 64**

제62항에 있어서,

상기 제2게이트절연막을 형성하는 단계는,

원자층증착법을 이용하여 180℃ 내지 300℃ 범위의 온도에서 상기 제2게이트절연막을 형성하는 단계; 및 산소 분위기 및 400℃ 내지 900℃ 범위의 온도에서 어닐 공정을 수행하는 단계를 포함하는 반도체 메모리 장치 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전자 장치에 관한 것으로, 더욱 상세하게는 네거티브 캐패시터(Negative capacitor)를 포함하는 스위칭 소자, 스위칭 소자를 포함하는 반도체 메모리 장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해서는 반도체 장치의 집적도를 향상시켜야 한다. 특히, 반도체 메모리 장치에서 집적도는 제품의 성능 및 가격을 결정짓는 중요한 요인이기 때문에 집적도를 향상시키기 위한 다양한 노력이 지속되고 있다. 일례로, 복수의 메모리셀들을 포함하는 반도체 메모리 장치에서 메모리셀들을 3차원적으로 배열하여 기판의 단위 면적당 메모리셀들이 점유하는 면적을 감소시킬 수 있는 3차원 반도체 메모리 장치에 대한 연구가 활발해 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 실시예는 동작 속도 및 동작 신뢰성을 향상시킬 수 있는 스위칭 소자, 스위칭 소자를 포함하는 반도체 메모리 장치 및 그 제조방법을 제공하기 위한 것이다.

**과제의 해결 수단**

[0004] 본 발명의 실시예에 따른 스위칭 소자는 기판 상에 형성된 제1게이트절연막; 상기 제1게이트절연막 상부에 형성되어 상기 제1게이트절연막 일부와 중첩되고, 강유전체를 포함하는 제2게이트절연막; 상기 제2게이트절연막 상에 형성된 제2게이트전극; 및 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입되고, 상기 제2게이트절연막이 선택적으로 네거티브 캐패시턴스를 갖도록 제어하는 제1게이트전극을 포함할 수 있다.

[0005] 본 발명의 실시예에 따른 스위칭 소자는 기판 상에 형성된 제1게이트스택; 및 상기 제1게이트스택에 이웃하도록 상기 기판 상에 형성된 적어도 1개 이상의 제2게이트스택을 포함하고, 상기 제1게이트스택은 상기 기판 상에 순차적으로 적층된 제1게이트절연막, 제1게이트전극, 상기 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제2게이트전극을 포함하며, 상기 제2게이트스택은 상기 기판 상에 순차적으로 적층된 제3게이트절연막, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제4게이트절연막 및 제3게이트전극을 포함할 수 있다.

[0006] 본 발명의 실시예에 따른 스위칭 소자는 기판 상에 형성된 제1게이트스택; 및 상기 제1게이트스택과 이웃하도록 상기 기판 상에 형성된 제2게이트스택을 포함하고, 상기 제1게이트스택은 상기 기판 상에 순차적으로 적층된 제1게이트절연막, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제1게이트전극을 포함하며, 상기 제2게이트스택은 상기 기판 상에 순차적으로 적층된 전하트랩막을 포함하는 메모리막 및 제2게이트전극을 포함할 수 있다.

[0007] 본 발명의 실시예에 따른 반도체 메모리 장치는 채널구조물을 공유하는 복수의 메모리셀들; 및 상기 채널구조물을 공유하여 상기 메모리셀들 일측에 연결된 제1스위칭 소자를 포함하고, 상기 제1스위칭 소자는, 상기 채널구조물을 감싸는 제1게이트절연막; 상기 제1게이트절연막을 감싸는 제1게이트전극; 상기 제1게이트전극 일부를 감싸고, 상기 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막; 및 상기 제2게이트절연막을 감싸고, 평판형태를 갖는 제2게이트전극을 포함할 수 있다.

[0008] 본 발명의 실시예에 따른 반도체 메모리 장치는 채널구조물을 공유하는 복수의 메모리셀들; 및 상기 채널구조물을 공유하여 상기 메모리셀들 일측에 연결된 제1스위칭 소자를 포함하고, 상기 제1스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 제2게이트구조물을 포함하며, 상기 제1게이트구조물은 상기 채널구조물을 감싸는 제1게이트절연막, 상기 제1게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는

제2게이트절연막 및 상기 제2게이트절연막을 감싸고 평판형태를 갖는 제1게이트전극을 포함하고, 상기 제2게이트구조물은 상기 채널구조물을 감싸고 전하트랩막을 포함하는 메모리막 및 상기 메모리막을 감싸고 평판형태를 갖는 제2게이트전극을 포함할 수 있다.

[0009] 본 발명의 실시예에 따른 반도체 메모리 장치 제조방법은 기판 상에 제1물질막과 제2물질막이 적어도 1회 이상 교번 적층된 제1적층체를 형성하는 단계; 상기 제1적층체를 관통하는 제1오픈부를 형성하는 단계; 상기 제1오픈부의 측벽에 강유전체를 포함하는 제2게이트절연막을 형성하는 단계; 상기 제2게이트절연막이 형성된 제1오픈부의 측벽 및 상기 제1적층체 상에 상기 제2물질막을 형성하는 단계; 상기 제1오픈부 내 상기 제2물질막의 측벽에 제1게이트절연막 및 채널막을 순차적으로 형성하는 단계; 상기 제2물질막을 제거하는 단계; 및 상기 제2물질막이 제거된 공간에 도전물질을 깎필하여 상기 제1게이트절연막과 상기 제2게이트절연막 사이에 삽입된 제1게이트전극 및 상기 제2게이트절연막에 접하는 제2게이트전극을 형성하는 단계를 포함할 수 있다.

[0010] 본 발명의 실시예에 따른 반도체 메모리 장치 제조방법은 기판 상에 제1물질막과 제2물질막이 적어도 1회 이상 교번 적층된 제1적층체를 형성하는 단계; 상기 제1적층체를 관통하는 제1오픈부를 형성하는 단계; 상기 제1오픈부의 표면을 따라 강유전체를 포함하는 제2게이트절연막을 형성하는 단계; 상기 제1적층체 상에 상기 제1물질막과 상기 제2물질막이 복수회 교번 적층된 제2적층체를 형성하는 단계; 상기 제2적층체를 관통하여 상기 제1오픈부에 연결되도록 제2오픈부를 형성하는 단계; 상기 제2오픈부의 측벽에 메모리막을 형성하는 단계; 상기 제1오픈부 및 상기 제2오픈부의 표면을 따라 제1게이트절연막 및 채널막을 순차적으로 형성하는 단계; 상기 제2물질막을 제거하는 단계; 및 상기 제2물질막이 제거된 공간에 도전물질을 깎필하여 상기 제2게이트절연막과 접하는 게이트전극 및 상기 메모리막에 접하는 제어게이트를 형성하는 단계를 포함할 수 있다.

### 발명의 효과

[0011] 상술한 과제의 해결 수단을 바탕으로 하는 본 기술은 네거티브 캐패시터를 구비하고, 네거티브 캐패시터를 용이하게 제어할 수 있는 게이트구조를 제공함으로써, 스위칭 소자 및 이를 구비하는 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.

### 도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 스위칭 소자를 도시한 단면도이다.  
 도 2는 도 1에 도시된 스위칭 소자의 턴온 동작 및 턴오프 동작을 설명하기 위한 도면이다.  
 도 3은 본 발명의 실시예에 따른 스위칭 소자를 도시한 단면도이다.  
 도 4는 도 3에 도시된 스위칭 소자의 턴온 동작 및 턴오프 동작을 설명하기 위한 도면이다.  
 도 5는 본 발명의 실시예에 따른 스위칭 소자를 도시한 단면도이다.  
 도 6은 도 5에 도시된 스위칭 소자의 턴온 동작 및 턴오프 동작을 설명하기 위한 도면이다.  
 7은 본 발명의 실시예에 따른 반도체 메모리 장치를 도시한 블록도이다.  
 도 8은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.  
 도 9는 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.  
 도 10은 도 9에 도시된 A영역을 확대하여 도시한 단면도이다.  
 도 11a 내지 도 11h는 본 발명의 실시예에 따른 반도체 메모리 장치의 제조방법을 도시한 단면도이다.  
 도 12는 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.  
 도 13은 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.  
 도 14는 도 13에 도시된 B영역을 확대하여 도시한 단면도이다.  
 도 15a 내지 도 15i는 본 발명의 실시예에 따른 반도체 메모리 장치의 제조방법을 도시한 단면도이다.  
 도 16은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.  
 도 17은 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.

- 도 18은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.
- 도 19는 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.
- 도 20은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.
- 도 21는 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.
- 도 22는 본 발명의 실시예에 따른 메모리 시스템의 구성을 나타내는 블록도이다.
- 도 23은 본 발명의 실시예에 따른 컴퓨팅 시스템의 구성을 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0014] 후술하는 본 발명의 실시예는 동작 속도를 향상시킬 수 있는 스위칭 소자 및 스위칭 소자를 구비하여 동작 신뢰성을 향상시킬 수 있는 반도체 메모리 장치 및 그 제조방법을 제공하기 위한 것이다.
- [0015] 이를 위해, 본 발명의 실시예에 따른 스위칭 소자는 네거티브 캐패시터 트랜지스터(Negative Capacitor Field Effect Transistor, NCFET)를 포함할 수 있다. 참고로, 네거티브 캐패시터 트랜지스터는 서브문턱전압 스윙(Subthreshold Swing, SS)을 물리적 한계로 알려진 60mV/dec(Boltzmann tyranny) 이하로 구현할 수 있다. 네거티브 캐패시터 트랜지스터는 서브문턱전압 스윙을 10mV/dec 수준까지 낮출 수 있다고 알려져 있다.
- [0016] 이하, 도면을 참조하여 본 발명의 실시예에 따른 스위칭 소자에 대해 상세히 설명하기로 한다.
- [0017] 도 1은 본 발명의 실시예에 따른 스위칭 소자를 도시한 단면도이다.
- [0018] 도 1에 도시된 바와 같이, 실시예에 따른 스위칭 소자(SE1)는 제1게이트절연막(210), 제1게이트전극(212), 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막(214) 및 제2게이트전극(216)이 순차적으로 적층된 게이트스택(GS) 및 게이트스택(GS) 양측 기관(200)에 형성된 접합영역들(202)을 포함할 수 있다. 여기서, 게이트스택(GS) 아래 기관(200) 표면에는 게이트스택(GS)에 인가되는 바이어스에 응답하여 접합영역들(202) 사이를 전기적으로 연결하는 채널(204)이 형성될 수 있다.
- [0019] 스위칭 소자(SE1)에서 게이트스택(GS)은 네거티브 캐패시터를 포함할 수 있다. 이때, 네거티브 캐패시터는 서로 중첩되는 제1게이트전극(212), 제2게이트절연막(214) 및 제2게이트전극(216)으로 구성될 수 있다.
- [0020] 제1게이트절연막(210)은 기관(200) 상에 형성되고, 산화물 또는 질화물을 포함할 수 있다. 예를 들어, 제1게이트절연막(210)은 실리콘산화물(SiO<sub>2</sub>), 실리콘질화물(Si<sub>3</sub>N<sub>4</sub>), hafnium산화물(HfO<sub>2</sub>), zirconium산화물(ZrO<sub>2</sub>), lanthanum산화물(La<sub>2</sub>O<sub>3</sub>), aluminum산화물(Al<sub>2</sub>O<sub>3</sub>) 및 titanium산화물(TiO<sub>2</sub>)로 이루어진 그룹으로부터 선택된 어느 하나의 단일막 또는 둘 이상이 적층된 다층막을 포함할 수 있다.
- [0021] 제1게이트전극(212)은 강유전체를 포함하는 제2게이트절연막(214)의 캐패시턴스를 가변시켜 네거티브 캐패시터를 구현하는 역할을 수행할 수 있다. 구체적으로, 제2게이트절연막(214)은 열평형상태에서는 포지티브 캐패시턴스를 가질 수 있다. 여기서, 열평형상태는 제2게이트절연막(214)에 어떠한 외력도 가해지지 않은 상태를 지칭한다. 예를 들어, 열평형상태는 제1게이트전극(212)에 바이어스가 인가되지 않은 상태일 수 있다. 반면, 제2게이트절연막(214)은 제1게이트전극(212)에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 가질 수 있다. 이를 위해, 제1게이트전극(212)은 제1게이트절연막(210)과 제2게이트절연막(214) 사이에 삽입된 제1영역(212A) 및 제1영역(212A)으로부터 연장되어 제2게이트전극(216) 일측벽과 갭(218)을 갖고 이웃하는 제2영역(212B)을 포함할 수 있다.
- [0022] 제1게이트전극(212)에서 제1영역(212A)은 제2게이트절연막(214)의 캐패시턴스를 가변시키는 역할을 수행할 수 있다. 제1게이트전극(212)의 제2영역(212B)은 외부로부터 제2게이트절연막(214)의 캐패시턴스를 가변시키기 위한 바이어스를 인가받는 역할을 수행할 수 있다. 한편, 도면에 도시하지는 않았지만, 제1게이트전극(212)의 제2

영역(212B)과 제2게이트전극(216) 사이에는 절연막이 갱필될 수 있다.

- [0023] 채널길이 방향으로 갱(218)의 선폭은 적어도 제1게이트절연막(210)의 두께보다 더 클 수 있다. 이는, 측벽을 서로 마주보는 제1게이트전극(212)과 제2게이트전극(216) 사이의 간섭 현상을 방지하기 위함이다. 갱(218)의 선폭은 제1게이트전극(212) 및 제2게이트전극(216) 각각에 인가되는 바이어스에 의해 누설전류가 발생하는 것을 방지함과 동시에 제한된 면적내에서 게이트스택(GS)을 형성할 수 있는 범위내에서 설정할 수 있다. 참고로, 제1게이트전극(212)과 제2게이트전극(216) 사이의 간격 즉, 갱(218)의 선폭이 기설정된 범위보다 작아지면, 제1게이트전극(212)에 인가되는 바이어스에 의해 접합영역(202)에서 누설전류가 발생할 수 있다. 여기서, 기설정된 범위는 제1게이트절연막(210)의 두께를 지칭할 수 있다. 이는, 채널(204)을 형성하기 위해 제2게이트전극(216)에 바이어스가 인가된 상태에서 추가적으로 네거티브 캐패시턴스를 유도하기 위해 제1게이트전극(212)에 바이어스가 인가되기 때문이다. 갱(218)의 선폭이 협소함에 따라 발생한 누설전류로 인해 스위칭 소자(SE1)의 동작과정에서 채널(204)의 포텐셜레벨 제어 효율이 저하될 수 있다.
- [0024] 제1게이트전극(212)은 제1게이트절연막(210)과 제2게이트절연막(214) 사이에 삽입되기 때문에 이들 사이의 계면 특성을 고려하여 금(Au), 가돌리늄 스칸데이트(GdScO<sub>3</sub>), 실리콘(Si), 폴리실리콘(poly Si), 구리(Cu), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta) 및 루테튬(Ru) 중 적어도 하나를 포함하는 금속산화물, 금속질화물 또는 금속산화물화물을 포함할 수 있다.
- [0025] 한편, 본 실시예에서는 제1게이트전극(212)의 제2영역(212B)이 제2게이트전극(216)의 일측벽을 마주보도록 형성되어 'L'자형 단면형상을 갖는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제1게이트전극(212)의 제2영역(212B)은 제2게이트전극(216)의 일측벽 및 타측벽 모두를 마주보도록 형성되어 'U'자형 단면형상을 가질 수도 있다.
- [0026] 제2게이트절연막(214)은 네거티브 캐패시터의 유전막으로 작용하며, 강유전체를 포함할 수 있다. 구체적으로, 제2게이트절연막(214)은 제1게이트전극(212)에 인가되는 바이어스에 응답하여 캐패시턴스가 포지티브에서 네거티브로 가변될 수 있다. 이를 위해, 제2게이트절연막(214)은 입방정계(cubic system), 정방정계(tetragonal system) 또는 단사정계(monoclinic system) 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트(fluorite) 구조의 금속산화물을 포함할 수 있다. 예를 들어, 플루오라이트 구조의 금속산화물로는 하프늄산화물(HfO<sub>x</sub>) 또는 지르코늄산화물(ZrO<sub>x</sub>)을 사용할 수 있다. 또한, 플루오라이트 구조의 금속산화물로는 하프늄산화물(HfO<sub>x</sub>) 또는 지르코늄산화물(ZrO<sub>x</sub>)에 실리콘(Si), 알루미늄(Al), 란탄(La) 및 가돌리늄(Gd)으로 이루어진 그룹으로부터 선택된 1종 이상의 원소가 도핑된 것을 사용할 수도 있다. 이때, 제1게이트전극(212)에 인가되는 바이어스에 응답하여 캐패시턴스 가변이 용이하고, 안정적으로 플루오라이트 구조를 유지하기 위해 제2게이트절연막(214)은 1nm 내지 20nm 범위의 두께를 가질 수 있다.
- [0027] 구체적으로, 제2게이트절연막(214)은 하프늄산화물(HfO<sub>x</sub>), 하프늄지르코늄산화물(Hf<sub>1-x</sub>Zr<sub>x</sub>O<sub>2</sub>), 하프늄알루미늄산화물(Hf<sub>1-x</sub>Al<sub>x</sub>O<sub>2</sub>) 또는 하프늄실리콘산화물(Hf<sub>1-x</sub>Si<sub>x</sub>O<sub>2</sub>)으로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다. 이때, 제2게이트절연막(214)은 단일막이거나, 또는 서로 다른 결정구조 또는 조성을 갖는 둘 이상의 금속산화물이 적층된 다층막으로 구성될 수도 있다. 예를 들어, 제2게이트절연막(214)은 하프늄산화물로 구성된 단일막이거나, 또는 하프늄산화물과 하프늄지르코늄산화물이 적층된 다층막일 수도 있다.
- [0028] 또한, 제2게이트절연막(214)으로 네거티브 캐패시터를 구현할 수 있는 강유전 유기물 및 강유전 무기물을 모두 적용할 수 있다. 예컨대, 강유전 무기물로서는 PZT(PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>), BaTiO<sub>3</sub>, PbTiO<sub>3</sub> 같은 페로브스카이트(Perovskite) 강유전체, LiNbO<sub>3</sub>, LiTaO<sub>3</sub> 같은 수도-일메나이트(Pseudo-ilmenite) 강유전체, PbNb<sub>3</sub>O<sub>6</sub>, Ba<sub>2</sub>Nb<sub>5</sub>O<sub>15</sub> 같은 텅스텐-청동(TB) 강유전체, SBT(SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>), BLT((Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>), Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> 같은 비스무스 층구조의 강유전체 및 La<sub>2</sub>Ti<sub>2</sub>O<sub>7</sub> 같은 파이로클로어(Pyrochlore) 강유전체와 이들 강유전체의 고용체를 비롯하여 Y, Er, Ho, Tm, Yb, Lu 같은 희토류 원소(R)를 포함하는 RMnO<sub>3</sub>과 PGO(Pb<sub>3</sub>Ge<sub>3</sub>O<sub>11</sub>), BFO(BiFeO<sub>3</sub>) 등을 사용할 수도 있다. 또한, CdZnTe, CdZnS, CdZnSe, CdMnS, CdFeS, CdMnSe 및 CdFeSe 같은 2-6족 화합물을 사용할 수도 있다. 또한, 강유전 유기물로서 폴리비닐리덴 플루오라이드(PVDF), PVDF를 포함하는 중합체, PVDF를 포함하는 공중합체, PVDF를 포함하는 삼원공중합체, 홀수의 나일론, 시아노중합체 및 이들의 중합체나 공중합체 중 적어도 어느 하나를 사용할 수도 있다.
- [0029] 제2게이트절연막(214)은 원자층증착법(Atomic Layer deposition, ALD)을 사용하여 형성된 것일 수 있다. 이는,

안정적인 결정구조 및 조성을 구현하고, 제2게이트절연막(214)이 접하는 계면에서 발생하는 트랩들(traps)로 인해 네거티브 캐패시터 효과가 저하되는 것을 방지하기 위함이다.

- [0030] 제2게이트전극(216)은 스위칭 소자(SE1)의 온/오프를 제어하는 역할을 수행할 수 있다. 다시 말해, 제2게이트전극(216)에 인가되는 바이어스에 응답하여 게이트스택(GS) 아래 기판(200)에 채널(204)을 형성할 수 있다. 제2게이트전극(216)은 제2게이트절연막(214)과 접하는 계면의 특성을 고려하여 백금(Pt), 루테튬(Ru), 이리듐(Ir), 은(Ag), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 니켈(Ni), 코발트(Co) 및 몰리브덴(Mo)으로 이루어진 그룹으로부터 선택된 적어도 1종 이상의 금속을 포함할 수 있다. 예를 들어, 제2게이트전극(216)은 상술한 금속들의 도전성 질화물(예컨대, TiN 또는 MoN), 도전성 산질화물(예컨대, TiON) 또는 이들의 조합(예컨대, TiSiN 또는 TiAlON)을 포함할 수 있다.
- [0031] 한편, 본 실시예에서는 게이트스택(GS)이 수평채널을 갖는 플라나 타입(Planar type) 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 게이트스택(GS)은 리세스 타입(Recess type), 핀 타입(Fin type) 등의 채널구조를 가질 수도 있다.
- [0032] 상술한 바와 같이, 실시예에 따른 스위칭 소자(SE1)는 제1게이트전극(212)에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 제2게이트절연막(214)을 구비함으로써, 스위칭 소자(SE1)의 동작 속도를 향상시킬 수 있다.
- [0033] 또한, 게이트스택(GS) 내에 제1영역(212A) 및 제2영역(212B)을 포함하는 제1게이트전극(212)을 집적함으로써, 제한된 면적내에서 네거티브 캐패시터를 포함하는 스위칭 소자(SE1)를 제공할 수 있다.
- [0034] 또한, 제1게이트전극(212)에 인가되는 바이어스를 이용하여 제2게이트절연막(214)의 캐패시턴스 극성, 용량 및 채널(118)의 포텐셜레벨을 선택적으로 제어할 수 있기 때문에 스위칭 소자(SE1)의 동작 신뢰성을 향상시킬 수 있다.
- [0035] 도 2는 도 1에 도시된 스위칭 소자의 턴온 동작 및 턴오프 동작을 설명하기 위한 도면이다.
- [0036] 도 1 및 도 2에 도시된 바와 같이, 오프상태에서 제1게이트전극(212) 및 제2게이트전극(216)은 오프전압레벨(VLoff)을 가질 수 있다. 여기서, 오프전압레벨(VLoff)은 그라운드 전위일 수 있다. 따라서, 오프상태에서 제1게이트전극(212) 및 제2게이트전극(216)에는 접지전압이 인가될 수 있다.
- [0037] 스위칭 소자(SE1)를 턴온시키기 위한 턴온 동작 구간에서 제1게이트전극(212) 및 제2게이트전극(216) 각각에 제1턴온전압(Von1) 및 제2턴온전압(Von2)이 인가될 수 있다.
- [0038] 제1턴온전압(Von1)은 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로 스위칭할 수 있다. 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로의 스위칭은 턴온 동작 구간의 시작점에서 진행될 수 있고, 버티컬한 프로파일을 가질 수 있다. 여기서, 제1전압레벨(VL1)은 오프전압레벨(VLoff)보다 낮을 수 있다. 즉, 제1전압레벨(VL1)은 네거티브 극성을 가질 수 있다.
- [0039] 연속해서, 제1턴온전압(Von1)은 제1전압레벨(VL1)에서 제2전압레벨(VL2)로 스위칭할 수 있다. 이때, 제1전압레벨(VL1)에서 제2전압레벨(VL2)까지 예정된 시간동안 전압레벨을 순차적으로 승압시킬 수 있다. 즉, 예정된 시간동안 제1전압레벨(VL1)에서 제2전압레벨(VL2)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 승압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간에 대응할 수 있다. 제2전압레벨(VL2)은 오프전압레벨(VLoff)보다 전압레벨이 높고, 제1전압레벨(VL1)과 다른 극성을 가질 수 있다. 따라서, 제2전압레벨(VL2)은 포지티브 극성을 갖는 전압일 수 있다.
- [0040] 제1턴온전압(Von1)이 오프전압레벨(VLoff)에서 네거티브 극성을 갖는 제1전압레벨(VL1)로 스위칭하고, 연속해서 제1전압레벨(VL1)에서 포지티브 극성을 갖는 제2전압레벨(VL2)로 스위칭하는 것은 네거티브 캐패시터 효과를 유도하기 위함이다. 즉, 제2게이트절연막(214)이 네거티브 캐패시턴스를 갖도록 가변시키기 위함이다. 이때, 예정된 시간동안 제1전압레벨(VL1)에서 제2전압레벨(VL2)까지 전압레벨을 순차적으로 승압시키는 것은 동작 신뢰성을 확보하기 위함이다. 따라서, 제1전압레벨(VL1) 및 제2전압레벨(VL2)의 크기 및 제1전압레벨(VL1)에서 제2전압레벨(VL2)로 스위칭하는 시간을 제어하여 제2게이트절연막(214)의 네거티브 캐패시턴스를 제어할 수 있다.
- [0041] 제2턴온전압(Von2)은 오프전압레벨(VLoff)에서 제3전압레벨(VL3)로 스위칭할 수 있다. 이때, 오프전압레벨(VLoff)에서 제3전압레벨(VL3)까지 예정된 시간동안 전압레벨을 순차적으로 승압시킬 수 있다. 즉, 예정된 시간동안 오프전압레벨(VLoff)에서 제3전압레벨(VL3)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 승압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간보다 짧을 수 있다. 따라서, 제2턴온전압

(Von2)이 오프전압레벨(VLOff)에서 제3전압레벨(VL3)로 스위칭하는 시점보다 제1턴온전압(Von1)이 오프전압레벨(VLOff)에서 제1전압레벨(VL1)로 스위칭하는 시점이 더 빠를 수 있다. 제3전압레벨(VL3)은 오프전압레벨(VLOff)보다 전압레벨이 높고, 제1전압레벨(VL1)과 다른 극성을 가질 수 있다. 따라서, 제3전압레벨(VL3)은 포지티브 극성을 갖는 전압일 수 있다.

- [0042] 한편, 본 실시예에서는 제2턴온전압(Von2)이 오프전압레벨(VLOff)에서 제3전압레벨(VL3)로 스위칭할 때, 예정된 시간동안 전압레벨을 순차적으로 증압시키는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제2턴온전압(Von2)은 오프전압레벨(VLOff)에서 제3전압레벨(VL3)로 스위칭하되, 버티컬한 프로파일을 갖도록 짧은 시간에 증압시킬 수도 있다.
- [0043] 스위칭 소자(SE1)를 턴온시킨 후, 온상태에서 제1게이트전극(212) 및 제2게이트전극(216) 각각은 제2전압레벨(VL2) 및 제3전압레벨(VL3)을 유지할 수 있다. 그리고, 제1게이트전극(212) 및 제2게이트전극(216) 각각에 인가되는 제1턴온전압(Von1) 및 제2턴온전압(Von2)을 동시에 차단하면, 스위칭 소자(SE1)를 턴오프시킬 수 있다. 이후, 오프상태에서는 제1게이트전극(212) 및 제2게이트전극(216) 각각이 오프전압레벨(VLOff)을 가질 수 있다.
- [0044] 한편, 본 실시예에서는 턴온 동작 구간을 구분하여 설명하였으나, 스위칭 소자(SE1)는 네거티브 캐패시터를 구비하기 때문에 서브문턱전압 스윙 값을 이론적 한계인 60mV/dec(Boltzmann tyranny) 이하로 구현할 수 있다. 따라서, 통상적인 스위칭 소자 예컨대, 트랜지스터 대비 턴온 동작에 소요되는 시간을 단축시킬 수 있다.
- [0045] 도 3은 본 발명의 실시예에 따른 스위칭 소자를 도시한 단면도이다.
- [0046] 도 3에 도시된 바와 같이, 실시예에 따른 스위칭 소자(SE2)는 기판(200) 상에 형성된 제1게이트스택(GS1), 기판(200) 상에 형성되고 제1게이트스택(GS1)과 갭(208)을 갖고 이웃하는 제2게이트스택(GS2), 제1게이트스택(GS1)의 일측과 제2게이트스택(GS2)의 타측에 각각 인접하도록 기판(200)에 형성된 접합영역들(202)을 포함할 수 있다. 여기서, 제1게이트스택(GS1) 및 제2게이트스택(GS2) 아래 기판(200) 표면에는 제1게이트스택(GS1) 및 제2게이트스택(GS2) 각각에 인가되는 바이어스에 응답하여 접합영역들(202) 사이를 전기적으로 연결하는 채널(204)이 형성될 수 있다.
- [0047] 스위칭 소자(SE2)에서 제1게이트스택(GS1)은 네거티브 캐패시터를 포함할 수 있다. 네거티브 캐패시터는 서로 중첩되는 기판(216) 또는 채널(204), 제2게이트절연막(222) 및 제1게이트전극(224)으로 구성될 수 있다.
- [0048] 또한, 스위칭 소자(SE2)는 제1게이트스택(GS1)과 제2게이트스택(GS2) 사이의 기판(200)에 형성되어 제1게이트스택(GS1)에 의해 유도된 채널(204)과 제2게이트스택(GS2)에 의해 유도된 채널(204)을 서로 연결하는 연결영역(206)을 더 포함할 수 있다. 접합영역들(202) 및 연결영역(206)은 기판(200)에 불순물을 이온주입하여 형성된 불순물영역일 수 있다. 한편, 제1게이트스택(GS1)과 제2게이트스택(GS2) 사이의 간격 즉, 갭(208)의 선포이 협소하여 제1게이트스택(GS1)에 의해 유도된 채널(204)과 제2게이트스택(GS2)에 의해 유도된 채널(204)이 전기적으로 연결가능한 경우에는 연결영역(206)을 생략할 수 있다.
- [0049] 제1게이트스택(GS1)은 네거티브 캐패시터 효과를 이용하여 스위칭 소자(SE2)의 동작 속도를 향상시키는 역할을 수행할 수 있다. 제1게이트스택(GS1)에 인접한 제2게이트스택(GS2)은 메모리스택일 수 있고, 채널(204)이 형성되는 기판(200)의 표면 포텐셜레벨(surface potential level)를 제어하여 스위칭 소자(SE2)의 동작 신뢰성을 향상시키는 역할을 수행할 수 있다. 또한, 제2게이트스택(GS2)은 예정된 범위내에서 스위칭 소자(SE2)의 문턱전압을 가변시키는 역할도 수행할 수 있다. 채널길이 방향으로 제1게이트스택(GS1)의 선포이 제2게이트스택(GS2)의 선포이와 동일하거나, 또는 더 클 수 있다. 그리고, 채널길이 방향으로 제1게이트스택(GS1)과 제2게이트스택(GS2) 사이의 간격 즉, 갭(208)의 선포이는 제1게이트스택(GS1)에 인가되는 바이어스에 의해 제2게이트스택(GS2)의 문턱전압에 영향을 미치지 않도록 설정될 수 있다.
- [0050] 제1게이트스택(GS1)은 기판(200) 상에 형성된 제1게이트절연막(220), 제1게이트절연막(220) 상에 형성되고 강유전체를 포함하는 제2게이트절연막(222) 및 제2게이트절연막(222) 상에 형성된 제1게이트전극(224)을 포함할 수 있다.
- [0051] 제1게이트절연막(220)은 기판(200) 상에 형성되고, 산화물 또는 질화물을 포함할 수 있다. 예를 들어, 제1게이트절연막(220)은 실리콘산화물(SiO<sub>2</sub>), 실리콘질화물(Si<sub>3</sub>N<sub>4</sub>), hafnium산화물(HfO<sub>2</sub>), 지르코늄산화물(ZrO<sub>2</sub>), 란타넘산화물(La<sub>2</sub>O<sub>3</sub>), 알루미늄산화물(Al<sub>2</sub>O<sub>3</sub>) 및 티타늄산화물(TiO<sub>2</sub>)로 이루어진 그룹으로부터 선택된 어느 하나의 단일막 또는 둘 이상이 적층된 다층막을 포함할 수 있다.
- [0052] 제2게이트절연막(222)은 네거티브 캐패시터의 유전막으로 작용하며, 자발 유도된 네거티브 캐패시턴스를 갖는

강유전체를 포함할 수 있다. 즉, 제2게이트절연막(222)은 열평형상태에서 네거티브 캐패시턴스를 가질 수 있다. 이를 위해, 제2게이트절연막(222)은 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이트 구조의 금속산화물을 포함할 수 있다. 예를 들어, 플루오라이트 구조의 금속산화물로는 하프늄산화물 또는 지르코늄산화물을 사용할 수 있다. 또한, 플루오라이트 구조의 금속산화물로는 하프늄산화물 또는 지르코늄산화물에 실리콘(Si), 알루미늄(Al), 란탄(La) 및 가돌리늄(Gd)으로 이루어진 그룹으로부터 선택된 1종 이상의 원소가 도핑된 것을 사용할 수도 있다. 이때, 자발 유도된 네거티브 캐패시턴스를 갖고, 안정적인 플루오라이트 구조를 유지하기 위해 제2게이트절연막(222)은 1nm 내지 10nm 범위의 두께를 가질 수 있다.

[0053] 구체적으로, 제2게이트절연막(222)은 하프늄산화물( $HfO_x$ ), 하프늄지르코늄산화물( $Hf_{1-x}Zr_xO_2$ ), 하프늄알루미늄산화물( $Hf_{1-x}Al_xO_2$ ) 또는 하프늄실리콘산화물( $Hf_{1-x}Si_xO_2$ )으로 이루어진 그룹으로부터 선택된 어느 하나를 포함할 수 있다. 이때, 제2게이트절연막(222)은 단일막이거나, 또는 서로 다른 결정구조 또는 조성을 갖는 둘 이상의 금속산화물이 적층된 다층막으로 구성될 수도 있다. 예를 들어, 제2게이트절연막(222)은 하프늄산화물로 구성된 단일막이거나, 또는 하프늄산화물과 하프늄지르코늄산화물이 적층된 다층막일 수도 있다.

[0054] 또한, 제2게이트절연막(222)으로 네거티브 캐패시터를 구현할 수 있는 강유전 유기물 및 강유전 무기물을 모두 적용할 수 있다. 예컨대, 강유전 무기물로서는 PZT( $PbZr_xTi_{1-x}O_3$ ),  $BaTiO_3$ ,  $PbTiO_3$  같은 페로브스카이트(Perovskite) 강유전체,  $LiNbO_3$ ,  $LiTaO_3$  같은 수도-일메나이트(Pseudo-ilmenite) 강유전체,  $PbNb_3O_6$ ,  $Ba_2NaNb_5O_{15}$  같은 텅스텐-청동(TB) 강유전체, SBT( $SrBi_2Ta_2O_9$ ), BLT( $(Bi,La)_4Ti_3O_{12}$ ),  $Bi_4Ti_3O_{12}$  같은 비스무스 층구조의 강유전체 및  $La_2Ti_2O_7$  같은 파이로클로어(Pyrochlore) 강유전체와 이들 강유전체의 고용체를 비롯하여 Y, Er, Ho, Tm, Yb, Lu 같은 희토류 원소(R)를 포함하는  $RMnO_3$ 과  $PGO(Pb_3Ge_3O_{11})$ ,  $BFO(BiFeO_3)$  등을 사용할 수도 있다. 또한, 강유전 유기물로서 폴리비닐리덴 플루오라이드(PVDF), PVDF를 포함하는 중합체, PVDF를 포함하는 공중합체, PVDF를 포함하는 삼원공중합체, 홀수의 나일론, 시아노중합체 및 이들의 중합체나 공중합체 중 적어도 어느 하나를 사용할 수도 있다.

[0055] 제2게이트절연막(222)은 원자층증착법(Atomic Layer deposition, ALD)을 사용하여 형성된 것일 수 있다. 이는, 안정적인 결정구조 및 조성을 구현하고, 제2게이트절연막(222)이 접하는 계면에서 발생하는 트랩들로 인해 네거티브 캐패시터 효과가 저하되는 것을 방지하기 위함이다.

[0056] 한편, 본 실시예에서는 제1게이트절연막(220) 상에 제2게이트절연막(222)이 형성된 경우를 예시하였으나, 본 발명은 이에 한정되지 않는다. 변형예로서, 제1게이트절연막(220)과 제2게이트절연막(222) 사이에 플로팅전극(미도시)이 삽입될 수도 있다. 플로팅전극(미도시)은 제2게이트절연막(222)과 접하는 계면 특성을 개선하는 역할을 수행할 수 있다. 또한, 플로팅전극(미도시)은 커플링 효과에 의해 제1게이트전극(224)에 인가되는 바이어스를 분산시켜 동작 신뢰성을 향상시키는 역할도 수행할 수 있다. 플로팅전극(미도시)은 제1게이트절연막(220)과 제2게이트절연막(222) 사이에 삽입되기 때문에 이들 사이의 계면특성을 고려하여 금(Au), 가돌리늄 스칸데이트( $GdScO_3$ ), 실리콘(Si), 폴리실리콘(poly Si), 구리(Cu), 은(Ag), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 티타늄(Ti), 탄탈륨(Ta) 및 루테튬(Ru) 중 적어도 하나를 포함하는 금속산화물, 금속질화물 또는 금속산화물화물을 포함할 수 있다.

[0057] 제1게이트전극(224)은 제2게이트절연막(222)과 접하는 계면의 특성을 고려하여 백금(Pt), 루테튬(Ru), 이리듐(Ir), 은(Ag), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 니켈(Ni), 코발트(Co) 및 몰리브덴(Mo)으로 이루어진 그룹으로부터 선택된 적어도 1종 이상의 금속을 포함할 수 있다. 예를 들어, 제1게이트전극(224)은 상술한 금속들의 도전성 질화물(예컨대, TiN 또는 MoN), 도전성 산질화물(예컨대, TiON) 또는 이들의 조합(예컨대, TiSiN 또는 TiAlON)을 포함할 수 있다.

[0058] 제2게이트스택(GS2)은 기판(200) 상에 형성되고, 터널절연막(230), 전하트랩막(232) 및 블록킹막(234)이 순차적으로 적층된 메모리막(ML) 및 메모리막(ML) 상에 형성된 제2게이트전극(236)을 포함할 수 있다. 즉, 제2게이트스택(GS2)은 메모리스택일 수 있다.

[0059] 터널절연막(230) 및 블록킹막(234)은 산화물을 포함할 수 있고, 전하트랩막(232)은 질화물을 포함할 수 있다. 여기서, 전하트랩막(232)에 전하를 주입하거나, 또는 전하트랩막(232)에 주입된 전하를 제거하여 예정된 범위내에서 제2게이트스택(GS2)의 문턱전압값을 가변시킬 수 있다. 이를 통해, 스위칭 소자(SE2)의 문턱전압을 가변시

킬 수 있다.

- [0060] 제2게이트전극(236)은 메모리막(ML)과 접하는 계면의 특성을 고려하여 백금(Pt), 루테튬(Ru), 이리듐(Ir), 은(Ag), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 니켈(Ni), 코발트(Co) 및 몰리브덴(Mo)으로 이루어진 그룹으로부터 선택된 적어도 1종 이상의 금속을 포함할 수 있다. 예를 들어, 제2게이트전극(236)은 상술한 금속들의 도전성 질화물, 도전성 산질화물 또는 이들의 조합을 포함할 수 있다.
- [0061] 한편, 본 실시예에서는 제1게이트스택(GS1) 및 제2게이트스택(GS2) 각각이 수평채널을 갖는 플라나 타입 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제1게이트스택(GS1) 및 제2게이트스택(GS2) 각각은 리세스 타입, 핀 타입 등의 채널구조를 가질 수도 있다.
- [0062] 상술한 바와 같이, 실시예에 따른 스위칭 소자(SE2)는 자발 유도된 네거티브 캐패시턴스를 갖는 제2게이트절연막(222)을 구비함으로써, 스위칭 소자(SE2)의 동작 속도를 향상시킬 수 있다. 또한, 제2게이트절연막(222)이 자발 유도된 네거티브 캐패시턴스를 갖기 때문에 턴온 동작 구간의 시간을 단축시킬 수 있어 스위칭 소자(SE2)의 동작 속도를 더욱더 향상시킬 수 있다.
- [0063] 또한, 메모리막(ML)을 포함하는 제2게이트스택(GS2)을 구비함으로써, 스위칭 소자(SE2)의 동작 신뢰성을 향상시킬 수 있다.
- [0064] 또한, 제1게이트스택(GS1) 및 제2게이트스택(GS2) 각각을 독립적으로 제어할 수 있기 때문에 다양한 동작 모드를 소화할 수 있는 스위칭 소자(SE2)를 제공할 수 있다.
- [0065] 도 4는 도 3에 도시된 스위칭 소자의 턴온 동작 및 턴오프 동작을 설명하기 위한 도면이다.
- [0066] 도 3 및 도 4에 도시된 바와 같이, 오프상태에서 제1게이트전극(224) 및 제2게이트전극(236)은 오프전압레벨(VLoff)을 가질 수 있다. 여기서, 오프전압레벨(VLoff)은 그라운드 전위일 수 있다. 따라서, 오프상태에서 제1게이트전극(224) 및 제2게이트전극(236)에는 접지전압이 인가될 수 있다.
- [0067] 스위칭 소자(SE2)를 턴온시키기 위한 턴온 동작 구간에서 제1게이트전극(224) 및 제2게이트전극(236) 각각에 제1턴온전압(Von1) 및 제2턴온전압(Von2)이 인가될 수 있다.
- [0068] 제1턴온전압(Von1)은 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로 스위칭할 수 있다. 이때, 오프전압레벨(VLoff)에서 제1전압레벨(VL1)까지 예정된 시간동안 전압레벨을 순차적으로 승압시킬 수 있다. 즉, 예정된 시간동안 오프전압레벨(VLoff)에서 제1전압레벨(VL1)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 승압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간에 대응할 수 있고, 예정된 시간동안 오프전압레벨(VLoff)에서 제2전압레벨(VL2)까지 전압레벨을 순차적으로 승압시키는 것은 동작 신뢰성을 확보하기 위함이다. 제1전압레벨(VL1)은 오프전압레벨(VLoff)보다 전압레벨이 높을 수 있다. 따라서, 제1전압레벨(VL1)은 포지티브 극성을 가질 수 있다.
- [0069] 제2턴온전압(Von2)은 오프전압레벨(VLoff)에서 제2전압레벨(VL2)로 스위칭할 수 있다. 이때, 오프전압레벨(VLoff)에서 제2전압레벨(VL2)까지 예정된 시간동안 전압레벨을 순차적으로 승압시킬 수 있다. 즉, 예정된 시간동안 오프전압레벨(VLoff)에서 제2전압레벨(VL2)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 승압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간보다 짧을 수 있다. 제2전압레벨(VL2)은 오프전압레벨(VLoff)보다 전압레벨이 높을 수 있다. 따라서, 제2전압레벨(VL2)은 포지티브 극성을 가질 수 있다.
- [0070] 한편, 본 실시예에서는 제2턴온전압(Von2)이 오프전압레벨(VLoff)에서 제2전압레벨(VL2)로 스위칭할 때, 예정된 시간동안 전압레벨을 순차적으로 승압시키는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제2턴온전압(Von2)은 오프전압레벨(VLoff)에서 제2전압레벨(VL2)로 스위칭하되, 버티컬한 프로파일을 갖도록 짧은 시간에 승압시킬 수도 있다.
- [0071] 스위칭 소자(SE2)를 턴온시킨 후, 온상태에서 제1게이트전극(224) 및 제2게이트전극(236) 각각은 제1전압레벨(VL1) 및 제2전압레벨(VL2)을 유지할 수 있다. 그리고, 제1게이트전극(224) 및 제2게이트전극(236) 각각에 인가되는 제1턴온전압(Von1) 및 제2턴온전압(Von2)을 동시에 차단하면, 스위칭 소자(SE2)를 턴오프시킬 수 있다. 이후, 오프상태에서는 제1게이트전극(224) 및 제2게이트전극(236) 각각이 오프전압레벨(VLoff)을 가질 수 있다.
- [0072] 한편, 본 실시예에서는 턴온 동작 구간을 구분하여 설명하였으나, 스위칭 소자(SE2)는 네거티브 캐패시터를 구비하기 때문에 서브문턱전압 스윙 값을 이론적 한계인 60mV/dec 이하로 구현할 수 있다. 따라서, 통상적인 스위칭 소자 예컨대, 트랜지스터 대비 턴온 동작에 소요되는 시간을 단축시킬 수 있다.

- [0073] 도 5는 본 발명의 실시예에 따른 스위칭 소자를 도시한 단면도이다.
- [0074] 도 5에 도시된 바와 같이, 실시예에 따른 스위칭 소자(SE3)는 기판(200) 상에 형성되고 서로 이웃하는 제3게이트스택(GS3) 및 적어도 1개 이상의 제4게이트스택(GS4)을 포함할 수 있다. 그리고, 제3게이트스택(GS3)의 일측과 제4게이트스택(GS4)의 타측에 각각 인접하도록 기판(200)에 형성된 접합영역들(202)을 포함할 수 있다. 여기서, 제3게이트스택(GS3) 및 제4게이트스택(GS4) 아래 기판(200) 표면에는 제3게이트스택(GS3) 및 제4게이트스택(GS4) 각각에 인가되는 바이어스에 응답하여 접합영역들(202) 사이를 전기적으로 연결하는 채널(204)이 형성될 수 있다.
- [0075] 한편, 본 실시예에서는 스위칭 소자(SE3)가 1개의 제4게이트스택(GS4)를 구비하는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제4게이트스택(GS4)는 복수개가 구비될 수도 있다.
- [0076] 또한, 스위칭 소자(SE3)는 제3게이트스택(GS3)과 제4게이트스택(GS4) 사이의 기판(200)에 형성되어 제3게이트스택(GS3)에 의해 유도된 채널(204)과 제4게이트스택(GS4)에 의해 유도된 채널(204)을 서로 연결하는 연결영역(206)을 더 포함할 수 있다. 접합영역들(202) 및 연결영역(206)은 기판(200)에 불순물을 이온주입하여 형성된 불순물영역일 수 있다. 한편, 제3게이트스택(GS3)과 제4게이트스택(GS4) 사이의 간격(208)이 협소하여 제3게이트스택(GS3)에 의해 유도된 채널(204)과 제4게이트스택(GS4)에 의해 유도된 채널(204)이 전기적으로 연결가능한 경우에는 연결영역(206)을 생략할 수 있다.
- [0077] 스위칭 소자(SE3)에서 제3게이트스택(GS3) 및 제4게이트스택(GS4) 각각은 네거티브 캐패시터 효과를 이용하여 스위칭 소자(SE3)의 동작 속도를 향상시키는 역할을 수행할 수 있다. 따라서, 제3게이트스택(GS3) 및 제4게이트스택(GS4) 각각은 네거티브 캐패시터를 포함할 수 있다. 아울러, 제4게이트스택(GS4)은 채널(204)이 형성되는 기판(200)의 표면 포텐셜레벨을 제어하여 스위칭 소자(SE3)의 동작 신뢰성을 향상시키는 역할도 수행할 수 있다. 채널길이 방향으로 제3게이트스택(GS3)의 선폭은 제4게이트스택(GS4)의 선폭과 동일하거나, 또는 더 클 수 있다. 그리고, 채널길이 방향으로 제3게이트스택(GS3)과 제4게이트스택(GS4) 사이 간격(208)의 선폭은 제3게이트스택(GS3)에 인가되는 바이어스에 의해 제4게이트스택(GS4)의 문턱전압에 영향을 미치지 않도록 설정될 수 있다.
- [0078] 제3게이트스택(GS3)은 기판(200) 상에 형성된 제1게이트절연막(210), 제1게이트절연막(210) 상부에 형성되어 제1게이트절연막(210) 일부와 중첩되고, 강유전체를 포함하는 제2게이트절연막(214), 제2게이트절연막(214) 상에 형성된 제2게이트전극(216) 및 제1게이트절연막(210)과 제2게이트절연막(214) 사이에 삽입된 제1영역(212A) 및 제1영역(212A)으로부터 연장되어 제2게이트전극(216)과 겹(218)을 갖고 이웃하는 제2영역(212B)을 포함하고, 제2게이트절연막(214)이 선택적으로 네거티브 캐패시턴스를 갖도록 제어하는 제1게이트전극(212)을 포함할 수 있다. 여기서, 네거티브 캐패시터는 서로 중첩되는 제1게이트전극(212), 제2게이트절연막(214) 및 제2게이트전극(216)으로 구성될 수 있다.
- [0079] 스위칭 소자(SE3)에서 제3게이트스택(GS3)은 도 1에 도시된 게이트스택(GS)에 대응하는 것일 수 있다. 다시 말해, 본 실시예에서 제3게이트스택(GS3)은 도 1에 도시된 게이트스택(GS)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 본 실시예에서는 제3게이트스택(GS3)의 각 구성에서 중복되는 내용에 대해 상세한 설명을 생략하기로 한다.
- [0080] 제3게이트스택(GS3)에서 제2게이트절연막(214)은 네거티브 캐패시터의 유전막으로 작용할 수 있다. 제2게이트절연막(214)은 제1게이트전극(212)에 인가되는 바이어스에 응답하여 캐패시턴스가 포지티브에서 네거티브로 가변될 수 있다. 캐패시턴스 가변이 용이하고, 안정적으로 플루오라이트 구조를 유지하기 위해 제2게이트절연막(214)은 1nm 내지 20nm 범위의 두께를 가질 수 있다.
- [0081] 제2게이트전극(216)의 일측벽은 제4게이트스택(GS4)과 마주볼 수 있고, 제2게이트전극(216)의 타측벽은 제1게이트전극(212)의 제2영역(212B)과 마주볼 수 있다. 즉, 제1게이트전극(212)의 제2영역(212B)은 접합영역(202)에 인접하게 위치할 수 있다. 이는, 제4게이트스택(GS4)의 제3게이트전극(224)에 인가되는 바이어스에 응답하여 채널(204)이 형성되는 기판(200)의 표면 포텐셜레벨을 제어할 때, 제1게이트전극(212)에 인가되는 바이어스에 기인한 간섭현상을 방지하기 위함이다.
- [0082] 제4게이트스택(GS4)은 기판(200) 상에 형성된 제3게이트절연막(220), 제3게이트절연막(220) 상에 형성되고 강유전체를 포함하는 제4게이트절연막(222) 및 제4게이트절연막(222) 상에 형성된 제3게이트전극(224)을 포함할 수 있다. 여기서, 네거티브 캐패시터는 서로 중첩되는 기판(200) 또는 채널(204), 제4게이트절연막(222) 및 제3게이트전극(224)으로 구성될 수 있다.

- [0083] 스위칭 소자(SE3)에서 제4게이트스택(GS4)은 도 3에 도시된 제1게이트스택(GS1)에 대응하는 것일 수 있다. 다시 말해, 본 실시예에서 제4게이트스택(GS4)은 도 3에 도시된 제1게이트스택(GS1)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 본 실시예에서는 제4게이트스택(GS4)의 각 구성에서 중복되는 내용에 대해 상세한 설명을 생략하기로 한다.
- [0084] 제4게이트절연막(222)은 네거티브 캐패시터의 유전막으로 작용하며, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 즉, 제4게이트절연막(222)은 열평형상태에서 네거티브 캐패시턴스를 가질 수 있다. 자발 유도된 네거티브 캐패시턴스를 갖고, 안정적인 플루오라이트 구조를 유지하기 위해 제4게이트절연막(222)은 제2게이트절연막(214)보다 얇은 두께를 가질 수 있다. 구체적으로, 제4게이트절연막(222)은 1nm 내지 10nm 범위의 두께를 가질 수 있다.
- [0085] 한편, 본 실시예에서는 제3게이트스택(GS3) 및 제4게이트스택(GS4) 각각이 수평채널을 갖는 플라나 타입 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제3게이트스택(GS3) 및 제4게이트스택(GS4) 각각은 리세스 타입, 핀 타입 등의 채널구조를 가질 수도 있다.
- [0086] 상술한 바와 같이, 실시예에 따른 스위칭 소자(SE3)는 제1게이트전극(212)에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 제2게이트절연막(214)d을 포함하는 제3게이트스택(GS3)을 구비함으로써, 스위칭 소자(SE3)의 동작 속도를 향상시킬 수 있다.
- [0087] 또한, 제3게이트스택(GS3)과 더불어서 자발 유도된 네거티브 캐패시턴스를 갖는 제4게이트절연막(222)을 포함하는 제4게이트스택(GS4)을 구비함으로써, 스위칭 소자(SE3)의 동작 속도를 더욱더 향상시킬 수 있다.
- [0088] 또한, 제1게이트전극(212)에 인가되는 바이어스를 이용하여 제2게이트절연막(214)의 캐패시턴스 극성, 용량 및 채널(118)의 포텐셜레벨을 선택적으로 제어할 수 있기 때문에 스위칭 소자(SE3)의 동작 신뢰성을 향상시킬 수 있다.
- [0089] 또한, 제3게이트스택(GS3) 및 제4게이트스택(GS4) 각각을 독립적으로 제어할 수 있기 때문에 다양한 동작 모드를 소화할 수 있는 스위칭 소자(SE3)를 제공할 수 있다.
- [0090] 도 6은 도 5에 도시된 스위칭 소자의 턴온 동작 및 턴오프 동작을 설명하기 위한 도면이다.
- [0091] 도 5 및 도 6에 도시된 바와 같이, 오프상태에서 제1게이트전극(212), 제2게이트전극(216) 및 제3게이트전극(224)은 각각 오프전압레벨(VLoff)을 가질 수 있다. 여기서, 오프전압레벨(VLoff)은 그라운드 전위일 수 있다. 따라서, 오프상태에서 제1게이트전극(212), 제2게이트전극(216) 및 제3게이트전극(224) 각각에는 접지전압이 인가될 수 있다.
- [0092] 스위칭 소자(SE3)를 턴온시키기 위한 턴온 동작 구간에서 제1게이트전극(212), 제2게이트전극(216) 및 제3게이트전극(224) 각각에 제1턴온전압(Von1), 제2턴온전압(Von2) 및 제3턴온전압(Von3)이 인가될 수 있다.
- [0093] 제1턴온전압(Von1)은 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로 스위칭할 수 있다. 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로의 스위칭은 턴온 동작 구간의 시작점에서 진행될 수 있고, 버티컬한 프로파일을 가질 수 있다. 여기서, 제1전압레벨(VL1)은 오프전압레벨(VLoff)보다 전압레벨이 낮을 수 있다. 즉, 제1전압레벨(VL1)은 네거티브 극성을 가질 수 있다. 연속해서, 제1턴온전압(Von1)은 제1전압레벨(VL1)에서 제2전압레벨(VL2)로 스위칭할 수 있다. 이때, 제1전압레벨(VL1)에서 제2전압레벨(VL2)까지 예정된 시간동안 전압레벨을 순차적으로 승압시킬 수 있다. 즉, 예정된 시간동안 제1전압레벨(VL1)에서 제2전압레벨(VL2)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 승압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간에 대응할 수 있다. 제2전압레벨(VL2)은 오프전압레벨(VLoff)보다 전압레벨이 높고, 제1전압레벨(VL1)과 다른 극성을 가질 수 있다. 따라서, 제2전압레벨(VL2)은 포지티브 극성을 가질 수 있다.
- [0094] 제2턴온전압(Von2)은 오프전압레벨(VLoff)에서 제3전압레벨(VL3)로 스위칭할 수 있다. 이때, 오프전압레벨(VLoff)에서 제3전압레벨(VL3)까지 예정된 시간동안 전압레벨을 순차적으로 승압시킬 수 있다. 즉, 예정된 시간동안 오프전압레벨(VLoff)에서 제3전압레벨(VL3)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 승압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간보다 짧을 수 있다. 따라서, 제2턴온전압(Von2)이 오프전압레벨(VLoff)에서 제3전압레벨(VL3)로 스위칭하는 시점보다 제1턴온전압(Von1)이 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로 스위칭하는 시점이 더 빠를 수 있다. 제3전압레벨(VL3)은 오프전압레벨(VLoff)보다 전압레벨이 높고, 제1전압레벨(VL1)과 다른 극성을 가질 수 있다. 따라서, 제3전압레벨(VL3)은 포지티브 극성을 가질 수 있다.

- [0095] 한편, 본 실시예에서는 제2턴온전압(Von2)이 오프전압레벨(VLoff)에서 제3전압레벨(VL3)로 스위칭할 때, 예정된 시간동안 전압레벨을 순차적으로 증압시키는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제2턴온전압(Von2)은 오프전압레벨(VLoff)에서 제3전압레벨(VL3)로 스위칭하되, 버티컬한 프로파일을 갖도록 짧은 시간에 증압시킬 수도 있다.
- [0096] 제3턴온전압(Von3)은 오프전압레벨(VLoff)에서 제4전압레벨(VL4)로 스위칭할 수 있다. 이때, 오프전압레벨(VLoff)에서 제4전압레벨(VL4)까지 예정된 시간동안 전압레벨을 순차적으로 증압시킬 수 있다. 즉, 예정된 시간동안 오프전압레벨(VLoff)에서 제4전압레벨(VL4)까지 계단형 프로파일 또는 선형 프로파일을 갖도록 전압레벨을 순차적으로 증압시킬 수 있다. 여기서, 예정된 시간은 턴온 동작 구간보다 짧을 수 있다. 따라서, 제3턴온전압(Von3)이 오프전압레벨(VLoff)에서 제4전압레벨(VL4)로 스위칭하는 시점보다 제1턴온전압(Von1)이 오프전압레벨(VLoff)에서 제1전압레벨(VL1)로 스위칭하는 시점이 더 빠를 수 있다. 그리고, 제3턴온전압(Von3)이 오프전압레벨(VLoff)에서 제4전압레벨(VL4)로 스위칭하는 시점은 제2턴온전압(Von2)이 오프전압레벨(VLoff)에서 제3전압레벨(VL3)로 스위칭하는 시점과 동일하거나, 또는 더 빠를 수 있다. 제4전압레벨(VL4)은 오프전압레벨(VLoff)보다 전압레벨이 높고, 제1전압레벨(VL1)과 다른 극성을 가질 수 있다. 따라서, 제4전압레벨(VL4)은 포지티브 극성을 가질 수 있다.
- [0097] 한편, 본 실시예에서는 제3턴온전압(Von3)이 오프전압레벨(VLoff)에서 제4전압레벨(VL4)로 스위칭할 때, 예정된 시간동안 전압레벨을 순차적으로 증압시키는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제3턴온전압(Von3)은 오프전압레벨(VLoff)에서 제4전압레벨(VL4)로 스위칭하되, 버티컬한 프로파일을 갖도록 짧은 시간에 증압시킬 수도 있다.
- [0098] 스위칭 소자(SE3)를 턴온시킨 후, 온상태에서 제1게이트전극(212) 내지 제3게이트전극(224) 각각은 제2전압레벨(VL2) 내지 제4전압레벨(VL4)을 유지할 수 있다. 그리고, 제1게이트전극(212) 내지 제3게이트전극(224) 각각에 인가되는 제1턴온전압(Von1) 내지 제3턴온전압(Von3)을 동시에 차단하면, 스위칭 소자(SE3)를 턴오프시킬 수 있다. 이후, 오프상태에서는 제1게이트전극(212) 내지 제3게이트전극(224) 각각이 오프전압레벨(VLoff)을 가질 수 있다.
- [0099] 한편, 본 실시예에서는 턴온 동작 구간을 구분하여 설명하였으나, 스위칭 소자(SE3)는 네거티브 캐패시터를 구비하기 때문에 서브문턱전압 스윙 값을 이론적 한계인 60mV/dec(Boltzmann tyranny) 이하로 구현할 수 있다. 따라서, 통상적인 스위칭 소자 예컨대, 트랜지스터 대비 턴온 동작에 소요되는 시간을 단축시킬 수 있다.
- [0100] 이하에서는, 상술한 스위칭 소자를 포함하는 반도체 메모리 장치 및 그 제조방법에 대해 상세히 설명하기로 한다. 여기서, 반도체 메모리 장치는 3차원 구조를 갖는 비휘발성 반도체 메모리 장치 예컨대, 3차원 낸드(3D NAND)를 포함할 수 있다.
- [0101] 반도체 메모리 장치는 채널을 공유하는 복수의 메모리셀들의 일측 및 타측에 직렬로 연결된 선택트랜지스터를 포함할 수 있다. 후술하는 본 발명의 실시예에 따른 반도체 메모리 장치는 선택트랜지스터에 상술한 스위칭 소자를 적용하여 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.
- [0102] 도 7은 본 발명의 실시예에 따른 반도체 메모리 장치를 도시한 블록도이다.
- [0103] 도 7에 도시된 바와 같이, 반도체 메모리 장치(1)는 주변회로(peripheral circuit, PC) 및 메모리 셀 어레이(memory cell array, 3)를 포함할 수 있다.
- [0104] 주변회로(PC)는 메모리 셀 어레이(3)에 데이터를 저장하기 위한 프로그램 동작(program operation), 메모리 셀 어레이(3)에 저장된 데이터를 출력하기 위한 리드 동작(read operation) 및 메모리 셀 어레이(3)에 저장된 데이터를 소거하기 위한 소거 동작(erase operation)을 제어하도록 구성될 수 있다. 예를 들어, 주변회로(PC)는 전압생성부(Voltage Generator, 5), 로우디코더(Row decoder, 6), 제어회로(Control circuit, 7) 및 페이지 버퍼 그룹(Page Buffer Group, 8)을 포함할 수 있다.
- [0105] 메모리 셀 어레이(3)는 복수의 메모리 블록들을 포함할 수 있다. 메모리 셀 어레이(3)는 워드라인들(WL)을 통해 로우디코더(6)에 연결될 수 있고, 비트라인들(BL)을 통해 페이지 버퍼 그룹(8)에 연결될 수 있다.
- [0106] 제어회로(7)는 커맨드(CMD) 및 어드레스(ADD)에 응답하여 주변회로(PC)를 제어할 수 있다.
- [0107] 전압생성부(5)는 제어회로(7)의 제어에 응답하여 프로그램 동작, 리드 동작 및 소거 동작에 사용되는 프리 소거 전압, 소거전압, 접지전압, 프로그램 전압, 검증전압, 패스전압, 리드전압 등의 다양한 동작 전압들을 생성할

수 있다.

- [0108] 로우디코더(6)는 제어회로(7)의 제어에 응답하여 메모리 블록을 선택할 수 있다. 로우디코더(6)는 선택된 메모리 블록에 연결된 워드라인들(WL)에 동작 전압들을 인가하도록 구성될 수 있다.
- [0109] 페이지 버퍼 그룹(8)은 비트라인들(BL)을 통해 메모리 셀 어레이(3)에 연결될 수 있다. 페이지 버퍼 그룹(8)은 제어회로(7)의 제어에 응답하여 프로그램 동작시 입출력 회로(미도시)로부터 수신되는 데이터를 임시 저장할 수 있다. 페이지 버퍼 그룹(8)은 제어회로(7)의 제어에 응답하여 리드 동작 또는 검증 동작 시, 비트 라인들(BL)의 전압 또는 전류를 센싱할 수 있다. 페이지 버퍼 그룹(8)은 제어회로(7)의 제어에 응답하여 비트라인들(BL)을 선택할 수 있다.
- [0110] 구조적으로, 메모리 셀 어레이(3)는 주변회로(PC)와 나란히 배치되거나, 또는 메모리 셀 어레이(3)가 주변회로(PC)의 일부에 중첩될 수 있다.
- [0111] 도 8은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.
- [0112] 도 8에 도시된 바와 같이, 메모리 블록(BLK1)은 소스막(SL) 및 복수의 워드라인들(WL1~WLn)에 공통으로 연결된 복수의 셀스트링들(CS1)을 포함할 수 있다. 그리고, 복수의 셀스트링들(CS1)은 복수의 비트라인들(BL)에 연결될 수 있다.
- [0113] 복수의 셀스트링들(CS1) 각각은 소스막(SL)에 연결된 소스선택트랜지스터(SST), 비트라인(BL)에 연결된 드레인 선택트랜지스터(DST) 및 소스선택트랜지스터(SST)와 드레인선택트랜지스터(DST) 사이에 직렬로 연결된 복수의 메모리셀들(MC1~MCn)을 포함할 수 있다. 여기서, 소스선택트랜지스터(SST) 및 드레인선택트랜지스터(DST)는 각각 2개의 게이트(또는 게이트전극)를 구비할 수 있다. 그리고, 소스선택트랜지스터(SST) 및 드레인선택트랜지스터(DST)는 각각 네거티브 캐패시터를 구비할 수 있다.
- [0114] 복수의 메모리셀들(MC1~MCn)의 게이트들은 서로 이격되어 적층된 복수의 워드라인들(WL1~WLn)에 각각 연결될 수 있다. 복수의 워드라인들(WL1~WLn)은 소스선택라인들(SSL1, SSL1)과 드레인선택라인들(DSL1, DSL2) 사이에 배치될 수 있다.
- [0115] 제1소스선택라인(SSL1)은 소스선택트랜지스터(SST)의 제2게이트전극에 연결될 수 있고, 제2소스선택라인(SSL2)은 소스선택트랜지스터(SST)의 제1게이트전극에 연결될 수 있다. 제2소스선택라인(SSL2)은 제1소스선택라인(SSL1)보다 상부에 위치할 수 있다. 여기서, 소스선택트랜지스터(SST)의 제1게이트전극은 네거티브 캐패시턴스를 제어하는 역할을 수행할 수 있다. 그리고, 소스선택트랜지스터(SST)의 제2게이트전극은 채널의 온/오프를 제어하는 역할을 수행할 수 있다.
- [0116] 제1드레인선택라인(DSL1)은 드레인선택트랜지스터(DST)의 제1게이트전극에 연결될 수 있고, 제2드레인선택라인(DSL2)은 드레인선택트랜지스터(DST)의 제2게이트전극에 연결될 수 있다. 여기서, 드레인선택트랜지스터(DST)의 제1게이트전극은 네거티브 캐패시턴스를 제어하는 역할을 수행할 수 있다. 그리고, 드레인선택트랜지스터(DST)의 제2게이트전극은 채널 온/오프를 제어하는 역할을 수행할 수 있다.
- [0117] 소스막(SL)은 소스선택트랜지스터(SST)의 소스에 연결될 수 있다. 드레인선택트랜지스터(DST)의 드레인은 드레인선택트랜지스터(DST)의 드레인에 대응하는 비트라인(BL)에 연결될 수 있다.
- [0118] 도 9는 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다. 그리고, 도 10은 도 9에 도시된 A영역을 확대하여 도시한 단면도이다.
- [0119] 도 8 내지 도 10에 도시된 바와 같이, 실시예에 따른 셀스트링(CS1)은 소스막(SL)과 비트라인(BL) 사이에 위치하는 채널구조물(300), 복수의 메모리셀들(MC1~MCn), 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 포함할 수 있다. 소스막(SL)은 평판형태를 가질 수 있고, 소스선택트랜지스터(SST)의 소스로 작용할 수 있다. 비트라인(BL)은 콘택플러그(CP)를 통해 채널구조물(300)에 전기적으로 연결될 수 있다.
- [0120] 채널구조물(300)은 서로 이격되어 적층된 소스막(SL)과 비트라인(BL) 사이를 연결하고, 수직방향으로 연장된 기둥 형상을 가질 수 있다. 따라서, 채널구조물(300)의 일측 끝단 및 타측 끝단은 각각 소스막(SL) 및 비트라인(BL)에 전기적으로 연결될 수 있다. 채널구조물(300)은 코어필라(302), 캡핑막(306) 및 채널막(304)을 포함할 수 있다. 코어필라(302)는 원기둥 형상을 가질 수 있고, 절연물질들을 포함할 수 있다. 캡핑막(306)은 코어필라(302)와 비트라인(BL) 사이에 위치할 수 있고, 도프트 반도체막을 포함할 수 있다. 예를 들어, 도프트 반도체막은 n형 불순물이 도핑된 실리콘막을 포함할 수 있다. 캡핑막(302)은 드레인선택트랜지스터(DST)의 드레인으로

작용할 수 있고, 비트라인(BL)의 콘택플러그(CP)에 연결될 수 있다. 채널막(304)은 코어필라(302)의 저면 및 측면을 감싸고, 소스막(SL)에 전기적으로 연결될 수 있다. 또한, 채널막(304)은 캡핑막(306)의 측면을 감싸고, 캡핑막(306)에 전기적으로 연결될 수 있다. 채널막(304)은 반도체막을 포함할 수 있다. 예를 들어, 반도체막은 실리콘막을 포함할 수 있다.

[0121] 복수의 메모리셀들(MC1-MCn)은 채널구조물(300)을 둘러싸고, 서로 이격된 적층된 형태를 가질 수 있다. 복수의 메모리셀들(MC1-MCn) 중 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각에 인접하여 위치하는 메모리셀(MC1, MCn)은 더미셀로 사용될 수도 있다. 복수의 메모리셀들(MC1-MCn) 각각은 채널구조물(300)을 둘러싸는 메모리구조물(MS)을 포함할 수 있다. 여기서, 메모리구조물(MS)은 도 3에 도시된 제2게이트스택(GS2)과 실질적으로 동일한 구성을 가질 수 있다. 즉, 메모리구조물(MS)을 채널막(304)을 감싸는 터널절연막(230), 터널절연막(230)을 감싸는 전하트랩막(232), 전하트랩막(232)을 감싸는 블록킹막(234) 및 블록킹막(234)을 감싸고 평판형태를 갖는 게이트전극(236)을 포함할 수 있다. 메모리구조물(MS)에서 게이트전극(236)은 워드라인(WL)으로 작용할 수 있다. 메모리구조물(MS)은 도 3에 도시된 제2게이트스택(GS2)과 실질적으로 동일한 구성을 갖는 바, 추가적인 상세한 설명을 생략하기로 한다.

[0122] 제1스위칭 소자(400) 및 제2스위칭 소자(500)는 각각 네거티브 캐패시터를 포함할 수 있다. 제1스위칭 소자(400) 및 제2스위칭 소자(500)는 각각 채널구조물(300)을 공유하고, 메모리셀들(MC1-MCn) 일측 및 타측에 위치할 수 있다. 구체적으로, 제1스위칭 소자(400)는 소스막(SL)과 메모리셀들(MC1-MCn) 사이에 위치할 수 있고, 제2스위칭 소자(500)는 비트라인(BL)과 메모리셀들(MC1-MCn) 사이에 위치할 수 있다. 따라서, 제1스위칭 소자(400)는 소스선택트랜지스터(SST)로 작용할 수 있고, 제2스위칭 소자(500)는 드레인선택트랜지스터(DST)로 작용할 수 있다. 채널구조물(300)이 연장된 방향 즉, 채널길이 방향으로 제1스위칭 소자(400)와 제2스위칭 소자(500)는 대칭적인 형상을 가질 수 있다.

[0123] 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각은 채널구조물(300)을 둘러싸는 GAA(gate all around) 구조를 갖는 게이트구조물(410, 510)을 포함할 수 있다. 게이트구조물(410, 510)은 도 1에 도시된 게이트스택(GS)과 실질적으로 동일한 구성을 가질 수 있다. 즉, 게이트구조물(410, 510)은 채널막(304)을 감싸는 제1게이트절연막(210), 제1게이트절연막(210)을 감싸는 제1게이트전극(212), 제1게이트전극(212) 일부를 감싸고, 선택적으로 네거티브 캐패시터를 갖는 강유전체를 포함하는 제2게이트절연막(214) 및 제2게이트절연막(214)을 감싸고 평판형태를 갖는 제2게이트전극(216)을 포함할 수 있다. 여기서, 제1게이트전극(212)은 제1게이트절연막(210)과 제2게이트절연막(214) 사이에 위치하고, 제1게이트절연막(210)을 감싸는 제1영역(212A) 및 제1영역(212A)으로부터 연장되어 제2게이트전극(216)의 측벽과 겹(218)을 갖고 이웃하며, 평판형태를 갖는 제2영역(212B)을 포함할 수 있다. 채널길이 방향으로 겹(218)의 선포는 적어도 제1게이트절연막(210)의 두께보다 클 수 있다. 또한, 채널길이 방향으로 겹(218)의 선포 메모리구조물(MS)과 게이트구조물(410, 510) 사이의 간격보다는 작을 수 있다.

[0124] 제1게이트전극(212)의 제2영역(212B)은 채널 부스팅 효과(channel boosting effect)를 용이하게 제어하기 위해 메모리구조물(MS)과 게이트구조물(410, 510)의 제2게이트전극(216) 사이에 위치할 수 있다. 이를 통해, 제1게이트전극(212)에 인가되는 바이어스를 통해 턴온 및 턴오프 조절이 가능하여 인접 메모리셀(MC1, MCn)에 불필요한 간섭이 발생하는 것을 방지할 수 있다. 다시 말해, 제1게이트전극(212)에 인가되는 바이어스를 통해 제1스위칭 소자(400) 및 제2스위칭 소자(500)에 의해 유도되는 채널의 포텐셜레벨을 조절하여 인접 메모리셀(MC1, MCn)의 동작 신뢰성을 향상시킬 수 있다.

[0125] 제1스위칭 소자(400)의 게이트구조물(410)에서 제1게이트전극(212) 및 제2게이트전극(216)은 각각 제2소스선택라인(SSL2) 및 제1소스선택라인(SSL1)으로 작용할 수 있다. 제2스위칭 소자(500)의 게이트구조물(510)에서 제1게이트전극(212) 및 제2게이트전극(216)은 각각 제1드레인선택라인(DSL1) 및 제2드레인선택라인(DSL2)으로 작용할 수 있다. 게이트구조물(410, 510)은 도 1에 도시된 게이트스택(GS)과 실질적으로 동일한 구성을 갖는 바, 추가적인 상세한 설명을 생략하기로 한다.

[0126] 제1스위칭 소자(400) 및 제2스위칭 소자(500)의 턴온 동작 및 턴오프 동작은 도 2에 도시된 것과 실질적으로 동일할 수 있다. 그리고, 소스막(SL), 비트라인(BL) 및 메모리셀들(MC1-MCn)의 프로그램 동작, 소거 동작 및 리드 동작은 공지된 방법을 사용할 수 있다.

[0127] 한편, 본 실시예에서는 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각이 모두 네거티브 캐패시터를 구비하는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제1스위칭 소자(400) 및 제2스위칭 소자(500) 중 어느 하나만이 네거티브 캐패시터를 구비할 수도 있다.

- [0128] 상술한 바와 같이, 본 실시예에 따른 반도체 메모리 장치는 네거티브 캐패시터를 구비하는 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 구비함으로써, 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다. 특히, 서브문턱전압 스윙 값을 이론적 한계인 60mV/dec 이하로 구현할 수 있기 때문에 채널에 대한 온/오프 반응 속도(response speed)를 향상시킬 수 있다. 또한, 메모리셀들(MC1-MCn)에 대한 소거 동작시 게이트 유도 드레인 누설(Gate Induced Drain Leakage, GIDL)의 턴온 슬로프 즉, GIDL 형성시간을 단축시켜 소거 속도(Erase speed)를 향상시킬 수 있다. 여기서, GIDL 형성시간은 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각의 턴온 동작 구간을 지칭할 수 있다. 또한, 소거 동작시 GIDL 형성시간을 단축시킬 수 있기 때문에 소거 일시 정지 상황에서 채널에 홀(hole)이 생성되는 중간에 중단되면서 발생하는 문제를 원천적으로 방지할 수 있다. 참고로, 소스선택트랜지스터(SST) 및 드레인선택트랜지스터(DST)의 서브문턱전압 스윙 값이 60mV/dec를 초과하는 경우에는 소거 동작시 GIDL 형성시간이 길기 때문에 소거 일시 정지 커맨드가 GIDL 형성 중간(즉, 턴온 동작 구간 중간)에 인가될 경우, 소거 일시 정지 커맨드에 응답하여 채널에 홀(hole)이 생성되는 중간에 중단되면서 채널 내에 홀이 축적되고, 채널 내에 축적된 홀에 기인하여 소거 동작시 오류가 발생할 수 있다.
- [0129] 도 11a 내지 도 11h는 본 발명의 실시예에 따른 반도체 메모리 장치의 제조방법을 도시한 단면도이다. 참고로, 도 11a 내지 도 11h는 도 8 내지 도 10에 도시된 반도체 메모리 장치의 제조방법의 일례를 설명하기 위한 것으로, 공정상의 이유로 도 9에 도시된 것과 단면형상이 일부 상이할 수 있다.
- [0130] 도 11a에 도시된 바와 같이 소정의 구조물 예컨대, 주변회로가 형성된 기판(10)상에 예비-소스막(14A)을 형성한다. 예비-소스막(14A)은 불순물이 도핑된 반도체막들 사이에 제1회생막(12)이 삽입된 형태로 형성할 수 있다. 예를 들어, 예비-소스막(14A)은 n형 불순물이 도핑된 제1실리콘막(11), 제1회생막(12) 및 n형 불순물이 도핑된 제2실리콘막(13)이 순차적으로 적층된 다층막으로 형성할 수 있다.
- [0131] 한편, 도면에 도시하지는 않았지만, 예비-소스막(14A)을 형성하기 이전에 예비-소스막(14A)과 기판(10) 사이에 분리절연막을 형성할 수 있다. 분리절연막은 예비-소스막(14A)과 기판(10) 사이를 전기적으로 분리시키고, 공정간 기판(10)이 손상되는 것을 방지하는 역할을 수행할 수 있다.
- [0132] 다음으로, 제1물질막(15)과 제2물질막(16)이 적어도 1회 이상 교번 적층된 제1적층체(17)를 형성한 후, 예비-소스막(14A)이 노출될때까지 제1적층체(17)를 식각하여 제1오픈부(18)를 형성한다. 제1적층체(17) 및 제1오픈부(18)는 제1선택트랜지스터 즉, 소스선택트랜지스터를 형성하기 위한 것이다. 제1적층체(17)의 최하층 및 최상층에는 제1물질막(15)이 위치할 수 있다. 후속 공정을 통해 제1물질막(15)은 적층된 게이트도전막 사이를 분리하는 층간절연막으로 작용할 수 있고, 제2물질막(16)은 게이트도전막을 형성하기 위한 회생막으로 작용할 수 있다. 이를 위해, 제1물질막(15)은 제2물질막(16)과 식각선택비를 갖는 물질로 형성할 수 있다. 예를 들어, 제1물질막(15)은 산화물을 포함할 수 있고, 제2물질막(16)은 질화물을 포함할 수 있다.
- [0133] 다음으로, 제1오픈부(18)가 형성된 제1적층체(17) 표면을 따라 제1강유전체막(19) 및 제2물질막(16)을 순차적으로 형성한 후, 제1강유전체막(19) 및 제2물질막(16)이 제1오픈부(18)의 측벽에 잔류하도록 예비-소스막(14A)이 노출될때까지 제1강유전체막(19) 및 제2물질막(16)을 선택적으로 식각한다. 여기서, 제1강유전체막(19)은 네거티브 캐패시터의 유전체로서, 도 9에 도시된 제1스위칭 소자(400)의 게이트구조물(410)에서 제2게이트절연막(214)에 대응하는 것일 수 있다.
- [0134] 제1강유전체막(19)은 선택적으로 네거티브 캐패시터를 갖는 강유전체를 포함할 수 있다. 강유전체는 입방정계, 정방정계 또는 단사정계 중에서 선택되는 적어도 하나 이상의 안정적인 조성 영역을 갖는 플루오라이드 구조의 금속산화물로 포함할 수 있다. 예를 들어, 제1강유전체막(19)은 하프늄산화물로 형성할 수 있다. 그리고, 제1강유전체막(19)은 캐패시턴스 가변이 용이하고, 안정적으로 플루오라이드 구조를 유지하기 위해 20nm 이하의 두께를 갖도록 형성할 수 있다. 예를 들어, 제1강유전체막(19)은 1nm 내지 20nm 범위의 두께를 갖도록 형성할 수 있다.
- [0135] 제1강유전체막(19)은 원자층증착법(Atomic Layer deposition, ALD)을 사용하여 형성할 수 있다. 이는, 안정적인 결정구조 및 조성을 구현하고, 계면에서 발생하는 트랩들(traps)로 인해 네거티브 캐패시터 효과가 저하되는 것을 방지하기 위함이다. 이하에서는, 제1강유전체막(19) 형성방법의 일례로서, 제1강유전체막(19)을 하프늄산화물로 형성하는 경우 설명하기로 한다.
- [0136] 원자층증착법은 전구체 공급, 전구체 퍼지, 산화제 공급 및 산화제 퍼지를 순차적으로 진행하는 단위사이클을 복수회 반복 실시할 수 있다. 단위사이클을 복수회 반복 진행하는 동안 챔버 내부는 300℃ 이하 예컨대, 180℃ 내지 300℃ 범위의 온도를 갖도록 제어할 수 있다. 챔버 내부의 온도는 하프늄산화물의 결정구조에 영향을 미치

며, 300℃ 이하의 온도에서 하프늄산화물을 증착하여야 안정적인 플루오라이드 구조를 갖는 하프늄산화물을 형성할 수 있다.

- [0137] 전구체 공급 단계에서 하프늄 전구체로는 Bis(methyl- $\eta$ 5-cyclopentadienyl) dimethylhafnium, Tetrakis(dimethylamido)hafnium, Tetrakis(ethylmethylamido) hafnium, Bis(methyl- $\eta$ 5-cyclopentadienyl)methoxymethylhafnium, tbutoxytris(ethylmethylamido)hafnium 등을 사용할 수 있다. 하프늄 전구체는 기저층 표면에 화학적으로 흡착되어 단원자층으로 형성할 수 있다. 이후, 챔버에 퍼지가스를 공급하여 챔버 내부에 잔류하는 전구체를 외부로 퍼지할 수 있다. 퍼지가스로는 아르곤 가스 또는 질소 가스를 사용할 수 있다.
- [0138] 산화제 공급 단계에서 산화제로는 산소 가스를 사용할 수 있다. 여기서, 산화제를 공급함과 동시에 플라즈마 분위기를 조성할 수도 있다. 또한, 산화제를 공급하여 기저층에 흡착된 하프늄 전구체에 산소를 흡착시킨 후, 플라즈마 분위기를 조성할 수도 있다. 이후, 챔버에 퍼지가스를 공급하여 챔버 내부에 잔류하는 산화제를 외부로 퍼지할 수 있다.
- [0139] 박막 증착을 완료한 후, 제1강유전체막(19) 계면에서의 결함 치유 및 결정 구조 안정화를 위해 어닐 공정을 진행할 수 있다. 어닐 공정은 산소 분위기에서 400℃ 내지 900℃ 범위의 온도로 진행할 수 있다. 산소 분위기에서 어닐 공정을 진행하는 것은 박막의 조성비 불균형을 억제하고, 박막내 결함에 산소를 결합시켜 막질을 향상시키기 위함이다. 특히, 박막을 원자층증착법을 이용하여 형성함에 따라 박막내 생성되는 포지티브 전하를 갖는 포인트 결함(point defect)을 제거할 수 있기 때문이다.
- [0140] 도 11b에 도시된 바와 같이, 제1오픈부(18) 저면에 노출된 예비-소스막(14A)을 식각하여 제1오픈부(18)를 확장하되, 확장된 제1오픈부(18)가 제1회생막(12)을 관통하도록 식각공정을 진행한다. 이는, 후속 공정을 통해 형성될 채널막과 소스막을 전기적으로 연결시키기 위함이다.
- [0141] 다음으로, 확장된 제1오픈부(18)를 갠필하도록 제2회생막(20)을 형성한다. 제2회생막(20)은 제1회생막(12)과 식각선택비를 갖는 물질로 형성할 수 있다.
- [0142] 도 11c에 도시된 바와 같이, 제1적층체(17) 상에 제1물질막(15)과 제2물질막(16)이 복수회 교번 적층된 제2적층체(21)를 형성한다. 제2적층체(21)에서 최하층 및 최상층에는 제1물질막(15)이 위치할 수 있고, 최하층 및 최상층에 위치하는 제1물질막(15)은 상대적으로 더 두꺼운 두께를 가질 수 있다.
- [0143] 다음으로, 제2회생막(20)이 노출될때까지 제2적층체(21)를 선택적으로 식각하여 제2적층체(21)를 관통하는 제2오픈부(22)를 형성한다. 제2적층체(21) 및 제2오픈부(22)는 복수의 메모리셀들을 형성하기 위한 것이다.
- [0144] 다음으로, 제2오픈부(22)의 측벽에 메모리막(23)을 형성한다. 메모리막(23)은 전하트랩막 또는 전하트랩막과 블록킹막이 적층된 다층막으로 형성할 수 있다. 전하트랩막은 질화물을 포함할 수 있고, 블록킹막은 산화물을 포함할 수 있다.
- [0145] 다음으로, 메모리막(23)이 형성된 제2오픈부(22)를 갠필하도록 제3회생막(24)을 형성한다. 제3회생막(24)은 제2회생막(20)과 동일한 물질로 형성할 수 있다.
- [0146] 도 11d에 도시된 바와 같이, 제2적층체(21) 상에 제1물질막(15)과 제2물질막(16)이 적어도 1회 이상 교번 적층된 제3적층체(25)를 형성한다. 제3적층체(25)에서 최하층에는 제2물질막(16) 위치할 수 있고, 최상층에는 제1물질막(15)이 위치할 수 있다. 그리고, 제3적층체(25)에서 최상층에 위치하는 제1물질막(15)은 상대적으로 더 큰 두께를 가질 수 있다. 이는, 후속 공정에서 캐핑막을 형성하기 위한 공간을 확보하기 위함이다.
- [0147] 다음으로, 제3적층체(25)의 최하층에 위치하는 제2물질막(16)이 노출될때까지 제3적층체(25)를 선택적으로 식각하여 제3오픈부(26)를 형성한 후, 제3오픈부(26) 측벽에 제2강유전체막(27)을 형성한다. 제2강유전체막(27)은 네거티브 캐패시터의 유전체로서 도 9에 도시된 제2스위칭 소자(500)의 게이트구조물(510)에서 제2게이트절연막(214)에 대응하는 것일 수 있다. 제2강유전체막(27)은 제1강유전체막(19)과 동일한 방법으로 형성할 수 있다.
- [0148] 다음으로, 제2강유전체막(27)이 형성된 제3오픈부(26) 측벽에 제2물질막(16)을 형성한 후, 제3회생막(24)이 노출될때까지 제3적층체(25)의 최하층에 위치하는 제2물질막(16)을 식각하여 제3오픈부(26)를 확장시킨다. 여기서, 제3적층체(25) 및 제3오픈부(26)는 드레인선택트랜지스터를 형성하기 위한 것이다.
- [0149] 도 11e에 도시된 바와 같이, 제3오픈부(26)를 통해 제3회생막(24) 및 제2회생막(20)을 순차적으로 제거하여 제1

오픈부(18), 제2오픈부(22) 및 제3오픈부(26)가 상호 연결된 채널홀(28)을 형성한다.

- [0150] 다음으로, 채널홀(28)의 표면을 따라 터널절연막(29) 및 채널막(30)을 순차적으로 형성한다. 여기서, 채널홀(28)의 표면은 채널홀(28)의 측면 및 저면일 수 있고, 터널절연막(29)은 산화물을 포함할 수 있으며, 채널막(30)은 반도체막을 포함할 수 있다. 채널막(30)으로 사용되는 반도체막은 불순물이 도핑되지 않은 실리콘막일 수 있다. 제1적층체(17)에 형성된 터널절연막(29)은 도 9에 도시된 제1스위칭 소자(400)의 게이트구조물(410)에서 제1게이트절연막(210)으로 사용될 수 있다. 그리고, 제3적층체(25)에 형성된 터널절연막(29)은 도 9에 도시된 제2스위칭 소자(500)의 게이트구조물(510)에서 제1게이트절연막(210)으로 사용될 수 있다.
- [0151] 다음으로, 채널막(30) 상에 채널홀(28)을 깎필하도록 코어필라(31)를 형성한다. 코어필라(31)는 산화물을 포함할 수 있다.
- [0152] 다음으로, 코어필라(31)를 소정 두께 리세스하고, 리세스된 공간에 채널막(30)과 접하는 캡핑막(37)을 형성한다. 캡핑막(37)은 불순물이 도핑된 반도체막 예컨대, n형 불순물이 도핑된 실리콘막으로 형성할 수 있다. 캡핑막(37)은 드레인선택트랜지스터의 드레인으로 작용할 수 있다.
- [0153] 도 11f에 도시된 바와 같이, 제1적층체(17) 내지 제3적층체(25)를 관통하고, 예비-소스막(14A)의 제1회생막(12)을 노출시키는 제4오픈부(32)를 형성한다. 제4오픈부(32)는 공통소스라인(36) 또는 지지구조물을 형성하기 위한 것일 수 있다. 제4오픈부(32)의 평면은 슬릿형상을 가질 수 있다.
- [0154] 다음으로, 제4오픈부(32)를 통해 제1적층체(17) 내지 제3적층체(25)에서 제2물질막(16)을 제거하는 식각공정을 진행한다. 제2물질막(16)을 선택적으로 제거하는 식각공정을 통해 복수의 게이트도전막이 형성될 공간을 확보할 수 있다.
- [0155] 도 11g에 도시된 바와 같이, 제2물질막(16)이 제거된 공간에 도전물질을 깎필하여 복수의 게이트도전막(33)을 형성한다. 복수의 게이트도전막(33)을 형성하기 위한 도전물질로는 금속성물질을 사용할 수 있다. 여기서, 제1적층체(17)에 형성된 게이트도전막(33)은 도 9에 도시된 제1스위칭 소자(400)의 게이트구조물(410)에서 제1게이트전극(212) 및 제2게이트전극(216)으로 사용될 수 있다. 제2적층체(21)에 형성된 게이트도전막(33)은 도 9에 도시된 복수의 메모리셀들(MC1~MCn) 각각의 게이트전극(236)으로 사용될 수 있다. 그리고, 제3적층체(25)에 형성된 게이트도전막(33)은 도 9에 도시된 제2스위칭 소자(500)의 게이트구조물(410)에서 제1게이트전극(212) 및 제2게이트전극(216)으로 사용될 수 있다.
- [0156] 다음으로, 적층된 복수의 게이트도전막(33) 사이를 분리시키기 위한 분리공정 예컨대, 에치백 공정을 진행한 후, 제4오픈부(32)의 측벽에 스페이서(34)를 형성한다. 스페이서(34)는 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 어느 하나 또는 둘 이상의 적층막으로 형성할 수 있다.
- [0157] 다음으로, 제4오픈부(32)를 통해 노출된 제1회생막(12)을 제거하기 위한 식각공정을 진행하고, 연속하여 제1회생막(12)이 제거됨에 따라 노출된 터널절연막(29)을 선택적으로 식각하여 채널막(30)을 노출시킨다.
- [0158] 도 11h에 도시된 바와 같이, 제1회생막(12)이 제거된 공간을 깎필하도록 도전막을 형성한다. 제1회생막(12)이 제거된 공간을 깎필하는 도전막은 반도체막 예컨대, n형 불순물이 도핑된 제3실리콘막(35)으로 형성할 수 있다. 제3실리콘막(35)은 채널막(30)과 접할 수 있고, 제3실리콘막(35)의 불순물 도핑농도는 제1실리콘막(11) 및 제2실리콘막(13)의 불순물 도핑농도보다 더 클 수 있다.
- [0159] 이로써, 제1실리콘막(11) 내지 제3실리콘막(35)을 포함하고, 채널막(30)과 접하는 소스막(14)을 형성할 수 있다.
- [0160] 다음으로, 제4오픈부(32)를 깎필하고 소스막(14)과 접하는 공통소스라인(36)을 형성한다. 공통소스라인(36)은 반도체막으로 형성하거나, 또는 반도체막과 금속성막이 적층된 다층막으로 형성할 수 있다. 반도체막은 n형 불순물이 도핑된 실리콘막으로 형성할 수 있으며, 소스라인의 n형 불순물이 도핑된 제3실리콘막(35) 형성공정시 함께 형성할 수 있다.
- [0161] 한편, 본 실시예에서는 제4오픈부(32)에 공통소스라인(36)에 형성되는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제4오픈부(32)에는 절연물질이 깎필되어 제1적층체(17) 내지 제3적층체(25)를 지지하는 지지구조물이 형성될 수도 있다.
- [0162] 도 12는 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.
- [0163] 도 12에 도시된 바와 같이, 메모리 블록(BLK2)은 소스막(SL) 및 복수의 워드라인들(WL1~WLn)에 공통으로 연결된

복수의 셀스트링들(CS2)을 포함할 수 있다. 그리고, 복수의 셀스트링들(CS2)은 복수의 비트라인들(BL)에 연결될 수 있다.

- [0164] 복수의 셀스트링들(CS2) 각각은 소스막(SL)에 연결된 소스선택트랜지스터들(SST1, SST2), 비트라인(BL)에 연결된 드레인선택트랜지스터들(DST1, DST2) 및 소스선택트랜지스터들(SST1, SST2)과 드레인선택트랜지스터들(DST1, DST2) 사이에 직렬로 연결된 복수의 메모리셀들(MC1~MCn)을 포함할 수 있다. 소스막(SL)에 연결된 제1소스선택트랜지스터(SST1) 및 비트라인(BL)에 연결된 제2드레인선택트랜지스터(DST2) 각각은 네거티브 캐패시터를 구비할 수 있다.
- [0165] 복수의 메모리셀들(MC1-MCn)의 게이트들은 서로 이격되어 적층된 복수의 워드라인들(WL1-WLn)에 각각 연결될 수 있다. 복수의 워드라인들(WL1-WLn)은 소스선택라인들(SSL1, SSL1)과 드레인선택라인들(DSL1, DSL2) 사이에 배치될 수 있다.
- [0166] 제1소스선택라인(SSL1)은 제1소스선택트랜지스터(SST1)의 게이트전극에 연결될 수 있고, 제2소스선택라인(SSL2)은 제2소스선택트랜지스터(SST2)의 제1게이트전극에 연결될 수 있다. 제1소스선택트랜지스터(SST1)의 소스 및 드레인은 각각 스막(SL) 및 제2소스선택트랜지스터(SST2)의 소스에 연결될 수 있다. 제2소스선택트랜지스터(SST2)의 드레인은 메모리셀(MC1)에 연결될 수 있다. 그리고, 제2소스선택라인(SSL2)은 제1소스선택라인(SSL1)보다 상부에 위치할 수 있다.
- [0167] 제1드레인선택라인(DSL1)은 제1드레인선택트랜지스터(DST1)의 게이트전극에 연결될 수 있고, 제2드레인선택라인(DSL2)은 제2드레인선택트랜지스터(DST2)의 제2게이트전극에 연결될 수 있다. 제1드레인선택트랜지스터(DST1)의 소스 및 드레인은 각각 메모리셀(MCn) 및 제2드레인선택라인(DSL2)의 소스에 연결될 수 있다. 제2드레인선택라인(DSL2)의 드레인은 비트라인(BL)에 연결될 수 있다. 그리고, 제2드레인선택라인(DSL2)은 제1드레인선택라인(DSL1)보다 상부에 위치할 수 있다.
- [0168] 도 13은 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다. 그리고, 도 14는 도 13에 도시된 B영역을 확대하여 도시한 단면도이다.
- [0169] 도 12 내지 도 14에 도시된 바와 같이, 실시예에 따른 셀스트링(CS2)은 소스막(SL)과 비트라인(BL) 사이에 위치하는 채널구조물(300), 복수의 메모리셀들(MC1-MCn), 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 포함할 수 있다.
- [0170] 채널구조물(300)은 서로 이격되어 적층된 소스막(SL)과 비트라인(BL) 사이를 연결하고, 수직방향으로 연장된 기둥 형상을 가질 수 있다. 채널구조물(300)은 코어필라(302), 캡핑막(306) 및 채널막(304)을 포함할 수 있다. 채널구조물(300)은 도 9에 도시된 채널구조물(300)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 채널구조물(300)에 대한 추가적인 상세한 설명을 생략하기로 한다.
- [0171] 복수의 메모리셀들(MC1-MCn)은 채널구조물(300)을 둘러싸고, 서로 이격된 적층된 형태를 가질 수 있다. 복수의 메모리셀들(MC1-MCn) 중 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각에 인접하여 위치하는 메모리셀(MC1, MCn)은 터미셀로 사용될 수도 있다. 복수의 메모리셀들(MC1-MCn) 각각은 채널구조물(300)을 둘러싸는 메모리구조물(MS)을 포함할 수 있다. 메모리구조물(MS)은 도 3에 도시된 제2게이트스택(GS2)과 실질적으로 동일한 구성을 가질 수 있다. 또한, 메모리구조물(MS)은 도 9 및 도 10에 도시된 메모리구조물(MS)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 메모리구조물(MS)에 대한 추가적인 상세한 설명을 생략하기로 한다.
- [0172] 제1스위칭 소자(400) 및 제2스위칭 소자(500)는 각각 네거티브 캐패시터를 포함하는 제1게이트구조물(420, 520) 및 제1게이트구조물(420, 520)과 겹(208)을 갖고 이웃하는 제2게이트구조물(430, 530)을 포함할 수 있다. 제1스위칭 소자(400) 및 제2스위칭 소자(500)는 각각 채널구조물(300)을 공유하고, 메모리셀들(MC1-MCn) 일측 및 타측에 위치할 수 있다. 구체적으로, 제1스위칭 소자(400)는 소스막(SL)과 메모리셀들(MC1-MCn) 사이에 위치할 수 있고, 제2스위칭 소자(500)는 비트라인(BL)과 메모리셀들(MC1-MCn) 사이에 위치할 수 있다. 따라서, 제1스위칭 소자(400)는 소스선택트랜지스터(SST)로 작용할 수 있고, 제2스위칭 소자(500)는 드레인선택트랜지스터(DST)로 작용할 수 있다. 채널구조물(300)이 연장된 방향 즉, 채널길이 방향으로 제1스위칭 소자(400)와 제2스위칭 소자(500)는 대칭적인 형상을 가질 수 있다.
- [0173] 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각은 채널구조물(300)을 둘러싸는 GAA(gate all around) 구조를 갖는 제1게이트구조물(420, 520) 및 제2게이트구조물(430, 530)을 포함할 수 있다.
- [0174] 제1게이트구조물(420, 520)은 도 3에 도시된 제1게이트스택(GS1)과 실질적으로 동일한 구성을 가질 수 있다.

즉, 제1게이트구조물(420, 520)은 채널막(304)을 감싸는 제1게이트절연막(220), 제1게이트절연막(220)을 감싸고, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막(222) 및 제2게이트절연막(222)을 감싸고 평판형태를 갖는 제1게이트전극(224)을 포함할 수 있다. 제1게이트구조물(420, 520)은 도 3에 도시된 제1게이트스택(GS1)과 실질적으로 동일한 구성을 갖는 바, 추가적인 상세한 설명을 생략하기로 한다.

[0175] 제2게이트구조물(430, 530)은 도 3에 도시된 제2게이트스택(GS2)와 실질적으로 동일한 구성을 가질 수 있다. 또한, 제2게이트구조물(430, 530)은 복수의 메모리셀들(MC1~MCn) 각각의 메모리구조물(MS)과 실질적으로 동일한 구성을 가질 수 있다. 즉, 제2게이트구조물(430, 530)은 채널막(304)을 감싸는 터널절연막(230), 터널절연막(230)을 감싸는 전하트랩막(232), 전하트랩막(232)을 감싸는 블록킹막(234) 및 블록킹막(234)을 감싸고 평판형태를 갖는 제2게이트전극(236)을 포함할 수 있다. 제2게이트구조물(430, 530)은 도 3에 도시된 제2게이트스택(GS2)와 실질적으로 동일한 구성을 갖는 바, 추가적인 상세한 설명을 생략하기로 한다.

[0176] 제1스위칭 소자(400)의 제1게이트구조물(420) 및 제2게이트구조물(430) 각각에서 제1게이트전극(224) 및 제2게이트전극(236)은 각각 제1소스선택라인(SSL1) 및 제2소스선택라인(SSL2)으로 작용할 수 있다. 따라서, 제1스위칭 소자(400)의 제1게이트구조물(420) 및 제2게이트구조물(430) 각각은 제1소스선택트랜지스터(SST1) 및 제2소스선택트랜지스터(SST2)의 게이트로 작용할 수 있다.

[0177] 제2스위칭 소자(500)의 제1게이트구조물(520) 및 제2게이트구조물(530) 각각에서 제1게이트전극(224) 및 제2게이트전극(236)은 각각 제2드레인선택라인(DSL2) 및 제1드레인선택라인(DSL1)으로 작용할 수 있다. 따라서, 제2스위칭 소자(500)의 제1게이트구조물(520) 및 제2게이트구조물(530) 각각은 제2드레인선택트랜지스터(DST2) 및 제1드레인선택트랜지스터(DST1)의 게이트로 작용할 수 있다.

[0178] 제1스위칭 소자(400) 및 제2스위칭 소자(500)의 턴온 동작 및 턴오프 동작은 도 4에 도시된 것과 실질적으로 동일할 수 있다. 그리고, 소스막(SL), 비트라인(BL) 및 메모리셀들(MC1~MCn)의 프로그램 동작, 소거 동작 및 리드 동작은 공지된 방법을 사용할 수 있다.

[0179] 한편, 본 실시예에서는 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각이 모두 네거티브 캐패시터를 구비하는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제1스위칭 소자(400) 및 제2스위칭 소자(500) 중 어느 하나만이 네거티브 캐패시터를 구비할 수도 있다.

[0180] 상술한 바와 같이, 본 실시예에 따른 반도체 메모리 장치는 네거티브 캐패시터를 구비하는 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 구비함으로써, 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.

[0181] 도 15a 내지 도 15i는 본 발명의 실시예에 따른 반도체 메모리 장치의 제조방법을 도시한 단면도이다. 참고로, 도 15a 내지 도 15i는 도 12 내지 도 14에 도시된 반도체 메모리 장치의 제조방법의 일례를 설명하기 위한 것으로, 공정상의 이유로 도 13에 도시된 것과 단면형상이 일부 상이할 수 있다.

[0182] 도 15a에 도시된 바와 같이 소정의 구조물 예컨대, 주변회로가 형성된 기판(50) 상에 예비-소스막(54A)을 형성한다. 예비-소스막(54A)은 불순물이 도핑된 반도체막 사이에 제1회생막(52)이 삽입된 형태로 형성할 수 있다. 예를 들어, 예비-소스막(54A)은 n형 불순물이 도핑된 제1실리콘막(51), 제1회생막(52) 및 n형 불순물이 도핑된 제2실리콘막(53)이 순차적으로 적층된 적층막으로 형성할 수 있다.

[0183] 한편, 도면에 도시하지는 않았지만, 예비-소스막(54A)을 형성하기 이전에 예비-소스막(54A)과 기판(50) 사이에 분리절연막을 형성할 수 있다. 분리절연막은 예비-소스막(54A)과 기판(50) 사이를 전기적으로 분리시키고, 공정간 기판(50)이 손상되는 것을 방지하는 역할을 수행할 수 있다.

[0184] 다음으로, 제1물질막(55)과 제2물질막(56)이 적어도 1회 이상 교번 적층된 제1적층체(57)를 형성한 후, 제1적층체(57) 및 예비-소스막(54A)의 제1회생막(52)을 관통하는 제1오픈부(58)를 형성한다. 제1적층체(57) 및 제1오픈부(58)는 소스선택트랜지스터를 형성하기 위한 것이다. 제1적층체(57)의 최하층 및 최상층에는 제1물질막(55)이 위치할 수 있다. 후속 공정을 통해 제1물질막(55)은 적층된 게이트도전막 사이를 분리하는 층간절연막으로 작용할 수 있고, 제2물질막(56)은 게이트도전막을 형성하기 위한 회생막으로 작용할 수 있다. 이를 위해, 제1물질막(55)은 제2물질막(56)과 식각선택비를 갖는 물질로 형성할 수 있다. 예를 들어, 제1물질막(55)은 산화물을 포함할 수 있고, 제2물질막(56)은 질화물을 포함할 수 있다.

[0185] 도 15b에 도시된 바와 같이, 제1오픈부(58)의 표면을 따라 제1강유전체막(59)을 형성한다. 제1오픈부(58)의 표면은 제1오픈부(58)의 측면 및 저면일 수 있다. 여기서, 제1강유전체막(59)은 네거티브 캐패시터의 유전체로서 제1선택 트랜지스터의 제2게이트절연막으로 작용할 수 있다. 제1강유전체막(59)은 원자층증착법을 사용하여 300

℃ 이하의 온도에서 형성할 수 있다. 그리고, 박막 증착이 완료된 후, 400℃ 내지 900℃ 범위의 온도에서 어닐 공정을 진행할 수 있다.

- [0186] 다음으로, 제1강유전체막(59) 상에 제1오픈부(58)를 깎필하는 제2회생막(60)을 형성한다. 제2회생막(60)은 후속 공정간 제1강유전체막(59)을 보호하는 역할을 수행할 수 있다.
- [0187] 도 15c에 도시된 바와 같이, 제1물질막(55)과 제2물질막(56)이 복수회 교번 적층된 제2적층체(61)를 형성한다. 제2적층체(61)에서 최하층에는 제2물질막(56)이 위치할 수 있고, 최상층에는 제1물질막(55)이 위치할 수 있으며, 최상층에 위치하는 제1물질막(55)은 상대적으로 더 두꺼운 두께를 가질 수 있다. 이는, 후속 공정에서 캡핑막을 형성할 공간을 확보하기 위함이다.
- [0188] 다음으로, 제2적층체(61)를 선택적으로 식각하여 제2회생막(60)을 노출시키는 제2오픈부(62)를 형성한 후, 제2오픈부(62)의 측벽에 메모리막(63)을 형성한다. 메모리막(63)은 전하트랩막 또는 전하트랩막과 블록킹막이 적층된 적층막으로 형성할 수 있다. 전하트랩막은 질화물을 포함할 수 있고, 블록킹막은 산화물을 포함할 수 있다.
- [0189] 도 15d에 도시된 바와 같이, 제2오픈부(62)를 통해 노출된 제2회생막(60)을 제거하여 제1오픈부(58)와 제2오픈부(62)가 상호 연결된 채널홀을 형성한 후, 채널홀의 표면을 따라 터널절연막(64) 및 채널막(65)을 순차적으로 형성한다. 터널절연막(64)은 산화물을 포함할 수 있고, 채널막(65)은 반도체막을 포함할 수 있다. 제1적층체(57)에 형성된 터널절연막(64)은 소스선택트랜지스터의 게이트절연막으로 작용할 수 있다.
- [0190] 다음으로, 채널막(65) 상에 채널홀을 깎필하도록 코어필라(66)을 형성한다. 코어필라(66)은 산화물을 포함할 수 있다.
- [0191] 다음으로, 제2적층체(61), 메모리막(63), 터널절연막(64), 채널막(65) 및 코어필라(66) 일부를 선택적으로 식각하여 제3오픈부(67)를 형성한다. 제3오픈부(67)는 제2선택 트랜지스터를 형성하기 위한 것으로, 제2적층체(61)의 제2물질막(56)들 중 적어도 최상단에 위치하는 제2물질막(56)을 관통하도록 형성할 수 있다.
- [0192] 도 15e에 도시된 바와 같이, 제3오픈부(67)의 측벽에 제2강유전체막(68)을 형성한다. 제2강유전체막(68)은 네거티브 캐패시터의 유전체로서, 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다.
- [0193] 다음으로, 제2강유전체막(68)이 형성된 제3오픈부(67)의 측벽에 터널절연막(64), 채널막(65) 및 코어필라(66)을 순차적으로 형성한다. 터널절연막(64)은 드레인선택트랜지스터의 게이트절연막으로 작용할 수 있다.
- [0194] 한편, 본 실시예에서는 제3오픈부(67)를 형성하고, 제2강유전체막(68)을 형성한 이후에 재차 터널절연막(64), 채널막(65) 및 코어필라(66)을 형성하는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제3오픈부(67)를 형성하지 않고, 회생막을 활용하여 제1오픈부(58) 내지 제3오픈부(67)를 가로지르는 터널절연막(64), 채널막(65) 및 코어필라(66)을 한번에 형성할 수도 있다. 예를 들어, 제2오픈부(62)를 형성한 후, 제2오픈부(62)를 일부 매립하는 회생막을 형성하고, 제2오픈부(62)의 상단부 측벽에 제2강유전체막(68)을 형성한 후, 제1오픈부(58) 및 제2오픈부(62) 내 회생막을 제거하고, 터널절연막(64), 채널막(65) 및 코어필라(66)을 순차적으로 형성할 수도 있다.
- [0195] 다음으로, 코어필라(66)을 소정 두께 리세스한 후, 리세스된 공간에 채널막(65)과 접하는 캡핑막(69)을 형성한다. 캡핑막(69)은 불순물이 도핑된 반도체막 예컨대, n형 불순물이 도핑된 실리콘막으로 형성할 수 있다. 캡핑막(69)은 제2선택 트랜지스터의 접합영역 예컨대, 드레인으로 작용할 수 있다.
- [0196] 도 15f에 도시된 바와 같이, 제1적층체(57) 및 제2적층체(61)를 관통하고, 예비-소스막(54A)의 제1회생막(52)을 노출시키는 제4오픈부(70)를 형성한다. 제4오픈부(70)는 공통소스라인(74) 또는 지지구조물을 형성하기 위한 것일 수 있다. 제4오픈부(70)의 평면은 슬릿형상을 가질 수 있다.
- [0197] 다음으로, 제4오픈부(70)를 통해 제1적층체(57) 및 제2적층체(61)에서 제2물질막(56)을 제거한다. 제2물질막(56)을 선택적으로 제거하는 식각공정을 통해 게이트도전막이 형성될 공간을 확보할 수 있다.
- [0198] 도 15g에 도시된 바와 같이, 제2물질막(56)이 제거된 공간에 도전물질을 깎필하여 복수의 게이트도전막(71)을 형성한다. 게이트도전막을 형성하기 위한 도전물질로는 금속성물질을 사용할 수 있다.
- [0199] 다음으로, 적층된 복수의 게이트도전막(71) 사이를 분리시키기 위한 분리공정 예컨대, 에치백 공정을 진행한 후, 제4오픈부(70)의 측벽에 스페이서(72)를 형성한다. 스페이서(72)는 산화물, 질화물 및 산질화물로 이루어진 그룹으로부터 선택된 어느 하나 또는 둘 이상의 적층막으로 형성할 수 있다.

- [0200] 도 15h에 도시된 바와 같이, 제4오픈부(70)를 통해 노출된 예비-소스막(54A)의 제1회생막(52)을 제거하고, 제1회생막(52)을 제거함에 따라 노출된 터널절연막(64) 및 제1강유전체막(59)을 순차적으로 제거하여 채널막(65)을 노출시킨다.
- [0201] 도 15i에 도시된 바와 같이, 제1회생막(52)이 제거된 공간을 깎필하도록 도전막을 형성한다. 제1회생막(52)이 제거된 공간을 깎필하는 도전막은 반도체막 예컨대, n형 불순물이 도핑된 제3실리콘막(73)으로 형성할 수 있다. 제3실리콘막(73)은 채널막(65)과 접할 수 있고, 제3실리콘막(73)의 불순물 도핑농도는 제1실리콘막(51) 및 제2실리콘막(53)의 불순물 도핑농도보다 더 클 수 있다.
- [0202] 이로써, 제1실리콘막(51) 내지 제3실리콘막(73)을 포함하고, 채널막(65)과 접하는 소스막(54)을 형성할 수 있다.
- [0203] 다음으로, 제4오픈부(70)를 깎필하고 소스막(54)과 접하는 공통소스라인(74)을 형성한다. 공통소스라인(74)은 반도체막으로 형성하거나, 또는 반도체막과 금속성막이 적층된 적층막으로 형성할 수 있다. 반도체막은 n형 불순물이 도핑된 실리콘막으로 형성할 수 있으며, 소스라인의 n형 불순물이 도핑된 제3실리콘막(73) 형성공정시 함께 형성할 수 있다.
- [0204] 한편, 본 실시예에서는 제4오픈부(70)에 공통소스라인(74)에 형성되는 경우를 예시하였으나, 이에 한정되지 않는다. 변형예로서, 제4오픈부(70)에는 절연물질이 깎필되어 제1적층체(57) 내지 제3적층체를 지지하는 지지구조물이 형성될 수도 있다.
- [0205] 도 16은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.
- [0206] 도 16에 도시된 바와 같이, 메모리 블록(BLK3)은 소스막(SL) 및 복수의 워드라인들(WL1~WLn)에 공통으로 연결된 복수의 셀스트링들(CS3)을 포함할 수 있다. 그리고, 복수의 셀스트링들(CS3)은 복수의 비트라인들(BL)에 연결될 수 있다.
- [0207] 복수의 셀스트링들(CS3) 각각은 소스막(SL)에 연결된 소스선택트랜지스터들(SST1, SST2), 비트라인(BL)에 연결된 드레인선택트랜지스터(DST) 및 소스선택트랜지스터들(SST1, SST2)과 드레인선택트랜지스터(DST) 사이에 직렬로 연결된 복수의 메모리셀들(MC1~MCn)을 포함할 수 있다. 소스막(SL)에 연결된 제1소스선택트랜지스터(SST1) 및 비트라인(BL)에 연결된 드레인선택트랜지스터(DST) 각각은 네거티브 캐패시터를 구비할 수 있다.
- [0208] 복수의 메모리셀들(MC1~MCn)의 게이트들은 서로 이격되어 적층된 복수의 워드라인들(WL1~WLn)에 각각 연결될 수 있다. 복수의 워드라인들(WL1~WLn)은 소스선택라인들(SSL1, SSL1)과 드레인선택라인(DSL1, DSL2) 사이에 배치될 수 있다.
- [0209] 제1소스선택라인(SSL1)은 제1소스선택트랜지스터(SST1)의 게이트전극에 연결될 수 있고, 제2소스선택라인(SSL2)은 제2소스선택트랜지스터(SST2)의 제1게이트전극에 연결될 수 있다. 제1소스선택트랜지스터(SST1)의 소스 및 드레인선 각각은 소스막(SL) 및 제2소스선택트랜지스터(SST2)의 소스에 연결될 수 있다. 제2소스선택트랜지스터(SST2)의 드레인선 메모리셀(MC1)에 연결될 수 있다. 그리고, 제2소스선택라인(SSL2)은 제1소스선택라인(SSL1)보다 상부에 위치할 수 있다.
- [0210] 제1드레인선택라인(DSL1)은 드레인선택트랜지스터(DST)의 제1게이트전극에 연결될 수 있고, 제2드레인선택라인(DSL2)은 드레인선택트랜지스터(DST)의 제2게이트전극에 연결될 수 있다. 여기서, 드레인선택트랜지스터(DST)의 제1게이트전극은 네거티브 캐패시턴스를 제어하는 역할을 수행할 수 있다. 그리고, 드레인선택트랜지스터(DST)의 제2게이트전극은 채널 온/오프를 제어하는 역할을 수행할 수 있다.
- [0211] 도 17은 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.
- [0212] 도 16 및 도 17에 도시된 바와 같이, 실시예에 따른 셀스트링(CS3)은 소스막(SL)과 비트라인(BL) 사이에 위치하는 채널구조물(300), 복수의 메모리셀들(MC1~MCn), 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 포함할 수 있다.
- [0213] 채널구조물(300)은 서로 이격되어 적층된 소스막(SL)과 비트라인(BL) 사이를 연결하고, 수직방향으로 연장된 기둥 형상을 가질 수 있다. 채널구조물(300)은 코어필라(302), 캡핑막(306) 및 채널막(304)을 포함할 수 있다. 채널구조물(300)은 도 9에 도시된 채널구조물(300)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 채널구조물(300)에 대한 추가적인 상세한 설명을 생략하기로 한다.
- [0214] 복수의 메모리셀들(MC1~MCn)은 채널구조물(300)을 둘러싸고, 서로 이격된 형태를 가질 수 있다. 복수의

메모리셀들(MC1-MCn) 중 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각에 인접하여 위치하는 메모리셀(MC1, MCn)은 더미셀로 사용될 수도 있다. 복수의 메모리셀들(MC1-MCn) 각각은 채널구조물(300)을 둘러싸는 메모리구조물(MS)을 포함할 수 있다. 메모리구조물(MS)은 도 3에 도시된 제2게이트스택(GS2)와 실질적으로 동일한 구성을 가질 수 있다. 또한, 메모리구조물(MS)은 도 9 및 도 10에 도시된 메모리구조물(MS)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 메모리구조물(MS)에 대한 추가적인 상세한 설명은 생략하기로 한다.

[0215] 제1스위칭 소자(400)는 제1소스선택트랜지스터(SST1) 및 제2소스선택트랜지스터(SST2)를 포함할 수 있다. 제1스위칭 소자(400)는 네거티브 캐패시터를 포함하는 제1게이트구조물(420) 및 제1게이트구조물(420)과 겹을 갖고 이웃하는 제2게이트구조물(430)을 포함할 수 있다. 제1게이트구조물(420)은 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 제1스위칭 소자(400)는 도 3에 도시된 스위칭 소자(SE2)와 실질적으로 동일한 구성을 가질 수 있다. 또한, 제1스위칭 소자(400)는 도 13 및 도 14에 도시된 제1스위칭 소자(400)와 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제1스위칭 소자(400)에 대한 추가적인 상세한 설명은 생략하기로 한다.

[0216] 제2스위칭 소자(500)는 드레인선택트랜지스터(DST)를 포함할 수 있다. 제2스위칭 소자(500)는 네거티브 캐패시터를 포함하는 게이트구조물(510)을 포함할 수 있다. 제1게이트구조물(510)은 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 제2스위칭 소자(500)는 도 1에 도시된 스위칭 소자(SE1)과 실질적으로 동일한 구성을 가질 수 있다. 또한, 제2스위칭 소자(500)는 도 9 및 도 10에 도시된 제2스위칭 소자(500)와 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제2스위칭 소자(500)에 대한 추가적인 상세한 설명을 생략하기로 한다.

[0217] 제1스위칭 소자(400)의 턴온 동작 및 턴오프 동작은 도 4에 도시된 것과 실질적으로 동일할 수 있다. 제2스위칭 소자(500)의 턴온 동작 및 턴오프 동작은 도 2에 도시된 것과 실질적으로 동일할 수 있다. 그리고, 소스막(SL), 비트라인(BL) 및 메모리셀들(MC1-MCn)의 프로그램 동작, 소거 동작 및 리드 동작은 공지된 방법을 사용할 수 있다.

[0218] 상술한 바와 같이, 본 실시예에 따른 반도체 메모리 장치는 네거티브 캐패시터를 구비하는 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 구비함으로써, 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.

[0219] 여기서, 제1스위칭 소자(400)는 네거티브 캐패시터의 유전막으로 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하고, 각각 독립적으로 제어할 수 있는 제1게이트구조물(420) 및 제2게이트구조물(430)을 구비함으로써, 소스선택트랜지스터들(SST1, SST2)의 적층 개수를 증가시키지 않고도 복수개의 셀스트링들(CS3)를 빠른 속도로 제어할 수 있다.

[0220] 그리고, 제2스위칭 소자(500)는 네거티브 캐패시터의 유전막으로 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함하고, 게이트구조물(510)에 인가되는 바이어스를 이용하여 캐패시턴스 극성, 용량 채널의 포텐셜레벨을 선택적으로 제어할 수 있기 때문에 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다. 특히, 소거 동작에 대한 신뢰성을 향상시킬 수 있다.

[0221] 도 18은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.

[0222] 도 18에 도시된 바와 같이, 메모리 블록(BLK4)은 소스막(SL) 및 복수의 워드라인들(WL1~WLn)에 공통으로 연결된 복수의 셀스트링들(CS4)을 포함할 수 있다. 그리고, 복수의 셀스트링들(CS4)은 복수의 비트라인들(BL)에 연결될 수 있다.

[0223] 복수의 셀스트링들(CS4) 각각은 소스막(SL)에 연결된 소스선택트랜지스터들(SST1~SST3), 비트라인(BL)에 연결된 드레인선택트랜지스터(DST) 및 소스선택트랜지스터들(SST1~SST3)과 드레인선택트랜지스터(DST) 사이에 직렬로 연결된 복수의 메모리셀들(MC1-MCn)을 포함할 수 있다. 여기서, 소스선택트랜지스터들(SST1~SST3) 및 드레인선택트랜지스터(DST)는 각각 네거티브 캐패시터를 구비할 수 있다.

[0224] 복수의 메모리셀들(MC1-MCn)의 게이트들은 서로 이격되어 적층된 복수의 워드라인들(WL1~WLn)에 각각 연결될 수 있다. 복수의 워드라인들(WL1~WLn)은 소스선택라인들(SSL1~SSL4)과 드레인선택라인들(DSL1, DSL2) 사이에 배치될 수 있다.

[0225] 제1소스선택라인(SSL1)은 제1소스선택트랜지스터(SST1)의 게이트전극에 연결될 수 있고, 제2소스선택라인(SSL2)은 제2소스선택트랜지스터(SST2)의 게이트전극에 연결될 수 있다. 그리고, 제3소스선택라인(SSL3) 및 제4소스선택라인(SSL4) 각각은 제3소스선택트랜지스터(SST3)의 제1게이트전극 및 제2게이트전극에 연결될 수 있다. 제1

소스선택트랜지스터(SST1) 내지 제3소스선택트랜지스터(SST3)는 직렬로 연결될 수 있고, 제1소스선택트랜지스터(SST1)의 일측은 소스막(SL)에 연결될 수 있으며, 제3소스선택트랜지스터(SST3)의 타측은 메모리셀(MC1)에 연결될 수 있다.

- [0226] 제1드레인선택라인(DSL1)은 드레인선택트랜지스터(DST)의 제1게이트전극에 연결될 수 있고, 제2드레인선택라인(DSL2)은 드레인선택트랜지스터(DST)의 제2게이트전극에 연결될 수 있다.
- [0227] 도 19는 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.
- [0228] 도 18 및 도 19에 도시된 바와 같이, 실시예에 따른 셀스트링(CS4)은 소스막(SL)과 비트라인(BL) 사이에 위치하는 채널구조물(300), 복수의 메모리셀들(MC1~MCn), 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 포함할 수 있다.
- [0229] 채널구조물(300)은 서로 이격되어 적층된 소스막(SL)과 비트라인(BL) 사이를 연결하고, 수직방향으로 연장된 기둥 형상을 가질 수 있다. 채널구조물(300)은 코어필라(302), 캡막(306) 및 채널막(304)을 포함할 수 있다. 채널구조물(300)은 도 9에 도시된 채널구조물(300)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 채널구조물(300)에 대한 추가적인 상세한 설명을 생략하기로 한다.
- [0230] 복수의 메모리셀들(MC1~MCn)은 채널구조물(300)을 둘러싸고, 서로 이격된 적층된 형태를 가질 수 있다. 복수의 메모리셀들(MC1~MCn) 중 제1스위칭 소자(400) 및 제2스위칭 소자(500) 각각에 인접하여 위치하는 메모리셀(MC1, MCn)은 더미셀로 사용될 수도 있다. 복수의 메모리셀들(MC1~MCn) 각각은 채널구조물(300)을 둘러싸는 메모리구조물(MS)을 포함할 수 있다. 메모리구조물(MS)은 도 3에 도시된 제2게이트스택(GS2)과 실질적으로 동일한 구성을 가질 수 있다. 또한, 메모리구조물(MS)은 도 9 및 도 10에 도시된 메모리구조물(MS)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 메모리구조물(MS)에 대한 추가적인 상세한 설명을 생략하기로 한다.
- [0231] 제2스위칭 소자(500)는 드레인선택트랜지스터(DST)를 포함할 수 있다. 제2스위칭 소자(500)는 네거티브 캐패시터를 포함하는 게이트구조물(540)을 포함할 수 있다. 게이트구조물(540)은 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 제2스위칭 소자(500)는 도 1에 도시된 스위칭 소자(SE1)과 실질적으로 동일한 구성을 가질 수 있다. 또한, 제2스위칭 소자(500)는 도 9 및 도 10에 도시된 제2스위칭 소자(500)와 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제2스위칭 소자(500)에 대한 추가적인 상세한 설명을 생략하기로 한다.
- [0232] 제1스위칭 소자(400)는 제1소스선택트랜지스터(SST1) 내지 제3소스선택트랜지스터(SST3)를 포함할 수 있다. 제1스위칭 소자(400)는 서로 이격되어 적층되고, 각각 네거티브 캐패시터를 구비하는 제1게이트구조물(440) 내지 제3게이트구조물(460)을 포함할 수 있다. 여기서, 제1게이트구조물(440) 및 제2게이트구조물(450) 각각은 도 3에 도시된 제1게이트스택(GS1)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 제1게이트구조물(440) 및 제2게이트구조물(450) 각각은 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 또한, 제1게이트구조물(440) 및 제2게이트구조물(450) 각각은 도 13에 도시된 제1스위칭 소자(400)의 제2게이트구조물(430)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제1스위칭 소자(400)의 제1게이트구조물(440) 및 제2게이트구조물(450)에 대한 추가적인 상세한 설명은 생략하기로 한다.
- [0233] 제1스위칭 소자(400)에서 제3게이트구조물(460)은 도 1에 도시된 게이트스택(GS)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 제3게이트구조물(460)은 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 또한, 제3게이트구조물(460)은 도 9에 도시된 제1스위칭 소자(400)의 게이트구조물(410)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제1스위칭 소자(400)의 제3게이트구조물(460)에 대한 추가적인 상세한 설명은 생략하기로 한다.
- [0234] 제2스위칭 소자(500)가 하나의 드레인선택트랜지스터(DST)로 구성된 것에 반해, 제1스위칭 소자(400)는 서로 이격되어 적층된 제1소스선택트랜지스터(SST1) 내지 제3소스선택트랜지스터(SST3)로 구성된 것은 채널구조물(300)의 형상에 기인한 것일 수 있다. 구체적으로, 채널구조물(300)은 공정상의 이유로 인해 제2스위칭 소자(500)가 위치하는 상단부 직경보다 제1스위칭 소자(400)가 위치하는 하단부 직경이 작을 수 밖에 없다. 따라서, 제1스위칭 소자(400)가 제2스위칭 소자(500)보다 더 많은 트랜지스터들을 포함하도록 구성하면, 제1스위칭 소자(400)에 인접한 메모리셀(MC1)에 미치는 영향을 감소시킬 수 있다. 또한, 채널구조물(300)에서 상대적으로 직경이 작은 하단부에 위치하는 트랜지스터들의 문턱전압이 게이트전극에 인가되는 바이어스에 보다 민감하게 반응하기 때문에 동작 특성을 향상시킬 수 있다. 즉, 제1스위칭 소자(400)가 제2스위칭 소자(500)보다 더 많은 트랜지스터들을 포함하도록 구성하면 반도체 메모리 장치의 동작 신뢰성을 향상시킬 수 있다.

- [0235] 제1스위칭 소자(400)에서 제1게이트구조물(440) 및 제2게이트구조물(450)의 턴온 동작 및 턴오프 동작은 도 4에 도시된 것과 실질적으로 동일할 수 있다. 제1스위칭 소자(400)의 제3게이트구조물(460) 및 제1스위칭 소자(500)의 턴온 동작 및 턴오프 동작은 도 2에 도시된 것과 실질적으로 동일할 수 있다. 그리고, 소스막(SL), 비트라인(BL) 및 메모리셀들(MC1-MCn)의 프로그램 동작, 소거 동작 및 리드 동작은 공지된 방법을 사용할 수 있다.
- [0236] 상술한 바와 같이, 본 실시예에 따른 반도체 메모리 장치는 네거티브 캐패시터를 구비하는 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 구비함으로써, 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.
- [0237] 여기서, 제1스위칭 소자(400)는 네거티브 캐패시터의 유전막으로 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하고, 각각 독립적으로 제어할 수 있는 제1게이트구조물(440) 및 제2게이트구조물(450)을 구비함으로써, 소스선택트랜지스터들(SST1~SST3)의 적층 개수를 증가시키지 않고도 복수개의 셀스트링들(CS4)를 빠른 속도로 제어할 수 있다.
- [0238] 또한, 제1스위칭 소자(400)는 네거티브 캐패시터의 유전막으로 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제3게이트구조물(460)을 구비함으로써, 제3게이트구조물(460)에 인가되는 바이어스를 이용하여 캐패시턴스 극성, 용량 채널의 포텐셜레벨을 선택적으로 제어할 수 있기 때문에 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.
- [0239] 도 20은 본 발명의 실시예에 따른 반도체 메모리 장치의 메모리 블록을 도시한 회로도이다.
- [0240] 도 20에 도시된 바와 같이, 메모리 블록(BLK5)은 소스막(SL) 및 복수의 워드라인들(WL1~WLn)에 공통으로 연결된 복수의 셀스트링들(CS5)을 포함할 수 있다. 그리고, 복수의 셀스트링들(CS5)은 복수의 비트라인들(BL)에 연결될 수 있다.
- [0241] 복수의 셀스트링들(CS5) 각각은 소스막(SL)에 연결된 소스선택트랜지스터들(SST1~SST3), 비트라인(BL)에 연결된 드레인선택트랜지스터들(DST1, DST2) 및 소스선택트랜지스터들(SST1~SST3)과 드레인선택트랜지스터들(DST1, DST2) 사이에 직렬로 연결된 복수의 메모리셀들(MC1-MCn)을 포함할 수 있다. 여기서, 소스선택트랜지스터들(SST1~SST3) 및 드레인선택트랜지스터들(DST1, DST2)는 각각 네거티브 캐패시터를 구비할 수 있다.
- [0242] 복수의 메모리셀들(MC1-MCn)의 게이트들은 서로 이격되어 적층된 복수의 워드라인들(WL1~WLn)에 각각 연결될 수 있다. 복수의 워드라인들(WL1~WLn)은 소스선택라인들(SSL1~SSL4)과 드레인선택라인들(DSL1~DSL3) 사이에 배치될 수 있다.
- [0243] 제1소스선택라인(SSL1)은 제1소스선택트랜지스터(SST1)의 게이트전극에 연결될 수 있고, 제2소스선택라인(SSL2)은 제2소스선택트랜지스터(SST2)의 게이트전극에 연결될 수 있다. 그리고, 제3소스선택라인(SSL3) 및 제4소스선택라인(SSL4) 각각은 제3소스선택트랜지스터(SST3)의 제1게이트전극 및 제2게이트전극에 연결될 수 있다. 제1소스선택트랜지스터(SST1) 내지 제3소스선택트랜지스터(SST3)는 직렬로 연결될 수 있고, 제1소스선택트랜지스터(SST1)의 일측은 소스막(SL)에 연결될 수 있으며, 제3소스선택트랜지스터(SST3)의 타측은 메모리셀(MC1)에 연결될 수 있다.
- [0244] 제1드레인선택라인(DSL1) 및 제2드레인선택라인(DSL2)은 각각 제1드레인선택트랜지스터(DST1)의 제1게이트전극 및 제2게이트전극에 연결될 수 있다. 그리고, 제3드레인선택라인(DSL3)은 제2드레인선택트랜지스터(DST2)의 게이트전극에 연결될 수 있다. 제1드레인선택트랜지스터(DST1)과 제2드레인선택트랜지스터(DST2)는 직렬로 연결될 수 있고, 제1드레인선택트랜지스터(DST1)의 일측은 메모리셀(MCn)에 연결될 수 있으며, 제2드레인선택트랜지스터(DST2)의 타측은 비트라인(BL)에 연결될 수 있다.
- [0245] 도 21은 본 발명의 실시예에 따른 반도체 메모리 장치의 셀스트링을 도시한 사시도이다.
- [0246] 도 20 및 도 21에 도시된 바와 같이, 실시예에 따른 셀스트링(CS5)은 소스막(SL)과 비트라인(BL) 사이에 위치하는 채널구조물(300), 복수의 메모리셀들(MC1-MCn), 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 포함할 수 있다. 여기서, 채널구조물(300), 복수의 메모리셀들(MC1-MCn) 및 제1스위칭 소자(400)는 도 19에 도시된 채널구조물(300), 복수의 메모리셀들(MC1-MCn) 및 제1스위칭 소자(400) 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 이들에 대한 추가적인 상세한 설명은 생략하기로 한다.
- [0247] 제2스위칭 소자(500)는 제1드레인선택트랜지스터(DST1) 및 제2드레인선택트랜지스터(DST2)를 포함할 수 있다. 제2스위칭 소자(500)는 각각 네거티브 캐패시터를 포함하는 제1게이트구조물(540) 및 제2게이트구조물(550)을 포함할 수 있다.

- [0248] 제2스위칭 소자(500)에서 제1게이트구조물(540)은 도 1에 도시된 게이트스택(GS)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 제1게이트구조물(540)은 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 또한, 제1게이트구조물(540)은 도 9에 도시된 제2스위칭 소자(500)의 게이트구조물(510)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제2스위칭 소자(500)의 제1게이트구조물(540)에 대한 추가적인 상세한 설명은 생략하기로 한다.
- [0249] 제2스위칭 소자(500)에서 제2게이트구조물(550)은 도 3에 도시된 제1게이트스택(GS1)과 실질적으로 동일한 구성을 가질 수 있다. 따라서, 제2게이트구조물(550)은 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함할 수 있다. 또한, 제2게이트구조물(550)은 도 13에 도시된 제2스위칭 소자(500)의 제2게이트구조물(530)과 실질적으로 동일한 구성 및 형상을 가질 수 있다. 따라서, 제2스위칭 소자(500)의 제2게이트구조물(550)에 대한 추가적인 상세한 설명은 생략하기로 한다.
- [0250] 제1스위칭 소자(400)에서 제1게이트구조물(440) 및 제2게이트구조물(450)의 턴온 동작 및 턴오프 동작은 도 4에 도시된 것과 실질적으로 동일할 수 있다. 또한, 제2스위칭 소자(500)에서 제2게이트구조물(550)의 턴온 동작 및 턴오프 동작도 도 4에 도시된 것과 실질적으로 동일할 수 있다. 제1스위칭 소자(400)의 제3게이트구조물(460) 및 제1스위칭 소자(500)의 제1게이트구조물(540)의 턴온 동작 및 턴오프 동작은 도 2에 도시된 것과 실질적으로 동일할 수 있다. 그리고, 소스막(SL), 비트라인(BL) 및 메모리셀들(MC1-MCn)의 프로그램 동작, 소거 동작 및 리드 동작은 공지된 방법을 사용할 수 있다.
- [0251] 상술한 바와 같이, 본 실시예에 따른 반도체 메모리 장치는 네거티브 캐패시터를 구비하는 제1스위칭 소자(400) 및 제2스위칭 소자(500)를 구비함으로써, 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.
- [0252] 여기서, 제2스위칭 소자(500)는 네거티브 캐패시터의 유전막으로 선택적으로 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제1게이트구조물(540)을 구비함으로써, 제1게이트구조물(540)에 인가되는 바이어스를 이용하여 캐패시턴스 극성, 용량 채널의 포텐셜레벨을 선택적으로 제어할 수 있기 때문에 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.
- [0253] 또한, 제2스위칭 소자(500)는 네거티브 캐패시터의 유전막으로 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트구조물(550)을 구비함으로써, 반도체 메모리 장치의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다. 특히, 소거 동작에 대한 신뢰성을 향상시킬 수 있다.
- [0254] 도 22는 본 발명의 실시예에 따른 메모리 시스템의 구성을 나타내는 블록도이다.
- [0255] 도 22에 도시된 바와 같이, 메모리 시스템(1100)은 메모리 장치(1120)와 메모리 컨트롤러(1110)를 포함한다.
- [0256] 메모리 장치(1120)는 채널구조물을 공유하는 복수의 메모리셀들 및 채널구조물을 공유하여 상기 메모리셀들 일측에 연결되고, 네거티브 캐패시터를 포함하는 제1스위칭 소자를 포함할 수 있다. 제1스위칭 소자는 채널구조물을 감싸는 제1게이트절연막, 제1게이트절연막을 감싸는 제1게이트전극, 제1게이트전극 일부를 감싸고, 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제2게이트절연막을 감싸고, 평판형태를 갖는 제2게이트전극을 포함할 수 있다.
- [0257] 한편, 메모리 장치(1120)는 채널구조물을 공유하는 복수의 메모리셀들 및 채널구조물을 공유하여 메모리셀들 일측에 연결되고, 네거티브 캐패시터를 포함하는 제1스위칭 소자를 포함하되, 제1스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 제2게이트구조물을 포함할 수 있다. 제1게이트구조물은 채널구조물을 감싸는 제1게이트절연막, 제1게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제2게이트절연막을 감싸고 평판형태를 갖는 제1게이트전극을 포함할 수 있다. 그리고, 제2게이트구조물은 채널구조물을 감싸고 전하트랩막을 포함하는 메모리막 및 메모리막을 감싸고 평판형태를 갖는 제2게이트전극을 포함할 수 있다.
- [0258] 메모리 장치(1120)는 네거티브 캐패시터를 포함하는 스위칭 소자를 구비함으로써, 메모리 장치(1120)의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.
- [0259] 메모리 장치(1120)는 복수의 플래시 메모리 칩들로 구성된 멀티-칩 패키지일 수 있다.
- [0260] 메모리 컨트롤러(1110)는 메모리 장치(1120)를 제어하도록 구성되며, SRAM(Static Random Access Memory)(1111), CPU(Central Processing Unit: 1112), 호스트 인터페이스(1113), 에러정정블록(Error Correction Block)(1114), 메모리 인터페이스(1115)를 포함할 수 있다. SRAM(1111)은 CPU(1112)의 동작 메모리로 사용되고, CPU(1112)는 메모리 컨트롤러(1110)의 데이터 교환을 위한 제반 제어 동작을 수행하고, 호스트 인

터페이스(1113)는 메모리 시스템(1100)과 접속되는 호스트의 데이터 교환 프로토콜을 구비한다. 또한, 에러정정 블록(1114)은 메모리 장치(1120)로부터 리드된 데이터에 포함된 에러를 검출 및 정정하고, 메모리 인터페이스(1115)는 메모리 장치(1120)와의 인터페이싱을 수행한다. 이 밖에도 메모리 컨트롤러(1110)는 호스트와의 인터페이싱을 위한 코드 데이터를 저장하는 ROM(Read Only Memory) 등을 더 포함할 수 있다.

[0261] 도 23은 본 발명의 실시예에 따른 컴퓨팅 시스템의 구성을 나타내는 블록도이다.

[0262] 도 23에 도시된 바와 같이, 컴퓨팅 시스템(1200)은 시스템 버스(1260)에 전기적으로 연결된 CPU(1220), RAM(Random Access Memory: 1230), 유저 인터페이스(1240), 모뎀(1250), 메모리 시스템(1210)을 포함할 수 있다. 컴퓨팅 시스템(1200)은 모바일 장치일 수 있다.

[0263] 메모리 시스템(1210)은 채널구조물을 공유하는 복수의 메모리셀들 및 채널구조물을 공유하여 상기 메모리셀들 일측에 연결되고, 네거티브 캐패시터를 포함하는 제1스위칭 소자를 포함할 수 있다. 제1스위칭 소자는 채널구조물을 감싸는 제1게이트절연막, 제1게이트절연막을 감싸는 제1게이트전극, 제1게이트전극 일부를 감싸고, 제1게이트전극에 인가되는 바이어스에 응답하여 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제2게이트절연막을 감싸고, 평판형태를 갖는 제2게이트전극을 포함할 수 있다.

[0264] 한편, 메모리 시스템(1210)은 채널구조물을 공유하는 복수의 메모리셀들 및 채널구조물을 공유하여 메모리셀들 일측에 연결되고, 네거티브 캐패시터를 포함하는 제1스위칭 소자를 포함하되, 제1스위칭 소자는 서로 이격되어 적층된 제1게이트구조물 및 제2게이트구조물을 포함할 수 있다. 제1게이트구조물은 채널구조물을 감싸는 제1게이트절연막, 제1게이트절연막을 감싸고 자발 유도된 네거티브 캐패시턴스를 갖는 강유전체를 포함하는 제2게이트절연막 및 제2게이트절연막을 감싸고 평판형태를 갖는 제1게이트전극을 포함할 수 있다. 그리고, 제2게이트구조물은 채널구조물을 감싸고 전하트랩막을 포함하는 메모리막 및 메모리막을 감싸고 평판형태를 갖는 제2게이트전극을 포함할 수 있다.

[0265] 메모리 시스템(1210)은 네거티브 캐패시터를 포함하는 스위칭 소자를 구비함으로써, 메모리 시스템(1210)의 동작 속도 및 동작 신뢰성을 향상시킬 수 있다.

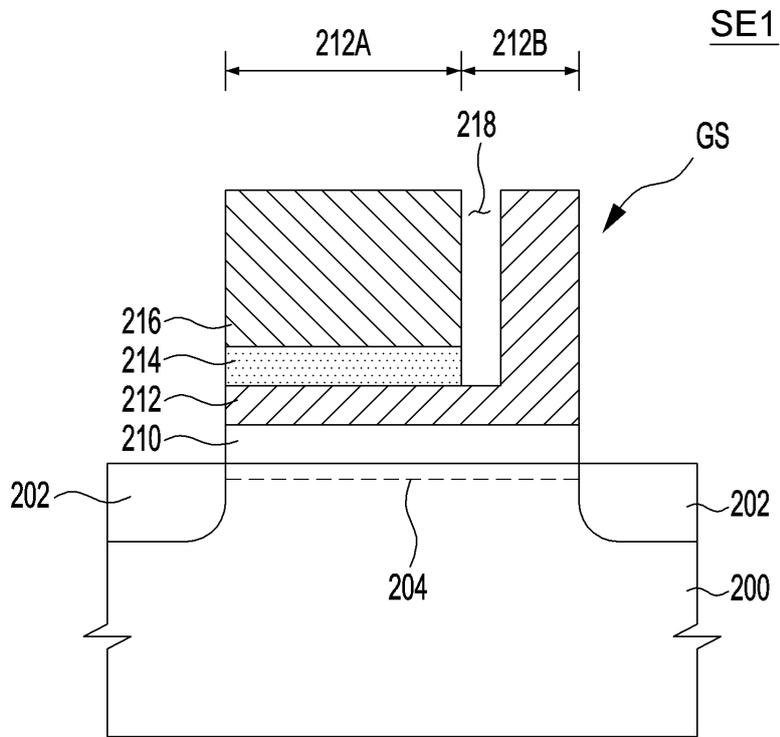
[0266] 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

### 부호의 설명

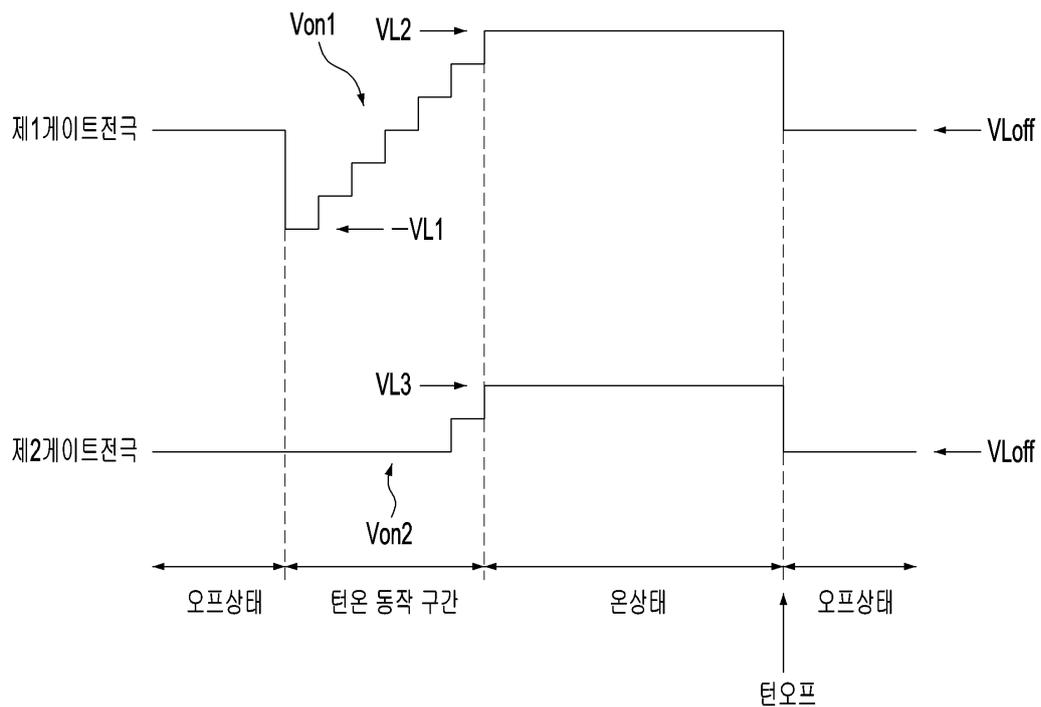
[0267] GS : 게이트스택 200 : 기관  
 202 : 접합영역 204 : 채널  
 210 : 제1게이트절연막 212 : 제1게이트전극  
 212A : 제1영역 212B : 제2영역  
 214 : 제2게이트절연막 216 : 제2게이트전극  
 Von1 : 제1턴온전압 Von2 : 제2턴온전압  
 VLoff : 오프전압레벨 VL1 : 제1전압레벨  
 VL2 : 제2전압레벨 VL3 : 제3전압레벨

도면

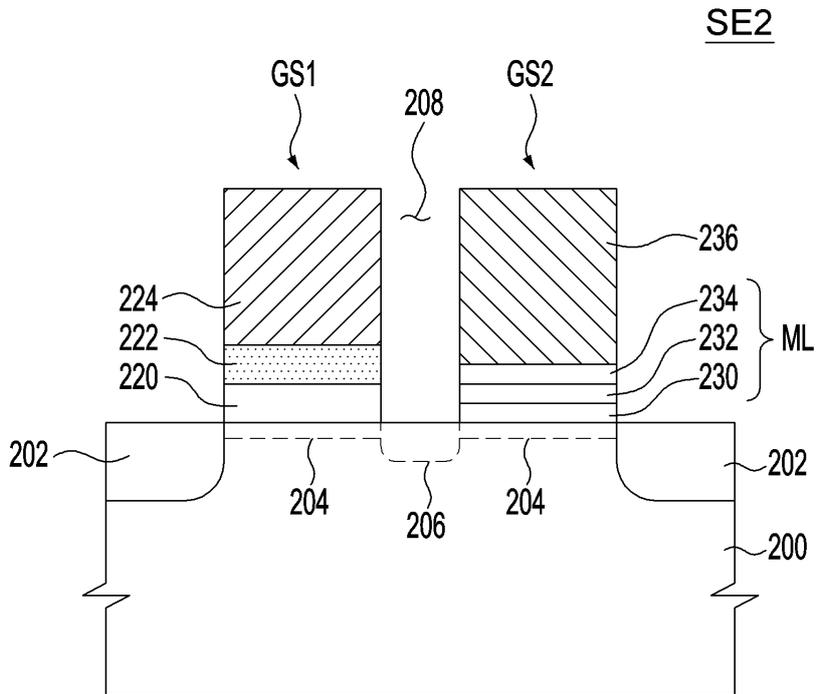
도면1



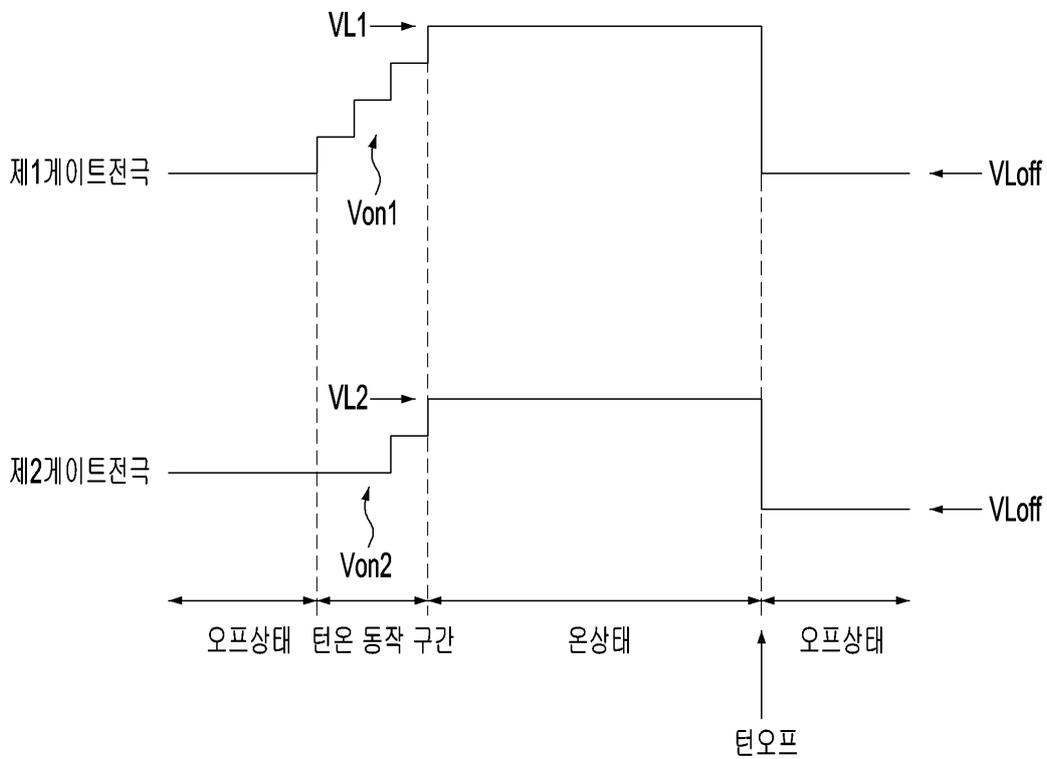
도면2



도면3

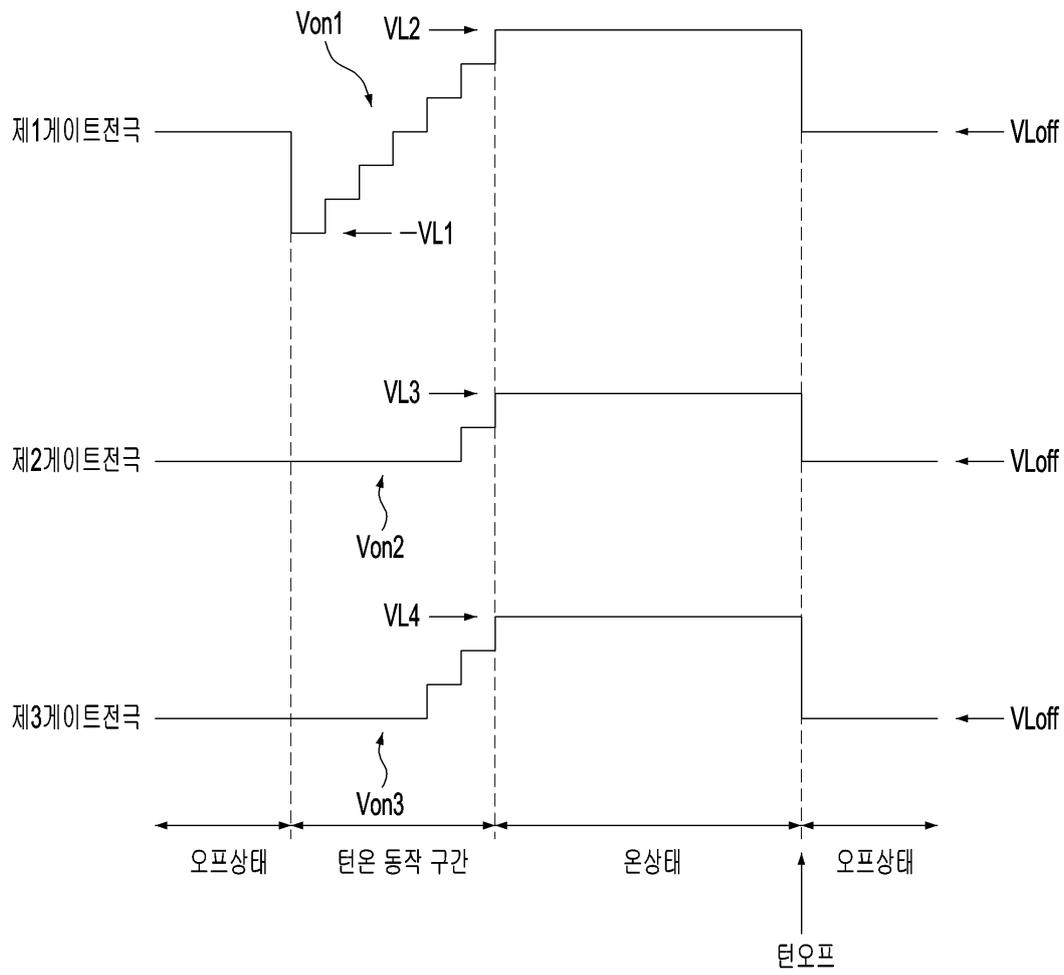


도면4

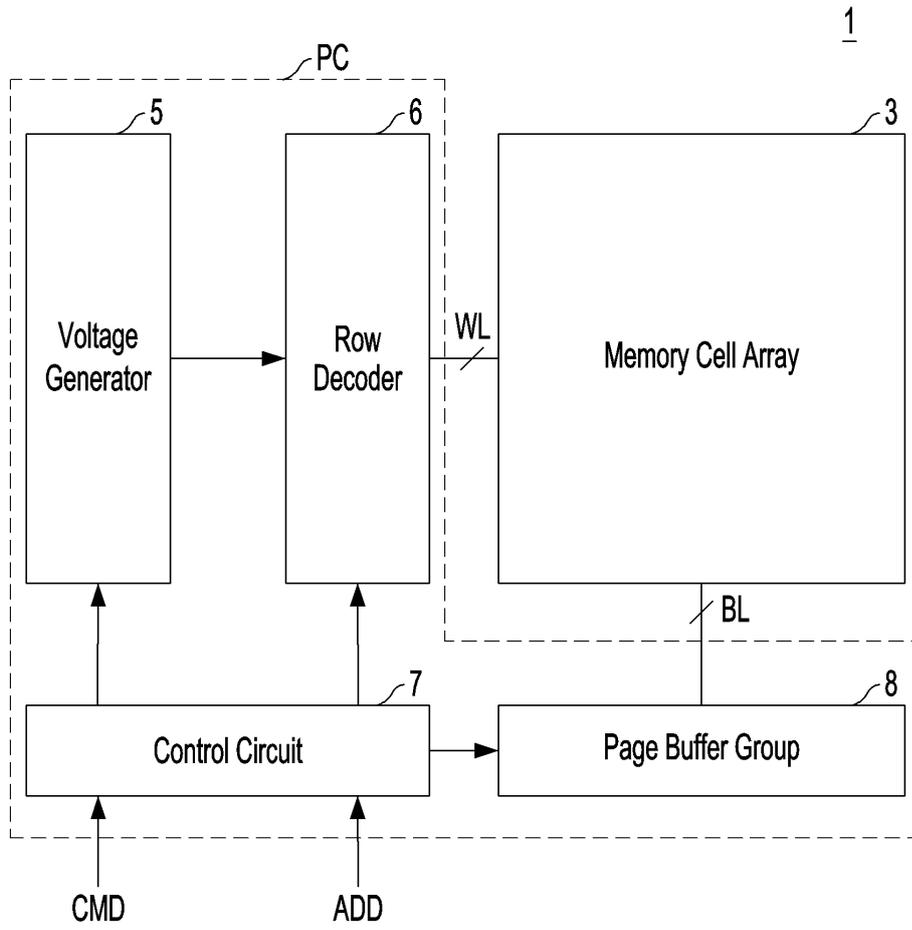




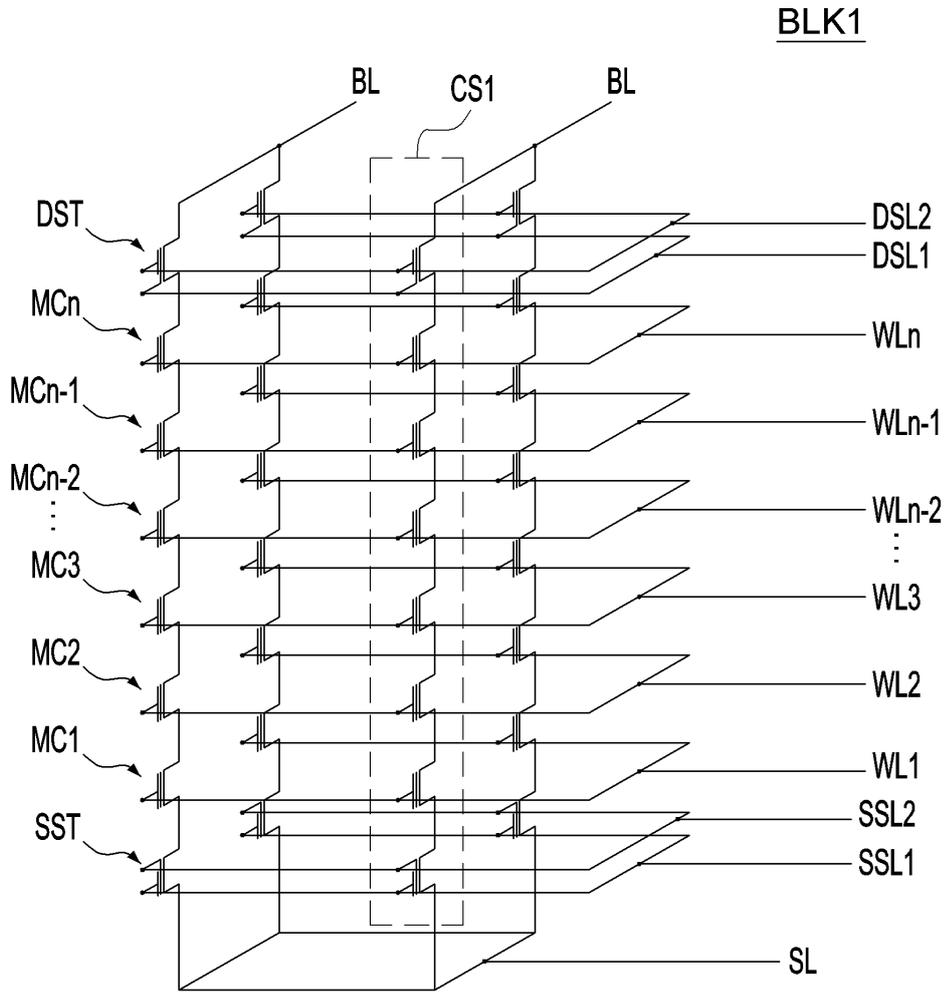
도면6



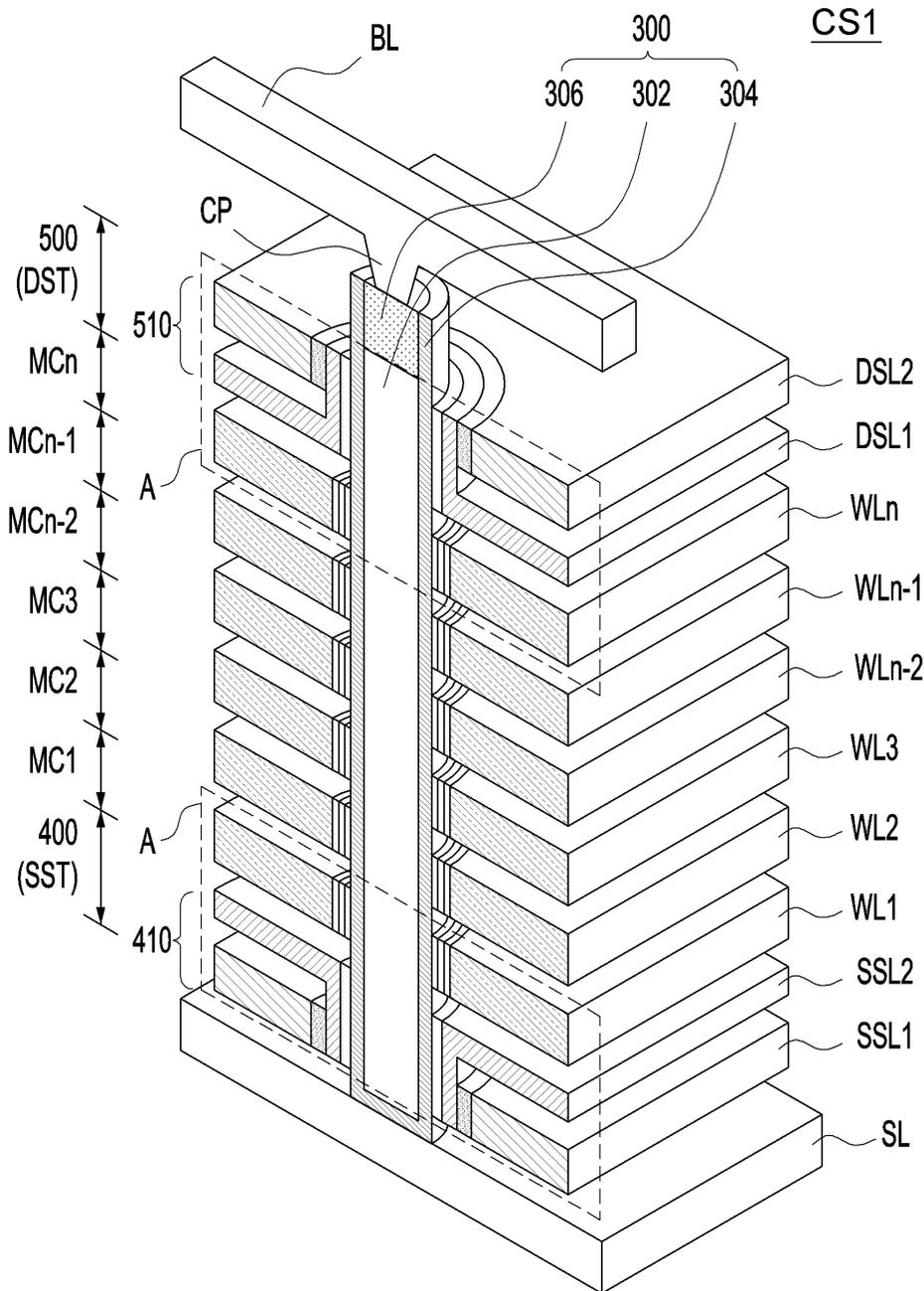
도면7



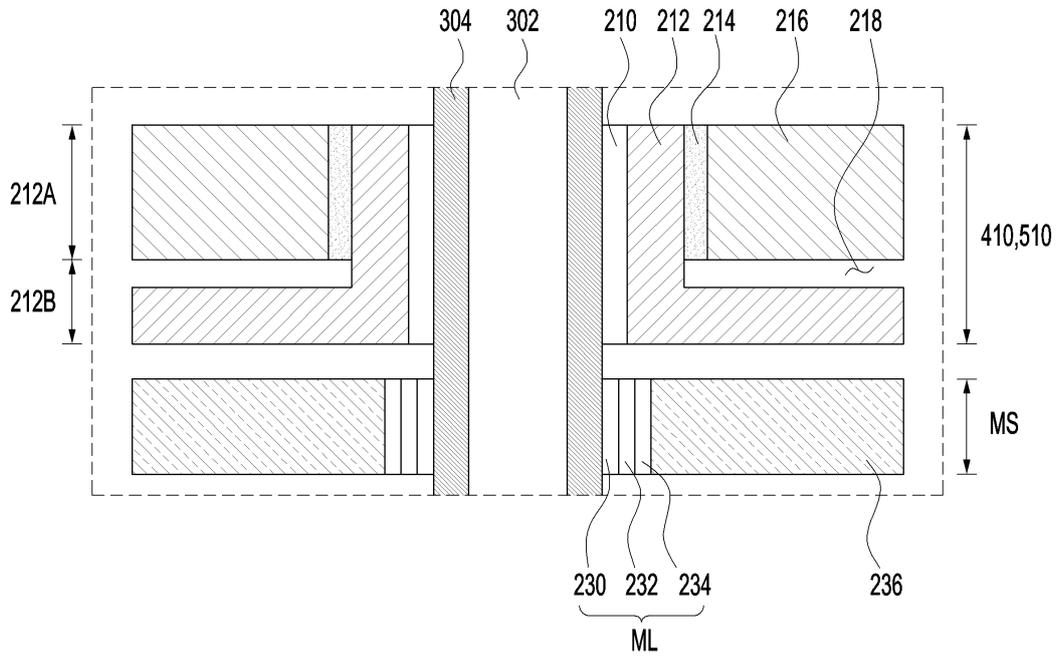
도면8



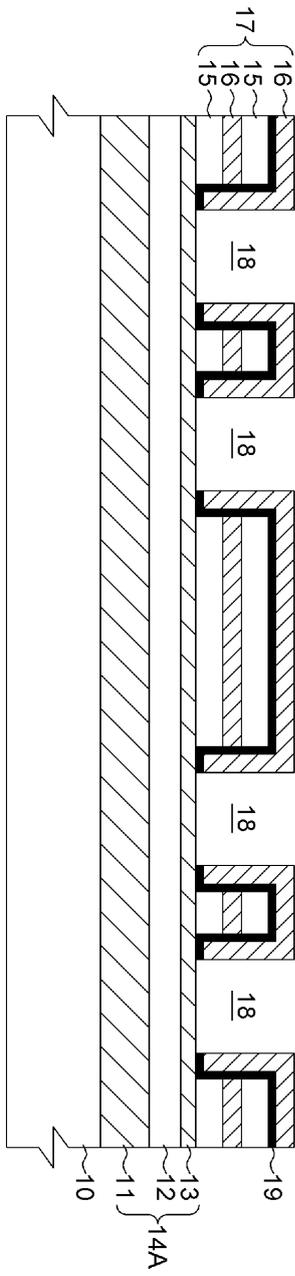
도면9



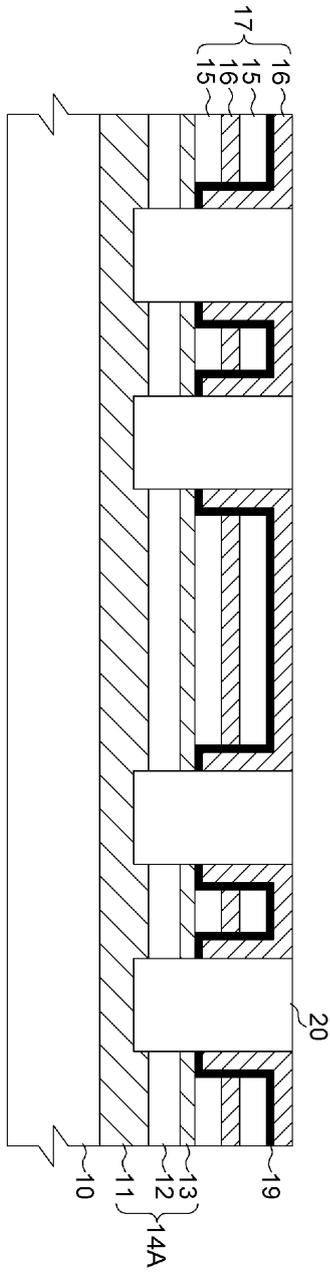
도면10



도면11a

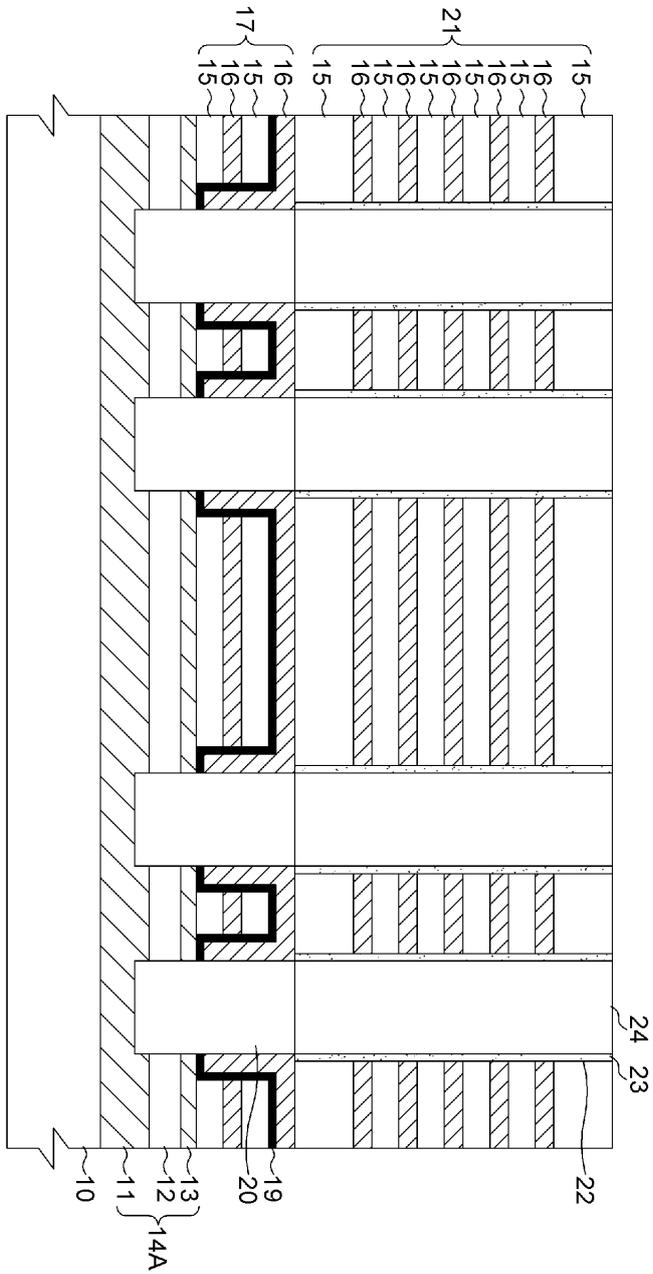


도면11b

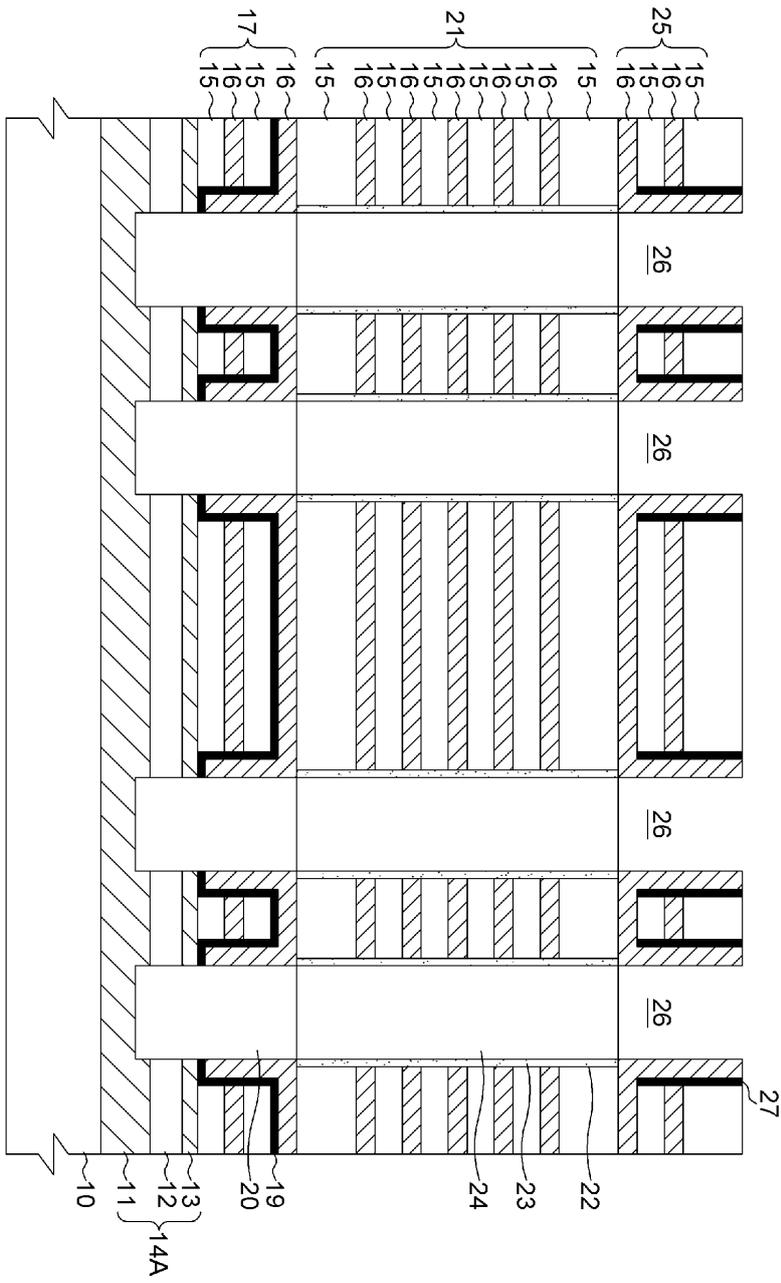


도면11c

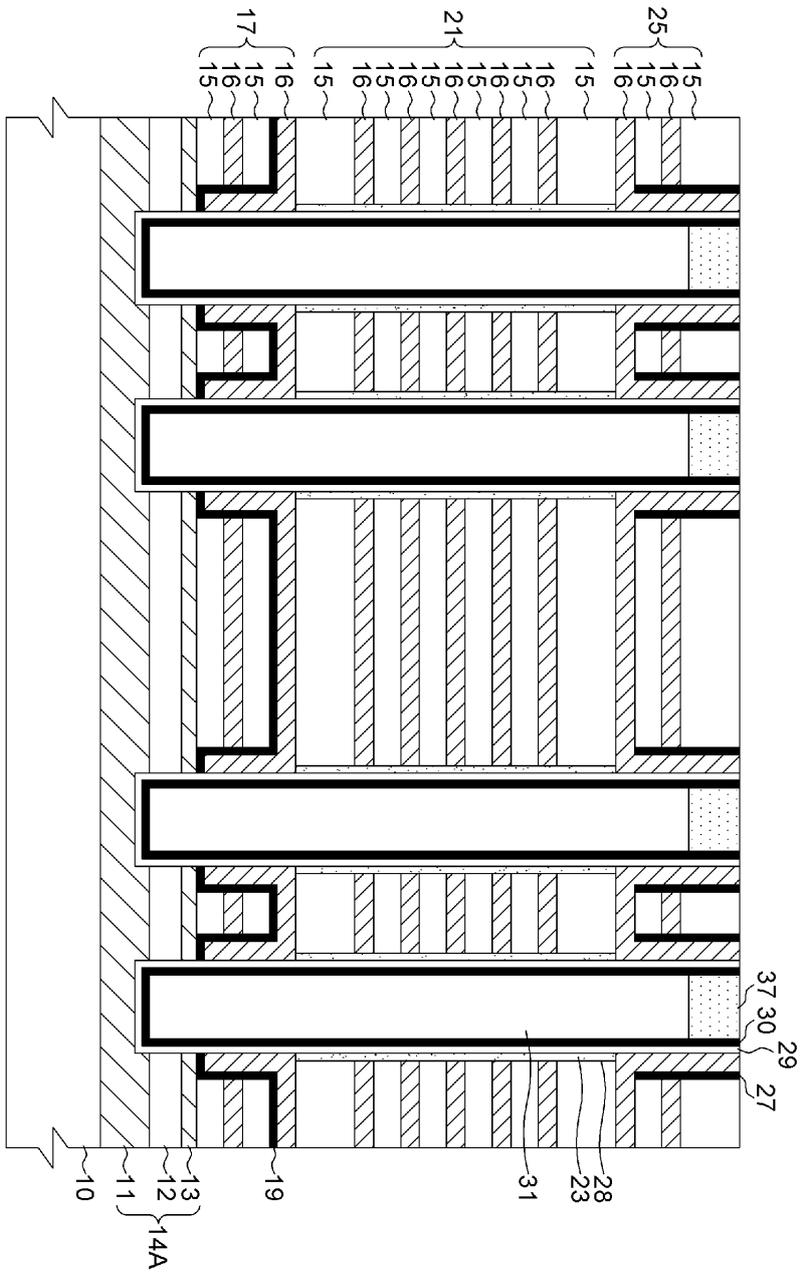
FIG. 12C



도면11d

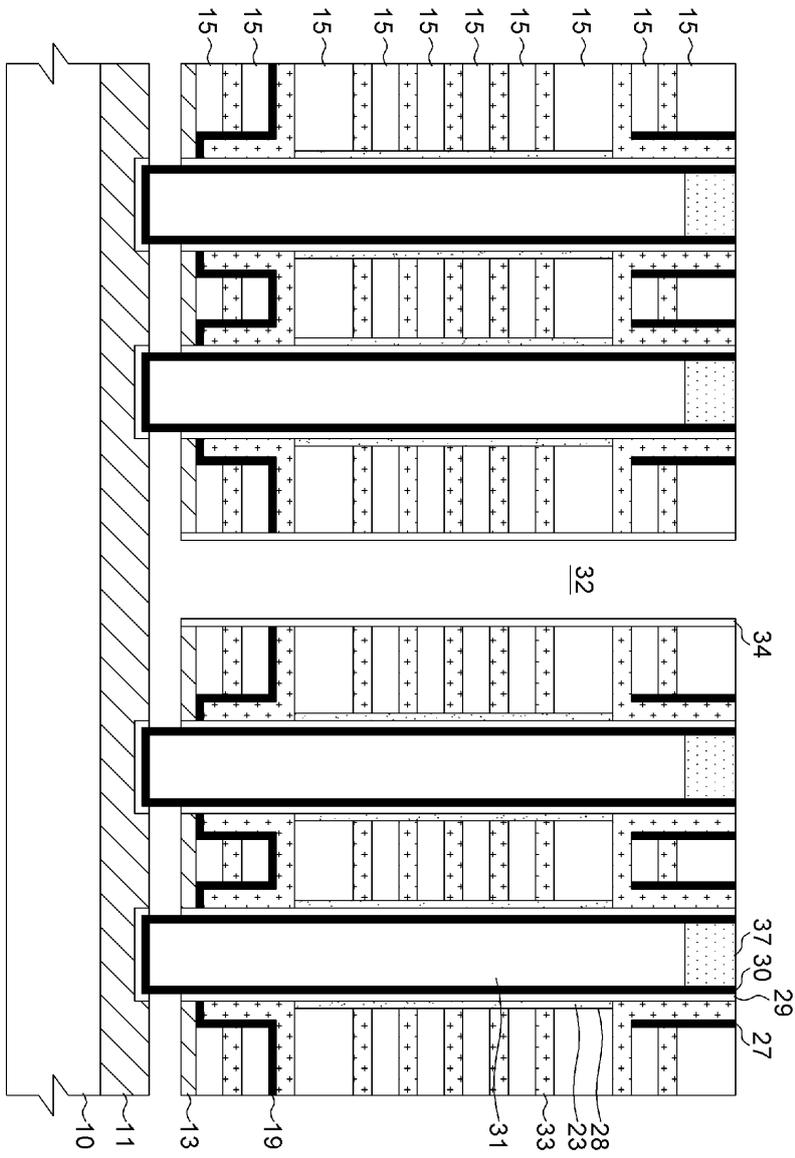


도면11e

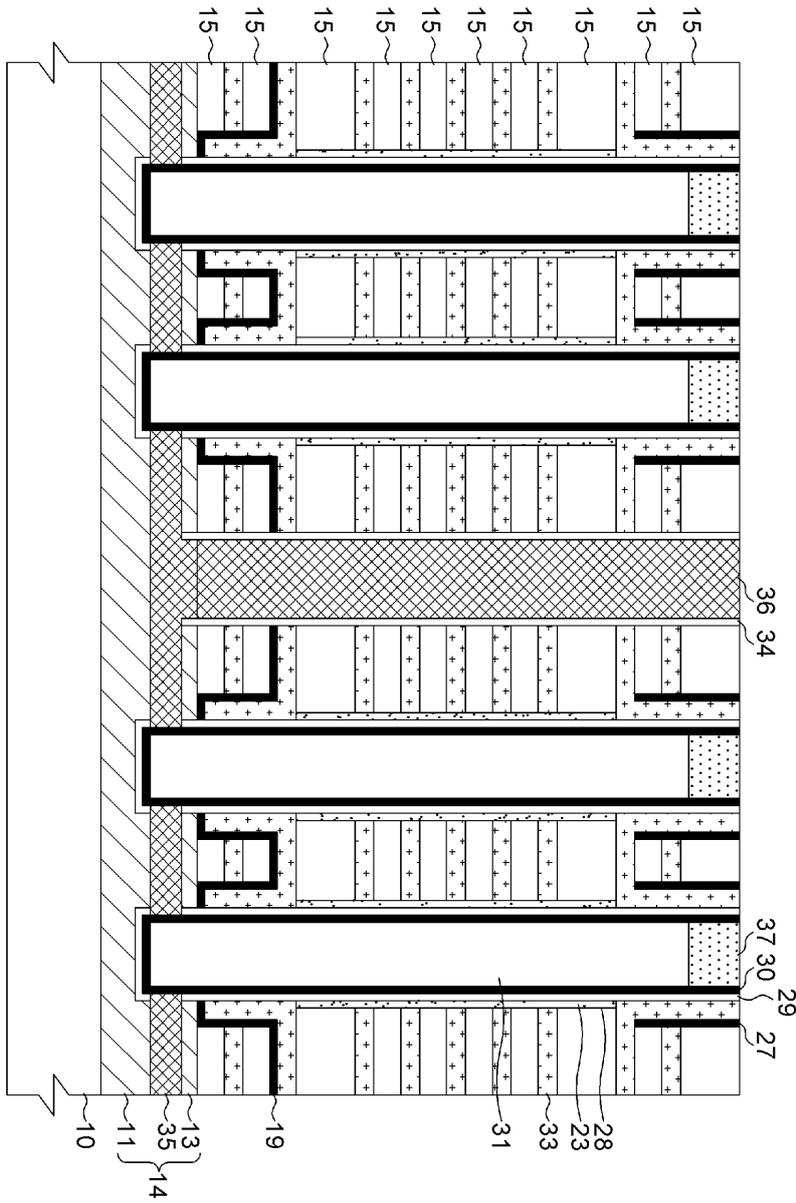




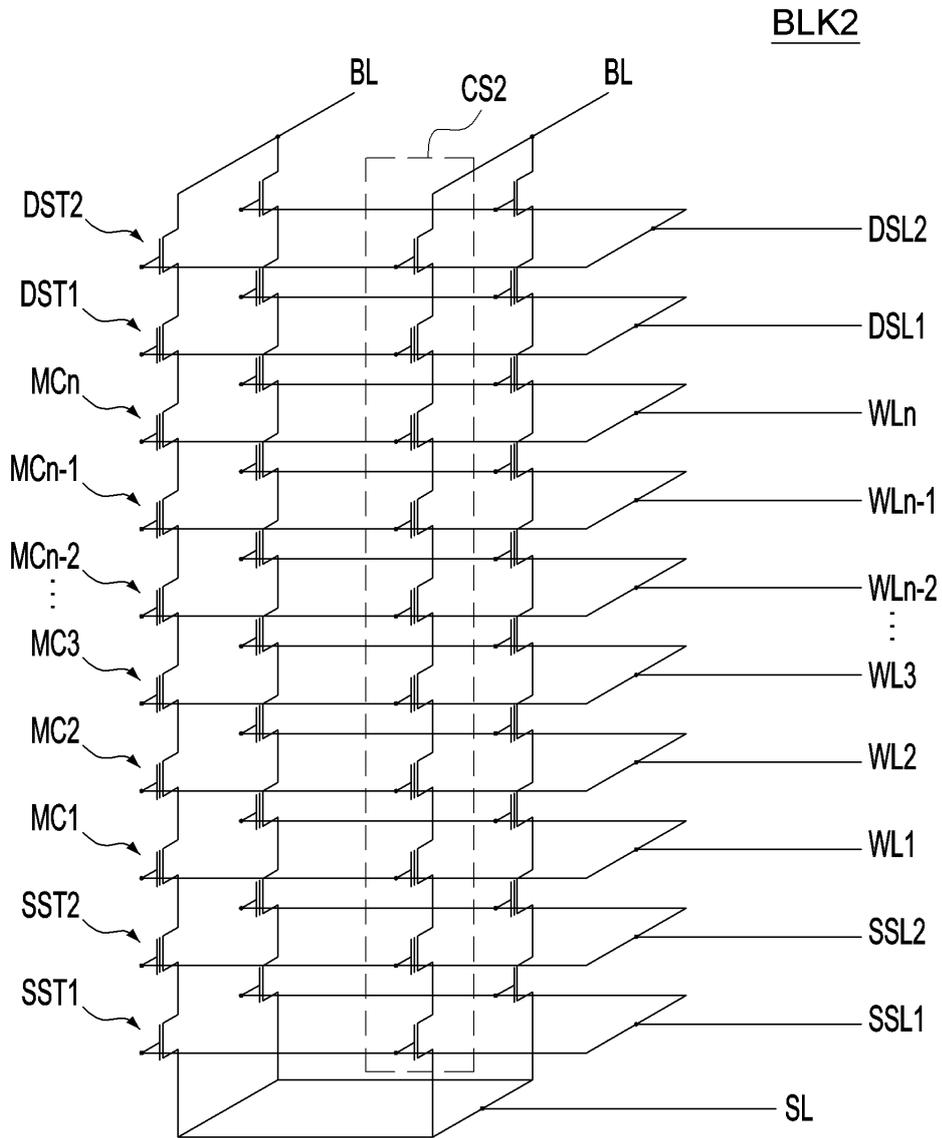
도면11g



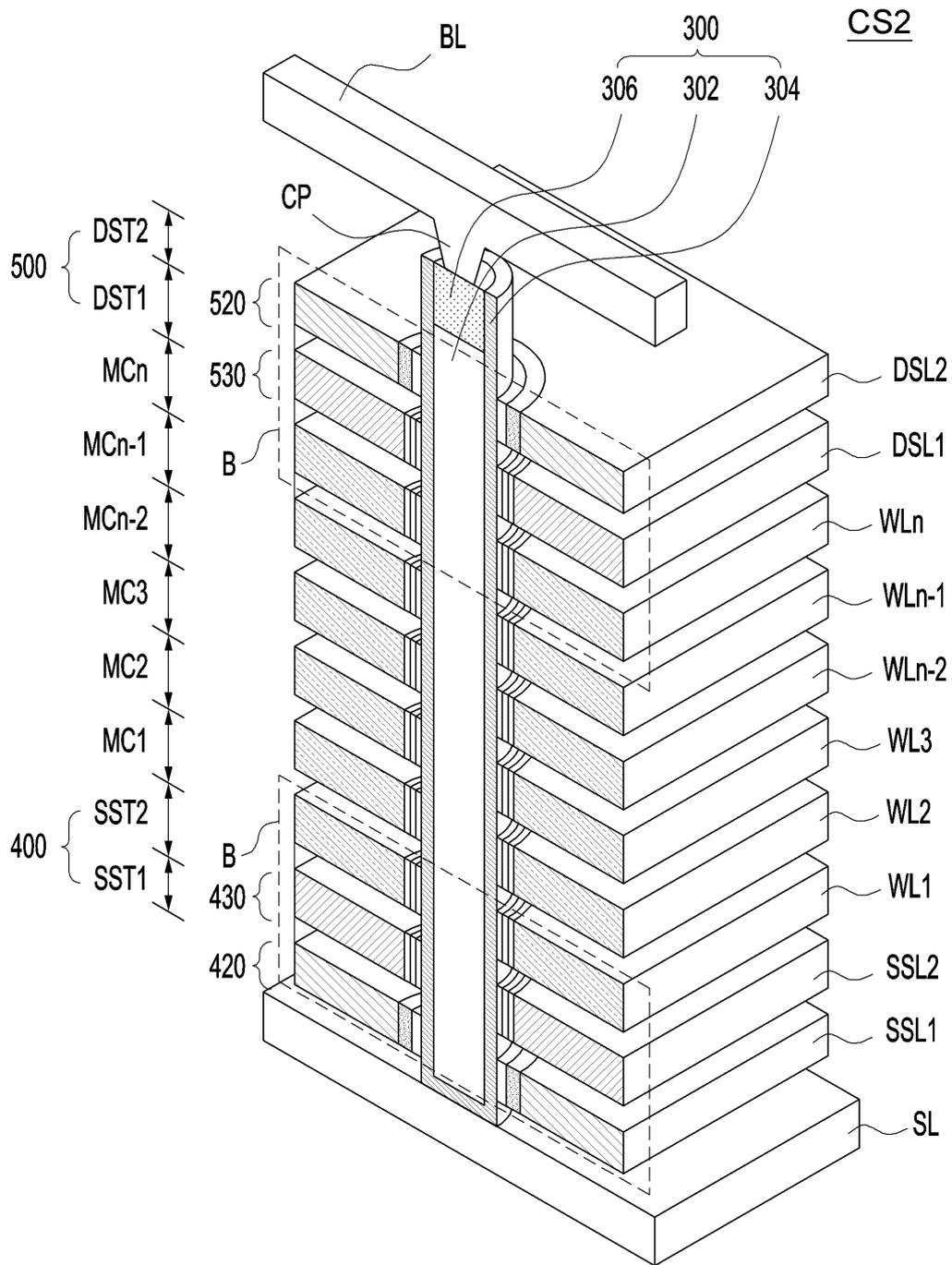
도면11h



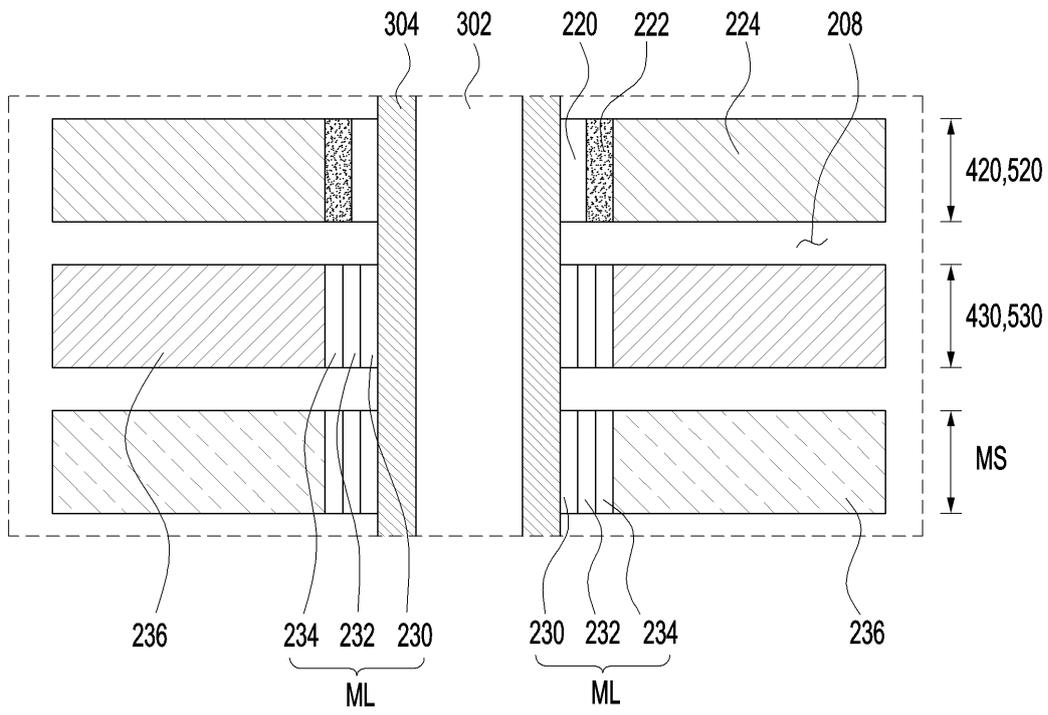
도면12



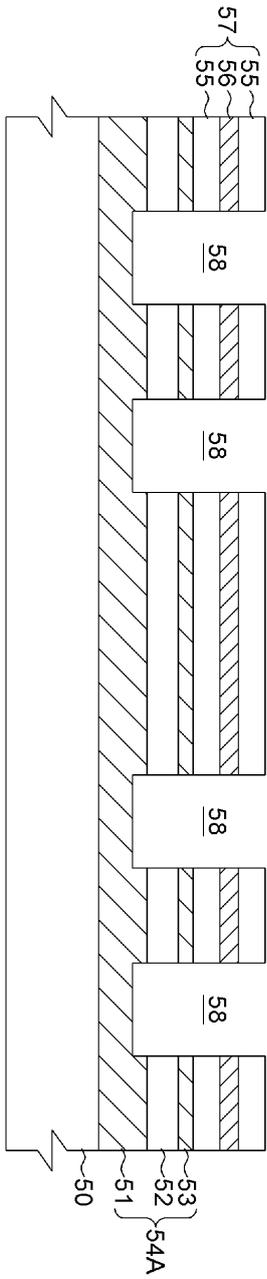
도면13



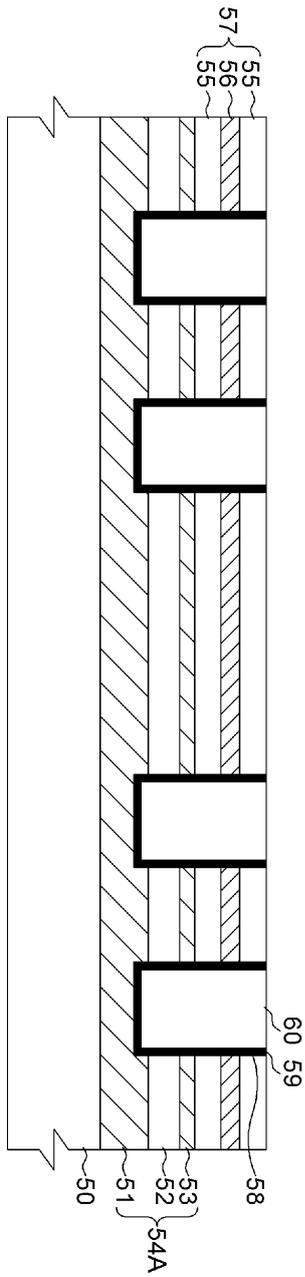
도면14



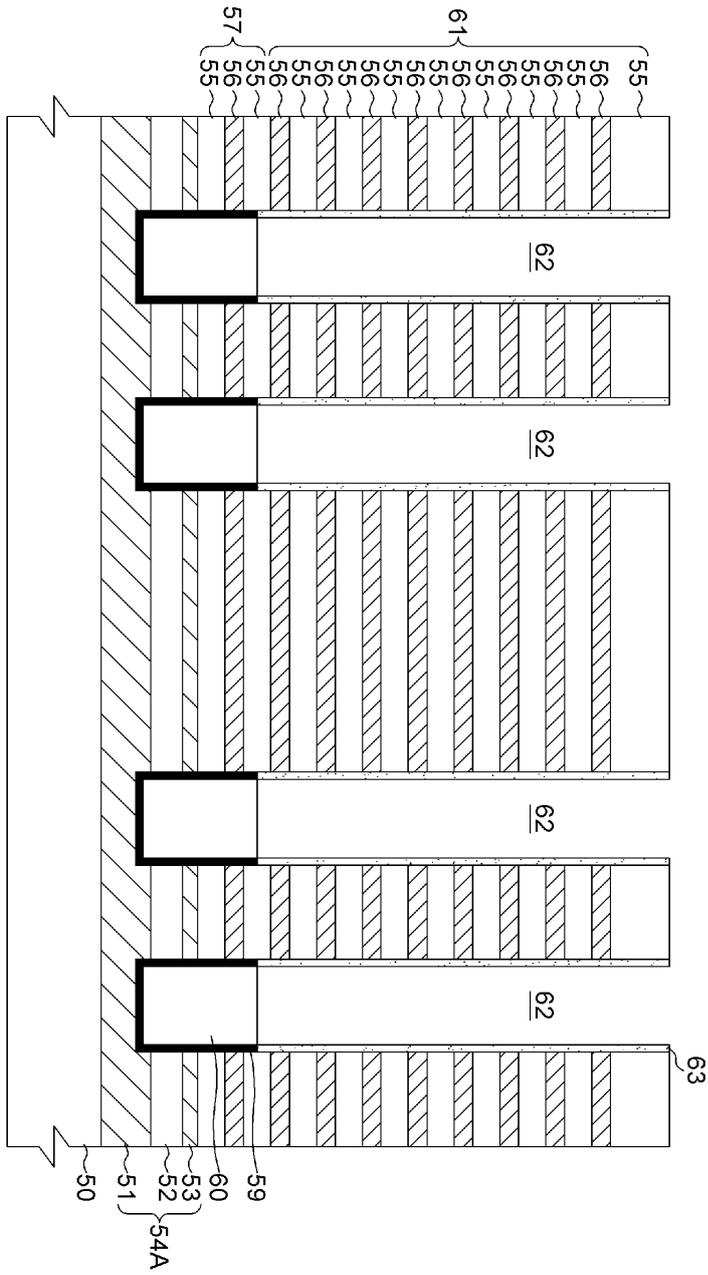
도면15a



도면15b

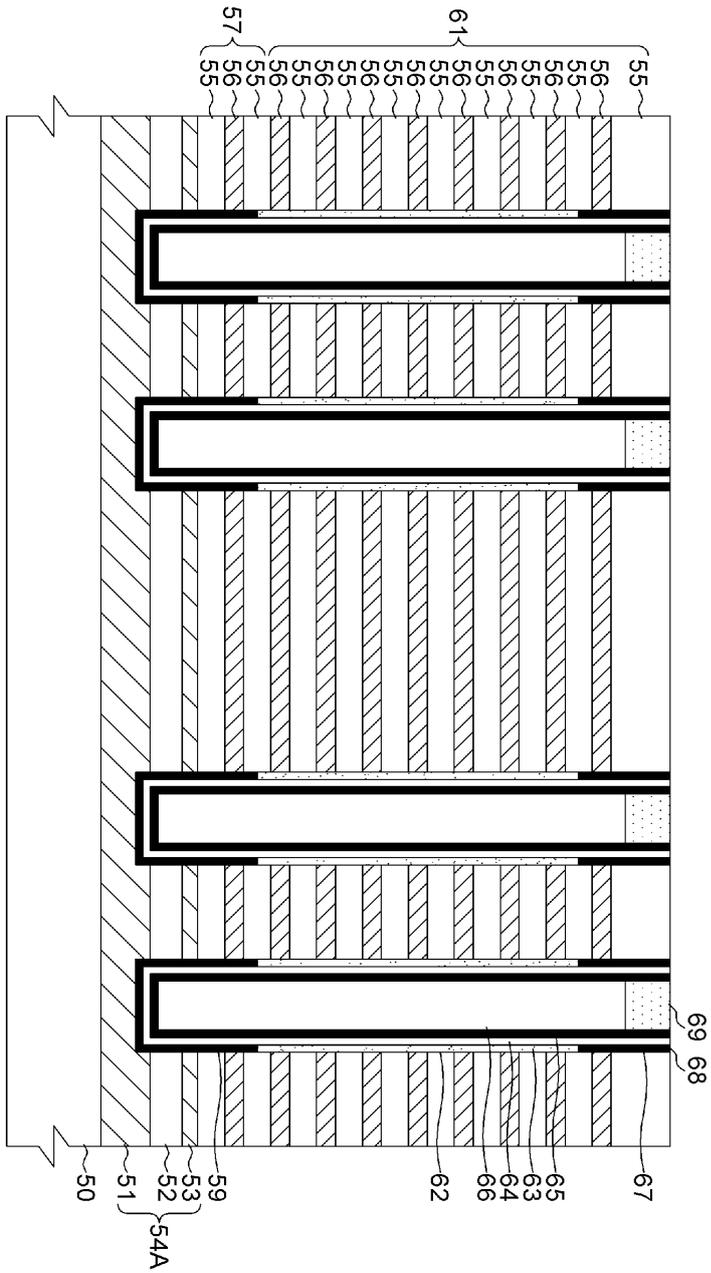


도면15c

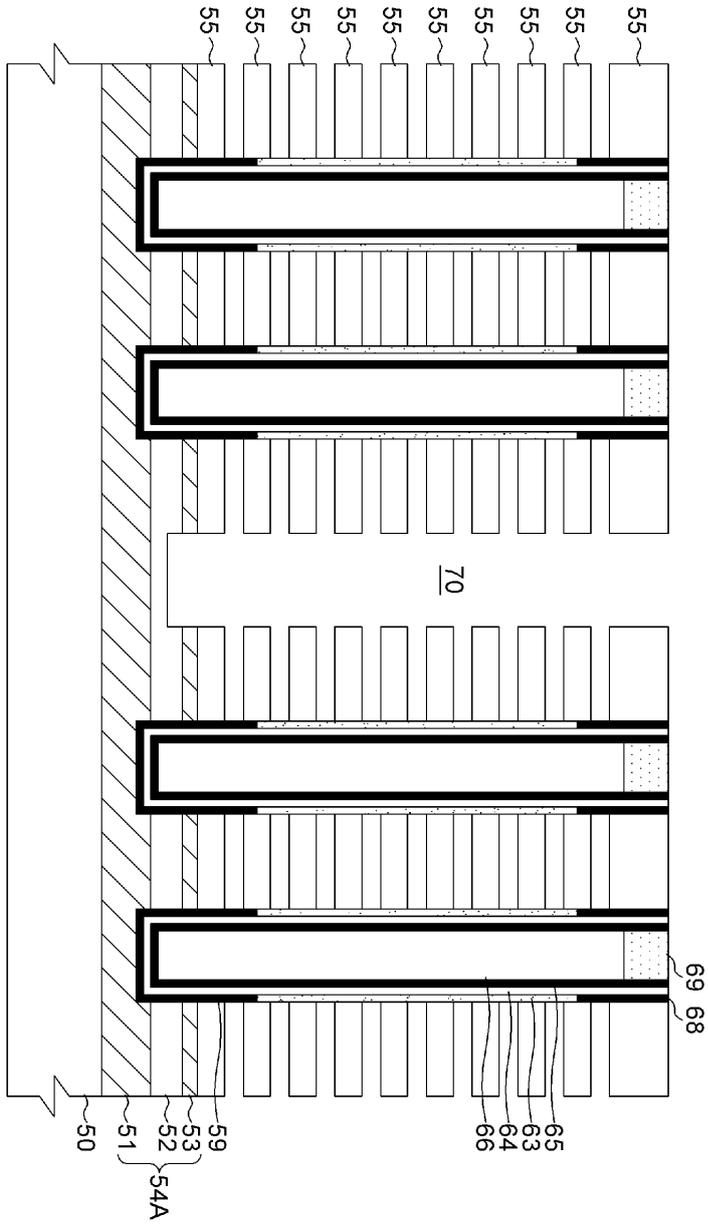




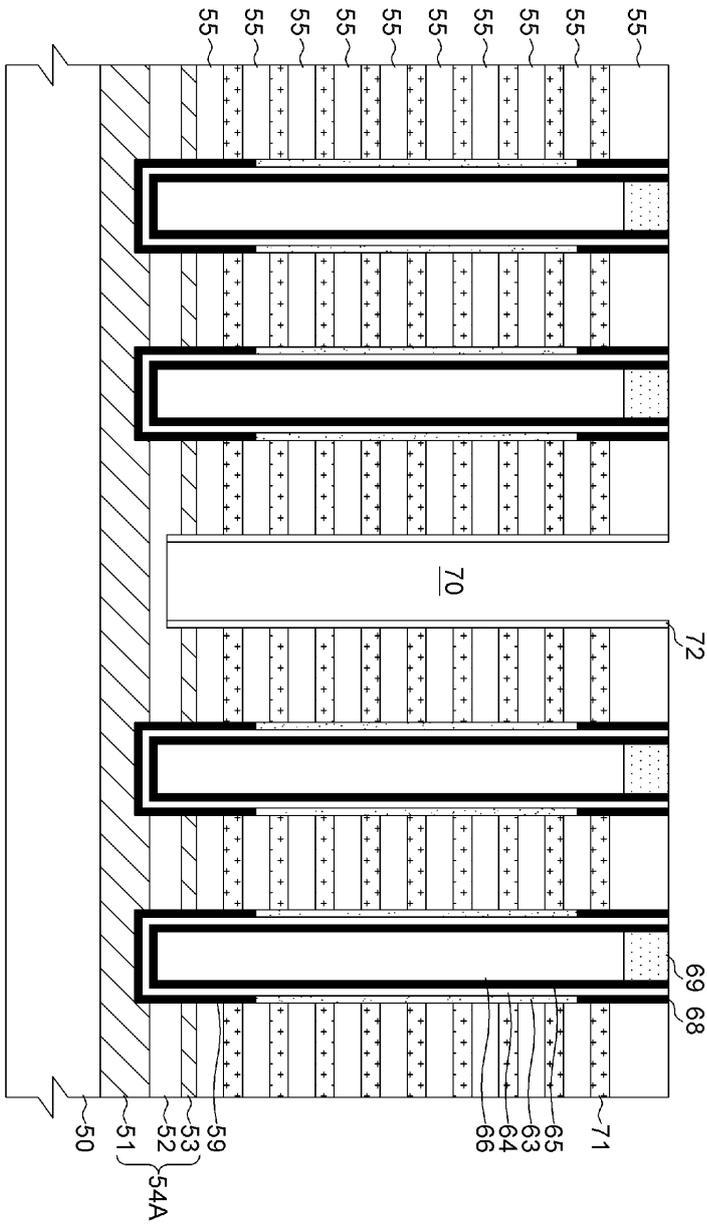
도면15e



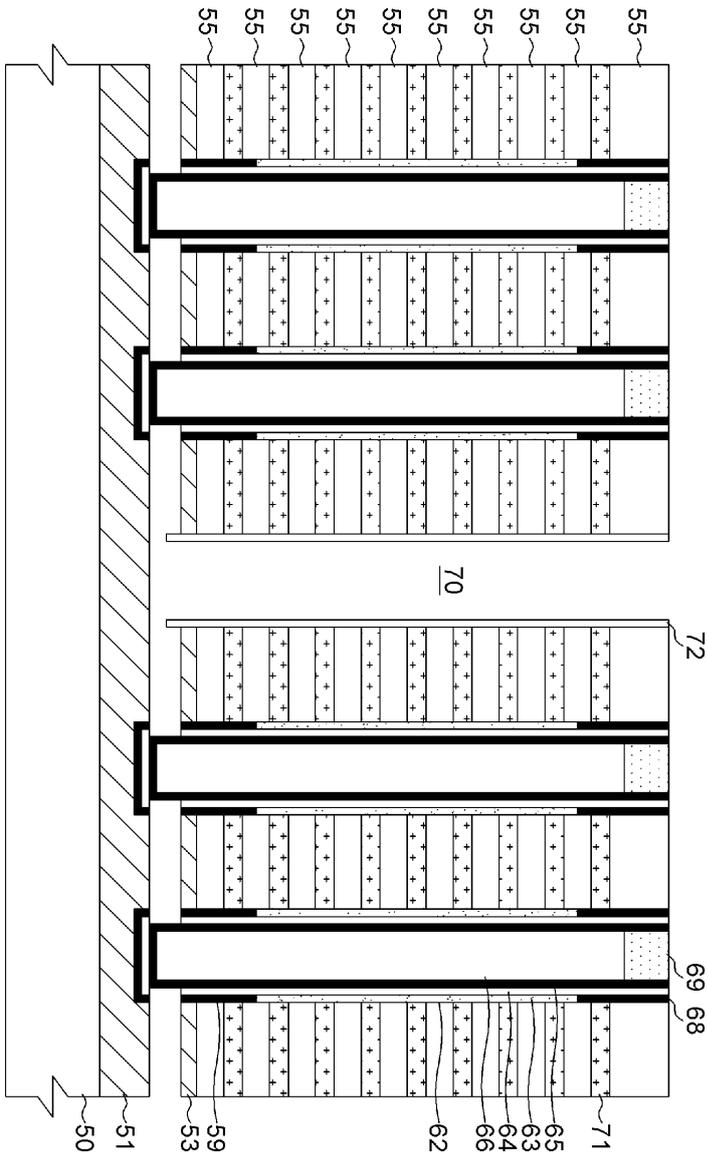
도면15f



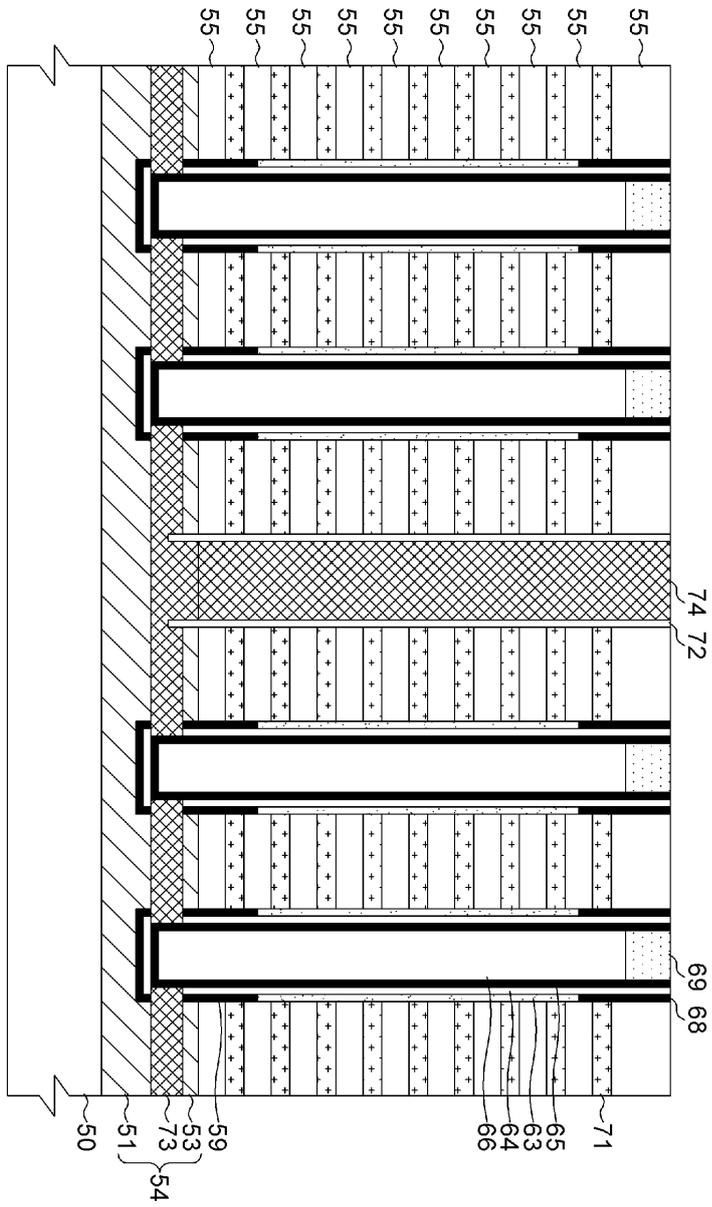
도면15g



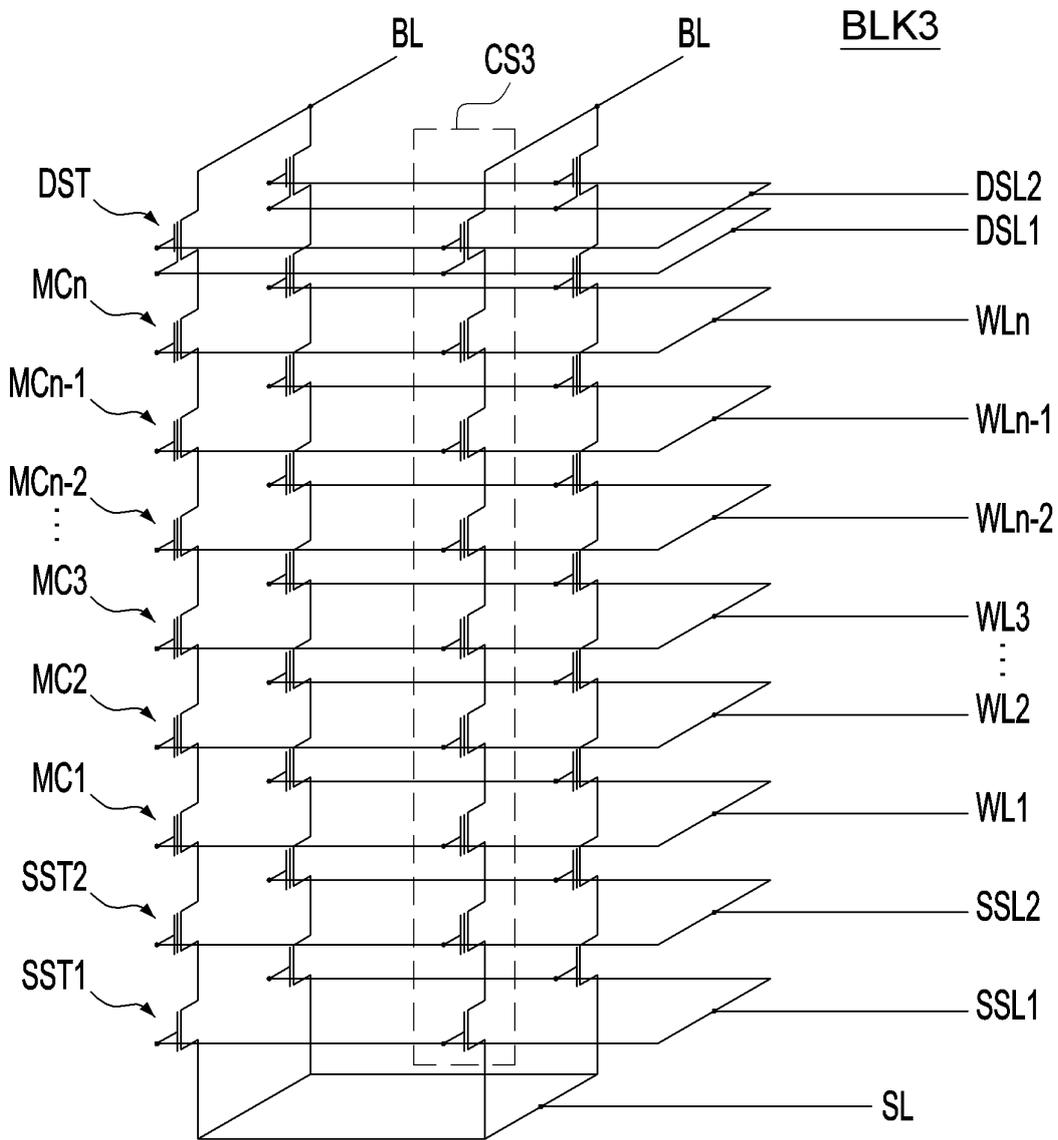
도면 15h



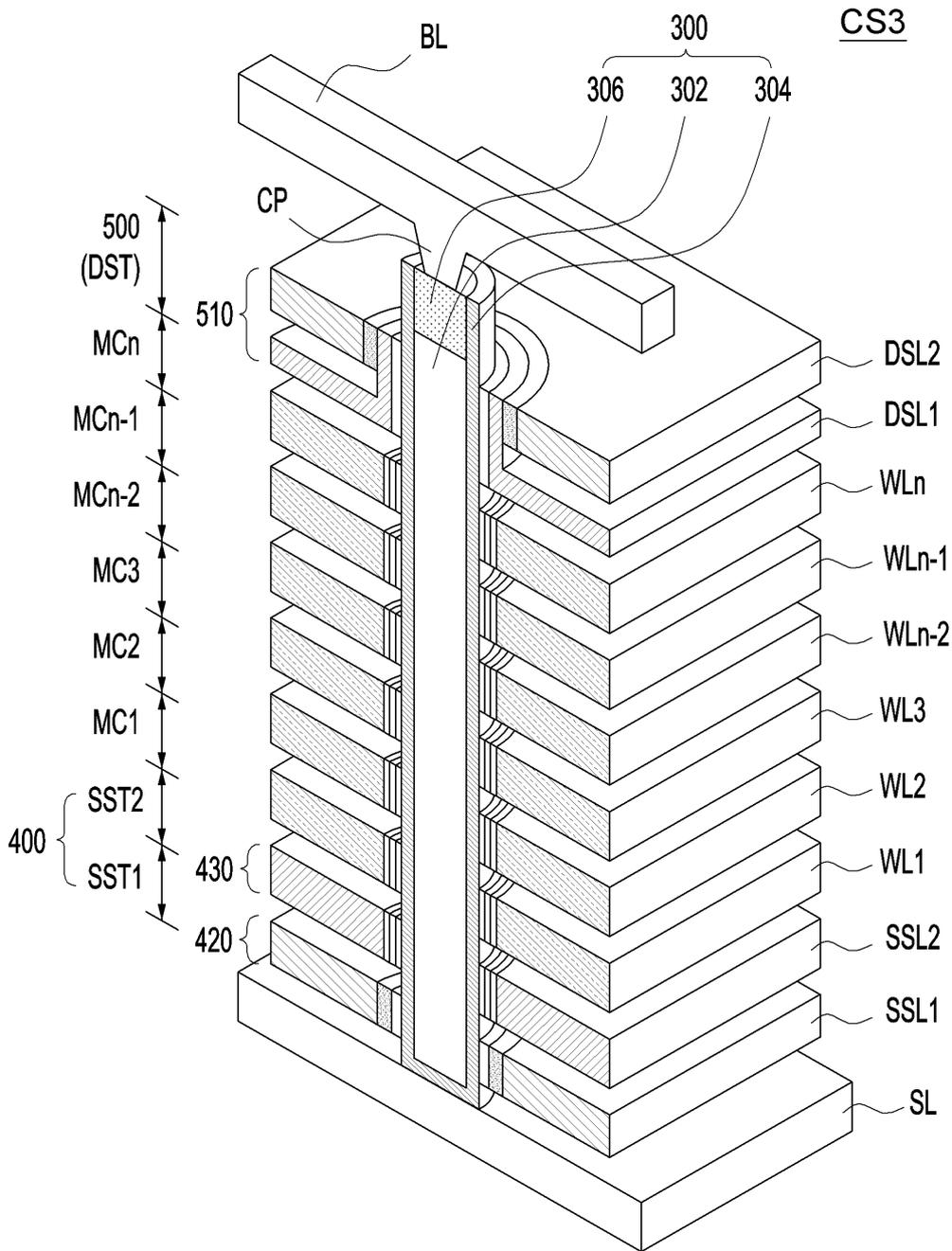
도면15i



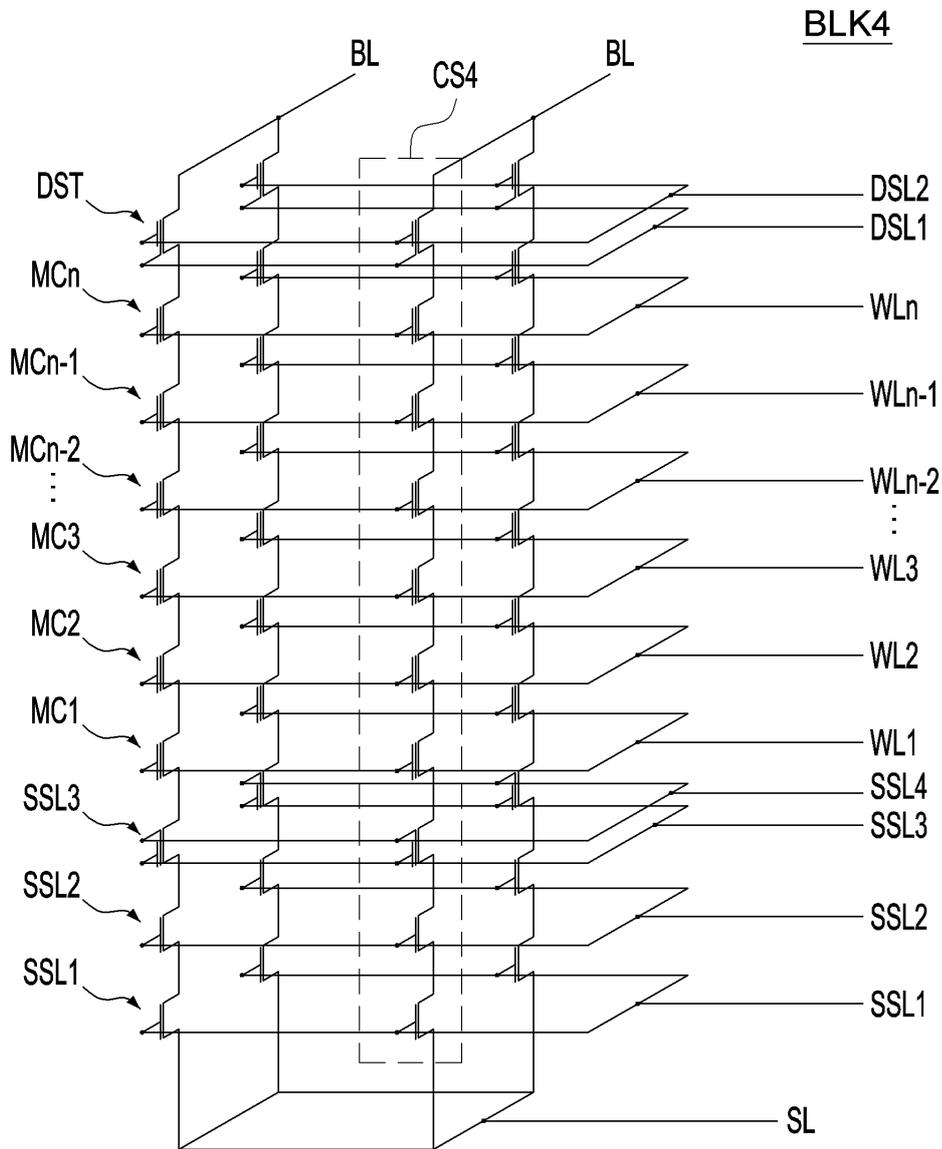
도면16



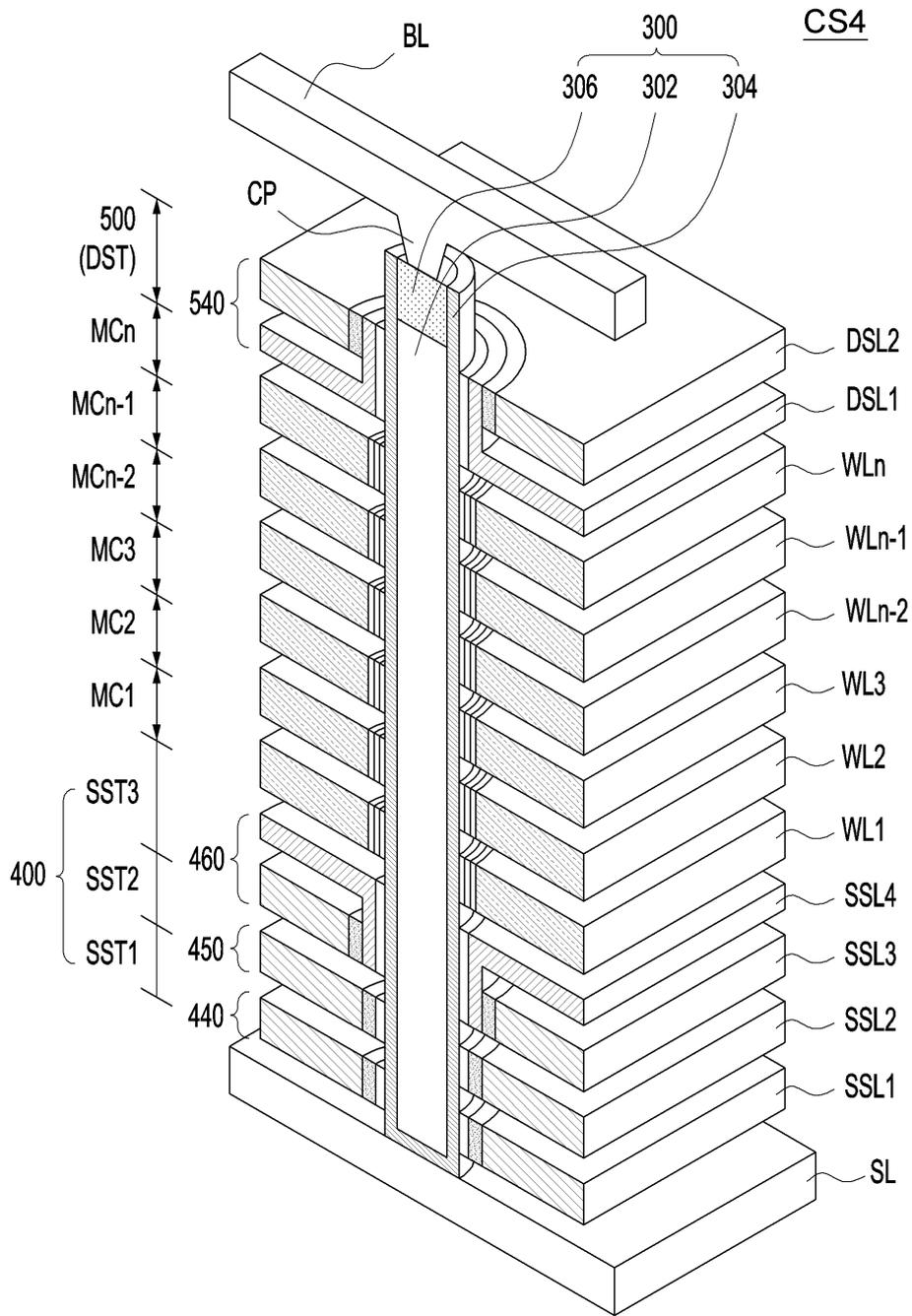
도면17



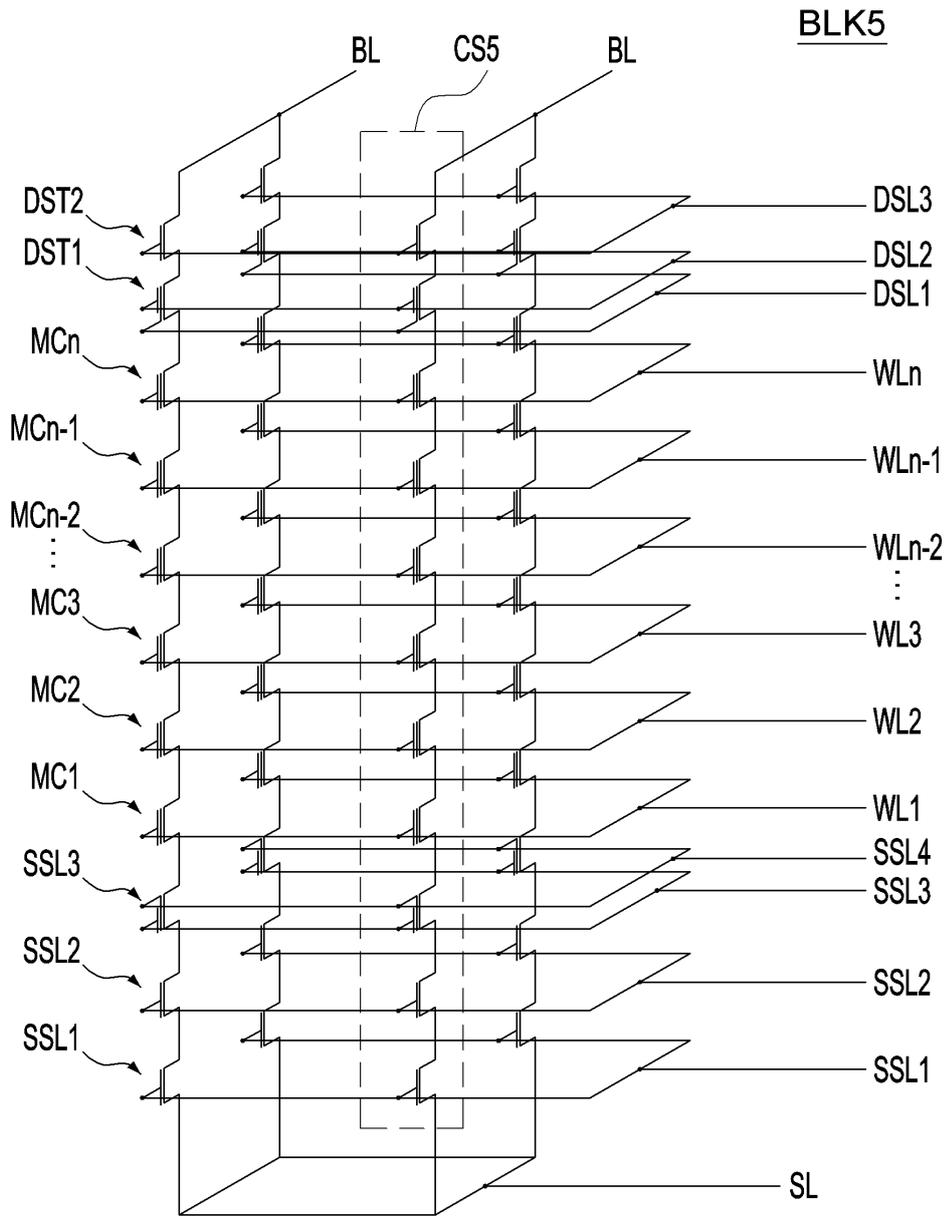
도면18



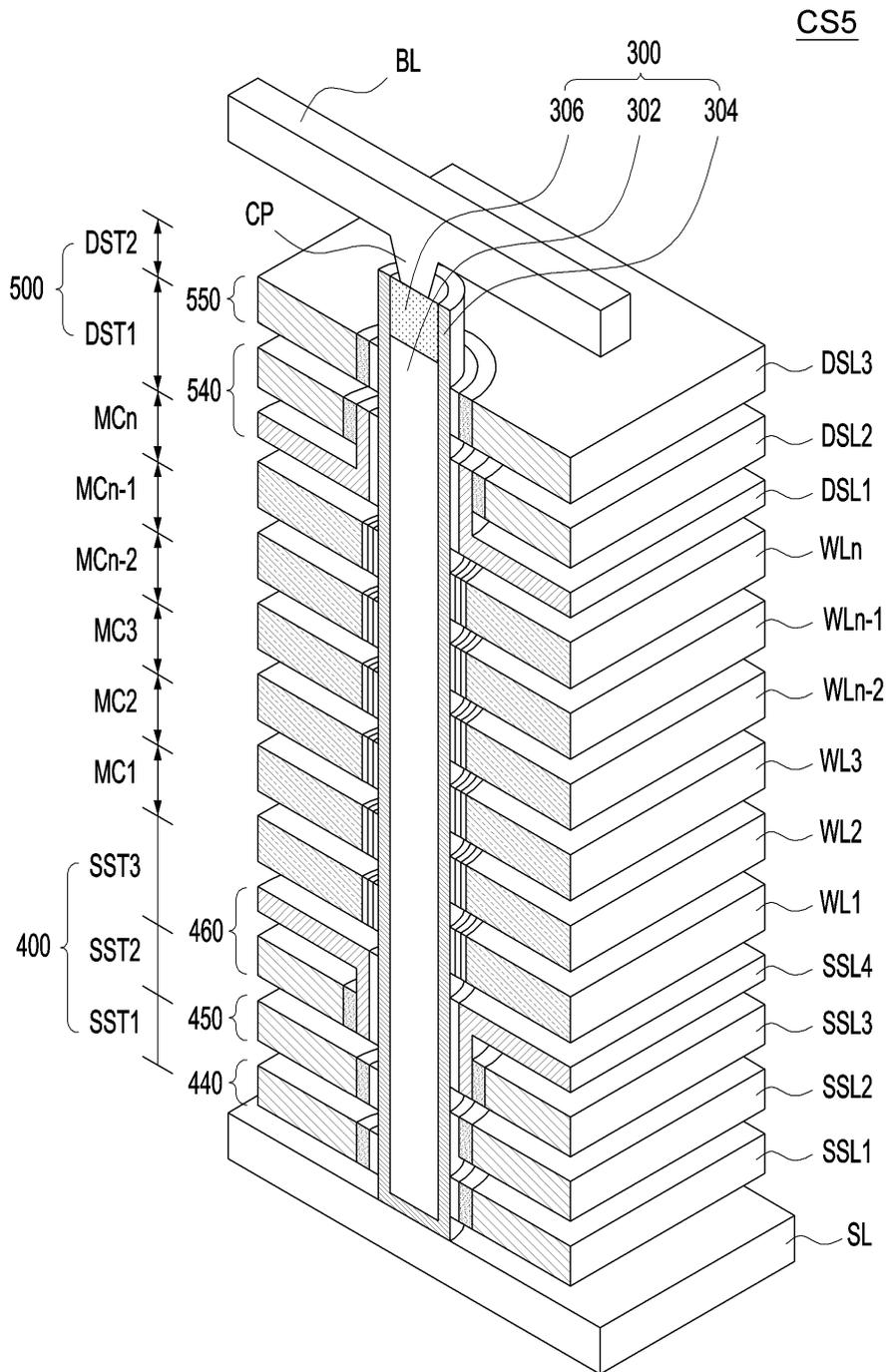
도면19



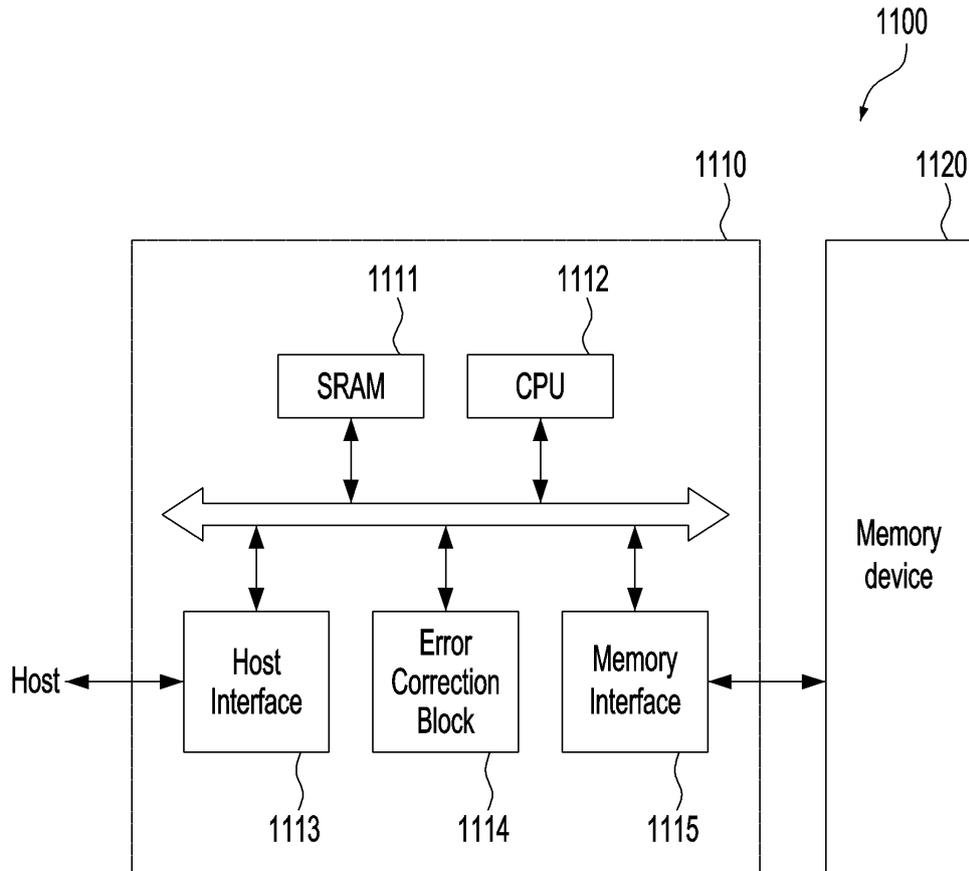
도면20



도면21



도면22



도면23

