



(12)发明专利

(10)授权公告号 CN 104716123 B

(45)授权公告日 2018.06.08

(21)申请号 201310693541.2

(22)申请日 2013.12.17

(65)同一申请的已公布的文献号  
申请公布号 CN 104716123 A

(43)申请公布日 2015.06.17

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 张步新 蔡孟峰

(74)专利代理机构 北京市磐华律师事务所  
11336

代理人 高伟 赵礼杰

(51)Int.Cl.

H01L 23/544(2006.01)

H01L 21/66(2006.01)

(56)对比文件

US 6143621 A,2000.11.07,

CN 1672259 A,2005.09.21,

CN 101281897 A,2008.10.08,

US 2011121841 A1,2011.05.26,

CN 102315197 A,2012.01.11,

CN 102856300 A,2013.01.02,

审查员 肖瑶

权利要求书2页 说明书11页 附图8页

(54)发明名称

一种测试方法和测试结构

(57)摘要

本发明提供一种测试方法和测试结构,涉及半导体技术领域。本发明的测试方法,通过形成包括设计值相同的至少两个电容的测试结构并对该至少两个电容的实际值进行比较,可以比较准确地判断进行图形化的工艺是否发生偏移,通过这一方法可以监测和控制交叠和间距问题,方法简单有效。本发明的测试结构,可以用于上述测试方法,对进行图形化的工艺是否发生偏移进行测试。

步骤S101: 在对第一导电膜层以及位于所述第一导电膜层上方的第二导电膜层进行图形化的过程中形成包括第一导体以及第二导体和第三导体的测试结构,其中,所述第二导体的一部分与所述第一导体相交叠以形成第一电容,所述第三导体的一部分与所述第一导体相交叠以形成第二电容,所述第一电容的设计值与所述第二电容的设计值相同,其中,所述第一导体在对所述第一导电膜层进行图形化的过程中形成,所述第二导体和所述第三导体在对所述第二导电膜层进行图形化的过程中形成。或者,所述第一导体在对所述第二导电膜层进行图形化的过程中形成,所述第二导体和所述第三导体在对所述第一导电膜层进行图形化的过程中形成

步骤S102: 测量所述第一电容的实际值与所述第二电容的实际值

步骤S103: 比较所述第一电容的实际值与所述第二电容的实际值是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断

1. 一种测试方法,其特征在于,所述方法包括:

步骤S101:在对第一导电膜层以及位于所述第一导电膜层上方的第二导电膜层进行图形化的过程中形成包括第一导体以及第二导体和第三导体的测试结构,其中,所述第二导体的一部分与所述第一导体相交叠以形成第一电容,所述第三导体的一部分与所述第一导体相交叠以形成第二电容,所述第一电容的设计值与所述第二电容的设计值相同,其中,所述第一导体在对所述第一导电膜层进行图形化的过程中形成,所述第二导体和所述第三导体在对所述第二导电膜层进行图形化的过程中形成,或者,所述第一导体在对所述第二导电膜层进行图形化的过程中形成,所述第二导体和所述第三导体在对所述第一导电膜层进行图形化的过程中形成;

步骤S102:测量所述第一电容的实际值C1与所述第二电容的实际值C2;

步骤S103:比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

2. 如权利要求1所述的测试方法,其特征在于,

在所述步骤S101中,所述第一导体、所述第二导体与所述第三导体均为矩形,并且所述第二导体、所述第一导体与所述第三导体相互平行并沿X方向的正方向依次排列,其中,所述第一导体沿X方向的边均位于所述第一导体与所述第二导体和第三导体相交叠的区域之外以保证Y方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化,Y方向为与X方向相垂直的方向;

在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在X方向发生了位移。

3. 如权利要求2所述的测试方法,其特征在于,所述X方向为水平方向或竖直方向。

4. 如权利要求2所述的测试方法,其特征在于,在所述步骤S103中,还根据所述第一电容的实际值C1与所述第二电容的实际值C2对所述进行图形化的工艺在X方向的实际偏移方向进行判断,其中,当C1大于C2时所述进行图形化的工艺沿X方向的正方向偏移,当C1小于C2时所述进行图形化的工艺沿X方向的负方向偏移,当C1等于C2时所述进行图形化的工艺沿X方向不发生偏移。

5. 如权利要求2所述的测试方法,其特征在于,所述第一导体与所述第二导体相交叠的边的端点距靠近其一侧的交叠位置的距离大于6S,所述第一导体与所述第三导体相交叠的边的端点距靠近其一侧的交叠位置的距离大于6S;并且,所述第一导体与所述第二导体相交叠的边距所述第二导体的位于交叠区域之外的边的距离大于6S,所述第一导体与所述第三导体相交叠的边距所述第三导体的位于交叠区域之外的边的距离大于6S,其中,S为设计规则中的允许偏差。

6. 如权利要求2所述的测试方法,其特征在于,在所述测试结构中,所述第二导体和所述第三导体的长度相同,并且所述第二导体和所述第三导体的宽度也相同。

7. 如权利要求1所述的测试方法,其特征在于,所述第一导体、第二导体和第三导体均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

8. 如权利要求2所述的测试方法,其特征在于,所述测试方法还包括步骤S104:通过投射电子显微镜剖视图校正的方法获取所述进行图形化的工艺在X方向的位移 $\Delta x$ 与 $(C1 - C2) / (C1 + C2)$ 的关系,其中,C1与C2均大于0。

9. 如权利要求8所述的测试方法,其特征在于,所述测试方法还包括步骤S105:根据 $\Delta x$ 与 $(C1-C2)/(C1+C2)$ 的关系以及所述C1与C2计算 $\Delta x$ ,并根据 $\Delta x$ 对所述进行图形化的工艺进行调整以避免发生偏移。

10. 如权利要求1至9任一项所述的测试方法,其特征在于,

在所述步骤S101中,所述测试结构还包括第四导电体以及第五导电体和第六导电体,所述第五导电体的一部分与所述第四导电体相交叠以形成第三电容,所述第六导电体的一部分与所述第四导电体相交叠以形成第四电容,所述第三电容的设计值与所述第四电容的设计值相同;其中,所述第四导电体在对所述第一导电膜层进行图形化的过程中形成,所述第五导电体和所述第六导电体在对所述第二导电膜层进行图形化的过程中形成,或者,所述第四导电体在对所述第二导电膜层进行图形化的过程中形成,所述第五导电体和所述第六导电体在对所述第一导电膜层进行图形化的过程中形成;其中,所述第一导电体与所述第二导电体、所述第三导电体相互平行并沿X方向延伸,所述第四导电体与所述第五导电体、所述第六导电体相互平行并沿Y方向延伸,并且,所述X方向与所述Y方向垂直;

在所述步骤S102中,还测量所述第三电容的实际值C3与所述第四电容的实际值C4;

在所述步骤S103中,除比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同并据此对所述进行图形化的工艺是否沿X方向发生偏移进行判断外,还比较所述第三电容的实际值C3与所述第四电容的实际值C4是否相同,并根据比较的结果对所述进行图形化的工艺是否沿Y方向发生偏移进行判断。

11. 如权利要求10所述的测试方法,其特征在于,

在所述步骤S101中,所述第一导电体沿X方向的边均位于所述第一导电体与所述第二导电体和第三导电体相交叠的区域之外以保证Y方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化;所述第四导电体沿Y方向的边均位于所述第四导电体与所述第五导电体和所述第六导电体相交叠的区域之外以保证X方向的偏移不会造成所述第三电容的实际值以及所述第四电容的实际值的变化;其中,所述第一导电体、所述第二导电体与所述第三导电体以及所述第四导电体、所述第五导电体和所述第六导电体均为矩形;所述第二导电体、所述第一导电体与所述第三导电体沿X方向的正方向依次排列;所述第五导电体、所述第四导电体和所述第六导电体沿Y方向的正方向依次排列;

在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在X方向发生了位移;如果所述第三电容的实际值C3与所述第四电容的实际值C4不同,则所述进行图形化的工艺在Y方向发生了位移。

12. 如权利要求11所述的测试方法,其特征在于,在所述步骤S103中,还根据所述第三电容的实际值C3与所述第四电容的实际值C4对所述进行图形化的工艺在Y方向的实际偏移方向进行判断,其中,当C3大于C4时所述进行图形化的工艺沿Y方向的正方向偏移,当C3小于C4时所述进行图形化的工艺沿Y方向的负方向偏移,当C3等于C4时所述进行图形化的工艺沿Y方向不发生偏移。

13. 如权利要求12所述的测试方法,其特征在于,在所述步骤S103中,还通过投射电子显微镜剖视图校正的方法获取所述进行图形化的工艺在Y方向的位移 $\Delta y$ 与 $(C3-C4)/(C3+C4)$ 的关系,其中,C3与C4均大于0。

## 一种测试方法和测试结构

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种测试方法和测试结构。

### 背景技术

[0002] 在半导体技术领域中,在28nm及以下技术节点的应用中,膜层间的交叠(overlay)问题对器件的良率和可靠性有着重大的影响。理想地,集成电路的不同膜层和/或用于图案化的掩膜被完美地对准。然而,完美对准是困难的,而且几乎是不可能实现的。在半导体器件的制造工艺过程中,很多原因导致某一膜层与另一个膜层的对准(alignment)错误的发生。例如,对准噪声、平台扫描问题、透镜扭曲以及晶圆平台不准等,都可能导致对准错误的发生。

[0003] 交叠(overlay),一般是指一个图案形成于在晶圆上已经存在的另一个图案之上,它会影响到图案(尤其后形成的图案)位置的准确度。在传统的单次曝光光刻工艺中,交叠(overlay)错误发生在不同膜层的图案之间。这样的交叠错误将会被有效地传递到关键尺寸(CD)变量,而关键尺寸(CD)变量会改变器件和布线的电学特性。在这种情况下,通过设计规则无法减轻这一变量问题;而且由于关键尺寸的预算已经非常小(国际半导体技术蓝图(ITRS)估计的预算为最小特征尺寸的7%),交叠问题必须得到良好地控制。如何满足对交叠控制的需求,被视为应用28nm及以下工艺节点技术的重大挑战之一。

[0004] 由于设计规则(DR)缩减(shrink),对连续的晶圆级特征(features)和单一水平的独立特征的对准(例如:交叠和间距)的准确度的要求不断增长。为满足这些要求,需要对交叠(overlay)和间距(spacing)进行监测和控制。现有技术中存在着各种用于对不同图案之间是否存在交叠进行检测的电学测试结构和方法,其中,电阻和范德堡桥(Resistive and van der Pauw bridges)是一种常用的方法。在该方法中,为测试图案是否对准,需要形成桥(bridge)的元素。桥的结构被设计成当图案间精确对准时,测试的结果为空(null)。例如:当被比较的特征(指图案)上具有相等的电压时,即为图案间精确对准,不存在overlay的问题。误对准(misalignment)的程度通过测得的特征(图案)上的电压的不同来确定。然而,在这一方法中,特征(图案)上的待测的电压常常比较小,尤其当特征本身的电阻比较小的情况。由于特征上的用于检测特征的微小的误对准(misalignment)的电压通常比较小,因此,往往需要特别的设备(例如对电压敏感度高的设备)和技术来实现对电压的测量。此外,为了从测得的电压中获取特征(图案)误对准的数值,还需要大量的测试结构、测试程序和运算法则。

[0005] 由此可见,现有技术中的对图案是否存在交叠或间距是否发生变化进行测试的方法,其方案往往比较复杂,而且在被测电压较小时将难以保证测试结果的准确性。因此,为了解决上述问题,本发明提出一种新的测试方法和测试结构。

### 发明内容

[0006] 针对现有技术的不足,本发明提供一种新的测试方法和测试结构,用于测试进行

图形化的工艺是否发生偏移,即测试图案是否存在交叠或间距是否发生变化。

[0007] 本发明实施例一提供一种测试方法,所述方法包括:

[0008] 步骤S101:在对第一导电膜层以及位于所述第一导电膜层上方的第二导电膜层进行图形化的过程中形成包括第一导电体以及第二导电体和第三导电体的测试结构,其中,所述第二导电体的一部分与所述第一导电体相交叠以形成第一电容,所述第三导电体的一部分与所述第一导电体相交叠以形成第二电容,所述第一电容的设计值与所述第二电容的设计值相同,其中,所述第一导电体在对所述第一导电膜层进行图形化的过程中形成,所述第二导电体和所述第三导电体在对所述第二导电膜层进行图形化的过程中形成,或者,所述第一导电体在对所述第二导电膜层进行图形化的过程中形成,所述第二导电体和所述第三导电体在对所述第一导电膜层进行图形化的过程中形成;

[0009] 步骤S102:测量所述第一电容的实际值C1与所述第二电容的实际值C2;

[0010] 步骤S103:比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

[0011] 可选地,在所述步骤S101中,所述第一导电体、所述第二导电体与所述第三导电体均为矩形,并且所述第二导电体、所述第一导电体与所述第三导电体相互平行并沿X方向的正方向依次排列,其中,所述第一导电体沿X方向的边均位于所述第一导电体与所述第二导电体和第三导电体相交叠的区域之外以保证Y方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化,Y方向为与X方向相垂直的方向;在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在X方向发生了位移。

[0012] 可选地,所述X方向为水平方向或竖直方向。

[0013] 可选地,在所述步骤S103中,还根据所述第一电容的实际值C1与所述第二电容的实际值C2对所述进行图形化的工艺在X方向的实际偏移方向进行判断,其中,当C1大于C2时所述进行图形化的工艺沿X方向的正方向偏移,当C1小于C2时所述进行图形化的工艺沿X方向的负方向偏移,当C1等于C2时所述进行图形化的工艺沿X方向不发生偏移。

[0014] 可选地,所述第一导电体与所述第二导电体相交叠的边的端点距靠近其一侧的交叠位置的距离大于 $6S$ ,所述第一导电体与所述第三导电体相交叠的边的端点距靠近其一侧的交叠位置的距离大于 $6S$ ;并且,所述第一导电体与所述第二导电体相交叠的边距所述第二导电体的位于交叠区域之外的边的距离大于 $6S$ ,所述第一导电体与所述第三导电体相交叠的边距所述第三导电体的位于交叠区域之外的边的距离大于 $6S$ ,其中, $S$ 为设计规则中的允许偏差。

[0015] 可选地,在所述测试结构中,所述第二导电体和所述第三导电体的长度相同,并且所述第二导电体和所述第三导电体的宽度也相同。

[0016] 可选地,所述第一导电体、第二导电体和第三导电体均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

[0017] 可选地,所述测试方法还包括步骤S104:通过投射电子显微镜剖视图校正的方法获取所述进行图形化的工艺在X方向的位移 $\Delta x$ 与 $(C1-C2)/(C1+C2)$ 的关系,其中, $C1$ 与 $C2$ 均大于0。

[0018] 可选地,所述测试方法还包括步骤S105:根据 $\Delta x$ 与 $(C1-C2)/(C1+C2)$ 的关系以及

所述C1与C2计算 $\Delta x$ ,并根据 $\Delta x$ 对所述进行图形化的工艺进行调整以避免发生偏移。

[0019] 可选地,在所述步骤S101中,所述测试结构还包括第四导电体以及第五导电体和第六导电体,所述第五导电体的一部分与所述第四导电体相交叠以形成第三电容,所述第六导电体的一部分与所述第四导电体相交叠以形成第四电容,所述第三电容的设计值与所述第四电容的设计值相同;其中,所述第四导电体在对所述第一导电膜层进行图形化的过程中形成,所述第五导电体和所述第六导电体在对所述第二导电膜层进行图形化的过程中形成,或者,所述第四导电体在对所述第二导电膜层进行图形化的过程中形成,所述第五导电体和所述第六导电体在对所述第一导电膜层进行图形化的过程中形成;其中,所述第一导电体与所述第二导电体、所述第三导电体相互平行并沿X方向延伸,所述第四导电体与所述第五导电体、所述第六导电体相互平行并沿Y方向延伸,并且,所述X方向与所述Y方向垂直;在所述步骤S102中,还测量所述第三电容的实际值C3与所述第四电容的实际值C4;在所述步骤S103中,除比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同并据此对所述进行图形化的工艺是否沿X方向发生偏移进行判断外,还比较所述第三电容的实际值C3与所述第四电容的实际值C4是否相同,并根据比较的结果对所述进行图形化的工艺是否沿Y方向发生偏移进行判断。

[0020] 可选地,在所述步骤S101中,所述第一导电体沿X方向的边均位于所述第一导电体与所述第二导电体和第三导电体相交叠的区域之外以保证Y方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化;所述第四导电体沿Y方向的边均位于所述第四导电体与所述第五导电体和所述第六导电体相交叠的区域之外以保证X方向的偏移不会造成所述第三电容的实际值以及所述第四电容的实际值的变化;其中,所述第一导电体、所述第二导电体与所述第三导电体以及所述第四导电体、所述第五导电体和所述第六导电体均为矩形;所述第二导电体、所述第一导电体与所述第三导电体沿X方向的正方向依次排列;所述第五导电体、所述第四导电体和所述第六导电体沿Y方向的正方向依次排列;在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在X方向发生了位移;如果所述第三电容的实际值C3与所述第四电容的实际值C4不同,则所述进行图形化的工艺在Y方向发生了位移。

[0021] 可选地,在所述步骤S103中,还根据所述第三电容的实际值C3与所述第四电容的实际值C4对所述进行图形化的工艺在Y方向的实际偏移方向进行判断,其中,当C3大于C4时所述进行图形化的工艺沿Y方向的正方向偏移,当C3小于C4时所述进行图形化的工艺沿Y方向的负方向偏移,当C3等于C4时所述进行图形化的工艺沿Y方向不发生偏移。

[0022] 可选地,在所述步骤S103中,还通过投射电子显微镜剖视图校正的方法获取所述进行图形化的工艺在Y方向的位移 $\Delta y$ 与 $(C3-C4)/(C3+C4)$ 的关系,其中,C3与C4均大于0。

[0023] 本发明实施例二提供一种测试结构,包括:第一导电体以及位于所述第一导电体上方或下方的第二导电体和第三导电体,其中,所述第二导电体的一部分与所述第一导电体相交叠以形成第一电容,所述第三导电体的一部分与所述第一导电体相交叠以形成第二电容。

[0024] 可选地,所述第一导电体、所述第二导电体与所述第三导电体均为矩形。

[0025] 可选地,所述第一导电体的一组相互平行的两条边分别与所述第二导电体和所述第三导电体相交叠,所述第一导电体的另一组相互平行的两条边则均位于所述第二导电体

和所述第三导电体的外侧。

[0026] 可选地,所述第一导电体与所述第二导电体相交叠的边的端点距靠近其一侧的交叠位置的距离大于 $6S$ ,所述第一导电体与所述第三导电体相交叠的边的端点距靠近其一侧的交叠位置的距离大于 $6S$ ;并且,所述第一导电体与所述第二导电体相交叠的边距所述第二导电体的位于交叠区域之外的边的距离大于 $6S$ ,所述第一导电体与所述第三导电体相交叠的边距所述第三导电体的位于交叠区域之外的边的距离大于 $6S$ ,其中, $S$ 为设计规则中的允许偏差。

[0027] 可选地,所述第二导电体和所述第三导电体的长度以及宽度分别相同。

[0028] 可选地,所述第一导电体、所述第二导电体和所述第三导电体均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

[0029] 可选地,所述测试结构还包括第四导电体、第五导电体和第六导电体,所述第五导电体的一部分与所述第四导电体相交叠以形成第三电容,所述第六导电体的一部分与所述第四导电体相交叠以形成第四电容;其中,所述第四导电体与所述第五导电体、所述第六导电体相互平行,并且,所述第四导电体与所述第五导电体相交叠的边垂直于所述第一导电体与所述第二导电体相交叠的边。

[0030] 可选地,所述第四导电体、所述第五导电体与所述第六导电体均为矩形。

[0031] 本发明的测试方法,通过形成包括设计值相同的至少两个电容的测试结构并对该至少两个电容的实际值进行比较,可以比较准确地判断进行图形化的工艺是否发生偏移,通过这一方法可以监测和控制交叠和间距问题,方法简单有效。本发明的测试结构,可以用于上述测试方法,对进行图形化的工艺是否发生偏移进行测试。

## 附图说明

[0032] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0033] 附图中:

[0034] 图1A、1B和1A'、1B'以及图2A、2B和2A'、2B'为本发明实施例一的测试方法形成的测试结构的示意性图;其中,图1A、1A'、2A和2A'为俯视图,图1B、1B'、2B和2B'为相应的剖视图;

[0035] 图3为本发明实施例一中涉及的 $\angle x$ 与 $(C1-C2)/(C1+C2)$ 的关系的示意图;

[0036] 图4为本发明实施例一的测试方法的一种示意性流程图;

[0037] 图5A和5A'为本发明实施例二的一种测试结构的示意性剖视图;

[0038] 图5B和5B'为本发明实施例二的另一种测试结构的示意性剖视图。

## 具体实施方式

[0039] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0040] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的

实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0041] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0042] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0043] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0044] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0045] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明提出技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0046] 实施例一

[0047] 下面,参照图1A、1B、1A'、1B'以及图2A、2B、2A'、2B'和图3、图4来描述本发明实施例提出的测试方法。其中,图1A、1B和1A'、1B'以及图2A、2B和2A'、2B'为本发明实施例的测试方法形成的测试结构的示意性图;图1A、1A'、2A和2A'为俯视图,图1B、1B'、2B和2B'为相应的剖视图;图3为本发明实施例涉及的 $\angle x$ 与 $(C1-C2)/(C1+C2)$ 的关系的示意图;图4为本



发明实施例一的测试方法的一种示意性流程图。

[0048] 本发明实施例的测试方法,包括如下步骤:

[0049] 步骤A1:在对第一导电膜层以及位于所述第一导电膜层上方的第二导电膜层进行图形化的过程中形成包括第一导电体101以及第二导电体102和第三导电体103的测试结构,其中,所述第二导电体102的一部分与所述第一导电体101相交叠以形成第一电容,所述第三导电体103的一部分与所述第一导电体101相交叠以形成第二电容,如图1A所示。其中,所述第一电容的设计值与所述第二电容的设计值相同。

[0050] 其中,所述第一导电体101在对所述第一导电膜层进行图形化的过程中形成,所述第二导电体102和所述第三导电体103在对所述第二导电膜层进行图形化的过程中形成,如图1A所示。此外,所述第一导电体101也可以在对所述第二导电膜层进行图形化的过程中形成,而所述第二导电体102和所述第三导电体103在对所述第一导电膜层进行图形化的过程中形成,此处并不进行限定。

[0051] 其中,对第一导电膜层以及位于所述第一导电膜层上方的第二导电膜层进行图形化的目的主要在于形成功能图案,功能图案是指用于实现半导体器件本身的功能的图案。该测试结构并非功能图案的一部分。

[0052] 其中,保证所述第一电容的设计值与所述第二电容的设计值相同的方案,可以通过保证第一导电体101与第二导电体102之间的重叠面积与间距分别和第一导电体101与第三导电体103之间的重叠面积与间距相同来实现。

[0053] 步骤A2:测量所述第一电容的实际值(记作C1)与所述第二电容的实际值(记作C2)。

[0054] 其中,测量所述第一电容的实际值C1与所述第二电容的实际值C2的方法,可以采用现有技术中的各种可行方案实现,此处不再赘述。

[0055] 步骤A3:比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

[0056] 具体地,如果所述第一电容的实际值与所述第二电容的实际值不同,则可以认定所述进行图形化的工艺发生了偏移。需要解释的是,如果第一电容的实际值与所述第二电容的实际值相同,并不能判断得出进行图形化的工艺没有发生偏移,因为可能发生了沿着第一导电体101(或第二导电体102以及第三导电体103)长度的方向(即,图1A中垂直AA线的方向)的偏移。

[0057] 下面,介绍一下本实施例的两种示例性的具体实现方式。

[0058] 实现方式一

[0059] 在步骤A1中,如图1A和1B所示,所述第一导电体101、所述第二导电体102与所述第三导电体103均为矩形,并且所述第一导电体101、所述第二导电体102与所述第三导电体103相互平行并沿X方向(与AA线方向相同的方向)延伸,具体地,所述第二导电体、所述第一导电体与所述第三导电体相互平行并沿X方向的正方向依次排列。其中,所述第一导电体(101)沿X方向的边均位于所述第一导电体(101)与所述第二导电体(102)和第三导电体(103)相交叠的区域之外以保证Y方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化,Y方向为与X方向相垂直的方向。其中,图1A为测试结构的俯视图,图1B为沿AA线方向的剖视图,并且,图1A中示出了Y方向的正方向以及X方向的正方向。

[0060] 其中,所述第二导体102和所述第三导体103的长度相同,并且所述第二导体102和所述第三导体103的宽度也相同。

[0061] 当然,所述第一导体101、所述第二导体102与所述第三导体103也可以为三角型、五边形、六边形或其他合适的形状。

[0062] 可选地,所述第一导体101、第二导体102和第三导体103均连接至焊盘区,并且分别于第一焊盘、第二焊盘以及第三焊盘相连接(图中未示出)。

[0063] 在步骤A2中,测量所述第一电容的实际值与所述第二电容的实际值。

[0064] 在步骤A3中,比较第一电容的实际值与第二电容的实际值。如果所述第一电容的实际值与所述第二电容的实际值不同,则所述进行图形化的工艺在X方向发生了位移。

[0065] 示例性地,在图1A、1B以及1A'和1B'中,所述X方向(与AA线方向相同的方向)为水平方向。在本实施例中,定义Y方向为与X方向垂直的方向。

[0066] 在本实施例中,如图1A所示,所述第一导体101与所述第二导体102相交叠的边的端点距靠近其一侧的交叠位置的距离为 $L_1$ , $L_1$ 大于 $6S$ ,所述第一导体101与所述第三导体103相交叠的边的端点距靠近其一侧的交叠位置的距离也为 $L_1$ , $L_1$ 大于 $6S$ ;并且,所述第一导体101与所述第二导体102相交叠的边距所述第二导体102的位于交叠区域之外的边的距离为 $d_1$ ,并且 $d_1$ 大于 $6S$ ,所述第一导体101与所述第三导体103相交叠的边距所述第三导体103的位于交叠区域之外的边的距离也为 $d_1$ ,并且 $d_1$ 大于 $6S$ 。其中, $S$ 为设计规则中的允许偏差。

[0067] 如图1A'和1B'所示,将所述进行图形化的工艺在X方向的位移记作 $\Delta x$ 。如果测得的第一电容的实际值为 $C_1$ ,第二电容的实际值为 $C_2$ ,则可以通过投射电子显微镜剖视图校正的方法获取 $\Delta x$ 与 $(C_1-C_2)/(C_1+C_2)$ 的关系。其中, $C_1$ 与 $C_2$ 均大于0。因此,在本实施例中,还可以包括步骤A4:通过投射电子显微镜剖视图校正的方法获取 $\Delta x$ 与 $(C_1-C_2)/(C_1+C_2)$ 的关系。其中, $\Delta x$ 与 $(C_1-C_2)/(C_1+C_2)$ 的关系可以表示成如图3所示的关系曲线。在此基础上,本实施例还可以包括步骤A5:根据 $\Delta x$ 与 $(C_1-C_2)/(C_1+C_2)$ 的关系以及所述 $C_1$ 与 $C_2$ 计算 $\Delta x$ ,并根据 $\Delta x$ 对所述进行图形化的工艺进行调整以避免发生X方向的偏移。其中,图1A'为进行图形化的工艺在X方向发生偏移的测试结构的俯视图,图1B'为图1A'沿BB线方向的剖视图。其中, $\Delta x$ 可以为正值也可以为负值,当 $\Delta x$ 为正值时,表示所述进行图形化的工艺在沿X方向的正方向发生了位移(如图1A'所示);而当 $\Delta x$ 为负值时,则表示所述进行图形化的工艺在沿X方向的负方向发生了位移。

[0068] 在本实施例中,还可以根据所述第一电容的实际值 $C_1$ 与所述第二电容的实际值 $C_2$ 对所述进行图形化的工艺在X方向的实际偏移方向进行判断,具体地,当 $C_1$ 大于 $C_2$ 时所述进行图形化的工艺沿X方向的正方向偏移(如图1A'所示),当 $C_1$ 小于 $C_2$ 时所述进行图形化的工艺沿X方向的负方向偏移,当 $C_1$ 等于 $C_2$ 时所述进行图形化的工艺沿X方向不发生偏移。

[0069] 也就是说,根据测得的第一电容与第二电容的实际值是否不同,可以判断在X方向是否发生了位移,并可以判断出沿X方向的偏移方向(即,是沿X方向的正方向偏移还是沿X方向的负方向偏移)。再结合通过投射电子显微镜剖视图校正的方法获取的 $\Delta x$ 与 $(C_1-C_2)/(C_1+C_2)$ 的关系,则可以计算出在X方向的位移大小。

[0070] 此外,X方向也可以为竖直方向,Y方向为水平方向;或者,X方向为其他任意方向,Y方向为与X方向垂直的方向。此处并不进行限定。

[0071] 实现方式二

[0072] 在步骤A1中,如图2A和2B所示,所述测试结构还包括第四导电体104以及第五导电体105和第六导电体106(图2A和2B未示出第一导电体101、第二导电体102以及第三导电体103)。所述第五导电体105的一部分与所述第四导电体104相交叠以形成第三电容,所述第六导电体106的一部分与所述第四导电体104相交叠以形成第四电容。第四导电体104以及第五导电体105和第六导电体106相互平行并沿Y方向(与CC线方向相同的方向)延伸,其中,Y方向为与X方向垂直的方向。其中,所述第三电容的设计值与所述第四电容的设计值相同。示例性地,所述第五导电体、所述第四导电体和所述第六导电体沿Y方向的正方向依次排列,如图2A所示。

[0073] 其中,所述第四导电体104在对所述第一导电膜层进行图形化的过程中形成,所述第五导电体105和所述第六导电体106在对所述第二导电膜层进行图形化的过程中形成,或者,所述第四导电体104在对所述第二导电膜层进行图形化的过程中形成,所述第五导电体105和所述第六导电体106在对所述第一导电膜层进行图形化的过程中形成。

[0074] 其中,如图2A所示,所述第四导电体104沿Y方向的边均位于所述第四导电体104与所述第五导电体105和所述第六导电体106相交叠的区域之外,以保证X方向的偏移不会造成所述第三电容的实际值以及所述第四电容的实际值的变化。

[0075] 在本实施例中,如图2A所示,所述第四导电体104与所述第五导电体105相交叠的边的端点距靠近其一侧的交叠位置的距离为 $L_2$ , $L_2$ 大于 $6S$ ,所述第四导电体104与所述第五导电体105相交叠的边的端点距靠近其一侧的交叠位置的距离也为 $L_2$ , $L_2$ 大于 $6S$ ;并且,所述第四导电体104与所述第五导电体105相交叠的边距所述第四导电体104的位于交叠区域之外的边的距离为 $d_2$ ,并且 $d_2$ 大于 $6S$ ,所述第四导电体104与所述第六导电体106相交叠的边距所述第六导电体106的位于交叠区域之外的边的距离也为 $d_2$ ,并且 $d_2$ 大于 $6S$ 。其中, $S$ 为设计规则中的允许偏差。其中,优选地, $d_2$ 等于 $d_1$ , $L_2$ 等于 $L_1$ 。

[0076] 在步骤A2中,除测量第一电容与第二电容的实际值之外,还测量所述第三电容的实际值(记作 $C_3$ )与所述第四电容的实际值(记作 $C_4$ )。

[0077] 在步骤A3中,还比较第三电容的实际值与第四电容的实际值是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。如果第三电容的实际值 $C_3$ 与第四电容的实际值 $C_4$ 不同,则所述进行图形化的工艺在Y方向发生了位移。其中,图2A'和2B'示意了在Y方向发生位移的情况,其中图2A'为俯视图,2B'为图2A'沿DD线的剖视图。其中,也可以采用上述实现方式一所述的方法,通过投射电子显微镜剖视图校正的方法获取 $\Delta y$ 与 $(C_3 - C_4) / (C_3 + C_4)$ 的关系,以及,根据 $\Delta y$ 与 $(C_3 - C_4) / (C_3 + C_4)$ 的关系以及所述 $C_3$ 与 $C_4$ 计算 $\Delta y$ ,并根据 $\Delta y$ 对所述进行图形化的工艺进行调整以避免发生Y方向的偏移。其中, $C_3$ 与 $C_4$ 分别为第三电容与第四电容的实际值,并且二者均大于0; $\Delta y$ 为图形化工艺在Y方向的偏移。

[0078] 其中, $\Delta y$ 可以为正值也可以为负值,在本实施例中,当 $\Delta y$ 为正值时,表示所述进行图形化的工艺在沿Y方向的正方向发生了位移(如图2A'所示);而当 $\Delta y$ 为负值时,则表示所述进行图形化的工艺在沿Y方向的负方向发生了位移。显然,图2A'示出的是沿Y方向的正方向发生了位移的情形,此时 $C_1$ 大于 $C_2$ 。也就是说,在本实施例中,可以根据 $C_3$ 与 $C_4$ 的大小,判断进行图形化的工艺沿Y方向的偏移方向,即,是沿Y方向的正方向偏移还是沿Y方向的负

方向偏移。具体地,当C3大于C4时,进行图形化的工艺沿Y方向的正方向偏移;当C3小于C4时,进行图形化的工艺沿Y方向的负方向偏移。

[0079] 由于根据C1和C2可以判断是否在X方向发生了偏移,以及当发生偏移时,判断沿X方向的实际偏移方向(即,是沿X方向的正方向偏移还是沿X方向的负方向偏移),以及结合通过投射电子显微镜剖视图校正的方法获取的 $\Delta x$ 与 $(C1-C2)/(C1+C2)$ 的关系可以计算在X方向的位移大小;而根据C3和C4可以判断是否在Y方向发生了偏移,以及当发生偏移时,判断沿Y方向的实际偏移方向(即,是沿Y方向的正方向偏移还是沿Y方向的负方向偏移),以及结合通过投射电子显微镜剖视图校正的方法获取的 $\Delta y$ 与 $(C3-C4)/(C3+C4)$ 的关系可以计算在Y方向的位移大小;因此,可以客观判断进行图形化的工艺的实际偏移情况。

[0080] 至此,完成了本实施例的测试方法的介绍。本实施例的测试方法,通过形成包括设计值相同的至少两个电容(包括第一电容和第二电容)的测试结构并对该至少两个电容的实际值进行比较,可以比较准确地判断进行图形化的工艺是否发生偏移,通过这一方法可以监测和控制交叠和间距问题,方法简单有效。

[0081] 图4示出了本发明实施例提出的一种测试方法的一种示意性流程图,用于简要示出该方法的典型流程。具体包括:

[0082] 步骤S101:在对第一导电膜层以及位于所述第一导电膜层上方的第二导电膜层进行图形化的过程中形成包括第一导体以及第二导体和第三导体的测试结构,其中,所述第二导体的一部分与所述第一导体相交叠以形成第一电容,所述第三导体的一部分与所述第一导体相交叠以形成第二电容,所述第一电容的设计值与所述第二电容的设计值相同,其中,所述第一导体在对所述第一导电膜层进行图形化的过程中形成,所述第二导体和所述第三导体在对所述第二导电膜层进行图形化的过程中形成,或者,所述第一导体在对所述第二导电膜层进行图形化的过程中形成,所述第二导体和所述第三导体在对所述第一导电膜层进行图形化的过程中形成;

[0083] 步骤S102:测量所述第一电容的实际值与所述第二电容的实际值;

[0084] 步骤S103:比较所述第一电容的实际值与所述第二电容的实际值是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

[0085] 实施例二

[0086] 下面,参照图5A、图5A'和图5B、图5B'介绍本实施例的测试结构。其中,图5A为本发明实施例二的一种测试结构的俯视图,图5A'为图5A中的结构沿AA线的示意性剖视图;图5B为本发明实施例二的另一种测试结构的俯视图,图5B'为图5B中的结构沿CC线的示意性剖视图。

[0087] 本实施例的测试结构,用于测试进行图形化的工艺是否发生偏移,即测试图案是否存在交叠或间距是否发生变化。如图5A和图5A'所示,该测试结构包括:第一导体101以及位于所述第一导体上方的第二导体102和第三导体103,其中,所述第二导体102的一部分与所述第一导体101相交叠以形成第一电容,所述第三导体103的一部分与所述第一导体101相交叠以形成第二电容。

[0088] 其中,第二导体102和第三导体103也可以位于第一导体101的下方。并且,第一导体101与第二导体102以及第三导体103还可以存在其他膜层,例如金属间介电层。

[0089] 示例性地,所述第一导体101、所述第二导体102与所述第三导体103均为矩形。

[0090] 如图5A所示,所述第一导体101的一组相互平行的两条边(与AA线平行的两条边)分别与所述第二导体102和所述第三导体103相交叠,所述第一导体101的另一组相互平行的两条边则均位于所述第二导体102和所述第三导体(103)的外侧。其中,所述第一导体101的另一组相互平行的两条边则均位于所述第二导体102和所述第三导体(103)的外侧的作用是,保证沿第一导体101方向(即,垂直于AA线的方向)的偏移不会造成第一电容的实际值以及第二电容的实际值的变化。

[0091] 在本实施例中,如图5A所示,所述第一导体101与所述第二导体102相交叠的边的端点距靠近其一侧的交叠位置的距离为 $L_1$ , $L_1$ 大于 $6S$ ,所述第一导体101与所述第三导体103相交叠的边的端点距靠近其一侧的交叠位置的距离也可以为 $L_1$ 或其他数值,该距离也大于 $6S$ ;并且,所述第一导体101与所述第二导体102相交叠的边距所述第二导体102的位于交叠区域之外的边的距离为 $d_1$ ,并且 $d_1$ 大于 $6S$ ,所述第一导体101与所述第三导体103相交叠的边距所述第三导体103的位于交叠区域之外的边的距离可以为 $d_1$ 或其他数值,并且该距离也应大于 $6S$ 。其中, $S$ 为设计规则中的允许偏差。

[0092] 可选地,所述第二导体102和所述第三导体103的长度以及宽度分别相同。

[0093] 所述第一导体101、所述第二导体102和所述第三导体103均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

[0094] 进一步地,如图5B和5B'所示,所述测试结构还可以包括第四导体104、第五导体105和第六导体106,所述第五导体105的一部分与所述第四导体104相交叠以形成第三电容,所述第六导体106的一部分与所述第四导体104相交叠以形成第四电容。其中,所述第四导体104与所述第五导体105、所述第六导体106相互平行,并且,所述第四导体104与所述第五导体105相交叠的边垂直于所述第一导体101与所述第二导体102相交叠的边。显然,由于第六导体106平行于第五导体105,因此,所述第四导体104与所述第六导体106相交叠的边也垂直于所述第一导体101与所述第三导体103相交叠的边。为了表示简要,图5B和5B'未示出第一导体101、第二导体102以及第三导体103。

[0095] 其中,所述第四导体104、所述第五导体105与所述第六导体106可以均为矩形或其他合适的图形。

[0096] 在本实施例中,如图5B和5B'所示,所述第四导体104与所述第五导体105相交叠的边的端点距靠近其一侧的交叠位置的距离为 $L_2$ , $L_2$ 大于 $6S$ ,所述第四导体104与所述第五导体105相交叠的边的端点距靠近其一侧的交叠位置的距离也为 $L_2$ , $L_2$ 大于 $6S$ ;并且,所述第四导体104与所述第五导体105相交叠的边距所述第四导体104的位于交叠区域之外的边的距离为 $d_2$ ,并且 $d_2$ 大于 $6S$ ,所述第四导体104与所述第六导体106相交叠的边距所述第六导体106的位于交叠区域之外的边的距离也为 $d_2$ ,并且 $d_2$ 大于 $6S$ 。其中, $S$ 为设计规则中的允许偏差。其中,优选地, $d_2$ 等于 $d_1$ , $L_2$ 等于 $L_1$ 。

[0097] 关于第四导体104、第五导体105以及第六导体106的结构,可以分别与第一导体101、第二导体102以及第三导体103的结构相同,此处不再赘述。

[0098] 其中,第一导体101的方向,可以为水平方向、竖直方向或其他各种方向。第四导

导体104的方向为与第一导体101垂直的方向。为了示例,图5A中的第一导体101为水平方向(即,沿AA线的方向),图5B中的第四导体104的方向为竖直方向(即,沿CC线的方向)。

[0099] 本实施例的测试结构,可以用于上述实施例一所述的测试方法,对进行图形化的工艺是否发生偏移进行测试,具有良好的技术效果。

[0100] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

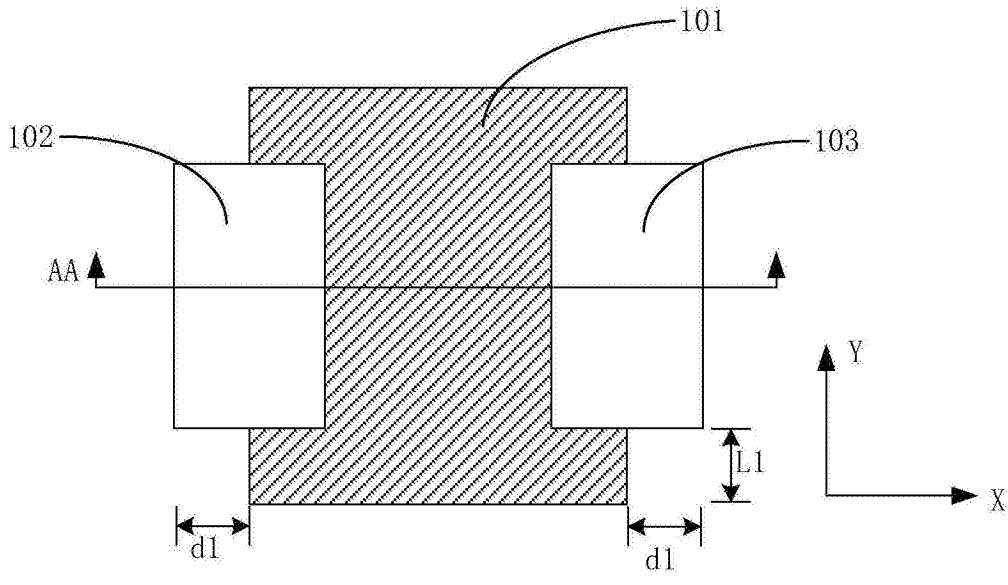


图1A

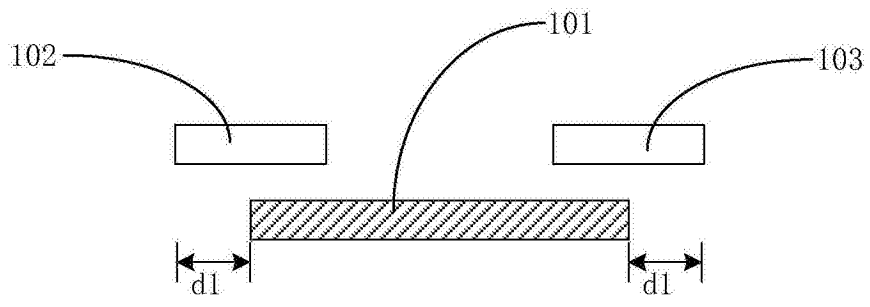


图1B

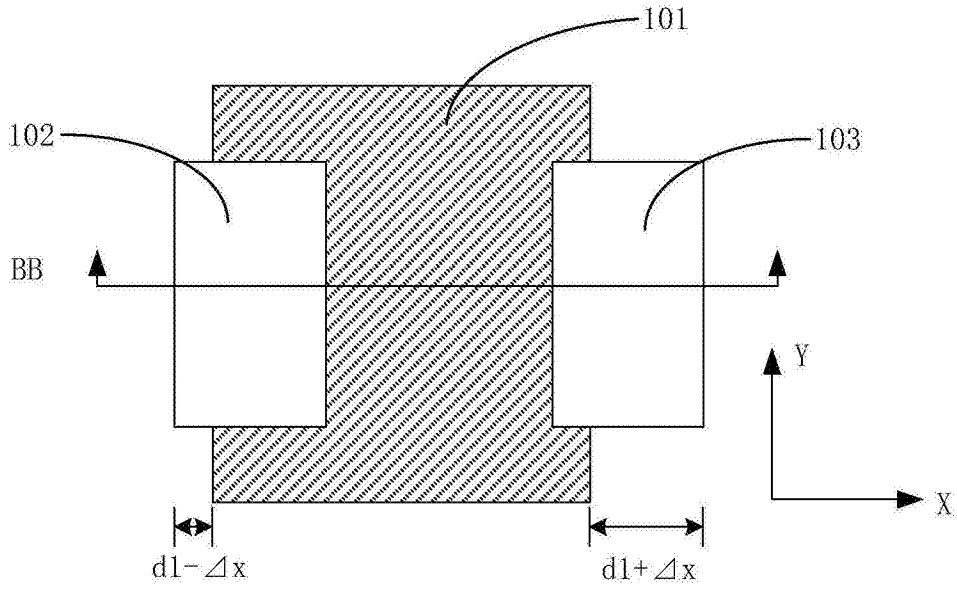


图1A'

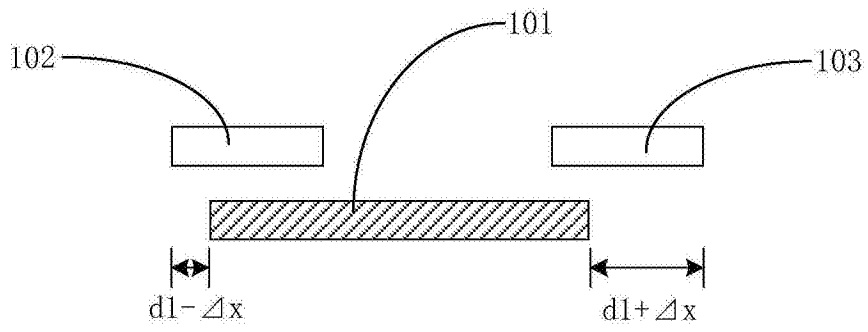


图1B'



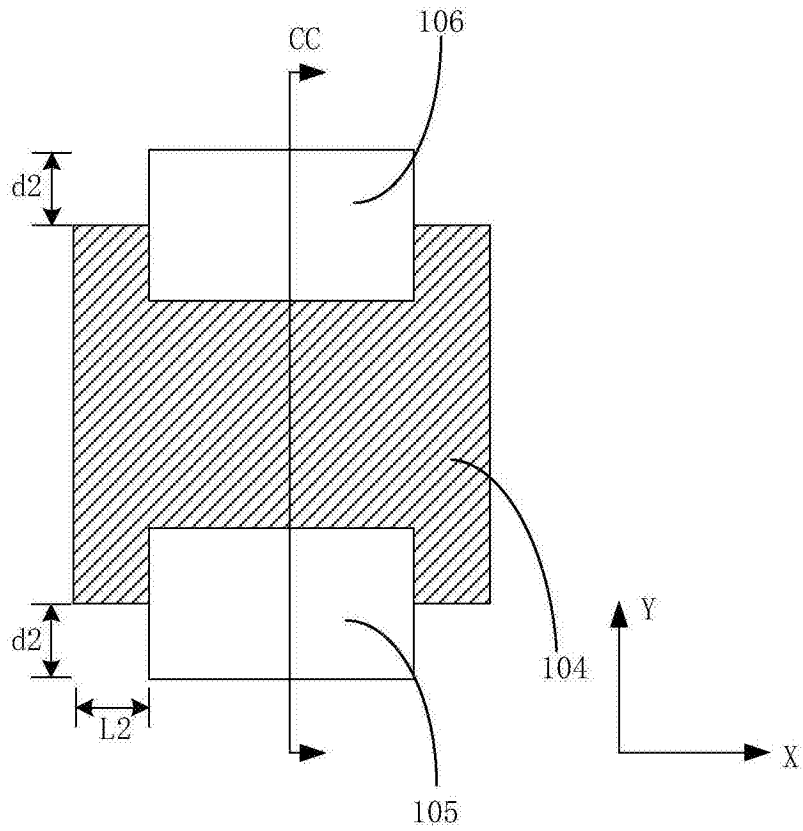


图2A

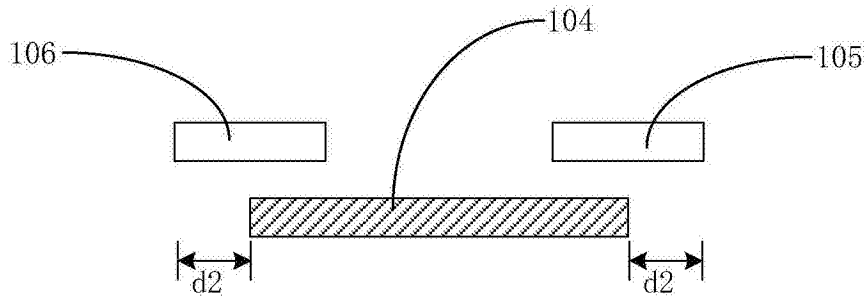


图2B

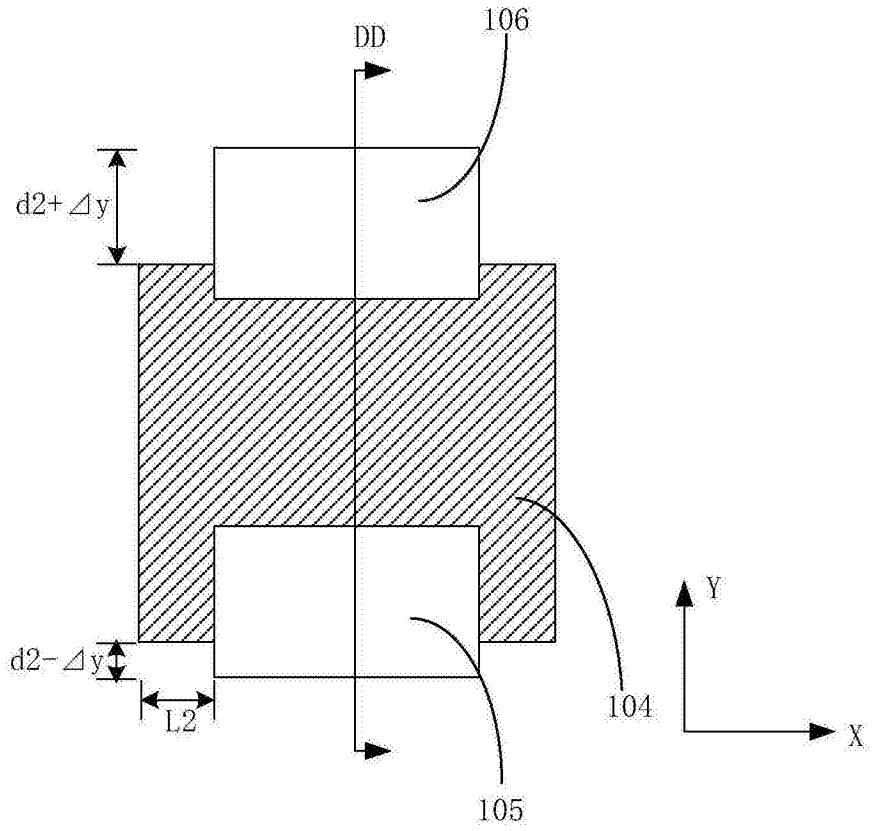


图2A'

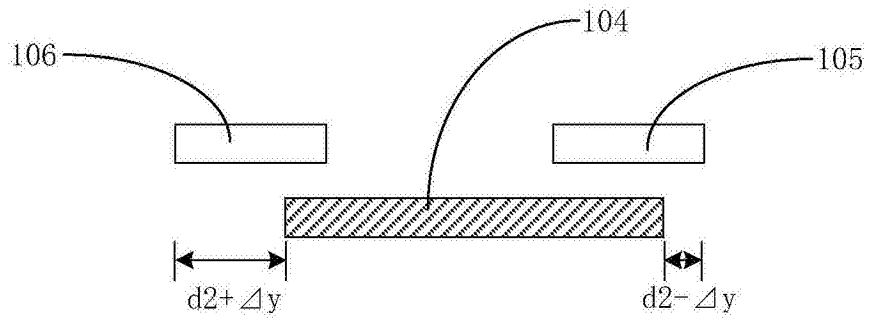


图2B'

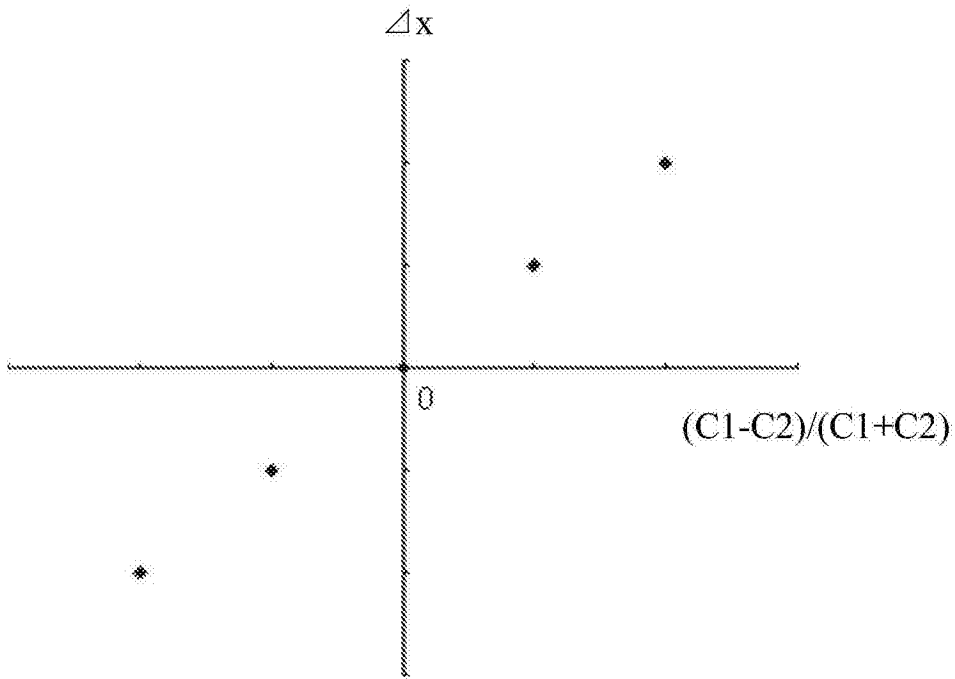


图3

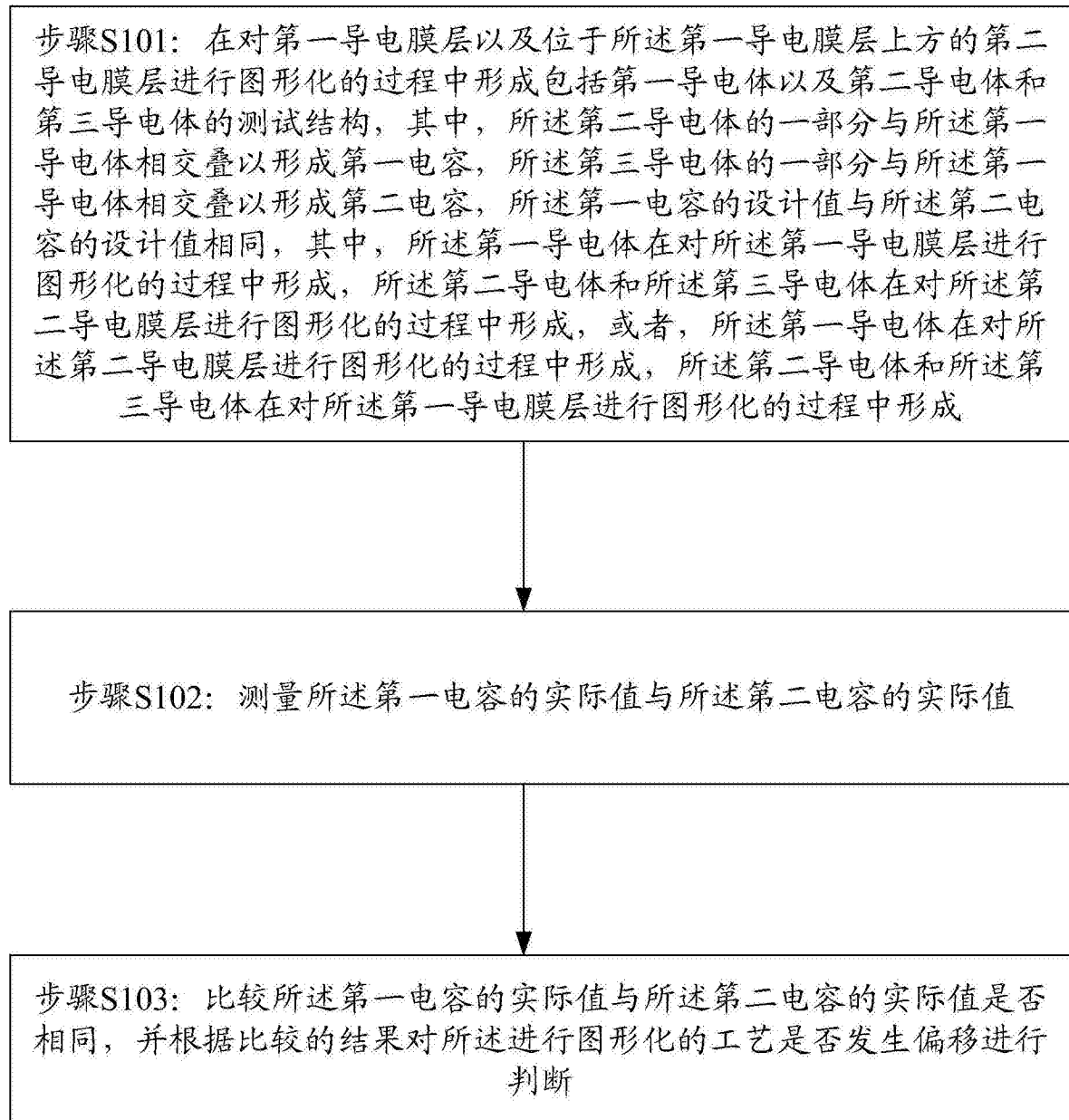


图4

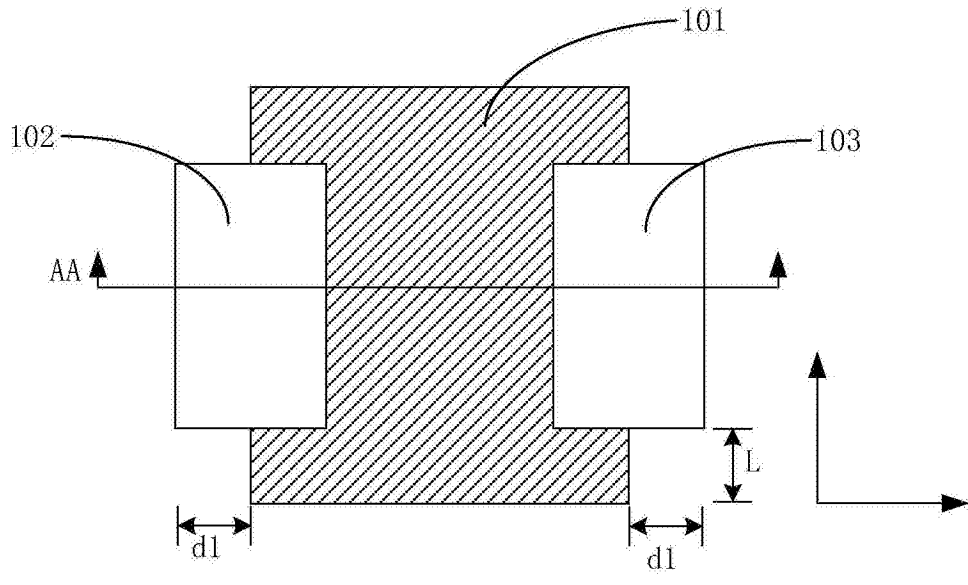


图5A

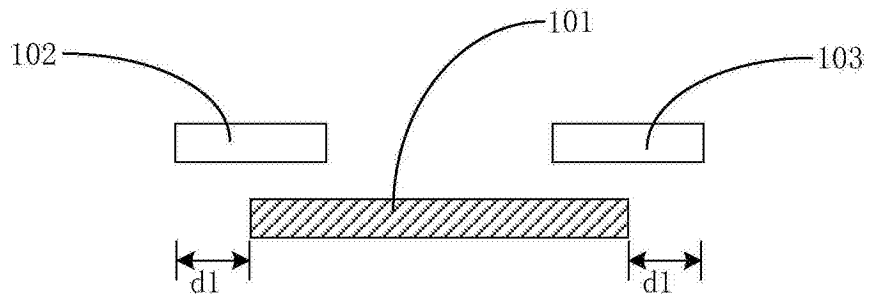


图5A'

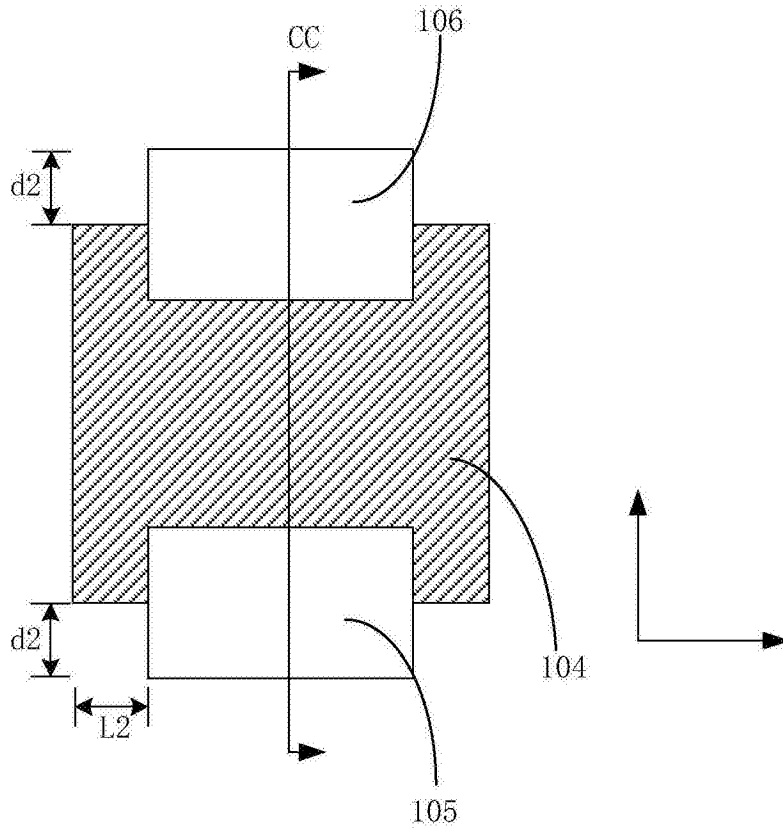


图5B

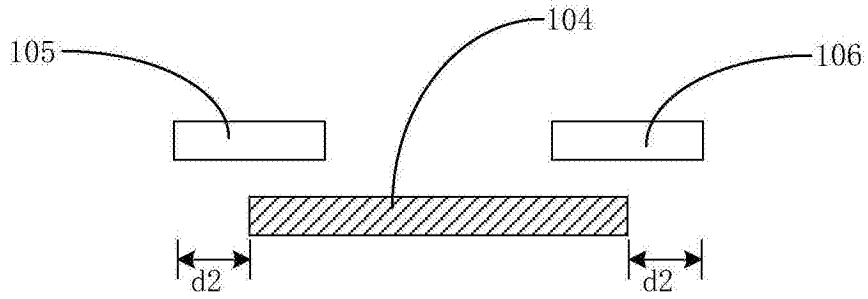


图5B'