

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5319533号
(P5319533)

(45) 発行日 平成25年10月16日 (2013. 10. 16)

(24) 登録日 平成25年7月19日 (2013. 7. 19)

(51) Int. Cl.		F I	
HO 1 L 27/12	(2006. 01)	HO 1 L 27/12	G
HO 1 L 21/02	(2006. 01)	HO 1 L 27/12	B
HO 1 L 21/338	(2006. 01)	HO 1 L 29/80	B
HO 1 L 29/812	(2006. 01)	HO 1 L 29/78	6 1 8 C
HO 1 L 29/786	(2006. 01)	HO 1 L 29/78	6 2 7 D
請求項の数 19 (全 80 頁) 最終頁に続く			

(21) 出願番号	特願2009-529401 (P2009-529401)	(73) 特許権者	506175840
(86) (22) 出願日	平成19年9月20日 (2007. 9. 20)		ザ ボード オブ トラスティーズ オブ
(65) 公表番号	特表2010-504649 (P2010-504649A)		ザ ユニヴァーシティー オブ イリノ
(43) 公表日	平成22年2月12日 (2010. 2. 12)		イ
(86) 国際出願番号	PCT/US2007/079070		アメリカ合衆国, イリノイ州, アーバナ,
(87) 国際公開番号	W02008/036837		サウス ライト ストリート 506, ヘ
(87) 国際公開日	平成20年3月27日 (2008. 3. 27)		ンリー アドミニストレーション ビルデ
審査請求日	平成22年8月31日 (2010. 8. 31)		イング 352
(31) 優先権主張番号	60/826, 354	(74) 代理人	100094318
(32) 優先日	平成18年9月20日 (2006. 9. 20)		弁理士 山田 行一
(33) 優先権主張国	米国 (US)	(74) 代理人	100123995
(31) 優先権主張番号	60/944, 653		弁理士 野田 雅一
(32) 優先日	平成19年6月18日 (2007. 6. 18)	(74) 代理人	100107456
(33) 優先権主張国	米国 (US)		弁理士 池田 成人
最終頁に続く			

(54) 【発明の名称】 転写可能な半導体構造、デバイス、及びデバイスコンポーネントを作成するための剥離方法

(57) 【特許請求の範囲】

【請求項 1】

デバイス又はデバイスコンポーネントを作成する方法であって、
 複数の機能層と複数の剥離層とを含む多層構造を供給する工程であって、前記剥離層の少なくとも一部が前記多層構造中で機能層間に設けられている、該工程と、
 一以上の前記剥離層又は該剥離層の一部を一以上の前記機能層から分離することによって、前記機能層の少なくとも一部を前記多層構造から剥離し、複数の転写可能な構造を生成する工程と、
 一以上の前記転写可能な構造をデバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に印刷し、前記デバイス又は前記デバイスコンポーネントを作成する工程であり、前記印刷が乾式転写接触印刷である、該工程と、
 を含む方法。

【請求項 2】

前記機能層の少なくとも一部を前記多層構造から剥離する前記工程が、
 少なくとも一対の隣接する層を物理的に分離する工程であって、該一対の隣接する層が、前記多層構造中で機能層に隣接して設けられた剥離層を含む、該工程と、
 前記多層構造中の一以上の前記剥離層の少なくとも一部を除去する工程と、
 からなる群から選択される工程を含む、請求項 1 に記載の方法。

【請求項 3】

前記機能層の少なくとも一部を前記多層構造から剥離する前記工程が、

ー以上の剥離層をエッチングする工程と、
 ー以上の剥離層に熱衝撃を与える工程と、
 レーザ光源からの電磁放射に前記剥離層を晒すことによってー以上の剥離層をアブレーション又は分解する工程と、
 化学薬剤に前記剥離層を接触させることによってー以上の剥離層を分解する工程と、
 からなる群から選択された技法を使用して、ー以上の前記剥離層又は該剥離層の一部をー以上の前記機能層から分離する工程を含む、請求項 1 に記載の方法。

【請求項 4】

前記機能層の少なくとも一部を前記多層構造から剥離する前記工程が、
 ー以上の前記剥離層に界面クラックを導入する工程と、
 前記界面クラックの伝播を引き起こすように前記剥離層に機械的に応力を加え、それによって、ー以上の機能層の剥離をもたらす工程と、
 を含む、請求項 1 に記載の方法。

10

【請求項 5】

マスク層をー以上の機能層に物理的に接触して設ける工程を更に含み、
 前記機能層の少なくとも一部を前記多層構造から剥離する前記工程の間、前記マスク層は、前記多層構造に供給されるエッチング液、溶媒、又は化学薬剤にー以上の機能層が晒されることを防止することができる、請求項 1 に記載の方法。

【請求項 6】

前記機能層の少なくとも一部を前記多層構造から剥離する前記工程の前に、キャリアフィルムをー以上の前記機能層に接触させて供給する工程を更に含む、請求項 1 に記載の方法。

20

【請求項 7】

ー以上の予め選択されたマイクロサイズ又はナノサイズの物理的寸法を有する前記転写可能な構造を生成するよう、前記機能層の少なくとも一つに凹部を作成する工程を更に含む、請求項 1 に記載の方法。

【請求項 8】

前記多層構造の前記機能層の少なくとも一つが、半導体層又は一連の半導体層を含む、請求項 1 に記載の方法。

【請求項 9】

前記一連の半導体層が、単一の結晶半導体層、有機半導体層、無機半導体層、III-V 族半導体層、及び IV 族元素又は化合物半導体からなる群から選択された少なくとも一つの半導体層を含む、請求項 8 に記載の方法。

30

【請求項 10】

前記多層構造を基板上に生成する工程を更に含み、少なくとも一つの剥離層が前記機能層と前記基板との間に設けられる、請求項 1 ~ 9 の何れか一項に記載の方法。

【請求項 11】

前記多層構造を基板上に生成する前記工程と、前記機能層の少なくとも一部を前記多層構造から剥離する前記工程と、ー以上の前記転写可能な構造を印刷する前記工程とを繰り返す工程を更に含み、

40

前記多層構造を基板上に生成する前記工程と、前記機能層の少なくとも一部を前記多層構造から剥離する前記工程と、ー以上の前記転写可能な構造を印刷する前記工程とを繰り返す前記工程の間、前記基板が再使用される、
 請求項 10 に記載の方法。

【請求項 12】

前記多層構造の前記機能層、剥離層、又は双方の少なくとも一部が、前記基板上にエピタキシャル成長した薄膜である、請求項 10 に記載の方法。

【請求項 13】

光起電力デバイス若しくはデバイスアレイ、トランジスタデバイス若しくはデバイスアレイ、発光ダイオードデバイス若しくはデバイスアレイ、レーザ若しくはレーザのアレイ

50

、又はセンサ若しくはセンサアレイを作成する方法を含む、請求項 1 に記載の方法。

【請求項 1 4】

転写可能な半導体構造を作成する方法であって、

複数の機能層と複数の剥離層とを含む多層構造を提供する工程であって、前記剥離層の少なくとも一部が前記多層構造中で機能層間に設けられ、前記機能層の少なくとも一部が一以上の半導体薄膜を含む、該工程と、

一以上の前記剥離層又は該剥離層の一部を一以上の前記機能層から分離することによって前記機能層の少なくとも一部を前記多層構造から剥離し、前記転写可能な半導体構造を生成する工程と、

前記転写可能な半導体構造をスタンプに接触させて、該転写可能な半導体構造をリフトオフする工程と、

を含む方法。

【請求項 1 5】

光起電力デバイス又はデバイスアレイを作成する方法であって、

複数の機能層と複数の剥離層とを含む多層構造を提供する工程であって、前記剥離層の少なくとも一部が前記多層構造中で機能層間に設けられ、前記機能層の少なくとも一部が光起電力セルを含む、該工程と、

一以上の前記剥離層又は該剥離層の一部を一以上の前記機能層から分離することによって、前記機能層の少なくとも一部を前記多層構造から剥離し、複数の転写可能な光起電力セルを生成する工程と、

一以上の前記転写可能な光起電力セルをデバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に接触印刷又は溶液印刷によって印刷し、それによって、前記光起電力デバイス又はデバイスアレイを作成する工程と、

を含む方法。

【請求項 1 6】

前記スタンプはエラストマスタンプである、請求項 1 4 に記載の方法。

【請求項 1 7】

デバイス又はデバイスコンポーネントを作成する方法であって、

複数の機能層と複数の剥離層とを含む多層構造を供給する工程であって、前記剥離層の少なくとも一部が前記多層構造中で機能層間に設けられている、該工程と、

一以上の前記剥離層又は該剥離層の一部を一以上の前記機能層から分離することによって、前記機能層の少なくとも一部を前記多層構造から剥離する工程であり、一以上の前記剥離層に界面クラックを導入し、前記界面クラックの伝播を引き起こすように前記剥離層に機械的に応力を加えることを含み、それによって、一以上の機能層の剥離をもたらし、複数の転写可能な構造を生成する、該工程と、

一以上の前記転写可能な構造をデバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に印刷し、前記デバイス又は前記デバイスコンポーネントを作成する工程と、

を含む方法。

【請求項 1 8】

デバイス又はデバイスコンポーネントを作成する方法であって、

複数の機能層と複数の剥離層とを含む多層構造を供給する工程であって、前記剥離層の少なくとも一部が前記多層構造中で機能層間に設けられている、該工程と、

一以上の前記剥離層又は該剥離層の一部を一以上の前記機能層から分離することによって、前記機能層の少なくとも一部を前記多層構造から剥離し、複数の転写可能な構造を生成する工程と、

前記機能層の少なくとも一部を前記多層構造から剥離する前記工程の前に、キャリアフィルムを一以上の前記機能層に接触させて供給する工程と、

一以上の前記転写可能な構造をデバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に印刷し、前記デバイス又は前記デバイスコンポーネントを作成す

10

20

30

40

50

る工程と、
を含む方法。

【請求項 19】

デバイス又はデバイスコンポーネントを作成する方法であって、

基板を提供する工程と、

多層構造を前記基板上に生成する工程であり、該多層構造は、複数の機能層と複数の剥離層とを含み、前記剥離層の少なくとも一部が前記多層構造中で機能層間に設けられ、少なくとも一つの剥離層が前記機能層と前記基板との間に設けられる、該工程と、

一以上の前記剥離層又は該剥離層の一部を一以上の前記機能層から分離することによって、前記機能層の少なくとも一部を前記多層構造から剥離し、複数の転写可能な構造を生成する工程と、

一以上の前記転写可能な構造をデバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に印刷し、前記デバイス又は前記デバイスコンポーネントを作成する工程と、

前記多層構造を基板上に生成する前記工程と、前記機能層の少なくとも一部を前記多層構造から剥離する前記工程と、一以上の前記転写可能な構造を印刷する前記工程とを繰り返す工程と、

含み、

前記多層構造を基板上に生成する前記工程と、前記機能層の少なくとも一部を前記多層構造から剥離する前記工程と、一以上の前記転写可能な構造を印刷する前記工程とを繰り返す前記工程の間、前記基板が再使用される、

を含む方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001]本出願は、2006年9月20日に提出された米国仮特許出願第60/826,354号、及び2007年6月18日に提出された米国仮特許出願第60/944,653号の利益を主張するものであり、これら出願を本開示と矛盾しない範囲で参照することにより援用するものである。

【発明の背景】

【0002】

[0002]ナノ構造、マイクロ構造、可撓性電子部品、及び様々な他のパターン構造といった構造を、デバイス基板及びデバイス基板によって支持されたデバイスコンポーネント(構成要素)上に印刷するために、様々なプラットフォームを利用することが可能である。例えば、米国特許出願第11/115,954号(2005年4月27日に提出された18-04)第11/145,574号(2005年6月2日に提出された38-04A)、第11/145,542号(2005年6月2日に提出された38-04B)、第11/423,287号(2006年6月9日に提出された38-04C)、第11/423,192号(2006年6月9日に提出された41-06)、第11/421,654号(2006年6月1日に提出された43-06)、第60/826,354号(2006年9月20日に提出された151-06P)等の幾つかの特許及び特許出願が、多様な構造の作成及び印刷を行う様々な方法及びシステムを説明している。本出願は、これら出願を矛盾しない範囲で参照することにより援用する。現在、転写可能な半導体素子を生成する方法及び構造への要求が存在している。また、デバイス及びデバイスコンポーネントを作成する高スループット処理と両立できる低コストの方法及び構造への特別な要求が存在している。

【発明の概要】

【0003】

[0003]デバイス基板又はデバイス基板上のデバイスコンポーネントに印刷することが可能な構造を低コストで生成可能とする方法及び関連するシステムを提供する。これは、個

10

20

30

40

50

々の層にアクセス可能であるように構成された多層構造のスタックを提供することによって達成される。機能層である個々の層は特定用途のものであり、機能層は後にデバイス及びデバイスコンポーネントに組み込まれる。個々の層は、順次、層ごとにアクセスする又は同時に二つ以上の層にアクセスする剥離方法によってアクセスされる。これらの機能層は、多様な印刷方法及びシステムによって、デバイス又はデバイスコンポーネント上に印刷するか又はそれらの中に組み込むことができる。これらの多層スタックシステムは、複数の層に含まれる複数の印刷可能又は転写可能な機能構造を単一のプロセスで生成できるようにし、それによって、印刷可能又は転写可能な構造又は層当たりのコストを低減し、目的のデバイス又はデバイスコンポーネントの最終コストを低減する。

【0004】

[0004]一態様においては、本発明は、複数の機能層を有する多層構造によって、低コスト及び/又は高性能な光起電力素子を作成する方法を提供する。この多層構造は、光起電力素子を有する太陽電池に組み込むことが可能である。この多層アプローチは、幾つかの理由で有利なものである。例えば、多数の太陽電池を単一の堆積作業で成長することができ、それによって、成長チャンバのローディング及びアンローディング、成長基板表面の準備、及び単層作成アプローチで一般に必要とされる緩衝層の堆積を避けることができる。これにより、太陽電池層当たりの製造コストが著しく低減され、それによって、太陽電池デバイスコンポーネントのコストが低減される。さらに、母基板から機能層を完全にリフトオフすることができるので、同じ母基板上に追加の多層構造を構築することによって、母基板を再使用できるようになる。さらに、本多層構成は、容易に放熱され、且つ、プラスチック及び広範囲の形状因子を有する他の基板に容易に印刷することができる転写可能な構造を提供することができる。

【0005】

[0005]一実施形態では、複数の機能層及び複数の剥離層を有する多層構造を提供することによって、デバイス又はデバイスコンポーネントを作成する方法が提供される。この構成では、剥離層の少なくとも一部が、機能層にアクセスできるよう、機能層間に設けられる。機能層の少なくとも一部が、一以上の剥離層又は剥離層の一部を一以上の機能層から分離することによって、多層構造から剥離される。この機能層の剥離は、基板上に印刷することができる構造を生成する。デバイス又はデバイスコンポーネントが、一以上の転写可能な構造を、デバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に、接触印刷による等の当技術分野で知られている任意の印刷手段（例えば接触印刷、液体印刷、乾式転写接触印刷、ソフトリソグラフィマイクロ転写印刷及びソフトリソグラフィナノ転写印刷、溶液印刷、流体自己アセンブリ、インクジェット印刷、熱転写印刷、及びスクリーン印刷）により印刷することによって作成される。

【0006】

[0006]剥離は広く使用されているものであり、多層構造において層の少なくとも一部を他の層から分離する任意の手段を指すものである。例えば、機能層の少なくとも一部を多層基部（substructure）から剥離する工程は、少なくとも1対の隣接する層を物理的に分離することによるものとするることができる。隣接する層は、多層構造において機能層に隣接している剥離層とすることができる。剥離層は、剥離刺激に応じて機能層の少なくとも一部が容易に剥離できるように構築される。例えば、剥離刺激は、剥離層の少なくとも一部を除去する化学的又は物理的な刺激を含み得るものであり、それによって、隣接する機能層の剥離を容易なものとする。しかしながら、対象の剥離層に作用し得る任意の刺激を使用することが可能である。剥離工程の他の例は、限定するものではないが、一以上の剥離層をエッチングすること、一以上の剥離層に熱衝撃を与えること、レーザ光源からの電磁放射に一以上の剥離層を晒すことによって当該剥離層をアブレーションすること、及び、化学薬剤に一以上の剥離層を接触させることによって当該剥離層を分解することを含む。一態様においては、機能層は当該層の端部に設けられたアンカー手段によって隣接する層に接続され、したがって、剥離は、これら端部でアンダーカットを行い、機能層をリフトオフすることによって達成される。或いは、アンカーは犠牲層又は剥離層中にパターン

10

20

30

40

50

として設けられ、それによって、隣接する層又は基板に固定されたアンカーが提供される。これらのアンカーは、破壊可能な係留 (Tether) ポイントの設計に柔軟性を与え、機能層部分のリフトオフの制御を容易にする。オプションとして、本明細書で開示する如何なる方法においても、リフトオフされた機能層に付着したままの層が、除去される。一態様においては、リフトオフは、エラストマスタンプといったスタンプに多層構造を接触させることによって達成される。オプションとして、スタンプを使用して、リフトオフ構造の表面への接触印刷を容易とすることができる。

【 0 0 0 7 】

[0007]剥離層への信号の伝達を容易にするために、信号が通過する任意の一以上の機能層は、信号を少なくとも部分的に伝達することができる。例えば、電磁放射である信号の場合には、機能層は、剥離層の少なくとも一部をアブレーションすることができる電磁放射に対して少なくとも部分的に透明である。或いは、電磁放射が、多層構造を支持する基板の他方の側といった反対側から伝達される場合には、基板は電磁放射に対して少なくとも部分的に透明である。

10

【 0 0 0 8 】

[0008]剥離する別の手段は、剥離層に設けられた界面クラックである。このようなクラックは、剥離層といったシステムに応力を加えることによって一以上の機能層のリフトオフを容易にする。クラックは、限定するものではないが、機械的、化学的、又は熱的に生成された力を含む、当技術分野で知られている任意の手段によって導入することができる。

20

【 0 0 0 9 】

[0009]一態様においては、本明細書に開示する何れの方法も、多層構造の少なくとも一部をマスクする工程を更に含み得る。例えば、マスク層が、一以上の機能層と物理的に接触する。このようなマスクは、多層構造から機能層の少なくとも一部を剥離するために剥離信号として与えられるエッチング液、溶媒、又は化学薬剤に、一以上の機能層が晒されることを少なくとも部分的に防ぐことができる。このようなマスクは、機能層が、高価であり且つエッチング液などの剥離信号によって損傷し易い高品質層である用途で有用となることがある。

【 0 0 1 0 】

[0010]別の態様においては、一以上の機能層に接触したキャリアフィルムを提供し、機能層の一部を多層基部から剥離する工程を更に容易なものとする。

30

【 0 0 1 1 】

[0011]本明細書で提供する方法及びシステムは、多様な形状を有する多様な転写可能構造を生成するのに有用である。したがって、この方法は、多様なデバイス及びデバイスコンポーネントの製造用の幾つかのデバイス製造プロセスに組み込むことができる。一態様においては、転写可能構造は、層構造タイプの形状を有する。別の態様においては、凹部を本技術分野で公知の任意の方法によって提供して、機能層の少なくとも一つが、一以上の予め選択されたマイクロサイズ又はナノサイズの物理的寸法を有する転写可能構造を生成するようにする。例えば、少なくとも一つの機能層における凹部の生成は、フォトリソグラフィ、ソフトリソグラフィ、電子ビーム直接描画、又は光アブレーションパターンニングであるパターンニング技法といったパターンニング技法を使用して任意に行われる。

40

【 0 0 1 2 】

[0012]本発明の機能層は、広く使用されるものであり、デバイス又はデバイスコンポーネント内で利用される材料を指す。様々なデバイス及びデバイスコンポーネントに対して広い用途をもつ機能層は、半導体を有する多層又は一連の (例えば複数の) 半導体層である。機能層の組成及び形状は、その機能層の最終用途又は機能に応じて選択される。例えば、一連の半導体層は、単一の結晶半導体層、有機半導体層、無機半導体層、III-V族半導体層、及びIV族元素又は化合物半導体からなる群から選択された少なくとも一つの半導体層とすることができる。別の態様においては、一連の半導体層のシーケンスは、異なる半導体材料を有する少なくとも二つの半導体層である。一態様においては、少なく

50

とも一つの機能層が、一以上の誘電体層又は一以上の導体層から作成される。一実施形態では、多層中の機能層が、他の機能層と異なってもよい。一実施形態では、多層中の機能層が、全て同じである。一実施形態では、多層中の機能層が、複数の半導体層のような複合レシピによる個々の層である。本出願の一部として含まれる図面においては、これら機能層に由来する構造を、「機能材料素子又はデバイス」(F M E D)と呼ぶ。

【0013】

[0013]本明細書で説明する幾つかの方法に有用な他の機能層は、限定するものではないが、電子、光学、若しくは電気光学デバイス、又は電子、光学、若しくは電気光学デバイスコンポーネント、即ち、P-N接合、薄膜トランジスタ、単接合太陽電池、多接合太陽電池、フォトダイオード、発光ダイオード、レーザ、CMOSデバイス、MOSFETデバイス、MESFETデバイス又はHEMTデバイスの一部であるコンポーネントである機能層を含む。

10

【0014】

[0014]一実施形態では、何れの多層構造も基板上に生成される。一態様においては、少なくとも一つの剥離層が、機能層と基板との間に設けられた剥離層のように、多層構造と基板との間に設けられる。別の態様においては、剥離層は、多層構造と基板との間に設けられない。その場合、母基板及び/又は隣接する機能層が、基板から機能層を剥離できるようにする。一態様では、母基板はそれ自体剥離層である。

【0015】

[0015]多層構造、具体的には多層構造の個々の層は、本技術分野で公知のように、基板表面に堆積又は成長することができる。例えば、表面に層を成長又は堆積する任意の一以上の手段は、限定するものではないが、エピタキシャル成長、蒸着堆積、気相エピタキシ、分子線エピタキシ、有機金属化学気相堆積、化学気相堆積、物理気相堆積、スパッタリング堆積、ゾルゲルコーティング、電子ビーム蒸着堆積、プラズマ化学気相堆積、原子層堆積、液相エピタキシ、電気化学堆積、及びスピンコーティングを含む種々の技法から選択することができる。そのような方法で、複数の転写可能な構造がシステムから生成され、最後の機能層(例えば、基板表面に最も近い層)が剥離されると、基板が任意に再使用される。そのような再使用は、基板それ自身が損傷するか、破壊されるか、又は、最終のデバイス若しくはデバイスコンポーネントに組み込まれる製造プロセスと比較して、コストの節減をもたらす。

20

30

【0016】

[0016]多層構造は、交互の剥離層と機能層のように、予め選択された一連の薄膜であって基板上にエピタキシャル成長された一連の薄膜のシーケンスを有する機能層及び/又は剥離層を任意に含む。一実施形態では、機能層は、約5nmから約50000ナノメートルまでの範囲から選択された厚さを有する。一実施形態では、多層構造は、約2個から約200個の機能層及び/又は約2個から約200個の剥離層を有する。剥離層は、システム構成に応じて、1nm程度の薄さとすることができる。他の実施形態では、剥離層はより厚く、例えば、約1 μ mと2 μ mとの間とすることができる。剥離層の材料の組成の実際の選択は、高品質機能層を成長すること(例えばエピタキシャル成長)が望ましいか否かといったような幾つかのパラメータに基づいてなされる。剥離層の組成についての制約は、成長がエピタキシャルでない場合に緩和することができる。さらに、剥離層の組成は、多層構造から機能層を剥離するための剥離方法に適合するべきである。例えば、剥離メカニズムがクラッキングによるものである場合、ヤング率を選択して、最適なクラッキングを得ることができる。

40

【0017】

[0017]多様なデバイスを、本明細書で開示する何れかの方法を使用して、作成することができる。一態様においては、本発明は、光起電力デバイス若しくはデバイスアレイ、トランジスタデバイス若しくはデバイスアレイ、発光ダイオードデバイス若しくはデバイスアレイ、レーザ若しくはレーザのアレイ、センサ若しくはセンサアレイ、集積電子回路、マイクロ電気機械デバイス、又はナノ電気機械デバイを作成する方法を提供する。

50

【 0 0 1 8 】

[0018]一実施形態では、本発明の何れの方法も、転写可能な半導体構造を作成するためのものである。例えば、転写可能な半導体構造は、一以上の半導体薄膜を有する機能層の少なくとも一部から作成され、一以上の剥離層又はその一部を一以上の機能層から分離することによって機能層の少なくとも一部を多層構造から剥離することで、作成される。同様に、予め選択された半導体薄膜のシーケンスを有する光起電力セルのようにそれ自体光起電力セルである機能層の少なくとも一部を提供することによって、光起電力デバイス又はデバイスアレイを作成する方法を提供する。

【 0 0 1 9 】

[0019]別の実施形態では、本発明は、犠牲層が基板表面の少なくとも一部に設けられたデバイス又はデバイスコンポーネントを作成する方法である。犠牲層は、基板からの機能層の取り出しを容易にする材料を指すよう広義に使用されている。犠牲層は、機能層の材料を受容するための受容面を有する。犠牲層は、当技術分野で公知の任意の手段によって選択的にパターン化され、下地の基板又は基板上の薄膜若しくは被覆を対応するパターンで露出する。露出された基板のパターンは、続いて機能層が堆積されると、機能層の潜在的なアンカー領域に対応する。具体的には、堆積された機能層は、二つの領域、即ち、犠牲層中のパターン化された領域に対応する「アンカー領域」と、下地の基板から機能層を分離する犠牲層が存在する「非アンカー領域」とを有する。アンカーは、ブリッジ要素として機能して、非アンカー領域に対応するパターンで機能層を制御してリフトオフすることを容易にする。機能層の一部が剥離され、機能層アンカーのパターンが基板に少なくとも部分的に固定されたままであり、基板に固定されていない機能層の少なくとも一部が剥離され、それによって、複数の転写可能な構造が生成される。転写可能な構造はデバイス基板又はデバイス基板によって支持されたデバイスコンポーネント上に任意に印刷され、それによって、デバイス又はデバイスコンポーネントが作成される。本明細書で説明するように、接触印刷又は溶液印刷などの本技術分野で公知の任意の印刷手段を使用することができる。

【 0 0 2 0 】

[0020]一実施形態では、剥離する工程は、エラストマースタンプを機能層の少なくとも一部に接触させることと、スタンプを機能層との接触から解除することと、を含み、それによって、基板に固定されていない機能層の少なくとも一部を取り出す。

【 0 0 2 1 】

[0021]別の実施形態では、剥離する工程は、犠牲層をエッチングすること、犠牲層に熱衝撃を与えること、レーザー光源からの放射に犠牲層を晒すことによってアブレーション又は分解すること、及び化学薬剤に犠牲層を接触させることによって犠牲層を分解することからなる群から選択された技法を使用する。次に、アンカーから機能構造を選択的に離脱させるスタンプによるなどの本技術分野で公知の任意の手段によって、機能層は任意に切り離し又は取り出しが行われ、それによって、犠牲層に当初適用されたパターンに対応し得る印刷機能構造が提供される。

【 0 0 2 2 】

[0022]一実施形態では、本明細書で開示する何れのパターンングプロセスも、本発明の多層プロセスに組み込まれるアンカーを提供する。例えば、このパターンングを、機能層を分離する本発明の一以上の剥離層に適用して、複数の機能材料及び/又は機能層を制御可能に剥離する追加の手段を提供することができる。

【 0 0 2 3 】

[0023]別の実施形態では、本発明は、多層アレイ中に設けられた複数の転写可能な半導体素子を作成する方法である。このようなプロセスは、単層から及び/又は各層が複数の要素を生成することができる多層から、多数の要素を製造できるようにし、下地の表面に取り付けられている要素の処理を含む追加の要素処理を可能にする。例えば、この方法は、無機半導体を含むウェハといった外部表面を有するウェハを提供する工程を含むことができる。外部表面の選択された領域が外部表面に第1のマスクを設けることによってマス

10

20

30

40

50

クされ、それによって、外部表面のマスクされた領域とマスクされない領域とが生成される。外部表面からウェハ内に延びる複数の起伏部は、ウェハの外部表面のマスクされていない領域をエッチングすることによって生成される。このようにして、起伏部の少なくとも一部は、少なくとも一方の側面の長さに沿って空間的に変化する輪郭プロファイルを有する少なくとも一つの起伏のある側面を有する。別のマスクする工程では、第2のマスクが起伏のある側面をマスクし、起伏のある側面が第2のマスクによって単に部分的にマスクされる。これは、マスクされた領域とマスクされていない領域とを、側面の長さに沿って生成する。マスクされていない領域をエッチングして、多層アレイ内に設けられた複数の転写可能な半導体素子を生成する。

【0024】

[0024]これらの方法のいずれもが、バルク半導体ウェハ、例えば(111)方位を有するシリコンウェハであるウェハを任意に使用する。

【0025】

[0025]一態様においては、ウェハの外部表面のマスクされていない領域をエッチングする工程は、凹部をもつ側面を反応性イオンエッチング液とエッチングレジスト材料とに繰り返しさらすことによるように、凹部をもつ側面をエッチング液とエッチングレジスト材料とに繰り返し晒すことによって行われる。別の態様においては、エッチングする工程は、誘導結合プラズマ反応性イオンエッチング、緩衝酸化剤エッチング液、又は誘導結合プラズマ反応性イオンエッチング技法と緩衝酸化剤エッチング液技法の双方の組合せを使用して行われる。

【0026】

[0026]一実施形態では、起伏のある側面の輪郭プロファイルは、当該側面の長手方向の長軸と交差する長さを延長する複数の形状特徴を有する。例えば、輪郭プロファイルは、当該側面上に設けられた隆起、波形、及び/又はスカラップ形の凹部とすることができる。隆起、波形、又はスカラップ形の凹部のいずれも、第2のマスクを設けることによって起伏のある側面をマスクする工程の間、陰影マスクとして機能し、それによって、側面のマスクされていない領域を生成する。

【0027】

[0027]本発明の一態様においては、第2のマスクを設けることによって起伏のある側面をマスクする工程は、マスク材料の傾斜気相堆積によって行われる。

【0028】

[0028]一態様においては、側面のマスクされていない領域をエッチングする工程は、例えば(111)方位を有するシリコンウェハであるウェハを用いて、異方性エッチングによって行われ、側面のマスクされていない領域のエッチングは、シリコンウェハの<110>方向に沿って選択的異方性エッチングによって行われる。異方性エッチングは、強塩基に側面のマスクされていない領域を晒すことによって任意に行われる。

【0029】

[0029]一実施形態では、側面のマスクされていない領域のエッチングは転写可能な半導体素子を生成し、素子の各々はブリッジ要素を介してウェハに接続される。

【0030】

[0030]説明したシステムのいずれも、耐エッチ性マスクである第1及び第2のマスクといった耐エッチ性マスクであるマスクを任意に有する。

【0031】

[0031]別の態様では、本発明は、本明細書で開示するプロセスのいずれかによって複数の転写可能な半導体素子を供給し、次に、基板上に転写可能な半導体素子を印刷することによって複数の転写可能な半導体素子を基板上にアSEMBルする方法である。例えば、電子デバイス又は電子デバイスコンポーネントを作成する方法を提供する。この方法は本発明のプロセスによって多層アレイ中に設けられた複数の転写可能な半導体素子を提供する工程を含む。転写可能な半導体素子は基板上に印刷され、それによって、電子デバイス又は電子デバイスコンポーネントが作成される。本明細書で開示する方法のいずれも、接触

10

20

30

40

50

印刷によって行われる印刷する工程を使用する。本明細書で開示する方法のいずれも、多層の異なる層において転写可能な半導体を連続して印刷することによって行われる印刷する工程を含む。

【0032】

[0032]一実施形態では、アレイの第1の層の半導体素子を印刷する工程は、第1の層の下に設けられたアレイの層において一以上の転写可能な半導体素子を露出する。

【0033】

[0033]本発明の別の実施形態は、同種及び/又は異種の固定方法によって転写可能な半導体要素を作成する方法である。このような固定は、非固定システム及びプロセスと比較して、転写可能な要素を支持するウェハのより効率的な使用、高度な転写制御、及び高度な位置合わせ転写などの幾つかの利点を与える。具体的には、アンカー又はブリッジ要素は、剥離又は転写される要素の形状に対する局所的な制御を可能にする。

10

【0034】

[0034]「同種の固定」(例えば図20、35、37)は、機能層の一体化部分であるアンカーを指す。一般に、同種の固定システムによって転写可能な要素を作成する方法は、オプションとして、ウェハを供給し、ウェハ表面の少なくとも一部に犠牲層を堆積し、本技術分野で公知の任意の手段により半導体素子を形成し、アンカー領域を画成することによるものである。アンカー領域は、半導体要素の特定の領域に対応する。アンカー領域は、半導体層の幾何学的形状、例えば比較的大きい表面区域により画成されたアンカーに対応することができ、ブリッジ要素又は係留(Tether)要素によって転写可能な要素に接続される(例えば、図19、20、37を参照)。そのような形状は、単層又は多層の実施形態のいずれについても特定の非アンカー領域のリフトオフを容易にする手段を与える。或いは、アンカーは、下地のウェハに取り付けられるか又は接続される半導体領域に対応する(例えば図35)。犠牲層の除去は、下地のウェハに物理的に接続された半導体の一部を残しながら半導体素子を取り出す又は転写する手段を可能にする。

20

【0035】

[0035]「異種固定」(例えば図21、22)は、半導体層と異なる材料で作成されるか又は同じ材料で作成されるが、転写可能な半導体素子がシステムに配置された後に画成されるアンカーのような機能層の一体化部分でないアンカーを指す。同種アンカリングと比較して、異種アンカリングの一つの利点は、より良好な転写画成方策及び実効的な使用可能ウェハ実装面積のさらなる改善に関連する。異種方法の実施形態では、ウェハが供給され、ウェハは犠牲層で被覆され、半導体素子が形成され、半導体領域を固定する異種アンカー要素が堆積される。一態様では、アンカーは、フォトレジスト若しくはSiN(窒化ケイ素)などのレジスト材料であるか、又は、固定することができ、非アンカー領域が同じようには耐えることができないリフトオフ力に耐えることができる程度の剛性を有する他の材料である。アンカーは、一番上の半導体層から下地層を通過して下地のウェハ基板まで及ぶことがある。犠牲層の除去は、例えば接触転写によるように、アンカー領域をウェハに接続したままで非アンカー領域を除去する手段を与える。別の実施形態では、多層システム用に、アンカーは最上層を下地の半導体層に固定できるようにする。或いは、アンカーシステムは単層半導体層システム向けのものである。

30

40

【0036】

[0036]アンカーシステムのいずれも、犠牲層、機能層、及び剥離層のうち一以上を、本技術分野で公知の任意の手段によってパターン化し、露出したウェハ基板及び/又は露出した下地の半導体層を生成することによって随意に作成される。これらのアンカーシステムは、複数の転写可能な半導体素子を作成するのに、並びに転写可能な半導体素子から電子デバイス又はデバイスコンポーネントを作成するのに有用である。

【図面の簡単な説明】

【0037】

【図1A】基板上の多層構造の概略図である。

【図1B】機能及び剥離層の構成の拡大図である。

50

【図 2 A】犠牲層及びマスキング構造の除去による剥離を示す図である。

【図 2 B】封入マスク層を使用して F M E D を剥離するプロセスに関する工程を要約するフローチャートである。

【図 2 C】金属 - 半導体電界効果トランジスタ (M E S F E T S) 用に F M E D を剥離する場合の基板の例を示す図である。

【図 3 A】多層構造から剥離層を分離するための二つの異なる方式を対比する図であり、二つ以上の剥離層の同時除去を示す図である。

【図 3 B】多層構造から剥離層を分離するための二つの異なる方式を対比する図であり、剥離層の一つずつの除去を示す図である。

【図 3 C】様々な機能層 (例えば機能材料要素又はデバイス (F M E D)) 及び剥離層を含む多層構造を示す図である。

【図 3 D】様々な機能層 (例えば機能材料要素又はデバイス (F M E D)) 及び剥離層を含む多層構造を示す図である。

【図 3 E】様々な機能層 (例えば機能材料要素又はデバイス (F M E D)) 及び剥離層を含む多層構造を示す図であり、表 2 は、図 3 E に示す機能層の複合層のレシピを示している。

【図 4】基板の任意の再使用を伴う「一度に多層」プロセスにより光起電力素子用の F M E D を剥離するフローチャートである。

【図 5】基板の任意の再使用を伴う「一度に 1 層」プロセスにより光起電力素子用の F M E D を剥離するフローチャートである。

【図 6 A】剥離層を分離するためのレーザアブレーションの使用を要約する図であり、全プロセスを示す図である。

【図 6 B】剥離層を分離するためのレーザアブレーションの使用を要約する図であり、レーザアブレーションにより L E D 用の F M E D を剥離するための構造の例を示す図である。

【図 6 C】剥離層を分離するためのレーザアブレーションの使用を要約する図であり、レーザアブレーションにより L E D 用の F M E D を剥離するための一つのプロセスを要約するフローチャートである。

【図 7 A】F M E D と母基板との間の界面にクラックを導入し、次に、クラックを伝播させるよう母基板から (例えば、ゴムスタンプを使用して) F M E D を引き離すことによる剥離を要約する図であり、全プロセスを示す図である。

【図 7 B】F M E D と母基板との間の界面にクラックを導入し、次に、クラックを伝播させるよう母基板から (例えば、ゴムスタンプを使用して) F M E D を引き離すことによる剥離を要約する図であり、化学的手段により導入されたクラックを伝播させることによって L E D 用の F M E D を剥離するプロセスを要約するフローチャートである。

【図 8 A】F M E D と母基板との間の界面にクラックを導入し、次に、母基板から F M E D を引き離すことによる、キャリアフィルムを使用する剥離を要約する図であり、全プロセスを示す図である。

【図 8 B】F M E D と母基板との間の界面にクラックを導入し、次に、母基板から F M E D を引き離すことによる、キャリアフィルムを使用する剥離を要約する図であり、クラックを伝播させることによって F M E D を剥離するための構造の例を示す図である。

【図 8 C】F M E D と母基板との間の界面にクラックを導入し、次に、母基板から F M E D を引き離すことによる、キャリアフィルムを使用する剥離を要約する図であり、キャリアフィルム及び機械的に導入されたクラックの離間を使用して F M E D (S W N T のアレイ) を剥離するための一つのプロセスを要約するフローチャートである。

【図 9 A】二つ以上の剥離層の同時剥離と母基板の再使用可能な使用とを組み合わせた反復可能サイクルを示す図である。この例では、F M E D 層及び犠牲層が母基板上に準備され、F M E D が作成され、犠牲層が F M E D を剥離するために除去され、このプロセスが繰り返される。図 9 A は全プロセスを示す。対応するプロセスのフローチャートは図 4、5 に示されている。

10

20

30

40

50

【図10】ここでは多層形状（四つの犠牲層）で示す犠牲層の選択的な除去により多結晶/アモルファスのFME D材料を剥離するための基板の構造図である。

【図11】化学的に導入されたクラックを伝播させることによってFME Dを取り出すための基板の構造図である。

【図12】犠牲層の除去によってアモルファス又は多結晶のFME D構造を剥離するためのプロセスのフローチャートである。

【図13】Aは、Si太陽電池による熱化及び透過損失を示す波長の関数としてのスペクトル照射のグラフである。Bは、接合の数の関数としての太陽電池の理論的限界のプロットである。単結晶及び多結晶太陽電池によって達成された値もプロットされている。Dimroth及びKurtz、「High Efficiency Multijunction Solar Cells」、MRS Bull. 32:230(2007年)から。

10

【図14】格子及び電流整合が高品質デバイスを提供することを示す図である。「High Efficiency Multijunction Solar Cells」、Dimroth及びKurtz、MRS Bull. 32:230(2007年)から。

【図15】 $In_{0.5}Ga_{0.5}P/GaAs$ デバイス(左)及び関連する構造(右)を要約する図である(Takamotoら、「Over 30% efficient InGaP/GaAs tandem solar cells」、App. Phys. Letters 70:381(1997年)から)。

【図16】低コスト、高性能の太陽電池層を提供するための多層構造の概略図である。

20

【図17】シリコンウェハの表面に生成された多層スタックからシリコンマイクロ/ナノリボンの編成されたアレイを一度に1層ずつ転写印刷する工程の概略図である。リボンのアレイは、ここで示すように可撓性プラスチックを含む広範囲の基板に印刷することができる。左側の破線のボックスは、右側に見える拡大領域を示す。

【図18】リボンの多層スタック(上のパネル)を支持するSi(111)ウェハ(上のパネル)の走査型電子顕微鏡写真である。下のパネルはリボンのSEMであり、挿入図は光学写真(スケールバー2mm)である。

【図19-1】剥離層(犠牲層)の部分的除去であり、且つ一度に幾つかの剥離層の除去による機能層の部分的剥離の概略図である(図3Aも参照)。剥離層が部分的に除去された後、デバイスが基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り出しとによるデバイスの取り出しによって行われる。さらに、多層スタックの再堆積用に基板を準備するためにアンカー構造を除去する工程を概説する。

30

【図19-2】図19-1に続く図である。

【図19-3】図19-2に続く図である。

【図20-1】剥離層(犠牲層)の部分的除去であり、且つ、一度に一つの剥離層の除去による機能層の部分的剥離の概略図である(図3Bも参照)。剥離層が部分的に除去された後、デバイスが基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り出しとによるデバイスの取り出しの際に生じる。この図は、「一度に1層剥離プロセス」(図3Bにおけるように)の繰り返しに向けて基板を準備するために、及び多層スタックの再堆積に向けて基板を準備するために、アンカー構造を除去する工程も概説する。

40

【図20-2】図20-1に続く図である。

【図20-3】図20-2に続く図である。

【図21-1】横方向エッチストップ部又はアンカーポストを使用する、一度に幾つかの剥離層(犠牲層)を除去することによる機能層の部分的剥離の概略図である(図3Aも参照)。剥離層が除去された後、デバイスが横方向エッチストップ部/アンカーポストによって基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り出し

50

とによるデバイスの取り出しの際に生じる。この図は、多層スタックの再堆積に向けて基板を準備するために横方向エッチストップ部/アンカーポストを除去する工程も概説する。

【図21-2】図21-1に続く図である。

【図22-1】横方向エッチストップ部又はアンカーポストを使用する、一度に一つの剥離層(犠牲層)を除去することによる機能層の部分的剥離の概略図である(図3Bも参照)。剥離層が除去された後、デバイスが横方向エッチストップ部/アンカーポストによって基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り戻しとによるデバイスの取り出しの際に生じる。この図は、「一度に1層剥離プロセス」(図3Bにおけるように)を繰り返すために、及び多層スタックの再堆積に向けて基板を準備するために、横方向エッチストップ部/アンカーポストを除去する工程も概説する。

10

【図22-2】図22-1に続く図である。

【図23】機能層が図20で説明したプロセスと同様のプロセスによって部分的に剥離された後、付着防止層又は活性化層を有する機能層を後に剥離処理する概略図である。付着防止層又は活性化層は、自己組織化単分子層(SAM)であることが多く、剥離された層と下地の層との間の接着を防止するか(付着防止)、又は剥離された層と第2の材料(例えば、エラストマースタンプ、ナノ粒子、生物学的要素など)との間の接着を促進する(活性化)よう機能する。

【図24】プラスチック上に印刷された薄膜iLEDを示す図である。iLEDエピ層構造構成を左の図に示している。これらのLEDは、スタック構成からではなくウェハから剥離できるように示してある。しかし、本明細書で開示するように、これらのLEDは多層構成で剥離されてもよい。

20

【図25】従来のバルクSi(111)ウェハから、多層スタック構成で、多量の単結晶シリコンのマイクロ/ナノリボンを作成する工程の概略図である。このプロセスは、彫られた側壁を有するトレンチを生成する専用のエッチング手順、浅角度方向物理気相堆積、及び異方性湿式化学エッチングの組合せを活用する。左側の破線のボックスは、右側に見える拡大領域を示している。BOEは緩衝酸化物エッチング液を表わしている。

【図26】リボンの多層スタックの作成の様々な段階での斜視図(a、c、e、g)と断面図(b、d、f、h)におけるSi(111)ウェハの一連の走査型電子顕微鏡写真である。(a)及び(b)は、波形の側壁をもつトレンチを生成する垂直エッチング(ICPRIE)の後を示しており、(c)及び(d)は、金属マスク層の浅角度物理気相堆積の後を示しており、(e)及び(f)は2分間、(g)及び(h)は5分間の異方性湿式化学エッチング(KOH)とそれに続く金属の除去の後を示している。

30

【図27】ウェハから剥離後のSi(111)リボンの(a)写真と(b及びc)光学顕微鏡写真である。(d~f)は、様々なレベルの拡大での(a)に示されたりボンの走査型電子顕微鏡写真である。

【図28】(a)は、Si(111)リボンの4層スタックの大きい整列したアレイの写真である。(b)及び(c)は、(a)に示すサンプルの走査型電子顕微鏡写真の上面図であり、(d及びe)は斜視図である。リボンの端部のアンカー構造は、リボンが異方性エッチング液によって完全にアンダーカットされた後でさえ、それらのリソグラフィで形成された位置を維持するように、下地のウェハにリボンを付けたままにしている。

40

【図29】(a)は、ポリジメチルシロキサンの基板の上に印刷された、整列したSi(111)リボン転写の光学画像である。(b)は、(a)に示したアレイからの四つのリボンからの原子間力顕微鏡画像及びラインスキャンである。処理された単一のSiチップを使用する転写印刷の4サイクルによって生成されたSi(111)リボンアレイの四つの別個のパッチを支持する可撓性ポリエステルフィルムの写真である。

【図30】(a)半導体としてシリコンリボンを使用するトランジスタの概略断面図である。(b)は、デバイスの光学顕微鏡写真の上面図である。(c)及び(d)は、典型的なデバイスからの増幅特性曲線及び全電流/電圧特性である。

50

【図31】異なるSTS-ICPRIE条件と、異なる厚さをもつシリコンナノリボンとに係る様々な側壁を示す図である。

【図32】電子ビーム蒸着に対するシャドウイングマスク対角度の範囲を示す図である。

【図33A】EDAXエネルギー分散分光(EDS)分析を示す図である。

【図33B】EDAXエネルギー分散分光(EDS)分析を示す図である。

【図33C】EDAXエネルギー分散分光(EDS)分析を示す図である。

【図34】一連の7層シリボンを示す図である。

【図35】パターン化犠牲構造を使用するアンカー剥離の概略図である。

【図36】AuがPECVD SiO_xから剥離される図35のプロセスの一例を示す図である。

10

【図37A】剥離の準備ができているAl_{0.9}Ga_{0.1}As層(各々100nm厚)によって分離された7層のGaAs層(各々200nm厚)で作成された多層構造のSEM画像であり、斜視した画像(スケールバー20μm)である。

【図37B】剥離の準備ができているAl_{0.9}Ga_{0.1}As層(各々100nm厚)によって分離された7層のGaAs層(各々200nm厚)で作成された多層構造のSEM画像であり、正面から見た画像(スケールバー2μm)である。

【図38】7層のGaAs層の同時剥離の後にPDMSスタンプ(1~7と示されている)上に取り出された図37からの7層のGaAsの顕微鏡写真である。いかなる層もない清浄なドナーチップは、「ドナーチップ」として示されている。「8」と示されているスタンプは、殆どのGaAs構造がドナーチップ上に残っていないことを示している。

20

【図39A】PDMSスタンプによって多層ドナー基板から剥離されたGaAs層の光学画像であり、スケールバーは1mmである。

【図39B】PDMSスタンプによって多層ドナー基板から剥離されたGaAs層の光学画像であり、スケールバーは50μmである。

【発明の詳細な説明】

【0038】

[0076]以下、図面を参照する。同様の数字は同様の要素を示し、一つより多い図に現れる同じ数字は同じ要素を指す。さらに、以下では、次の定義が適用される。

【0039】

[0077]「転写可能な」又は「印刷可能な」は交換可能に使用されるものであり、基板上に、又は基板内に転写、アセンブリ、パターンニング、編成及び/又は集積化を行うことができる材料、構造、デバイスコンポーネント及び/又は集積機能デバイスに関連する。一実施形態では、転写可能とは、例えば多層構造からデバイス基板又はデバイス基板に支持されたデバイス若しくはコンポーネントに対するように、ある基板から別の基板に対する構造又は要素の直接転写を指す。或いは、転写可能とは、構造又は要素をリフトオフし、続いて構造又は要素をデバイス基板又はデバイス基板上のコンポーネントに転写するスタンプといったように、中間基板を介して印刷される構造又は要素を指す。一実施形態では、印刷は高温(即ち、摂氏約400度以下の温度)に基板を晒すことなく行われる。本発明の一実施形態では、印刷可能又は転写可能な材料、要素、デバイスコンポーネント、及びデバイスは、基板上又は基板内に溶液印刷又は乾式転写接触印刷を介して転写、アセンブリ、パターンニング、編成及び/又は集積化を行うことができる。同様に、「印刷」は、基板上又は基板内への転写、アセンブリ、パターンニング、編成及び/又は集積化を指すように広義に使用される。ここで、基板とは、スタンプとして機能する基板又はそれ自体がターゲット(例えば、デバイス)基板である基板のようなものである。そのような直接転写印刷は、多層構造の機能最上層をデバイス基板に低コストで比較的簡単に繰り返し転写を可能とする。これにより、別個のスタンプ基板を必要とすることなく、例えばウェハからターゲット基板への一括転写(blanket transfer)が達成される。「ターゲット基板」は、転写構造を支持する所望の最終基板を指すように広義に使用される。一実施形態では、ターゲット基板はデバイス基板である。一実施形態では、ターゲット基板は、それ自体基板によって支持されるデバイスコンポーネント又は要素である。

30

40

50

【 0 0 4 0 】

[0078]本発明の「転写可能な半導体要素(素子)」は、例えば乾式転写接触印刷法及び/又は溶液印刷法によって基板表面上にアセンブリ及び/又は集積化することができる半導体構造を含む。一実施形態では、本発明の転写可能な半導体要素は単体の単結晶、多結晶、又は微晶質の無機半導体構造である。この説明では、単体の構造は機械的に接続されている特徴を有するモノリシック要素である。本発明の半導体要素はドーブされなくてもよいしドーブされていてもよいし、ドーパントの選択された空間分布を有していてもよく、P型ドーパント及びN型ドーパントを含めて複数の異なるドーパント材料でドーブされていてもよい。本発明は、約1ミクロン以上の少なくとも一つの断面寸法を有するマイクロ構造の転写可能な半導体要素と、約1ミクロン以下の少なくとも一つの断面寸法を有するナノ構造の転写可能な半導体要素とを含む。多くの用途に有用な転写可能な半導体要素は、従来の高温処理技法を使用して生成された高純度結晶半導体ウェハのような高純度バルク材料の「トップダウン」処理に由来する要素を含む。一実施形態では、本発明の転写可能な半導体要素は、導電層、誘電体層、電極、追加の半導体構造、又はこれらの任意の組合せのような少なくとも一つの追加のデバイスコンポーネント又は構造に動作可能に接続された半導体要素を有する複合構造を含む。一実施形態では、本発明の転写可能な半導体要素は伸縮可能な半導体要素及び/又は異種半導体要素を含む。

10

【 0 0 4 1 】

[0079]「機能層」は、デバイス又はデバイスコンポーネントに組み込むことができ、そのデバイス又はデバイスコンポーネントに少なくとも部分的な機能性を与える層を指す。特定のデバイス又はデバイスコンポーネントに応じて、機能層は多様な組成を有する。例えば、太陽電池であるデバイスは、本明細書で提供するように、それ自体複数の別個の層から構成される機能層を含めて、III-V族マイクロ太陽電池の開始機能層から作成することができる。そのような層の剥離及び後続の印刷は、光起電力デバイス又はデバイスコンポーネントを構成する基盤を与える。対照的に、エレクトロニクス(MESFET)、LED、又は光システムに組み込むための機能層は、様々な層構成及び/又は組成を有することができる。したがって、多層構造に組み込まれる特定の機能層は、機能層が組み込まれることになる最終デバイス又はデバイスコンポーネントによって決まる。

20

【 0 0 4 2 】

[0080]「剥離層」(時には「犠牲層」と呼ばれる)は、一以上の機能層を少なくとも部分的に分離する層を指す。剥離層は除去することができ、又は例えば物理的、熱的、化学的及び/又は電磁気的な刺激に応じて物理的に分離する剥離層によって、機能層を多層構造の他の層から分離し易くする他の手段を提供することができる。したがって、実際の剥離層の組成は、分離が行われる手段と最も良く整合するように選択される。分離する手段は、例えば界面破損又は剥離層犠牲によるように、本技術分野で知られている任意の一以上の分離手段によるものである。剥離層は、多層構造の残りの部分に取り付けられたままである機能層又は多層構造の残りの部分から分離されている機能層のような機能層にそれ自体接続されたままのことがある。剥離層は任意にその後機能層から分離及び/又は除去される。

30

【 0 0 4 3 】

[0081]「基板によって支持された」とは、基板表面上に少なくとも部分的に存在するか、又は構造と基板表面との間に設けられた一以上の中間構造上に少なくとも部分的に存在する構造を指す。「基板によって支持された」という用語は、基板に部分的に又は完全に埋め込まれた構造を指すこともできる。

40

【 0 0 4 4 】

[0082]「溶液印刷」は、転写可能な半導体要素のような一以上の構造が、キャリア媒体に分散され、一斉に基板表面の選択された領域に送り出されるプロセスを指すものである。例示的な溶液印刷方法では、基板表面の選択された領域への構造の送出は、パターンングが行われる基板表面のモフォロジ及び/又は物性に依存しない方法によって達成される。本発明で使用可能な溶液印刷方法は、限定するものではないが、インクジェット印刷、熱

50

転写印刷、及び毛管作用印刷を含む。

【0045】

[0083]本方法において転写可能な半導体要素をアセンブリし、編成し及び/又は集積化する有用な接触印刷方法は、乾式転写接触印刷、マイクロ接触又はナノ接触印刷、マイクロ転写又はナノ転写印刷、及び自己アセンブリ支援印刷を含む。接触印刷の使用は、複数の転写可能な半導体が互いに相対的に選択された方位及び位置でアセンブリ及び集積化できるので、本発明において有益である。本発明の接触印刷は、半導体(例えば、無機半導体、単結晶半導体、有機半導体、カーボンナノ材料など)、誘電体、及び導体を含む各種多様な種類の材料及び構造の効果的な転写、アセンブリ、及び集積化も可能にする。本発明の接触印刷方法は、オプションとして、デバイス基板に予めパターン化された一以上のデバイスコンポーネントに対して予め選択された位置及び空間方位に、転写可能な半導体要素を高精度の位置合わせで転写及びアセンブリすることを可能とする。さらに、接触印刷は、広範囲の基板タイプに適合する。これら基板には、ガラス、セラミックス、及び金属のような従来の剛体又は半剛体の基板と、可撓性基板、曲げられる基板、成形できる基板、順応的な基板及び/又は伸縮可能な基板のような特定の用途に魅力的な物理的性質及び機械的性質を有する基板とを含む。転写可能な半導体構造の接触印刷アセンブリは、例えば低温処理(例えば298K以下)に適合する。この属性により、本光システムは、重合体基板及びプラスチック基板などの高温で分解又は劣化するものを含む一連の基板材料を使用して実施できるようになる。さらに、デバイス要素の接触印刷転写、アセンブリ、及び集積化は、ロール印刷及びフレキシ印刷方法及びシステムのような低コスト及び高生産性の印刷技法及びシステムによって実施できるので有益である。「接触印刷」は、例えばスタンプ表面から基板表面への形状の転写を容易とするスタンプを用いるような乾式転写接触印刷を広義に指す。一実施形態では、スタンプはエラストマスタンプである。或いは、転写は、ターゲット(例えばデバイス)基板に直接行うことができる。以下の参考文献は、接触印刷技法及び/又は溶液印刷技法によって転写可能な半導体要素を転写、アセンブリ、及び相互接続するために、本発明の方法で使用することができる自己アセンブリ技法に関連するものであり、これら文献を参照することにより本明細書に援用する。(1)「Guided molecular self-assembly: a review of recent efforts」、Jiyun C Huie、Smart Mater. Struct. (2003年)12巻、264~271ページ、(2)「Large-Scale Hierarchical Organization of Nanowire Arrays for Integrated Nanosystems」、Whang, D., Jin, S., Wu, Y., Lieber, C.M., Nano Lett. (2003年)3(9)巻、1255~1259ページ、(3)「Directed Assembly of One-Dimensional Nanostructures into Functional Networks」、Yu Huang, Xiangfeng Duan, Qingqiao Wei, Charles M. Lieber, Science (2001年)291巻、630~633ページ、(4)「Electric-field assisted assembly and alignment of metallic nanowires」、Peter A. Smithら、Appl. Phys. Lett. (2000年)77(9)巻、1399~1401ページ。

【0046】

[0084]「キャリアフィルム」は、層の分離を容易にする材料を指す。キャリアフィルムは、除去されることが望まれる層に隣接して設けられた金属又は金属含有材料といった材料の層とすることができる。キャリアフィルムは、重合体材料又はフォトレジスト材料に組み込まれたか又は付けられたものを含む材料の複合物とすることができ、材料に加えられたリフトオフ力が下地層(例えば機能層など)から材料の複合物を剥離する。

【0047】

[0085]「半導体」は、非常に低い温度では絶縁物であるが、約300ケルビンの温度で

10

20

30

40

50

相当の導電性を有する材料である任意の材料を指す。本説明では、半導体という用語の使用は、マイクロエレクトロニクス及び電子デバイスの技術分野におけるこの用語の使用と一致するものである。本発明で有用な半導体は、シリコン、ゲルマニウム、及びダイヤモンドといった元素半導体と、SiC及びSiGeなどのIV族化合物半導体といった化合物半導体、AlSb、AlAs、Aln、AlP、BN、GaSb、GaAs、GaN、GaP、InSb、InAs、InN、及びInPといったIII-V族半導体、 $Al_xGa_{1-x}As$ といったIII-V族三元半導体合金、CsSe、CdS、CdTe、ZnO、ZnSe、ZnS、及びZnTeといったII-VI族半導体、CuClのI-VII族半導体、PbS、PbTe、及びSnSといったIV-VI族半導体、 PbI_2 、 MoS_2 、及びGaSeといった層半導体、CuO及びCu₂Oといった酸化物半導体を含むことができる。半導体という用語は、所与の用途又はデバイスに有用な有益な電子的性質を提供するためにp型ドーピング材料及びn型ドーピング材料を有する半導体を含めて一以上の選択された材料でドーピングされる真性半導体及び外因性半導体を含む。半導体という用語は、半導体及び/又はドーパントの混合物を含む複合材料を含む。本発明の幾つかの用途に有用な特定の半導体材料は、限定するものではないが、Si、Ge、SiC、AlP、AlAs、AlSb、GaN、GaP、GaAs、GaSb、InP、InAs、GaSb、InP、InAs、InSb、ZnO、ZnSe、ZnTe、CdS、CdSe、ZnSe、ZnTe、CdS、CdSe、CdTe、HgS、PbS、PbSe、PbTe、AlGaAs、AlInAs、AlInP、GaAsP、GaInAs、GaInP、AlGaAsSb、AlGaInP、及びGaInAsPを含む。多孔質シリコン半導体材料は、センサ並びに発光ダイオード(LED)及び固体レーザーといった光放出材料の分野における本発明の用途に有用である。半導体材料の不純物は、半導体材料自体以外の原子、元素、イオン及び/又は分子、或いは半導体材料に与えられる任意のドーパントである。不純物は、半導体材料の電子的特性に悪影響を与えることがある半導体材料中に存在する望ましくない材料であり、限定するものではないが、酸素、炭素、及び重金属を含む金属を含む。重金属不純物は、限定するものではないが、周期律表の銅と鉛との間の元素の族、カルシウム、ナトリウム、及びそれらのすべてのイオン、化合物及び/又は複合物を含む。

【0048】

[0086]「誘電体」及び「誘電体材料」は本説明では同義的に使用され、電流の流れに高度に抵抗する物質を指す。有用な誘電体材料は、限定するものではないが、SiO₂、Ta₂O₅、TiO₂、ZrO₂、Y₂O₃、Si₃N₄、STO、BST、PLZT、PMN、及びPZTを含む。

【0049】

[0087]「デバイス電界効果移動度」は、電子デバイスに対応する出力電流データを使用して計算されるような、トランジスタなどの電子デバイスの電界効果移動度を指す。

【0050】

[0088]本発明は、以下の非限定の例によって更に理解することができる。本明細書に引用された参考文献を全て、本明細書の開示と矛盾しない範囲で参照することにより本明細書に援用する。本明細書の説明は多くの具体的要素を含んでいるが、これらは本発明の範囲を制限するものとして解釈されるべきでなく、本発明の現在の好ましい実施形態の幾つかの説明を単に提供するものとして解釈されるべきである。例えば、したがって、本発明の範囲は、与えられた例によってではなく添付の特許請求の範囲及びそれらの等価物によって決定されるべきである。

【0051】

[0089]本発明の一態様は、多層処理を介した低コストの方法でデバイス又はデバイスコンポーネントに組み込むことができるFMEDを提供するものである。複数の機能層(FMED)20を有する多層構造10の一例を図1に示す。機能層20は、剥離層30によって隣接する機能層から分離される。複数の機能層20と剥離層30とが基板40上に支持されており、機能層20はそれ自体複数の層の複合物である。例えば、機能層20は、

10

20

30

40

50

図示するようにⅢⅢⅢ-V族エピ層（例えば、pドープGaAs最上層21、低ドープGaAs中間層22、及びnドープGaAs下層23）を備え得るものであり、太陽電池に有用なものである。最下層は、 $Al_{0.9}Ga_{0.1}As$ である剥離層30上に支持されている。この剥離層30は、ドープされていてもよく、ドープされていなくてもよい。剥離層30は、多層構造10中の一以上の機能層20へのアクセスを容易にする。

【0052】

[0090]様々な種類の刺激による剥離の例には、一以上の埋め込まれた犠牲層のエッチング、溶解、焼損など（除去の任意の手段）による剥離（表1を参照）が含まれる。例えば、剥離層はFME Dよりも2倍以上速く選択的にエッチング/溶解/焼損/除去することができ、及び/又は構造若しくは層のマスキングを使用して、犠牲層の除去に使用される薬剤にFME Dを晒さないようにすることができる。剥離層は一度に一つ除去されるか、又は二つ以上の犠牲層が同時に除去される。

10

【0053】

[0091]図2Aは、機能層20と剥離層30との間におけるように、機能層20の少なくとも一部を覆うマスク層410を有する多層構造10を示している。マスク層410は、マスク400によって覆われない残部を囲むマスク400のように、追加のマスク400を構成していてもよい。図2Aにおいては、剥離層30は犠牲層として示されており、機能層20は二つの層を有するFME Dとして示されている。マスク400及び410は、犠牲層30を除去するエッチャント手段から機能層20を保護するためのエッチストップ部として機能し得るものであり、それによって、基板40からの層20のリフトオフを容易とする。図2Bは、封入マスクを使用して転写可能なFME Dを多層構造から生成するプロセスを要約するフローチャートである（図2Bも参照）。

20

【0054】

[0092]MESFETで使用に有用な構造を図2Cに示す。機能層20は、120nm厚のGaAsの第1の層21と、150nm厚のAlGaAsの半絶縁の第2の層22と、を含んでいる。剥離層30は、基板40からの剥離層30の分離を容易とする100nm厚の $Al_{0.96}Ga_{0.04}$ 障壁層である。

【0055】

[0093]実施例1：光起電力素子、エレクトロニクス、及びLED用の転写可能な構造の剥離。

30

【0056】

[0094]図3A、3Bは、多数の剥離層の同時除去（図3A）と、剥離層の層ごとの連続的除去（図3B）の方法及び構造を概略的に示している。図3Aでは、多層構造10の一部はエッチャント手段に晒され、それによって、エッチングされたアクセス通路35が形成される。通路35は、複数の剥離層30（この例では三つ）への同時アクセスを可能にする。このようにして、複数の転写可能な構造100が、デバイス基板又は基板によって支持されたデバイスコンポーネントのような注目する表面に本技術分野で公知の任意の手段（例えば、液体印刷、接触印刷など）によって印刷するのに使用可能となる。

【0057】

[0095]図3Bは層ごとの除去を要約しており、エッチャントのアクセスチャンネル35は一番上の機能層20だけに及んでおり、単一の機能層20だけが剥離されて、転写可能な構造100が一つの単独の機能層20から提供される。必要に応じて、機能層20は、剥離層30を除去するための化学的手段を導入する前にマスク（図示せず）によって保護されてもよい。このプロセスは、追加の機能層20ごとに繰り返される。図3に示す双方のプロセスでは、多層構造10が支持されていた母基板40を、再使用することができる。

40

【0058】

[0096]様々なデバイス又はデバイスコンポーネントを作成するための様々な機能/剥離層の組成及び形状の幾つかの例を、図3C~図3Eに示す。図3Cは、光起電力素子を作成するためのFME Dを有する構造の例を示しており、ここで、AlGaAsは剥離層である。図3Dは、エレクトロニクス（例えば、MESFET）を作成するためのFME D

50

を有する多層構造の例を示している。図3Eは、LEDを作成するためのFME Dを有する多層構造の例を示している。明確にするために、機能層20の15層の構造を表2に示す。図4、5は、複数の機能層を剥離するプロセスで使用される工程(図4)、又は機能層を層ごとに連続的に剥離するプロセスで使用される工程(図5)を要約している。

【0059】

[0097]機能層は、埋め込まれた剥離層又は犠牲層のアンダーカットティング、エッチング、溶解、焼損等(任意の除去の手段)によるように、本技術分野で知られている任意の手段によって剥離される。機能層の剥離のための様々な方法が存在しており、これら方法は、様々な刺激を使用するものであり、その幾つかを表1に示す。表1は、使用される剥離方法に応じて、機能層及び剥離層の組成が選択され得ることを示している。犠牲層は、FME Dを構成する機能層よりも約2倍以上速く選択的にエッチング/溶解/焼損/除去される。オプションとして、マスク層400が、犠牲層の除去に使用される薬剤にFME D20を晒さないように、設けられる(図2Aを参照)。剥離層は、一度に一つ除去されてもよく、複数の剥離層が同時に除去されてもよい(図3Aと図3B、並びに図4と図5の流れ図を対比のこと)。

【0060】

[0098]機能層の同時剥離を図3A及び図4で概説する。図4は、「一度に多層」による光起電力素子用FME Dの剥離を要約しており、これは、更なる転写可能なFME Dを続いて生成するための基板の任意の再使用を伴うものである。機能層は、エピタキシャル成長した半導体を含んでいる。このプロセスは、図12で説明するプロセスと同様にアモルファス又は多結晶の材料にも機能する。手短に言えば、GaAs基板を得る。例えば、MOCVD、MBEなど(トランジスタ、LEDそれぞれ用の図3D、図3Eと同様のプロセス)により、GaAs基板上に図3Cに示したエピ層を成長する。必要に応じて、成長の前に基板を前処理する(CMPが必要なことがある)。機能層及び犠牲層を堆積するか又はエピタキシャル成長する前に、基板に隣接するGaAsの約200nmの緩衝層を成長する。上部のエピ層の表面の一部を、プラズマ化学気相堆積(PECVD)及びある形態のパターニング用リソグラフィによってSiO₂でマスクすることができる。Cl/Ar/Hプラズマを使用して、表面から任意のAl_{0.96}Ga_{0.04}As犠牲層(例えば基板に最も近い犠牲層)の中へある距離までエピ層のマスクされていない領域をエッチングする。犠牲層は基板から最も遠い犠牲層とするべきではない(その場合、剥離は図3B及び図5で要約するような「一度に一つ」のプロセスとなることになる)。基板を高濃度HFに晒し、晒した犠牲層を少なくとも部分的に除去し、横方向アンダーカットティングによって犠牲層の上の機能エピ層を剥離する。(HFは、犠牲層に作用するよりも機能エピ層に低速で作用する(1/10未満のエッチング速度)。)基板から剥離されたFME Dをスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェット印刷、エレクトロスピンニングなどのために溶媒交換を行う。HFを使用して犠牲層の残部を全て除去し、上にある機能エピ層の残部(アンカー構造など)を全て洗い落とす/こすり落とす。前に除去された層の真下に本来あった機能層が露出され、基板の表面にある。マスクングとHF除去との間の工程を繰り返し、それによって、犠牲層が基板上に残らなくなるまで機能層の組(各組は犠牲層によって分離される)を剥離する。基板を任意に再使用するために、これらの工程が必要に応じて繰り返される。

【0061】

[0099]単一の機能層の剥離を図3B及び図5で概説する。GaAsウェハといった基板が、図3Cで説明した機能層のようなエピ層の成長(MOCVD、MBEなどによる)のサポートを提供する。必要に応じて成長の前に、基板を前処理することができる(例えばCMP)。剥離層及び機能層の堆積又はエピタキシャル成長の前に、基板に隣接するGaAsの約200nmの緩衝層を成長させることが必要なことがある。プラズマ化学気相堆積(PECVD)及び任意の形態のパターニング用リソグラフィによって、SiO₂で上部エピ層の表面の一部をマスクする。Cl/Ar/Hプラズマを使用して、表面から第1のAl_{0.96}Ga_{0.04}As犠牲層の中へある距離までエピ層のマスクされていない

10

20

30

40

50

領域をエッチングする。基板を高濃度HFに晒し、晒した犠牲層（一つ）を少なくとも部分的に除去し、横方向アンダーカットによって犠牲層の上のエピ層（機能層）を剥離する。（HFは、犠牲層に作用するよりも機能エピ層に低速で作用する（1/10未満のエッチング速度）。）

【0062】

[00100]図3B、図3C、及び図5を参照すると、Cl/Arプラズマを使用して、表面からエピ層を通して基板の中へある距離までエピ層のマスクされていない領域をエッチングする。フォトリソでエピ層の残部を封入し、上部表面及び側面を覆う。基板を水溶性クエン酸+H₂O₂に晒して、GaAs基板をエッチングし、横方向アンダーカットによって犠牲層の上の機能エピ層（機能層）を剥離する（湿式エッチング液は、GaAs基板に作用するよりも低速で障壁エピ層に作用し（1/10未満のエッチング速度）、機能GaAs層はそれを封入するフォトリソによって湿式エッチング液から保護される）。図2において、AlGaAsエピ層は「マスク」400に対応し、フォトリソ封入は「追加のマスク」410に対応する。

10

【0063】

[00101]剥離されたFME Dのいずれもスタンピングによって基板から分離するか、又は流体アセンブリ又はインクジェット印刷、エレクトロスピニングなどのために溶媒交換を行うことができる。

【0064】

[00102]剥離は、異方性エッチングのための方向性エッチング（例えばSi111、Si110）（「Bulk Quantities of Single Crystal Silicon Micro-/Nanoribbons Generated from Bulk Wafers」に関して2006年9月20日に出願された米国特許仮出願第60/826,354号、代理人参照番号（Atty.ref.no.）151-06Pを参照のこと。この仮出願を、本明細書と矛盾しない範囲で参照することにより、本明細書に援用する）及び/又はFME Dをエッチングから保護するためのマスク層によっても達成される。

20

【0065】

[00103]実施例2：レーザアブレーションによる転写可能な構造の剥離。

【0066】

[00104]他の剥離方法には、グラインディング/ポリッシング/エッチングによる母基板の除去による剥離、又は熱衝撃による（例えば、熱膨張係数不整合による）剥離がある。剥離は、レーザ誘起加熱によって引き起こされるアブレーション/分解/化学反応のような埋め込まれた層のアブレーション/分解/化学反応によることもできる。図6Aは、レーザアブレーション剥離方法の概略図を示している。電磁放射は、例えば多層構造が存在する表面と反対の基板40の側に位置決めされたレーザによって、機能層20が支持されている基板であって少なくとも部分的に透明な基板40を通して導入される。レーザ誘起加熱は、機能層20と基板40との間の境界表面の破損によって、又は、レーザアブレーションに感度を有する剥離表面30の少なくとも部分的な除去によって、転写可能なFME D100の剥離を引き起こす。剥離表面30は、アブレーション生成物37によって示すように、構造100又は基板40の一方又は双方に部分的に付着したままとすることがある。それらの生成物37は、後に必要に応じて除去される。図6Bは、レーザアブレーションによってLED用FME Dを剥離するのに好適な基板の例である。基板40は、サファイア基板に対応する。図6Cは、レーザアブレーションによる、又は周囲条件で自然に起こるアブレーション/分解/化学反応によるLED用FME Dの剥離を要約している。図10は、様々な剥離信号（例えば電気及び/又は熱）による剥離層の選択的な除去によって多結晶/アモルファスFME D材料を剥離する基本方法を要約している。図12は、犠牲層の除去によるアモルファスFME D構造の剥離を要約している。

30

40

【0067】

[00105]実施例3：誘起された界面クラックの伝播による転写可能な構造の剥離。

50

【 0 0 6 8 】

[00106]別の剥離メカニズムは、F M E Dと母基板との間の界面にクラックを導入し、次に、クラックを伝播させるよう母基板から（例えば、ゴムスタンプを使用して）F M E Dを引き離すことによるものである（図7 Aを参照）。クラックは、機械的に（例えば切断による、図8 B、図8 C、及び図1 2を参照）、化学的に（例えばエッチングによる）（図7 B及び図1 1を参照）、又は熱的に（例えば、熱膨張係数不整合により誘起される衝撃による）等のあらゆる方法で導入することができる。

【 0 0 6 9 】

[00107]オプションとして、転写可能な構造を剥離するための前述の手段のいずれもが、キャリア構造、例えば、カーボンナノチューブを印刷するためのキャリア構造のような金膜（Nature Nanotech、2巻、230ページを参照）などのキャリアフィルム（図8 A）と任意に組み合わされる。このプロセスは、小さく（例えば約50 nm未満、例えば分子、SWNTなど）、化学的に脆弱で、機械的に脆弱で、機械的に軟弱で、個別に作成するには非常に多く及び/又は扱いにくいF E M Dに有効となり得る。図8 B及び図8 Cは、それぞれ、転写可能なF M E Dを剥離するために基板とキャリアフィルムとの間に機械的にクラックを誘起するための構造及びプロセスの例を示す。

【 0 0 7 0 】

[00108]本明細書で説明する方法のいずれかによる剥離は、図9 Aに示す（任意に図4及び図5で与えられる）ように、母基板40を再使用し、それによって、製造コストの節約を向上させるプロセスに任意に組み込まれる。

【 0 0 7 1 】

[00109]図1 9は、剥離層（犠牲層）の部分的除去であり、且つ一度に幾つかの剥離層の除去による機能層の部分的剥離の概略図である（図3 Aも参照）。剥離層が部分的に除去された後、デバイスが基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマスタンプを使用する取り出しとによるデバイスの取り出しの際に生じる。この図は、多層スタックの再堆積用に基板を準備するためにアンカー構造を除去する工程も概説する。図1 9で概説したプロセスにより印刷可能なデバイスを産することができる多層構造の幾つかの例を図3 C～図3 Eに示す。プロセスの詳細は図4で概説している。図4は、追加の転写可能なF M E Dを続いて生成するために基板の任意の再使用を伴う、「一度に多層」による光起電力素子用F M E Dの剥離を要約している。機能層はエピタキシャル成長した半導体を含む。このプロセスは、図1 2で説明したプロセスと同様に、アモルファス又は多結晶の材料にも機能する。手短かに言えば、GaAs基板を得る。例えば、MOCVD、MBEなど（トランジスタ、LEDそれぞれ用の図3 D、図3 Eと同様のプロセス）により、GaAs基板上に図3 Cに示したエピ層を成長する。必要に応じて成長の前に、基板を前処理する（CMPが必要となることもある）。機能層及び犠牲層を堆積するか又はエピタキシャルで成長する前に、基板に隣接してGaAsの約200 nmの緩衝層を成長する。上部のエピ層の表面の一部は、プラズマ化学気相堆積（PECVD）及びある形態のパターニング用リソグラフィによってSiO₂でマスクすることができる。Cl/Ar/Hプラズマを使用して、表面から任意のAl_{0.96}Ga_{0.04}As犠牲層（例えば基板に最も近い犠牲層）の中へある距離までエピ層のマスクされていない領域をエッチングする。犠牲層は、基板から最も遠い犠牲層とするべきでない（その場合、剥離は図3 B及び図5で要約したような「一度に一つ」のプロセスとなることになる）。基板を高濃度HFに晒し、晒された犠牲層を少なくとも部分的に除去し、横方向アンダーカットングによって犠牲層の上の機能エピ層を剥離する。（HFは、犠牲層に作用するよりも機能エピ層に低速で作用する（1/10未満のエッチング速度）。）基板から剥離されたF M E Dをスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェット印刷、エレクトロスピンニングなどのために溶媒交換を行う。犠牲層の残部を全て除去するためにHFを使用し、上にある機能エピ層の残部（アンカー構造など）をすべて洗い落とす/こすり落とす。前に除去された層の真下に本来あった機能層が露出され基板の表面にある。マスキ

10

20

30

40

50

グとHF除去との間の工程を繰り返し、それによって、犠牲層が基板上に残らなくなるまで機能層の組（各組は犠牲層によって分離される）を剥離する。基板を任意に再使用するために、これらの工程は必要に応じて繰り返される。

【0072】

[00110]図20は、剥離層（犠牲層）の部分的除去であり、且つ一度に一つの剥離層の除去による機能層の部分的剥離の概略図である（図3Bも参照）。剥離層が部分的に除去された後、デバイスが基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り出しとによるデバイスの取り出しの際に生じる。この図は、「一度に1層剥離プロセス」（図3Bにおけるように）の繰り返しに向けて基板を準備するために、及び多層スタックの再堆積に向けて基板を準備するために、アンカー構造を除去する工程も概説する。本明細書で概説したプロセスにより印刷可能なデバイスを産することができる多層構造の幾つかの例を図3C～図3Eに示す。プロセスの詳細は図5で概説する。GaAsウェハなどの基板は、MOCVD、MBEなどによる図3Cで説明した機能層などのエピ層の成長のサポートを提供する。基板は、必要に応じて成長の前に、前処理を行うことができる（例えばCMP）。剥離層及び機能層の堆積又はエピタキシャル成長の前に基板に隣接するGaAsの約200nmの緩衝層を成長する必要があることがある。プラズマ支援化学気相堆積（PECVD）及び任意の形態のパターニング用リソグラフィによって、SiO₂で上部エピ層の表面の一部をマスクする。Cl/Ar/Hプラズマを使用して、表面から第1のAl_{0.96}Ga_{0.04}As犠牲層の中へある距離までエピ層のマスクされていない領域をエッチングする。基板を高濃度HFに晒し、晒した犠牲層（一つ）を少なくとも部分的に除去し、横方向アンダーカットニングによって犠牲層の上のエピ層（機能層）を剥離する。（HFは、犠牲層に作用するよりも機能エピ層に低速で作用する（1/10未満のエッチング速度）。）基板から剥離されたFMEをスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェット印刷、エレクトロスピンニングなどのために溶媒交換を行う。マスキングとHF除去との間の工程を繰り返し、それによって、犠牲層が基板上に残らなくなるまで機能層を剥離する。基板を任意に再使用するために、これらの工程は必要に応じて繰り返される。

【0073】

[00111]図21は、横方向エッチストップ部又はアンカーポストを使用する、一度に幾つかの剥離層（犠牲層）を除去することによる機能層の部分的剥離の概略図である（図3Aも参照）。剥離層が除去された後、デバイスが横方向エッチストップ部/アンカーポストによって基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り出しとによるデバイスの切り離しの際に生じる。この図は、多層スタックの再堆積に向けて基板を準備するために横方向エッチストップ部/アンカーポストを除去する工程も概説する。本明細書で概説したプロセスにより印刷可能なデバイスを産することができる多層構造の幾つかの例を図3C～図3Eに示す。プロセスの詳細を以下に概説する。機能層はエピタキシャル成長した半導体を含む。このプロセスは、図12で説明するプロセスと同様にアモルファス又は多結晶の材料にも機能する。手短かに言えば、GaAs基板を得る。例えば、MOCVD、MBEなど（トランジスタ、LEDそれぞれ用の図3D、図3Eと同様のプロセス）により、GaAs基板上に図3Cに示したエピ層を成長する。必要に応じて成長の前に、基板を前処理する（CMPが必要なこともある）。機能層及び犠牲層を堆積するか又はエピタキシャル成長する前に、基板に隣接してGaAsの約200nmの緩衝層を成長する。上部のエピ層の表面の一部は、プラズマ化学気相堆積（PECVD）及びある形態のパターニング用リソグラフィによってSiO₂でマスクすることができる。Cl/Ar/Hプラズマを使用して、表面から任意のAl_{0.96}Ga_{0.04}As犠牲層（例えば基板に最も近い犠牲層）の中へある距離までエピ層のマスクされていない領域をエッチングする。犠牲層は基板から最も遠い犠牲層とするべきでない（その場合、剥離は図3B及び図5で要約されたような「一度に一つ」のプロセスとなることになる）

。 低圧化学気相堆積によって窒化ケイ素のコンフォーマルコーティングを堆積する。横方向エッチストップ部 / アンカーポストを形成するために、例えば、フォトリソグラフィ及びフッ素プラズマを使用するエッチングによって、窒化ケイ素をパターン化する。基板を高濃度 HF に晒し、晒した犠牲層を少なくとも部分的に除去し、横方向アンダーカットイングによって犠牲層の上の機能エピ層を剥離する。(HF は、犠牲層に作用するよりも機能エピ層に低速で作用する (1 / 10 未満のエッチング速度) 。) 基板から剥離された F M E D をスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェット印刷、エレクトロスピンニングなどのために溶媒交換を行う。 HF を使用して犠牲層の残部を全て除去する。フッ素プラズマを使用して窒化ケイ素を除去し、上にある機能エピ層の残部 (アンカー構造など) を全て洗い落とす / こすり落とす。前に除去された層の真下に本来あった機能層がクリーンな状態で露出され基板の表面に現れるまで、 HF 、フッ素プラズマ、及び洗浄を繰り返す。マスキングとクリーニングとの間の工程を繰り返し、それによって、犠牲層が基板上に残らなくなるまで機能層の組 (各組は犠牲層によって分離される) を剥離する。基板を任意に再使用するために、これらの工程は必要に応じて繰り返される。

10

【 0 0 7 4 】

[00112] 図 2 2 は、一度に一つの剥離層 (犠牲層) を除去することによる機能層の部分的剥離の概略図 (図 3 B も参照) であり、横方向エッチストップ部又はアンカーポストを使用するものである。剥離層が除去された後、デバイスが横方向エッチストップ部 / アンカーポストによって基板につながれたままであるので、この剥離は「部分的」と呼ばれる。デバイスの完全な剥離又は分離は、例えば係留構造の破壊とエラストマースタンプを使用する取り出しとによるデバイスの切り離しの際に生じる。この図は、「一度に 1 層剥離プロセス」 (図 3 B におけるように) を繰り返すために、また、多層スタックの再堆積に向けて基板を準備するために、横方向エッチストップ部 / アンカーポストを除去する工程も概説する。図 2 2 で概説したプロセスにより印刷可能なデバイスを産することができる多層構造の幾つかの例を図 3 C ~ 図 3 E に示す。プロセスの詳細は以下の通りである。 Ga A s ウェハなどの基板は、 M O C V D 、 M B E などによる図 3 C で説明した機能層などのエピ層の成長のサポートを提供する。基板は、必要に応じて成長の前に、前処理を行うことができる (例えば C M P) 。剥離層及び機能層の堆積又はエピタキシャル成長の前に、基板に隣接して、 Ga A s の約 2 0 0 n m の緩衝層を成長させることが必要なこともある。プラズマ支援化学気相堆積 (P E C V D) 及び任意の形態のパターニング用リソグラフィによって、 S i O ₂ で上部エピ層の表面の一部をマスクする。 C l / A r / H プラズマを使用して、表面から第 1 の A l _{0.96} G a _{0.04} A s 犠牲層の中へある距離までエピ層のマスクされていない領域をエッチングする。低圧化学気相堆積によって窒化ケイ素のコンフォーマルコーティングを堆積する。横方向エッチストップ部 / アンカーポストを形成するために、例えば、フォトリソグラフィ及びフッ素プラズマを使用するエッチングによって窒化ケイ素をパターン化する。基板を高濃度 HF に晒し、晒した犠牲層 (一つ) を少なくとも部分的に除去し、横方向アンダーカットイングによって犠牲層の上のエピ層 (機能層) を剥離する。(HF は、犠牲層に作用するよりも機能エピ層に低速で作用する (1 / 10 未満のエッチング速度) 。) 基板から剥離された F M E D をスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェット印刷、エレクトロスピンニングなどのために溶媒交換を行う。 HF を使用して犠牲層の残部を全て除去する。フッ素プラズマを使用して窒化ケイ素を除去し、上にある機能エピ層の残部 (アンカー構造など) を全て洗い落とす / こすり落とす。第 1 の犠牲層の真下に本来あった機能層がクリーンな状態で露出され基板の表面に現れるまで、 HF 、フッ素プラズマ、及び洗浄を繰り返す。マスキングと HF 除去との間の工程を繰り返し、それによって、犠牲層が基板上に残らなくなるまで機能層を剥離する。基板を任意に再使用するために、これらの工程は必要に応じて繰り返される。

20

30

40

【 0 0 7 5 】

[00113] 図 2 3 は、機能層が図 2 0 で説明したプロセスと同様のプロセスによって部分

50

的に剥離された後の反静摩擦層又は活性化層をもつ機能層の後の剥離処理の概略図である。反静摩擦層又は活性化層は、自己組織化単分子層（SAM）であることが多く、剥離された層と下地の層との間の接着を防止するか（付着防止）、又は剥離された層とある他の要素（例えばエラストマースタンプ、ナノ粒子、生物学的要素など）との間の接着を促進する（活性化）よう機能する。図23で概説するプロセスを適用することができるシステムの例を図3Dに示す。デバイスの形成（例えば、フォトリソグラフィ及び塩素プラズマエッチングによる）及びHFによるAlGaAs剥離層の部分的除去の後、有機チオール末端分子のエタノール性溶液を使用して、露出したGaAs表面を処理することができる。付着防止のために、この分子はアルカンチオール、例えばヘキサデカンチオール、又はペルフルオロアルカンチオールとすることができる。活性化のために、チオールは、反応性化学基、例えばオクタンジチオールによってさらに終端することができる。

10

【0076】

[00114]図35、36は、異種アンカー方策（例えば図21を参照）によるように、特定の位置でアンカー構造から離脱する転写可能な構造の生成を更に改善するアンカー方策の更なる例を示している。特に、同種アンカリング（例えば図20）に対する異種アンカリングの利点には、破壊可能な係留ポイントを設計する際の柔軟性、転写制御の向上、及び転写位置合わせ性能の改善がある。さらに、様々な固定プロセスによって、ウェハ基板面積のより効率的な使用が可能となる。パターン化された犠牲領域により、転写可能な構造が特定の位置でアンカー構造から確実に離脱するという機能が得られる。さらに、パターン化された犠牲領域の増加によって面積適用範囲が増加する。例えば、アンカー構造は、犠牲層を除去する薬剤によってアンダーカットされないので、転写可能な構造の切り取り部ほど広い必要がない。図36は、図35で概説したアンカーの概念を示しており、その実施の例、即ち、略透明な金のメッシュをシリコンウェハからプラスチックに印刷する例である。

20

【0077】

[00115]本明細書で開示したプロセスは、特に、多層デバイスから基板又は基板によって支持されたコンポーネントに構造を高生産性で印刷するのに適しており、それによって、製造時間及びコストを減少させる。例えば、図37は7層構造のSEMであり、隣接するGaAs層はAl_{0.9}Ga_{0.1}As層によって分離されている。エピ構造は、リン酸及び過酸化水素でエッチングされる。多層マイクロ構造は、フォトリソグラフィと湿式エッチングとによってGaAs基板上のエピ層から加工される。

30

【0078】

[00116]図38は、7層のGaAs層の同時剥離の後にPDMSスタンプ上に取り出された7層のGaAs層の写真である。同様の取り出しは、本明細書で開示するように、層ごとの個々の剥離でも見込まれる。手短かに言えば、剥離手順は、S1802フォトレジストでエピ構造をマスクすることを必要とする。マスクされた構造は、H₃PO₄:H₂O₂:DI、1:13:12で1分間エッチングされる。フォトレジストはアセトンで取り除かれ、続いて剥離層の49%HFでの35秒間の化学除去が行われ、N₂での乾燥リンスが行われる。層は、PDMSスタンプを使用して連続して剥離される（図38において1から8で示されている）。8番目のスタンプを使用して「残存物」が調べられる。図39は、PDMSスタンプの表面上の多層ドナー基板から剥離されたGaAs層の光学画像を示している。これらの層は、デバイス基板に、又はコンポーネント若しくはデバイス基板に印刷するための準備が整っている。

40

【0079】

[00117]実施例4：バルクウェハから生成された大量の単結晶シリコンのマイクロリボン/ナノリボン。

【0080】

[00118]この実施例は、バルクシリコン（111）ウェハから大量の高品質で寸法的に均一な単結晶シリコンのマイクロリボン及びナノリボンを生成する方策を示す。このプロセスは、マスク材料の傾斜蒸着及びシリコンの異方性湿式エッチングと共に、側壁上に形

50

成された波形構造であって制御された波形構造をもつエッチングされたトレンチを使用して、ウェハの表面全体にわたって、均一な厚さを有し、また、リソグラフィで画定された長さおよび幅を有するリボンの多層スタックを生成する。数十ナノメートルと数百ナノメートルとの間の厚さ、マイクロメートル範囲の幅、及び数センチメートルまでの長さを有するリボンが、大量にこの手法を使用して生産される。印刷プロセスにより、そのようなリボンの編成されたアレイを様々な他の基板に層ごとに転写できる。良好な電気的性質（移動度：約 $190 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 、オン/オフ： $> 10^4$ ）が、プラスチック基板上に形成された薄膜タイプトランジスタでこれらのリボンにより達成され、それによって、用途の候補の一分野を実証することができる。

【0081】

[00119]ワイヤ、リボン、及び粒子の形態の単結晶シリコンのナノ構造要素は、エレクトロニクス、オプトエレクトロニクス、センシング、及び他の分野の多くの用途で注目されるものである。リボン形状は、例えば、化学センシング及び光検出用の大きい平面、並びにトランジスタのチャネル領域を効率的に充填することができる形状を提供するので、幾つかのデバイスにとって重要である。シリコンナノワイヤ¹に使用される十分に開発された化学的合成手法に関連する成長技法が、Siナノリボン²の生成に適合されて適用されており、成功している。しかしながら、酸化物（ZnO、SnO₂、Ga₂O₃、Fe₂O₃、In₂O₃、CdO、PbO₂など）³、硫化物（CdS、ZnS）⁴、窒化物（GaN）⁵、及びセレン化物（CdSe、ZnSe、Sb₂Se₃）⁶などの材料に対して、これらの手順及び同様のものによって提供されるリボンの寸法制御及び歩留りのレベルはあまり高くない。対照的に、半導体ウェハの上部表面のリソグラフィの処理に依拠する手法は、十分に制御された厚さ、幅、長さ、結晶性、及びドーピングレベルを可能にする。これらの方法は、Si、SiGe、二層化Si/SiGe、GaAs、GaNなどからなるマイクロメートルからナノメートル範囲の厚さをもつ膜、チューブ、及びリボンを形成することができる⁷⁻¹²。さらに、様々なプロセスが、編成されたアレイのこれらの要素をデバイス集積化用の他の基板に転写することができる。この「トップダウン」手法は、成長技法と比較して三つの主要な欠点を有する。第1に、約100nm未満の幅をもつ要素は、リソグラフィの実用的限界に起因して、作成することが困難である。第2に、薄膜又はバルクウェハの形態で成長できる材料しか使用することができない。第3に、多くの用途にとって最も重要であるが、大量のマイクロ構造/ナノ構造を生産するには、多くのウェハを必要とし、その各々は高価となり得る。第1の欠点は、そのような小さい寸法をもつ構造を必要としない多くの用途では無関係である。第2の欠点は、シリコンを含む多くの重要な材料には当然当てはまらない。この実施例は、第3の限界に対処する成果を提供する。特に、この実施例は、単一の処理シーケンスで、標準バルクSiウェハから、数十ナノメートルに低減した厚さをもつ多数の高品質シリコンリボンを生成する簡単な方法を導入する。手短かに言えば、この手法は、良好に形成された波形の側壁モフォロジをもつトレンチを生成するために、エッチングマスクによるシリコンウェハの制御されたディープ反応性イオンエッチングで始まる。ある角度でこれらの波形上に堆積される金属の平行なフラックスが、分離した金属ラインを生成し、当該金属ラインがウェハの表面と平行な平面に沿ったシリコンの高度異方性湿式エッチング用のマスクとして機能する。この単一のエッチング工程は、多層スタック形状において大量のシリコンリボンを生成する。これらのリボンは、トランジスタなどのデバイスへの集積化のために、リソグラフィで画定された空間的順序を維持するかしないかに関わらず、ウェハから取り出され、所望の基板上に溶液キャスト又は乾式転写印刷を行うことができる。この手法は標準クリーンルーム処理装置にのみ依拠する。その結果、シリコンのマイクロ構造/ナノ構造に関心をもっているが、直接合成技法を使用して多量にマイクロ構造/ナノ構造を生成するのに必要な専用の成長チャンバ及び製法をもたない研究者にとって有用となり得る。

【0082】

[00120]図25は、製造シーケンスの概略図を示している。第1の工程において、1100で2時間の乾式熱酸化によりウェハの表面上にSiO₂の薄い（約150nm）層

10

20

30

40

50

を生成した。接着促進剤の1, 1, 1, 3, 3, 3-ヘキサメチルジシラザン(HMDS、Acros Organics)を被覆した後、接触モードリソグラフィ(Shipley 1805 フォトレジスト(PR)及びMF-26A現像液)とそれに続く110°で5分間のアニーリングによりPRマスクを形成した。緩衝酸化物エッチング液(BOE、Transene Co.)の溶液中で1分30秒間湿式エッチングを行い、アセトン中で残留PRのクリーニングを行ってウェハ上にSiO₂のラインを生成した。これらのラインは、シリコンの誘導結合プラズマ反応性イオンエッチング(STS-ICPRIE、STS Mesc Multiplex Advanced Silicon Etcher)用のマスク層を与えた。これらラインは、図25に示すように<110>方向に対して垂直に向けられており、エッチングされたトレンチの側壁は{110}面を露出した。ICPRIEツールは、シリコンのエッチングとエッチングに対して側壁を保護するためのフッ素ポリマーの堆積との交互の繰り返しを使用することによって、高いアスペクト比の構造と平坦で垂直な側壁を生成するように主に設計されている¹³。発明者らは、代わりに、ガス流量、電極パワー、チャンバ圧力、及びエッチングサイクル期間を適切に制御することによって、これらの側壁中に起伏をもった良好に制御された波形構造を形作るようにプロセスサイクルを変更した。周期と振幅がそれぞれ80nmから1.5µmの範囲と50~450nmの範囲にある波形を、処理領域(4インチのウェハサイズ)にわたって再現可能で均一に達成することができた。例えば、それぞれ540nmと130nmの周期と振幅を生成したパラメータは以下の通りであった。ガス流は、エッチングに対してO₂/SF₆=13/130sccm(STPで1分当たり1立方センチメートル)と、堆積に対してC₄F₈=110sccmであり、ガス圧は94mTorrであり、エッチングパワーは、誘導結合プラズマ(ICP)/プラテン(P)に対して600/12Wであり、堆積パワーは、ICP/Pに対して600/0Wであり、エッチング期間は7秒であり、堆積期間は5秒であった。堆積サイクル間のエッチング条件がこれらの波形構造を画成する。SF₆/O₂混合物は略等方性エッチングを与えるので、波形の振幅と周期とが関連づけられる。最も小さい波形構造は50nmの振幅で80nmの周期を有し、最も大きい波形は1.5µmの周期と450nmの振幅を有する。エッチングされたサンプルを100%のNH₄OH/H₂O₂/H₂O=1:1:5に10分間浸して、側壁上のフッ素重合体を除去した。サンプルをBOE溶液に2分間漬け、続いて脱イオン水でのリンスにより残留SiO₂層を除去した。次に、平行なフラックスを用いたCr/Au(3/47nm)の傾斜電子ビーム蒸着(ウェハの垂直軸から15°)により、オーバハングの隆起に伴う陰影の結果、波形の全てについて上部領域でなく下部領域に沿って物理的なエッチングマスクを形成した。蒸着角度が、この陰影の範囲を制御する。KOH溶液(PSE-200、Transene Co.、110°)による異方性湿式化学エッチングによって、露出したSiの全ての領域で側壁に沿って始まり、<110>方向に沿ってSiが除去された。{110}面は{111}面よりも原子の密度が低く、ダングリングボンドの密度が高いため、{110}面に沿ったKOHのエッチング速度は{111}面に沿ったエッチング速度よりも、最大で数百倍まで、非常に速い¹⁴。その結果、このエッチングは、ウェハの表面と平行な方向に、各トレンチの一方の側面から隣接する側面まで完全に進行し、それによって、傾斜蒸着と波形構造(即ち周期と振幅)とによって決定された厚さをもつ個々のリボンの多層スタックが剥離された。KI/I₂(水溶液)溶液(2.67/0.67重量%)でCr/Auを除去し、HCl/H₂O₂/H₂O=1:1:1(体積で)とHF(水溶液)でさらにクリーニングして、作成を完了した。超音波処理により溶液(例えばCH₃OH)中へとリボンを剥離して、他の基板上に成型するためにそれらを準備した。

【0083】

[00121]デバイスにこれらの要素を集積化し易くするために、リソグラフィで画成されたアライメント及び位置を維持することが有益である。このために、発明者らは、KOHによる完全なアンダーカットエッチングの後でさえ、各リボンの端部がSiウェハにアンカーされたままであるように、SiO₂ラインでの破損(幅=10~20µm)を導入し

10

20

30

40

50

た。ポリジメチルシロキサン (PDMS) のエラストマー要素を使用するソフト印刷技法により、そのようなアンカーされたシリボンの組織されたアレイ⁷、¹⁵を、転写のための供給源ウェハからターゲット基板まで一度に1層ずつリフトアップすることができる。図17は、可撓性プラスチック基板に適用されるようなこのプロセスを概略的に示している。次第により下方のシリボン層に接触できるようにPDMSに軽い圧力を加え、シリボン層を迅速に剥がすことにより、最も高い転写効率(第3層まで約90%よりも高い)でリボンアレイを剥離した¹⁵。小さい圧力を使用すると、共形接触が可能となり、同時にリボンの破損及び/又は歪曲を避けることができる。この手法では、リボンはファンデルワールス相互作用によってPDMSに付着し、その相互作用は、リボンの長さに沿って集積化されるので、剥がし戻す際にリボンアンカーを破壊するのに十分な強さがある。シリボン被覆されたスタンプを薄いスピんキャスト接着層(厚さ=135nm、SU-8、Microchem)をもつ基板(厚さ=0.2mm、PET、Delta Technologies)に接触させ、70℃で1分間加熱して、リボンと基板との間に強い接合を生成した。PDMSを剥がして、PDMSからリボンを取り除いた。接着(光重合体)層を紫外光($\lambda = 365\text{nm}$ 、 $13\text{mW}/\text{cm}^2$ 、10秒)に多量に感光させ、更に加熱して(120℃、5分)、リボンと基板との間の接着を強化した。リボンの単一のウェハ源による転写印刷を多数繰り返すと、図17に示されたようなプラスチック又は他の基板上に大きい面積適用範囲(ウェハと比較して)を生成することができる。

【0084】

[00122]図26は、図25に示したプロセスの様々な段階のSi(111)ウェハ(Montco, Inc., n型、1~10cm)の走査電子顕微鏡(SEM)画像を示している。図26の部分g及びhに対応する中間処理状態の厚さは $100 \pm 10\text{nm}$ であった。完全に剥離されたリボンは、KOHエッチング液に長く晒したため、 $80 \pm 15\text{nm}$ の厚さを有していた。ICPRIEにおける SiO_2 マスクの下のわずかなアンダーカットのために、他のリボンよりも多少薄い(この場合約10nmだけ)一番上のリボンを除いて、厚さの均一性は所与の多層のスタックで並びにウェハにわたって優れている。リボンの長さ及び幅は、従来の接触モードフォトリソグラフィを使用することによって、 $\pm 120\text{nm}$ の変動内で均一である。3~5 μm の厚さ、幅、及び数センチメートルに達する長さのこの範囲では、リボンが完全にアンダーカットされるまで、リボンはKOHエッチングの間に崩壊して互いに接触することはなかった。側壁の波形の振幅と周期を変えることによって、80nmと300nmとの間の厚さをウェハの端から端まで均一に達成することができた。個々のリボンの厚さの変動は、信頼性を達成することができる最も小さい厚さを画定する。これらの変動は、四つの主要な原因を有する。最初の二つは SiO_2 マスクの縁部及び波形の側壁上の粗さであり、それらは共に直接に厚さの変動になる。第3に、傾斜蒸着された金属マスクの粒子構造が同様の影響を引き起こすことがある。第4に、ICPRIEエッチングされたトレンチのSi{110}面からのわずかなミスアライメント、及びKOHエッチング浴槽の不均質性(即ち、局所温度及び濃度)も変動になることがある¹⁶。これらの要因のために、確実に達成できる最も小さいリボン厚さの実用上の限界はここで説明した手順では約80nmである。標準接触モードフォトリソグラフィツールを使用して、約1 μm 程度の小さい幅が可能である。リソグラフィ(例えば、電子ビーム又はインプリント印刷リソグラフィの使用)、エッチング(例えば、温度制御型ICPRIE)、及び堆積(例えば、金属レジストラインのより小さい粒子サイズ)を組み合わせた改善により、実質的に(即ち、1/2以下に)これらの最小寸法を低減することができた。このプロセスに関連する別の限界は幅と厚さの比であり、約60より大きい比は、有限角度の異方性などのKOHエッチングに関連するアスペクト並びにリボンの機械的崩壊及び/又はアンダーカットを完了する前の金属マスクラインの層剥離のために、達成することが困難である。

【0085】

[00123]図27は、超音波処理によってウェハからリボンを剥離した後、スライドガラス上に溶液から堆積したこれらのリボンの集合を示す。これらのリボンの幅及び長さの均

10

20

30

40

50

一性は高い(変動 = $\pm 120 \text{ nm}$)。ここで示した約 6×10^3 のリボン(厚さ = 250 nm 、幅 = $3 \mu\text{m}$ 、長さ = 約 1.5 cm)は、 $1.5 \times 1.5 \text{ cm}^2$ の区域から集められたが、このサンプルは 0.16 mg の質量をもつ 90 m のリボンを意味する。実験データの示唆によれば、 150 mm までの直径を有するウェハで、 10 層までもプロセスを拡大することが容易に可能である。この場合、単一の処理シーケンス(図 25)は 32 mg のリボンを生成するであろう。この場合、金属マスク層用に均一な堆積角度を達成するために、大きい基板は注意を必要とすることに留意することが重要である。ここで報告した調査で使用されたものなどの典型的な蒸発システムでは、堆積角度の変動は、 8 mm 、 15 mm 、及び 150 mm の基板直径に対してそれぞれ 0.72° 、 1.36° 、及び 13.8° である。供給源と基板との間の距離を増大させること又は他の容易に実施できる方策により、これらの変動を実質的に低減することができる。

10

【0086】

[00124] 図 27 に示したリボンに存在するハイレベルの無秩序は、デバイス集積化に適する良好に形成された構成を達成する必要性を際立たせている。図 17 に示したアンカー手法は一つの可能性を示しており、リボンのリソグラフィで画定されたアライメント及び方位が作成及び集積化プロセスの全体を通して維持される。図 28 は、ウェハに端部を固定したリボン(幅 = $4 \mu\text{m}$ 、長さ = $190 \mu\text{m}$ 、厚さ = 約 250 nm) であって位置合わせされた 4 層スタックのリボンをもつ Si チップ(全パターンサイズ: $8 \times 8 \text{ mm}^2$) の画像を示している。図 28 a の光学顕微鏡写真は、 1.5×10^5 のリボンを示している。走査型電子顕微鏡写真は、アンカー及びエッチング面(図 28 b から図 28 e)を際立たせている。KOH エッチングの前線は $\langle 110 \rangle$ 方向に前進するが、図 28 e で分かるように、前線は $\{111\}$ 面(即ち、最も遅いエッチング面)で終了し、構造は、二つの $\{111\}$ 面が交差するポイントで出会う三角形形状のアンカーに漸減する。ソフト印刷プロセスは、図 17 の手順を使用して、他の基板の上に、一度に 1 層ずつこれらのリボンを転写することができる。図 29 a は、最上層から PDMS 基板上に転写された Si リボンアレイ(厚さ = 235 nm 、幅 = $4.8 \mu\text{m}$ 、長さ = $190 \mu\text{m}$) の例を示している。前述した要因に起因する厚さの変動は、図 29 a の光学画像における色変動、図 29 b のテーパー状厚さプロファイル、及びリボンが非常に薄い(例えば 40 nm 未満)場合の不連続として現れる。原子間力顕微鏡(AFM)画像は、リボンの表面に十分に分離された段差又は 10 nm に達する高さをもつテラスを示している。これらの段差を含まない区域($1 \times 1 \mu\text{m}^2$)の表面粗さは、これらの三叉を含む同様のサイズの区域の約 3 nm と比較して、約 0.6 nm である。同様の構造は、KOH によってエッチングされた Si (111) ウェハの表面上で観察された¹⁵。そのような構造は、光学画像にある色変動を引き起こす。 0.6 nm の粗さ値は、シリコン・オン・インシュレータ(SOI)基板(0.18 nm)から生成された構造のウェハの研磨された上部表面の粗さ値(0.12 nm)、又は Si ウェハの上部表面(0.5 nm)から生成されたリボンの粗さ値よりも多少大きい。前述のように、この粗さは厚さの変動を決定するのと同じ現象に由来する。典型的なリボンに沿った厚さの変動は約 $\pm 15 \text{ nm}$ であった。所与のアレイのリボンの平均厚さにおける変動は約 $\pm 3 \text{ nm}$ であった。図 29 c は、単一の処理された Si ウェハを使用して、ITO 被覆された PET 基板上に 4 サイクルの印刷によって形成されたリボンアレイの四つの区域を示している。印刷されたリボンの歩留りは、第 1 層に対して 98% 、第 2 層に対して 94% 、第 3 層に対して 88% 、第 4 層に対して 74% であった。第 4 層に対する低い歩留りは、主として、ウェハから PDMS への不完全な転写に起因する。上部層の不完全な転写がウェハ上に部分的に引き離されたりボンを残し、それが後続の印刷サイクルを妨げることがある。

20

30

40

【0087】

[00125] エレクトロニクスにおける印刷されたリボンアレイの可能な一用途を実証するために、発明者らは電界効果トランジスタを作成した(図 30 a、30 b)。基板はポリイミド(PI、厚さ = $25 \mu\text{m}$)であり、ゲート電極は Cr/Au(厚さ = $3/40 \text{ nm}$)であり、ゲート誘電体は図 17 の手順から SiO_2 (厚さ = 170 nm)の層及び SU

50

- 8の接着剤被覆で構成された。AFMによって測定されたように、転写されたシリボンアレイはSU-8中に約35nm沈み、シリボンの底面とSiO₂ゲート誘電体との間に100nmの残留SU-8を残した。厚い電極パッド(Ti、250nm)は、フォトリソグラフィによって形成され(100μm長×100μm幅、10個のシリボンの測定により)、Tiエッチング液(TFTN、Transene Co.)による湿式エッチングは、ソース及びドレイン用のショットキー障壁コンタクトを形成した。これらのボトムゲートデバイスは、同様の処理条件を使用してSOIウェハ上に形成された同様のデバイスと一致して、n型エンハンスメントモードゲート変調(図30c、30d)を示した。トランジスタは、約3×10⁴のオン/オフ比を示した。リボン移動度(充填比35%)当たりの線形領域は、第1層について190cm²V⁻¹s⁻¹、また、第2層について130cm²V⁻¹s⁻¹に対応する。これらの値は、発明者らが、SOIウェハを使用して、さもなければ同様のデバイス処理工程を使用して得たものよりも多少低い⁷、¹¹。発明者らは、ここで使用したリボンより大きい粗さが、部分的にこの差異の原因であると推測する。さらに、Si-SiO₂界面では、(111)面の界面電荷密度は(100)面の界面電荷密度の約10倍の大きさであることがよく知られており、水素中のアニールによりこの値を著しく低減することができる¹⁷。

10

【0088】

[00126]要約すると、この実施例は、バルクシリコン(111)ウェハから大量の単結晶シリコンのマイクロリボン/ナノリボンを生成する簡単な作成方策を実証している。この手法によって生成された多層スタック中の各層は、トランジスタなどのデバイスへの集積化のために、他の基板上に別々に転写印刷することができる。手順の簡単さ、デバイス用に組織化されたアレイを形成する能力、材料の高品質、並びに電子回路に加えてセンサ、光検出器、及び恐らく光起電力素子などの他のデバイス可能性の潜在能力は、シリコンリボンへのこのタイプの手法の潜在的価値を示唆している。

20

【0089】

[00127]様々なSTS-ICPRIE条件による様々な側壁及び様々な厚さをもつシリコンリボンの顕微鏡写真、陰影マスクの広がり対電子ビーム蒸発の角度、並びに7層シリボンとEDAXエネルギー分散分光(EDS)調査からのスペクトルを図31~図34に示す。

【0090】

30

[00128]参考文献

【0091】

[00129](1)(a) Wagner, R. S.; Ellis, W. C. Appl. Phys. Lett. 1964, 4, 89. (b) Holmes, J.D.; Johnston, K. P.; Doty, R. C.; Korgel, B. A. Science 2000, 287, 1471. (c) Yu, J.-Y.; Chung, S.-W.; Heath, J. R. J. Phys. Chem. B 2000, 104, 11864. (d) Wu, Y.; Yang, P. J. Am. Chem. Soc. 2001, 123, 3165. (e) Wu, Y.; Fan, R.; Yang, P. Nano Lett. 2002, 2, 83. (f) Shi, W.-S.; Peng, H.-Y.; Zheng, Y.-F.; Wang, N.; Shang, N.-G.; Pan, Z.-W.; Lee, C.-S.; Lee, S.-T. Adv. Mater. 2000, 12, 1343. (g) Wu, Y.; Xiang, J.; Yang, C.; Lu, W.; Lieber, C. M. Nature 2004, 430, 61. (h) Lu, W.; Xiang, J.; Timko, B. P.; Wu, Y.; Lieber, C. M. Proc. Natl. Acad. Sci. U.S.A. 2005, 102, 10046. (i) Xiang, J.; Lu, W.; Hu, Y.; Wu, Y.; Yan, H.; Lieber, C. M. Nature 2006, 441, 489.

40

【0092】

[00130](2)(a) Shi, W.; Peng, H.; Wang, N.; Li, C. P.; Xu, L.; Lee, C. S.; Kalish, R.; Lee, S.-T. J. Am. Chem. Soc. 2001, 123, 11095. (b) Zhang, R.-Q.; Lifshitz, Y.; Lee, S.-T. Adv. Mater. 2003, 15, 635. (c) Shan, Y.; Kalkan, A. K.; Peng, C.-Y.; Fonash, S. J. Nano Lett. 2004, 4, 2085.

【0093】

[00131](3)(a) Pan, Z. W.; Dai, Z. R.; Wang, Z. L. Science 2001, 291, 1947. (b) Li, Y. B.; Bando, Y.; Sato, T.; Kurashima, K. Appl. Phys. Lett. 2002, 81, 144. (

50

c) Arnold, M. S.; Avouris, P.; Pan, Z. W.; Wang, Z. L. *J Phys. Chem. B* 2003, 107, 659. (d) Dai, Z. R.; Pan, Z. W.; Wang, Z. L. *J. Phys. Chem. B* 2002, 106, 902. (e) Wen, X.; Wang, S.; Ding, Y.; Wang, Z. L.; Yang, S. *J. Phys. Chem. B* 2005, 109, 215. (f) Kong, X. Y.; Wang, Z. L. *Solid State Commun.* 2003, 128, 1.

【 0 0 9 4 】

[00132](4)(a) Kar, S.; Satpati, B.; Satyam, P. V.; Chaudhuri, S. *J. Phys. Chem. B* 2005, 109, 19134. (b) Kar, S.; Chaudhuri, S. *J Phys. Chem. B* 2006, 110, 4542. (c) Kar, S.; Chaudhuri, S. *J. Phys. Chem. B* 2005, 109, 3298. (d) Li, Y.; Zou, K.; Shan, Y. Y.; Zapien, J. A.; Lee, S.-T. *J. Phys. Chem. B* 2006, 110, 6759. (e) Zhang, Z.; Wang, J.; Yuan, H.; Gao, Y.; Liu, D.; Song, L.; Xiang, Y.; Zhao, X.; Liu, L.; Luo, S.; Dou, X.; Mou, S.; Zhou, W.; Xie, S. *J Phys. Chem. B* 2005, 109, 1835. (f) Wang, Z. Q.; Gong, J. F.; Duan, J. H.; Huang, H. B.; Yang, S.G.; Zhao, X. N.; Zhang, R.; Du, Y. W. *Appl. Phys. Lett.* 2006, 89, 033102.

【 0 0 9 5 】

[00133](5) Bae, S. Y.; Seo, H. W.; Park, J.; Yang, H.; Park, J. C.; Lee, S. Y. *Appl. Phys. Lett.* 2002, 81, 126.

【 0 0 9 6 】

[00134](6)(a) Ma, C.; Ding, Y.; Moore, D.; Wang, X.; Wang, Z. L. *J. Am. Chem. Soc.* 2004, 126, 708. (b) Ding, Y.; Ma, C.; Wang, Z. L. *Adv. Mater.* 2004, 16, 1740. (c) Joo, J.; Son, J. S.; Kwon, S. G.; Yu, J. H.; Hyeon, T. *J. Am. Chem. Soc.* 2006, 128, 5632. (d) Zhang, X. T.; Ip, K. M.; Liu, Z.; Leung, Y. P.; Li, Q.; Hark, S. K. *Appl. Phys. Lett.* 2004, 84, 2641. (e) Xie, Q.; Liu, Z.; Shao, M.; Kong, L.; Yu, W.; Qian, Y. *J. Cryst. Growth* 2003, 252, 570.

【 0 0 9 7 】

[00135](7)(a) Menard, E.; Lee, K. J.; Khang, D.-Y.; Nuzzo, R. G.; Rogers, J. A. *Appl. Phys. Lett.* 2004, 84, 5398. (b) Menard, E.; Nuzzo, R. G.; Rogers, J. A. *Appl. Phys. Lett.* 2005, 86, 093507. (c) Zhu, Z.-T.; Menard, E.; Hurley, K.; Nuzzo, R. G.; Rogers, J. A. *Appl. Phys. Lett.* 2005, 86, 133507. (d) Khang, D.-Y.; Jiang, H.; Huang, Y.; Rogers, J. A. *Science* 2006, 311, 208. (e) Sun, Y.; Kumar, V.; Adesida, I.; Rogers, J. A. *Adv. Mater.* 2006, in press.

【 0 0 9 8 】

[00136](8)(a) Zhang, P.; Tevaarwerk, E.; Park, B.-N.; Savage, D. E.; Celler, G. K.; Knezevic, I.; Evans, P. G.; Eriksson, M. A.; Lagally, M. G. *Nature* 2006, 439, 703. (b) Roberts, M. M.; Klein, L. J.; Savage, D. E.; Slinker, K. A.; Friesen, M.; Celler, G.; Eriksson, M. A.; Lagally, M. G. *Nat. Mater.* 2006, 5, 388.

【 0 0 9 9 】

[00137](9)(a) Huang, M.; Boone, C.; Roberts, M.; Savage, D. E.; Lagally, M. G.; Shaji, N.; Qin, H.; Blick, R.; Nairn, J. A.; Liu, F. *Adv. Mater.* 2005, 17, 2860. (b) Zhang, L.; Ruh, E.; Grutzmacher, D.; Dong, L.; Bell, D. J.; Nelson, B. J.; Schonberger, C. *Nano Lett.* 2006, 6, 1311.

【 0 1 0 0 】

[00138](10)(a) Desai, T. A.; Hansford, D. J.; Kulinsky, L.; Nashat, A. H.; Rasi, G.; Tu, J.; Wang, Y.; Zhang, M.; Ferrari, M. *Biomed. Microdevices* 1999, 2, 11. (b) Bhushan, B.; Kasai, T.; Nguyen, C. V.; Meyyappan, M. *Microsyst. Technol.* 2004, 10, 633.

【 0 1 0 1 】

[00139](11) Mack, S.; Meitl, M. A.; Baca, A. J.; Zhu, Z.-T.; Rogers, J. A. *Appl. Phys. Lett.* 2006, 88, 213101.

【 0 1 0 2 】

[00140](12)(a) Letant, S. E.; Hart, B. R.; Van Buuren, A. W.; Terminello, L. J.

10

20

30

40

50

. Nat.Mater. 2003, 2, 391. (b) Storm, A. J.; Chen, J. H.; Ling, X. S.; Zandbergen, H.W.; Dekker, C. Nat. Mater. 2003, 2, 537.

【 0 1 0 3 】

[00141](13)(a) Gmbh, R. B. U.S. Patent 4855017, U.S. Patent 4784720, German Patent 4241045C1, 1994. (b) Ayoñ, A. A.; Braff, R.; Lin, C. C.; Sawin, H. H.; Schmidt, M. A. J. Electrochem. Soc. 1999, 146, 339. (c) Chen, K.-S.; Ayoñ, A. A. J. Microelectromech. Syst. 2002, 11, 264.

【 0 1 0 4 】

[00142](14)(a) Madou, M. Fundamentals of Microfabrication; CRC Press LLC: Boca Raton, FL, 1997; pp 177-187. (b) Chou, B. C. S.; Chen C.-N.; Shie, J.-S. Sens. Actuators, A 1999, 75, 271. (c) Lee, S.; Park, S.; Cho D. J. Microelectromech. Syst. 1999, 8, 409. (d) Ensell, G. J. Micromech. Microeng. 1995, 5, 1. (e) Kandall, D. L. Annu. Rev. Mater. Sci. 1979, 9, 373.

【 0 1 0 5 】

[00143](15) Meitl, M. A.; Zhu, Z.-T.; Kumar, V.; Lee, K. J.; Feng, X.; Huang, Y. Y.; Adesida, I.; Nuzzo, R. G.; Rogers, J. A. Nat. Mater. 2006, 5, 33.

【 0 1 0 6 】

[00144](16) Carcia, S. P.; Bao, H.; Hines, M. A. Phys. Rev. Lett. 2004, 93, 166102.

【 0 1 0 7 】

[00145](17)(a) Streetman, B. G.; Banerjee, S. Solid State Electronic Devices, 5th ed.; Prentice Hall: Upper Saddle River, NJ, 2000; pp274-275. (b) Razouk, R. R.; Deal, B. E. J. Electrochem. Soc. 1979, 126, 1573. (c) Kato, Y.; Takao, H.; Sawada, K.; Ishida, M. Jpn. J. Appl. Phys. 2004, 43, 6848.

【 0 1 0 8 】

[00146] 米国特許出願第 1 1 / 1 1 5 , 9 5 4 号、第 1 1 / 1 4 5 , 5 7 4 号、第 1 1 / 1 4 5 , 5 4 2 号、第 6 0 / 8 6 3 , 2 4 8 号、第 1 1 / 4 6 5 , 3 1 7 号、第 1 1 / 4 2 3 , 2 8 7 号、第 1 1 / 4 2 3 , 1 9 2 号、及び第 1 1 / 4 2 1 , 6 5 4 号を、本明細書と矛盾しない範囲で参照することにより本明細書に援用する。

【 0 1 0 9 】

[00147] 本出願の全体にわたる全ての引用文献、例えば、発行若しくは登録された特許又は等価物、特許出願公報、未公開特許出願を含む特許文献及び非特許文献又は他の資料は、各参考文献が本出願の開示と少なくとも部分的に矛盾しない範囲で参照することにより個々に援用するように（例えば、部分的に矛盾している参考文献は参考文献の部分的に矛盾した部分を除いて参照することにより援用する）、参照することによりその全体を本明細書に援用する。

【 0 1 1 0 】

[00148] 「備える」、「含む」、「含まれた」、又は「含む」という用語が本明細書で使用される場合、それらは明示された特徴、完全体、工程、又はコンポーネントの存在を明示するものと解釈されるべきであるが、一以上の他の特徴、完全体、工程、コンポーネント、又はそのグループの存在や追加を排除すべきでない。「備える」又は「含む」、又は「含まれた」という用語は、文法上類似である用語、例えば、必ずしも同じ範囲を占めない更なる実施形態を説明するための「成る」又は「本質的に成る」で任意に置き替えられる本発明の個別の実施形態も包含されるものである。

【 0 1 1 1 】

[00149] 本発明が様々な特定の及び好ましい実施形態及び技法を参照しながら説明した。しかし、本発明の趣旨及び範囲内にとどまりながら、多くの変更及び変形を行うことができることが理解されるべきである。本明細書で特に説明したもの以外の組成、方法、デバイス、デバイス要素、材料、手順、及び技法が、過度の実験を用いることなしに本明細書で広く開示されたものとして本発明の実施に適用することができることが当業者には明

10

20

30

40

50

らかであろう。本明細書で説明した組成、方法、デバイス、デバイス要素、材料、手順、及び技法の既知技術の機能的等価物は全て、本発明に包含されるものである。ある範囲が開示される場合は常に、部分範囲及び個々の値は全て、あたかも別個に規定されるかのように包含されるものである。本発明は、図示した又は明細書で例示した全てを含めて、開示された実施形態によって限定されるべきでない。これら実施形態は、限定するためでなく、例又は説明のために提供したものである。本発明の範囲は、特許請求の範囲によってのみ限定されるものとする。

【表 1】

表 1：選択性エッチング材料システムの例

機能材料	犠牲層	アンダーカット薬剤	用途
GaAs、InP、 $Al_xGa_{1-x}As$ ($x < \text{約}50\%$)、 $\text{約}50\%$ 未満のAlAsの組成をもつ InGaAlAsP、C、Si、 Ge、SiC、SiGe、Au、 Ag、Cu、Pd、Pt、上記 材料の組み合わせの多層 (結晶又はアモルファス； アモルファス化合物 半導体に関しては不確か)	x が $\text{約}0.7$ 以上ので ある $Al_xGa_{1-x}As$ 、 AlSb、GaSb、 SiO ₂	フッ化水素酸、 フッ化水素酸蒸気、 緩衝酸化物エッチ	LED、光起電力素子、 エレクトロニクス (トランジスタ、 ダイオードなど)、 フォトダイオード、 導波路など
上記と同じ	有機ポリマー	空気/酸素中で 300~500℃で燃焼	上記と同じ
GaAs	$GaAs_{1-x}Ny$ ($y < x < 1$)、 窒素注入	水性NaOH (1N)	上記と同じ
InGaAlN	Si	温かい強水性塩基 (TMAH、KOHなど)	上記と同じ
$In_{1-y}Ga_yAs_xP_{1-x}$ ($x, y < \text{約}0.05$)	InGaAs	HF: H ₂ O ₂ : H ₂ O	上記と同じ
$Al_xGa_{1-x}As$ ($x > \text{約}0.9$)	GaAs	クエン酸: H ₂ O ₂ : H ₂ O	上記と同じ

10

20

30

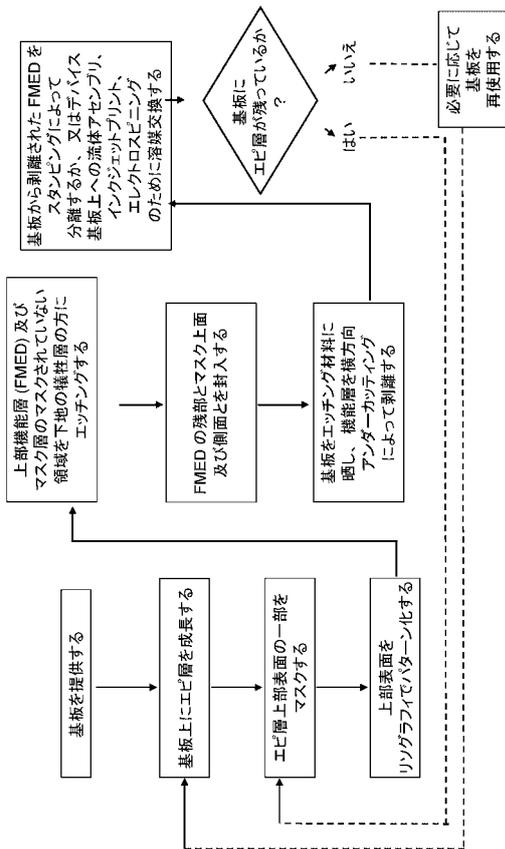
【表 2】

表 2：LEDを生成するのに有用な機能層組成（図 3 Eを参照）

1	GaAs:C	5 nm	1019	P-コンタクト
2	Al _{0.45} Ga _{0.55} As:C	800 nm	1018	P-スプレッタ
3	Al _{0.5} In _{0.5} P:Mg	200 nm	1018	クラッド
4	Al _{0.25} Ga _{0.25} In _{0.5} P	6 nm	アンドープ	障壁
5	Ga _{0.44} In _{0.56} P	6 nm	アンドープ	Q-井戸
6	Al _{0.25} Ga _{0.25} In _{0.5} P	6 nm	アンドープ	障壁
7	Ga _{0.44} In _{0.56} P	6 nm	アンドープ	Q-井戸
8	Al _{0.25} Ga _{0.25} In _{0.5} P	6 nm	アンドープ	障壁
9	Ga _{0.44} In _{0.56} P	6 nm	アンドープ	Q-井戸
10	Al _{0.25} Ga _{0.25} In _{0.5} P	6 nm	アンドープ	障壁
11	Ga _{0.44} In _{0.56} P	6 nm	アンドープ	Q-井戸
12	Al _{0.25} Ga _{0.25} In _{0.5} P	6 nm	アンドープ	障壁
13	Al _{0.5} In _{0.5} P	200 nm	1018	クラッド
14	Al _{0.45} Ga _{0.55} As:Te	800 nm	1018	N-スプレッタ
15	GaAs:Te	500 nm	1019	N-コンタクト

10

【図 2 B】



【図 4】

- プロセスフロー 1：光起電力素子用 FMED の剥離、基板の任意の再使用を伴う「一度に多層」
 図 3A も参照のこと。
 ここでは、エビタキシャル成長した半導体にアモルファス又は多結晶の材料にも機能する（プロセスフロー 6）
 図 12 で説明するプロセスと同様にアモルファス又は多結晶の材料にも機能する（プロセスフロー 6）
1. GaAs 基板を得る
 2. MOCVD、MBE 等（トランジスタ、LED それぞれのための図 3D、図 3E と同様のプロセス）により GaAs 基板上に図 3C によって示したエビ層を成長する。必要に応じて成長の前に基板を前処理する（CMP が必要なことがあるが、可能性は低い。機能層及び犠牲層の前に基板に隣接する GaAs の約 200nm の緩衝層を成長することが必要なことがある）
 3. プラズマ化学気相堆積（PECVD）及びある形態のパターニング用/リングラファイによって SiO₂ で上部エビ層の表面の一部をマスクする
 4. Cl/Al/H フラズマを使用して、表面から任意の Al_{0.5}Ga_{0.5}As 犠牲層（例えば基板に最も近い犠牲層）の中へある距離までエビ層のマスクされていない領域をエッチングする。犠牲層は、基板から最も近いものとするべきでない（その場合、図 5 に示すように、剥離が「一度に一つ」生じることになる（プロセスフロー 2））
 5. 基板を高濃度 HF に晒し、晒された犠牲層を少なくとも部分的に除去し、縦方向アンダーカットエッチングによって犠牲層の上の機能エビ層を剥離する。（HF は、犠牲層に作用するよりも機能エビ層に迅速で作用する（1/10 未満のエッチング速度））
 6. 基板から剥離された FMED をスタンプエッチングによって分離するか、又は液体アセトン/トリフルオロエタノール/インクジェットプリント、エレクトロスピニング等のために溶媒交換を行う
 7. HF を使用して犠牲層の残部を全て除去し、上にある機能エビ層の残部（アンカー構造など）を全て洗い落とす（すり落とす）。第 1 の犠牲層の真下に本来あった機能層が露出され、基板の表面にある
 8. ステップ 3 からステップ 7 を繰り返し、犠牲層が基板上に残らなくなるまで、機能層の組（各組は犠牲層によって分離される）を一度に 1 組ずつ剥離する
 9. （オプションとして、基板の再使用のため）必要に応じてステップ 2 からステップ 8 を繰り返す

【 図 5 】

プロセスフロー 2：光起電力素子用 FIMED の剥離、基板の任意の再使用を伴う「一度に 1 層」
図 3B も参照。
ここでは、エピタキシャル成長した半導体について示す。
プロセスフロー 6 で説明するプロセスと同様にアモルファス又は多結晶の材料にも機能する。

1. GaAs 基板を得る
2. MOCVD、MBE など（トランジスタ、LED それぞれ用の図 3D、図 3E と同様のプロセス）により GaAs 基板上に図 3C によって示したエピ層を成長する。必要に応じて成長の前に基板を前処理する（CMP が必要なおことがあるが、可能性は低い。機能層及び犠牲層の前に基板に隣接する GaAs の約 200nm の緩衝層を成長する必要なおがある）
3. プラスマ化学気相堆積（PECVD）及びある形態のパターニング用リソグラフィによって約 500nm の SiO₂ で上部エピ層の表面の一部をマスクする
4. Cl/A/H プラズマを使用し、表面から第 1 の Al_{0.5}GeGa_{0.4}As 犠牲層の中へある距離までエピ層のマスクされていない領域をエッチングする
5. 基板を高濃度 HF に浸し、露された犠牲層（一つ）を少なくとも部分的に除去し、横方向アンダーカットリングによって犠牲層の上のエピ層（機能層）を剥離する。（HF は、犠牲層に作用するよりも機能エピ層に低速で作用する（1/10 未満のエッチング速度））
6. 基板から剥離された FIMED をスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェットプリント、エレクトロスタニングなどのために溶媒交換を行う
7. HF を使用して犠牲層の残部を全て除去し、上にある機能エピ層の残部（アンカー構造など）を全て洗い落とす/すり落とす。第 1 の犠牲層の真下に本来あった機能層が露出され、基板の表面にある
8. ステップ 3 からステップ 7 を繰り返す。犠牲層が基板上に残らなくなるまで、個々の機能層（各層は犠牲層によって分離される）を一度に 1 層ずつ剥離する
9. （オプションとして、基板の再使用のため）必要に応じてステップ 2 からステップ 8 を繰り返す

【 図 7 B 】

プロセスフロー 7：化学的手段で導入されたクラックの伝播による FIMED の剥離。
図 7A も参照

1. シリコン基板を得る
2. SiO₂ を PECVD によって基板に堆積する
3. フォトリソグラフィと緩衝酸化物エッチング液（BOE）中の湿式エッチングを行い、SiO₂ 層中に傾斜した側壁を生成する（図 11 を参照）
4. フォトリソグラフィ及び蒸着（リフトオフ）を行い、図 11 に示すように、SiO₂ 層間の間隙の端から端まで約 100nm の金を堆積し、SiO₂ 層をオーバコートする
5. BOE 又は HF を使用して残りの SiO₂ を除去し、クラックを化学的に導入する
6. 金フィルムに（スタンプ、ピンセットなどで）機械的力を加えて、基板から金フィルムを引き離す

【 図 6 C 】

プロセスフロー 4：レーザアブレーションによる LED 用 FIMED の剥離
図 6 も参照（Tan, B.S., Yuan, S., Kang, X.J., Performance enhancement of InGaN light-emitting diodes by laser lift-off and transfer from sapphire to copper substrate, Applied Physics Letters 84 巻、2757 ~ 2759 ページ（2004 年）から）

1. 図 6B で示したものと同様のサファイア基板上の GaN/InGaN を得る
2. プラズマ化学気相堆積（PECVD）及びある形態のハタチーニング用リソグラフィによって SiO₂ で上部エピ層の表面の一部をマスクする
3. BC₁₃Cl/A/H プラズマを使用して、表面からエピ層までエピ層のマスクされていない領域をエッチングする
4. サファイア基板を通して K₂F レーザ（248nm）でエピ層のある部分を露光して、サファイアに隣接する GaN を Ga（金属）と N₂（気体）とに分解する
5. 基板を 30°C まで加熱し、それによって、（ステップ 4 と組み合わせて）エピ層の少なくとも一部を基板から剥離する
6. 基板から剥離された FIMED をスタンピングによって分離するか、又は流体アセンブリ若しくはインクジェットプリント、エレクトロスタニングなどのために溶媒交換を行う

【 図 8 C 】

プロセスフロー 5：キャリアフィルム及び機械的に導入されたクラックの離開を使用する
FIMED(SWNT のアレイ)の剥離
図 7A 及び図 8A を参照

1. CVD によって石英上に SWNT を成長し、次に金を蒸着し、次にポリマーをスピンドルすることによって、図 8B で説明した構造をもつ基板を得る。ポリマー及び金が FIMED(SWNT)用のキャリアフィルムを構成する
2. レーザーブレードを使用して、ポリマー及び金フィルムを通して石英基板までラインを切り、それによって、クラックを導入する
3. PDMS スタンプ、ピンセットなどを介して機械的力を加えることによって、キャリアフィルムと SWNT アレイとを分離する

【 図 1 2 】

プロセスフロー6：犠牲層の除去によるアモルファス又は多結晶 FMED 構造の剥離。

図 3B も参照
図 4 と同様一度に多層に成すことが可能である (プロセスフロー 1)
ここでは、図 5 と同様に「一度に 1 層」として説明する (プロセスフロー 2)

1. Si 基板を得る
2. 連続蒸着又は CVD によって図 10 で説明した層を成長する
3. 最上層の表面の一部をフォトリソレジスト及びある形態のパターニング用リソグラフィでマスクする
4. 機能材料をエッチングするために、適切な湿式又は乾式エッチング (例えば Au 用の KI/H_2O 、ダイヤモンド用の酸素プラズマ) を使用して最上層のマスクされていない領域をエッチングする
5. 基板を高濃度 HF に晒し、晒された犠牲層 (SiO_2) を少なくとも部分的に除去し、横方向アンダーカッチャングによって犠牲層の上の機能材料 (機能層) を剥離する。(HF は、犠牲層に作用するよりも機能材料 (貴金属、ダイヤモンド、シリコン) に急速に作用する (1/10 未満のエッチング速度))
6. 基板から剥離された FMED をスタンプングによって分離するか、又は液体アセンブリ若しくはインクジェットプリント、エレクトロスピニングなどのために溶媒交換を行う
7. HF を使用して犠牲層の残部を全て除去し、上にある機能エピソードの残部 (アンカー構造など) を全て洗い落とす (1) すり落とす。第 1 の犠牲層の真下に本来あった機能層が露出され、基板の表面にある
8. ステップ 3 からステップ 7 を繰り返す。犠牲層が基板の上に残りなくなるまで、機能層の組 (各組は犠牲層によって分離される) を一度に一つずつ剥離する
9. (オプション、基板の再使用のため) 必要に応じてステップ 2 からステップ 8 を繰り返す

【 図 2 6 】

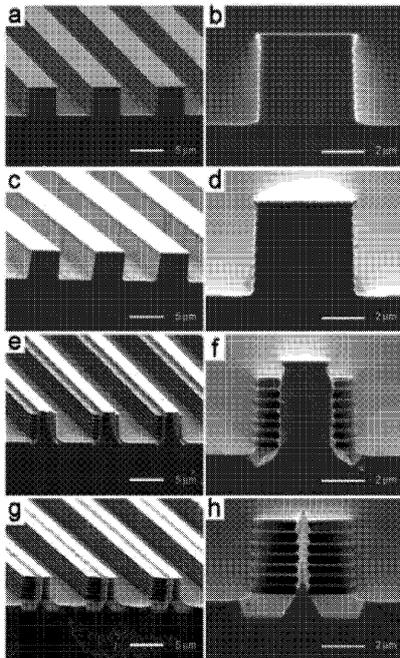


FIG. 26

【 図 1 8 】

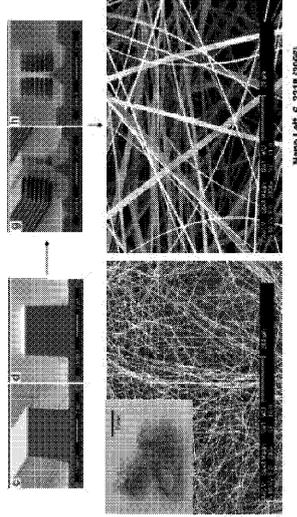


FIG. 18

【 図 2 7 】

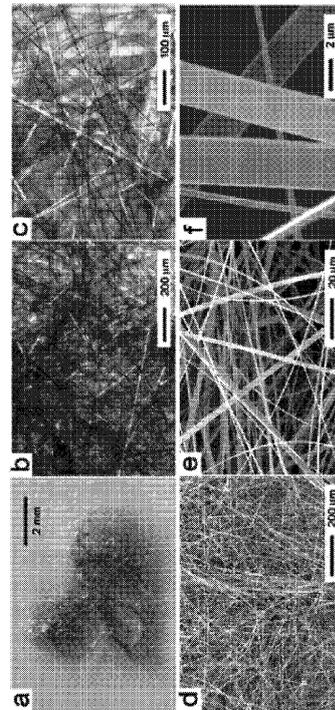


FIG. 27

【 28 】

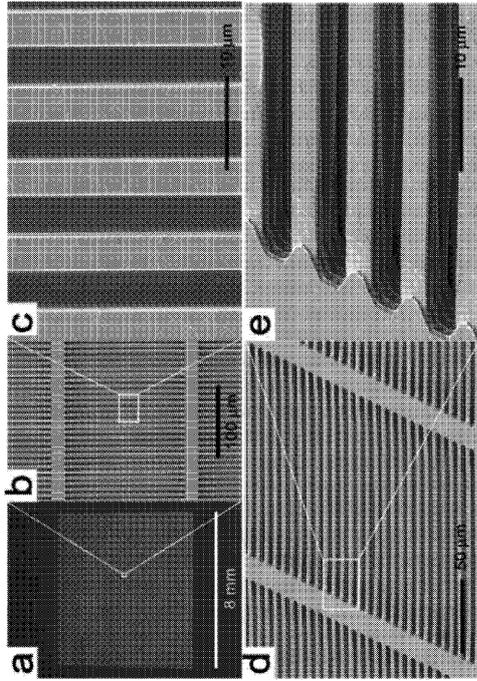


FIG. 28

【 33 A 】

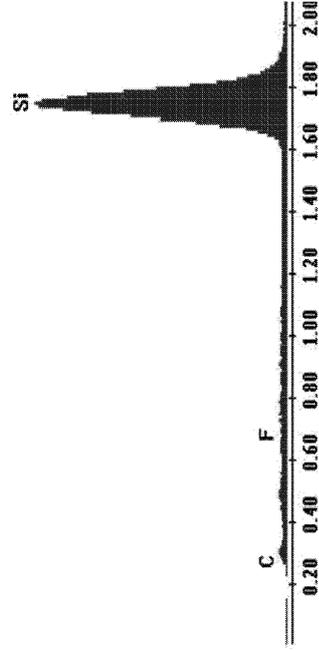


FIG. 33A

【 33 B 】

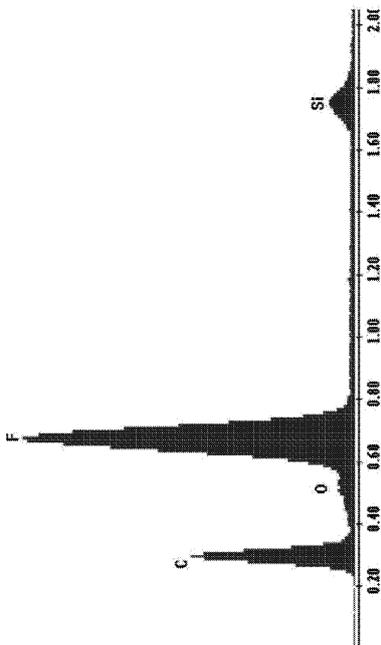


FIG. 33B

【 33 C 】

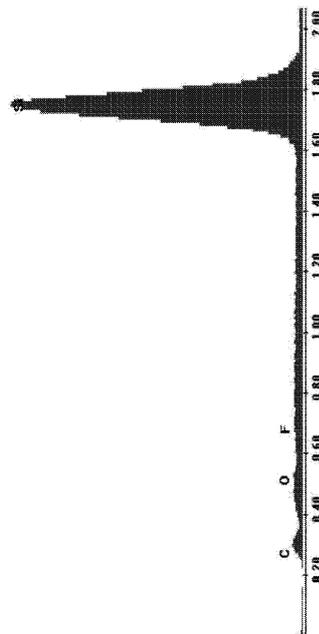


FIG. 33C

【 34 】

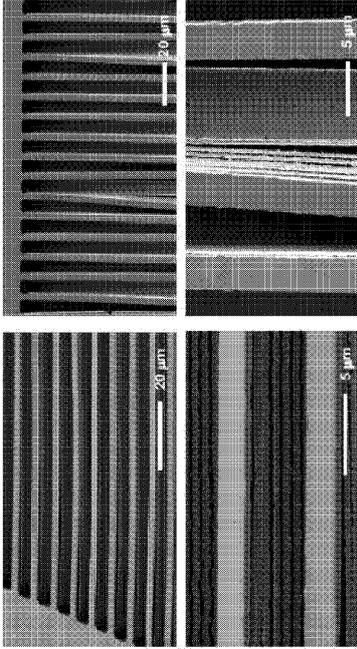


FIG. 34

【 37 A 】

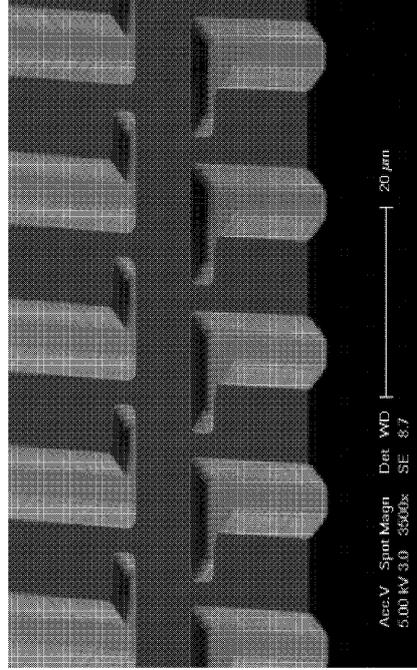


FIG. 37A

【 37 B 】

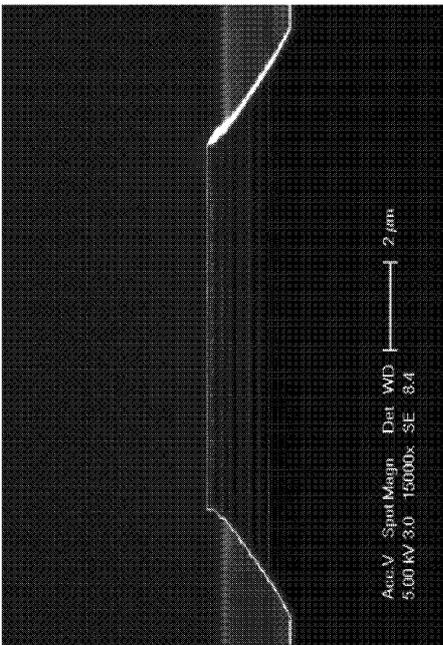


FIG. 37B

【 38 】

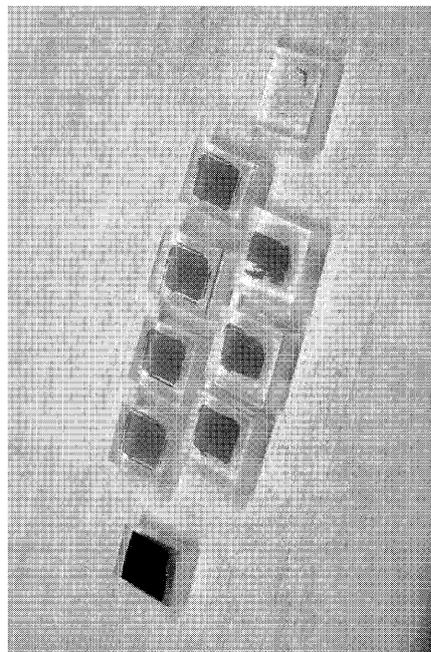


FIG. 38

【 3 9 A】

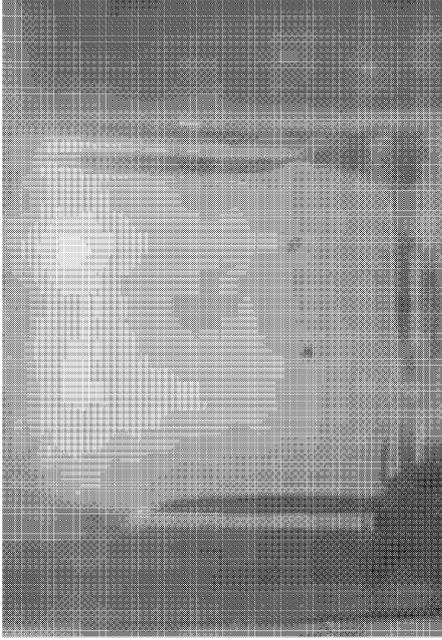


FIG. 39A

【 3 9 B】

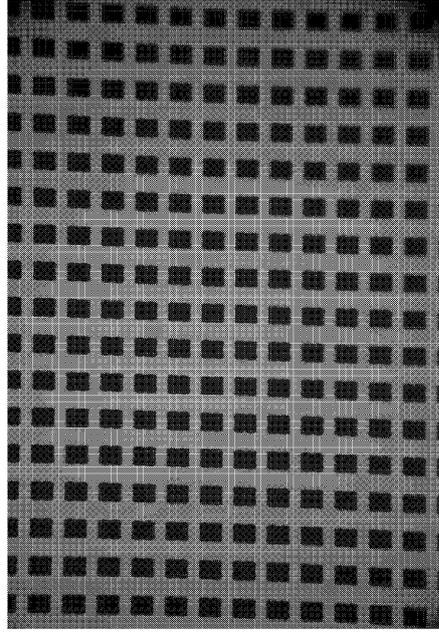
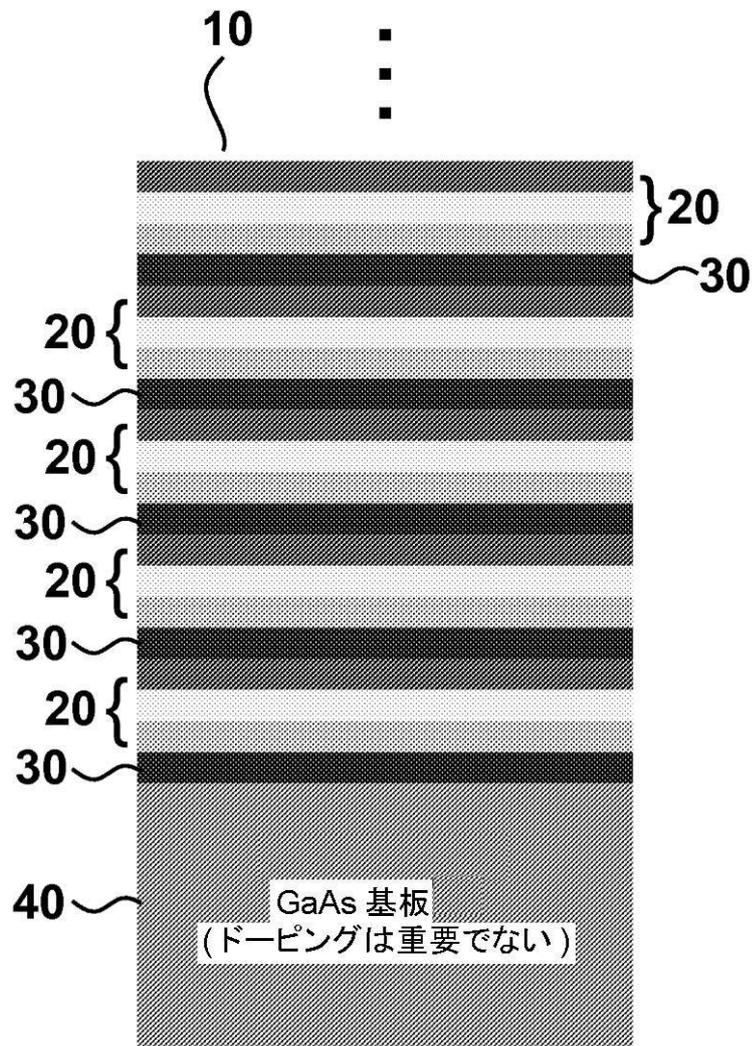


FIG. 39B

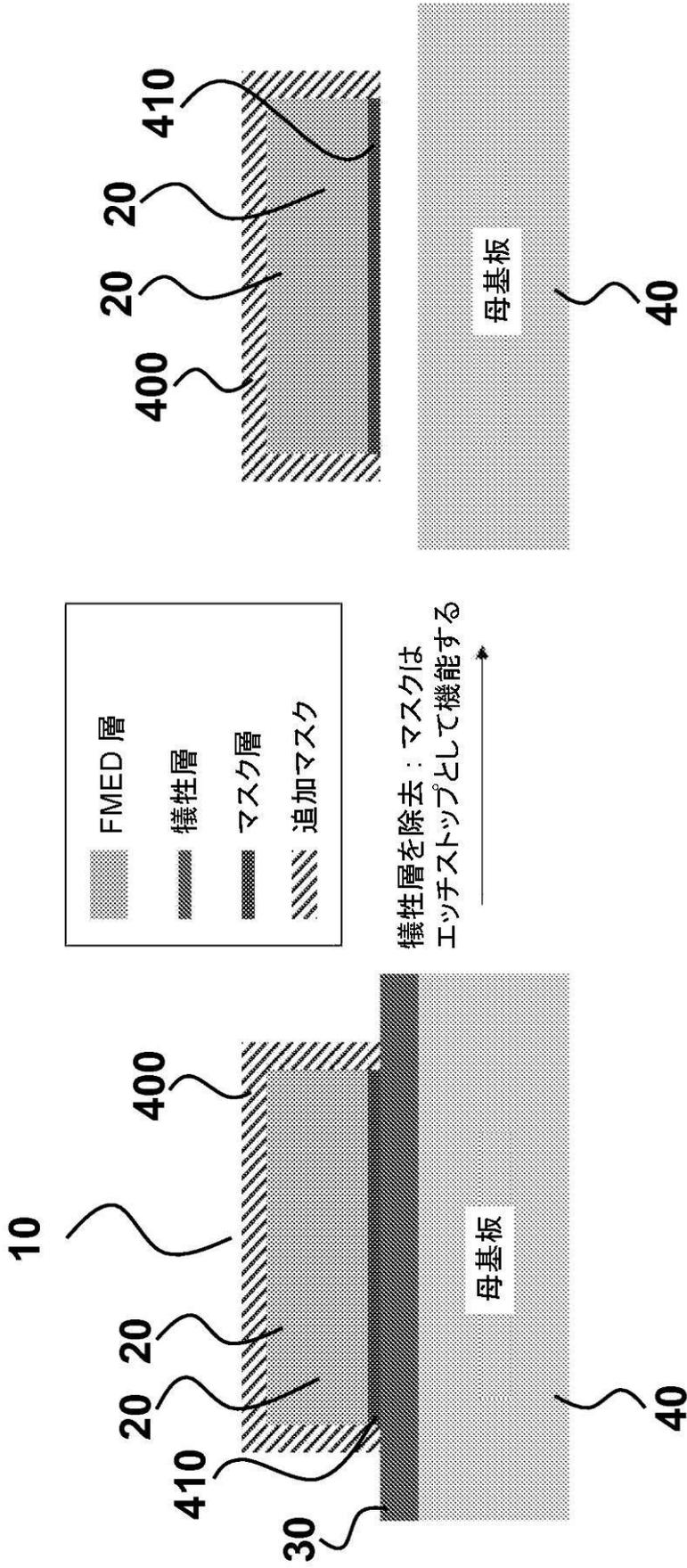
【図1A】



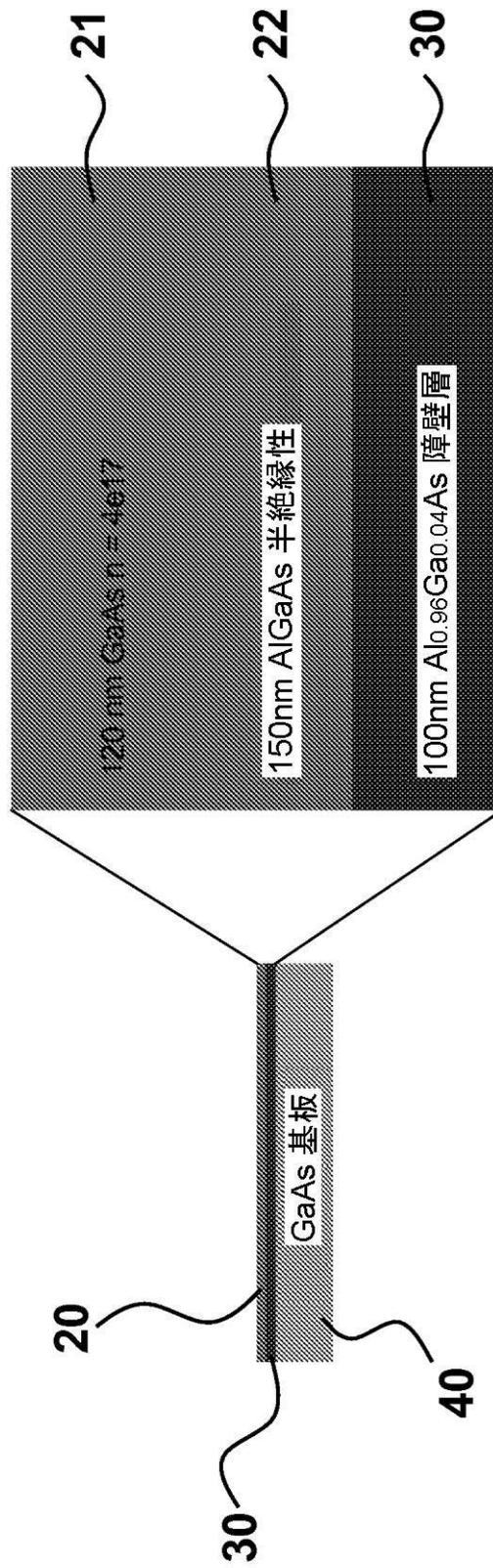
【図 1 B】

21		GaAs、pドープ、可能な限り導電性
22		GaAs、低ドープ
23		GaAs、nドープ、可能な限り導電性
30		$\text{Al}_{0.9}\text{Ga}_{0.1}\text{As}$ 、ドーピングは重要でない、犠牲的

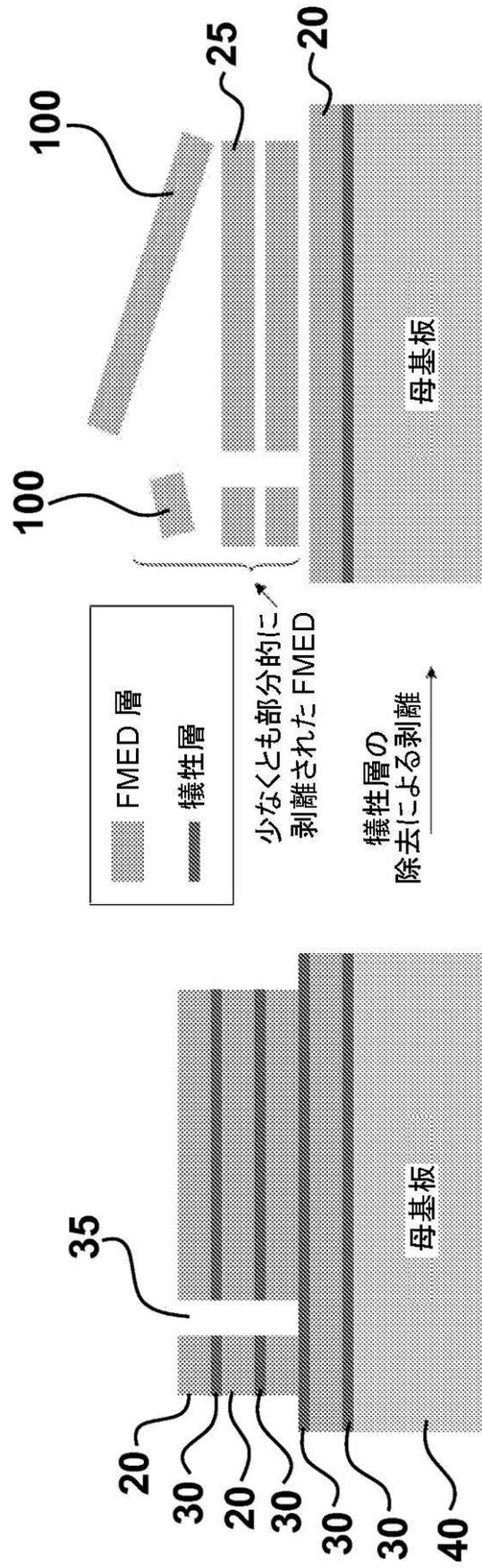
【図2A】



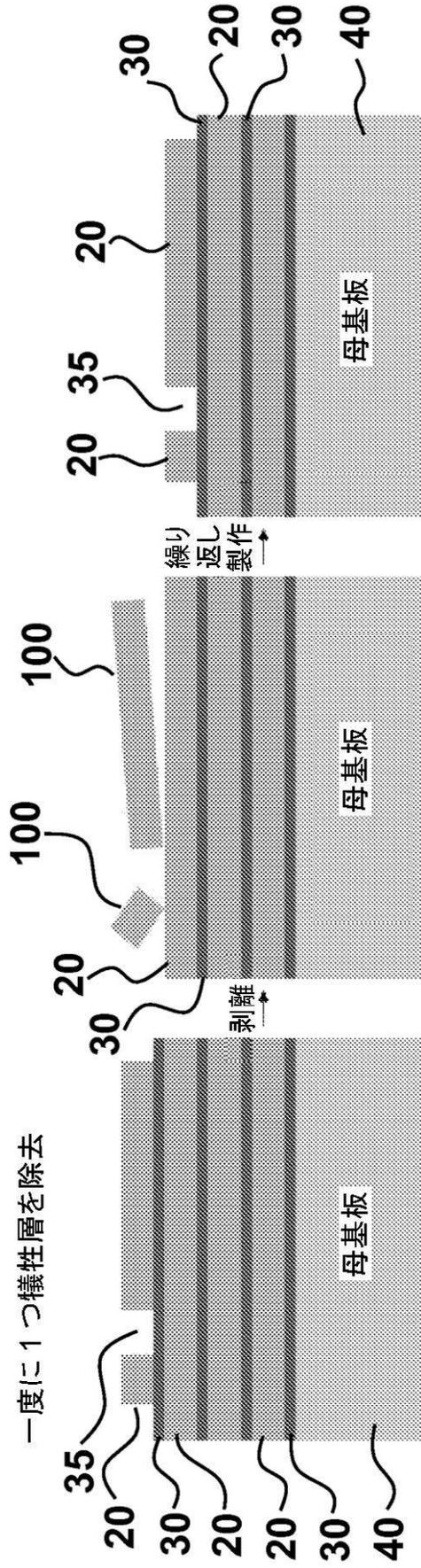
【 図 2 C 】



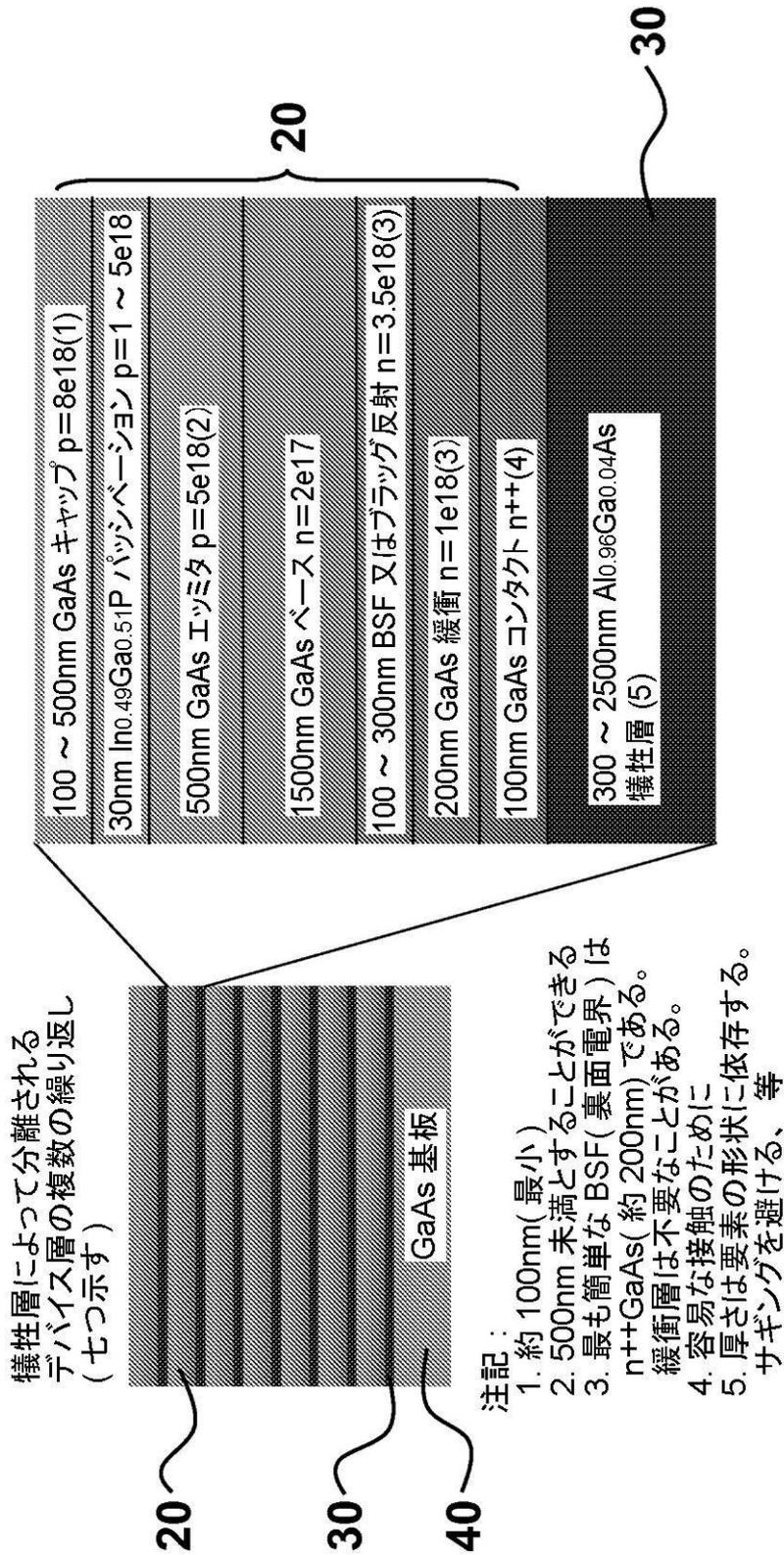
【図3A】



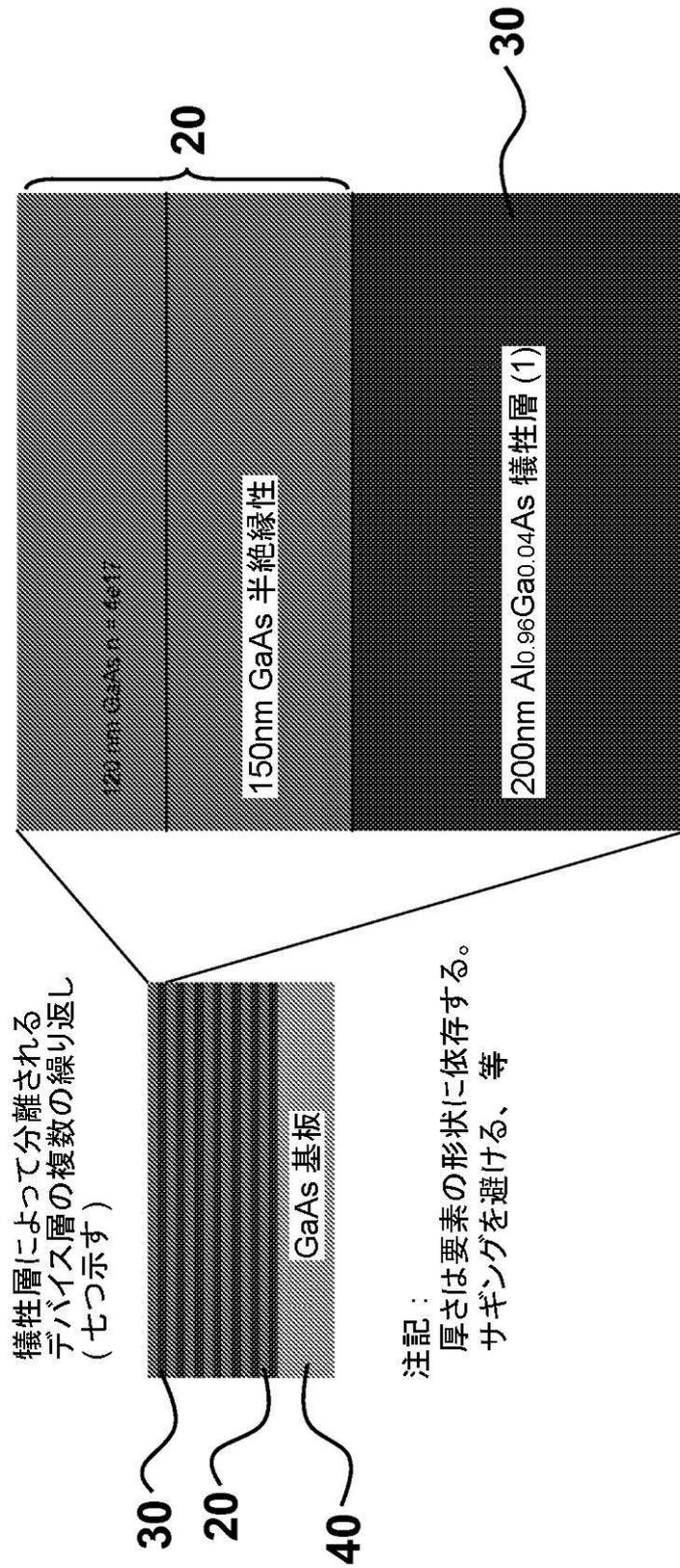
【 図 3 B 】



【図3C】



【図3D】



【図 3 E】

犠牲層によって分離される
デバイス層の複数の繰り返し
(七つ示す)

20

30

20

30

40

GaAs 基板

注記:

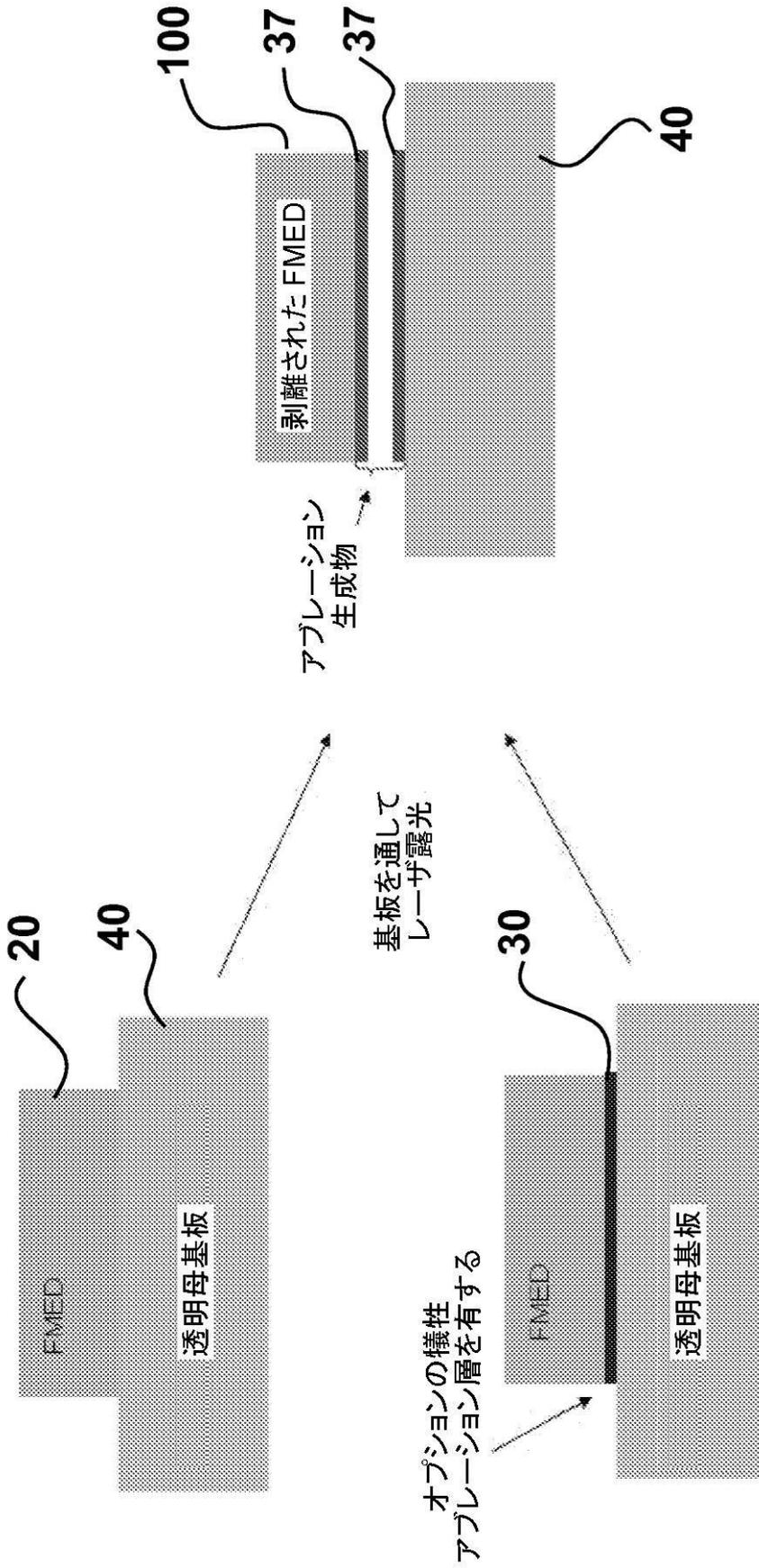
1. 厚さは形状に依存する

1	GaAs/C	5 nm			P-コンタクト
2	Al _{0.96} Ga _{0.04} As/C	500 nm		10%	P-スプレッド
3	Al _{0.96} In _{0.04} Mg	200 nm		16%	クラッド
4	Al _{0.96} Ga _{0.04} In _{0.04} P	6 nm		アンドープ	障壁
5	Ga _{0.96} In _{0.04} P	6 nm		アンドープ	Q-井戸
6	Al _{0.96} Ga _{0.04} In _{0.04} P	6 nm		アンドープ	障壁
7	Ga _{0.96} In _{0.04} P	6 nm		アンドープ	Q-井戸
8	Al _{0.96} Ga _{0.04} In _{0.04} P	6 nm		アンドープ	障壁
9	Ga _{0.96} In _{0.04} P	6 nm		アンドープ	Q-井戸
10	Al _{0.96} Ga _{0.04} In _{0.04} P	6 nm		アンドープ	障壁
11	Ga _{0.96} In _{0.04} P	6 nm		アンドープ	Q-井戸
12	Al _{0.96} Ga _{0.04} In _{0.04} P	6 nm		アンドープ	障壁
13	Al _{0.96} In _{0.04} P	200 nm		10%	クラッド
14	Al _{0.96} Ga _{0.04} As/In	500 nm		10%	N-スプレッド
15	GaAs/In	400 nm		10%	N-コンタクト

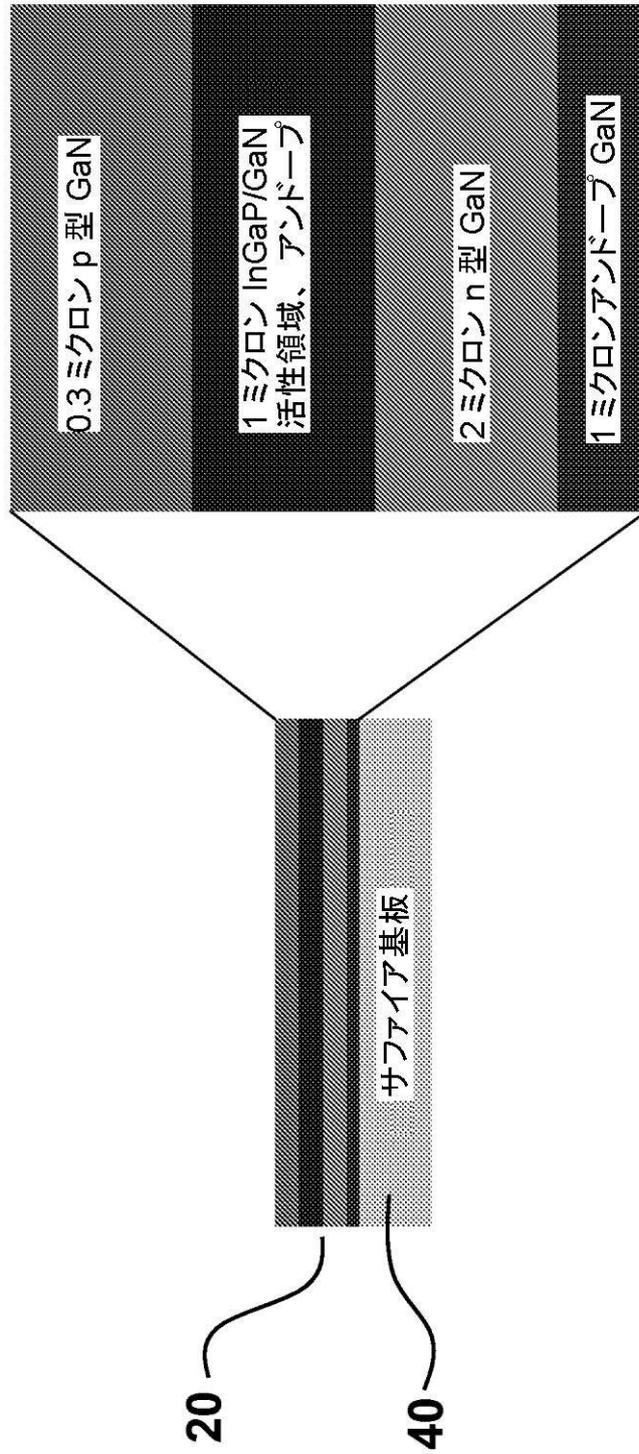
1500nm Al_{0.96}Ga_{0.04}As 犠牲層 (1)

30

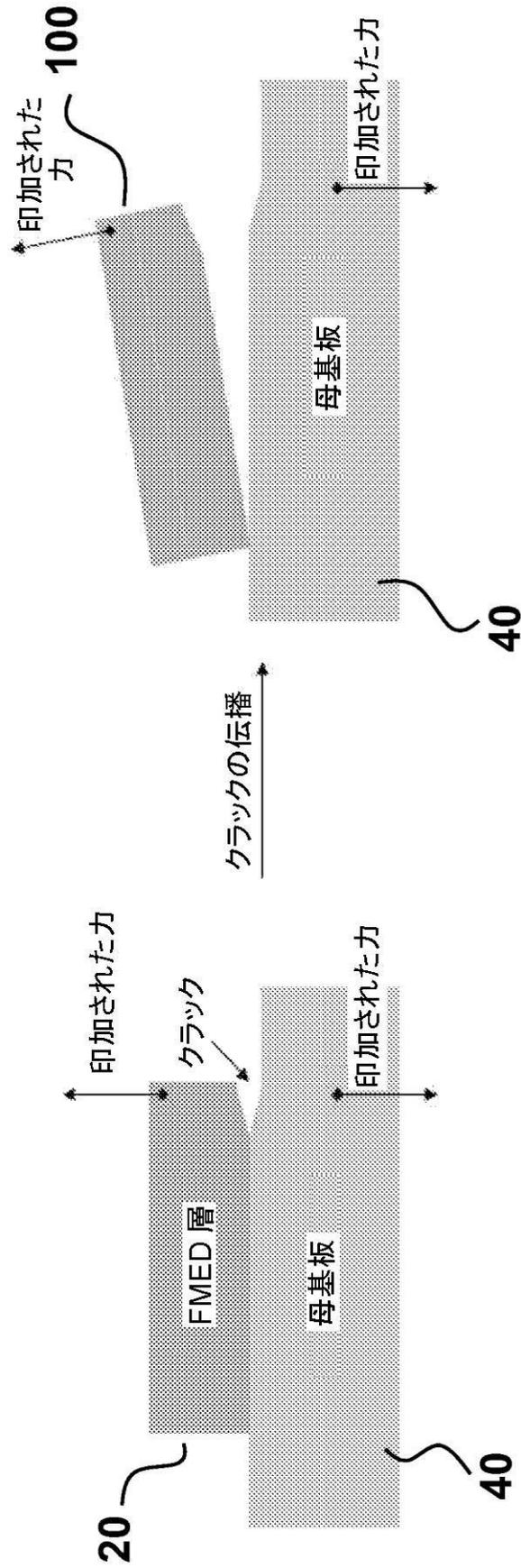
【図6A】



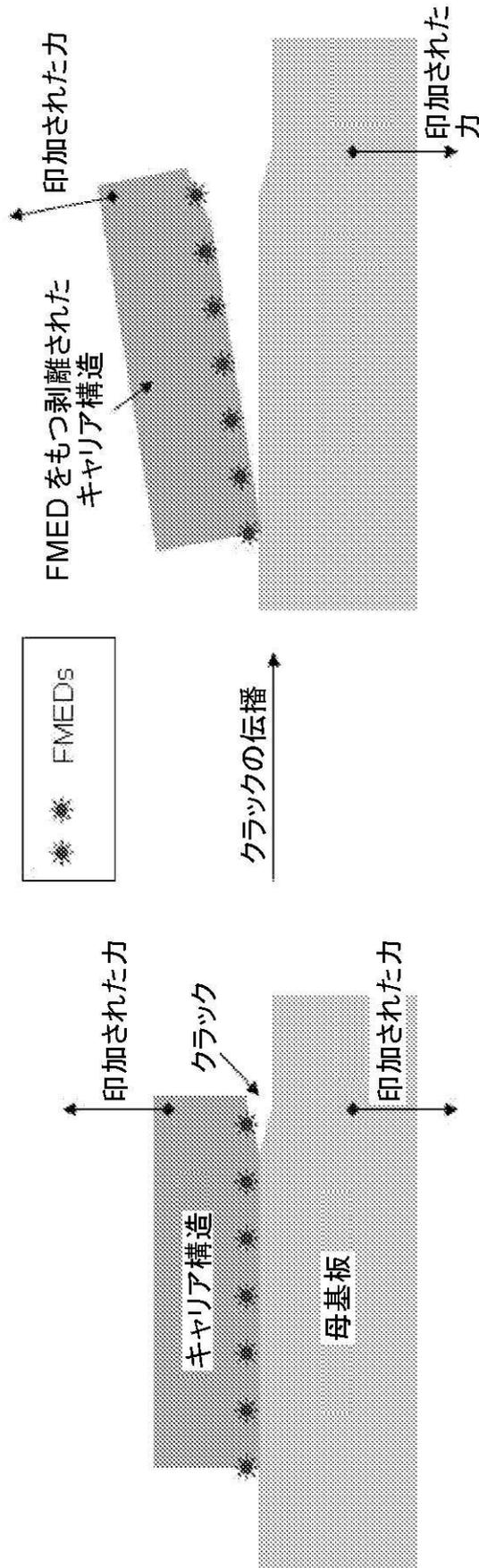
【図6B】



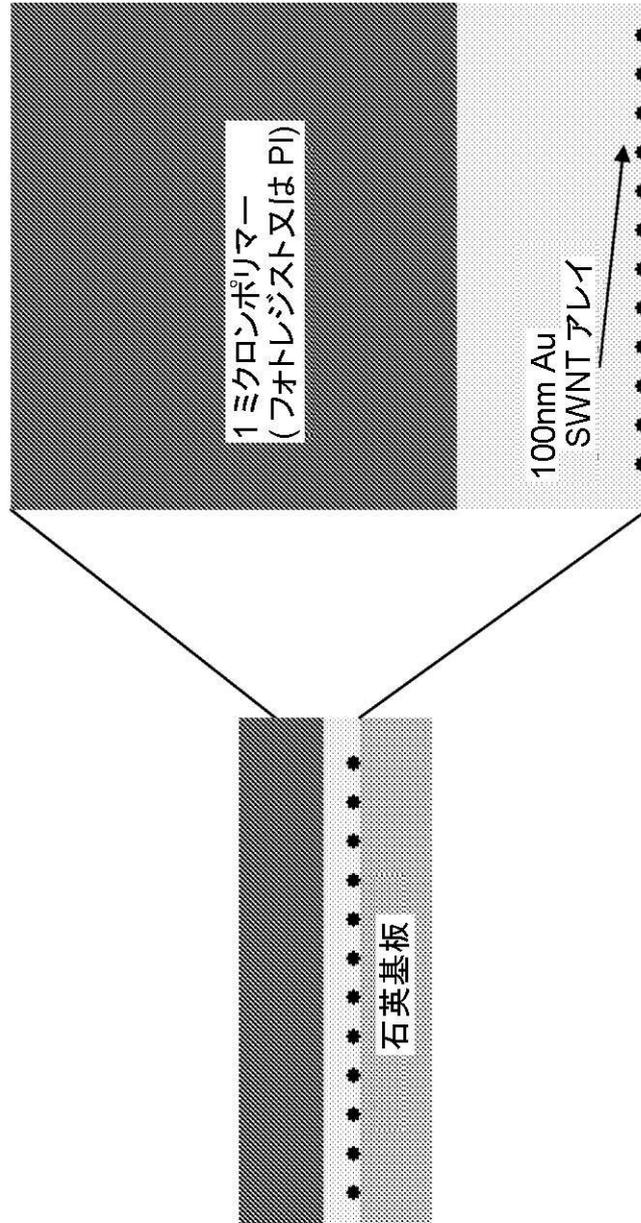
【図7A】



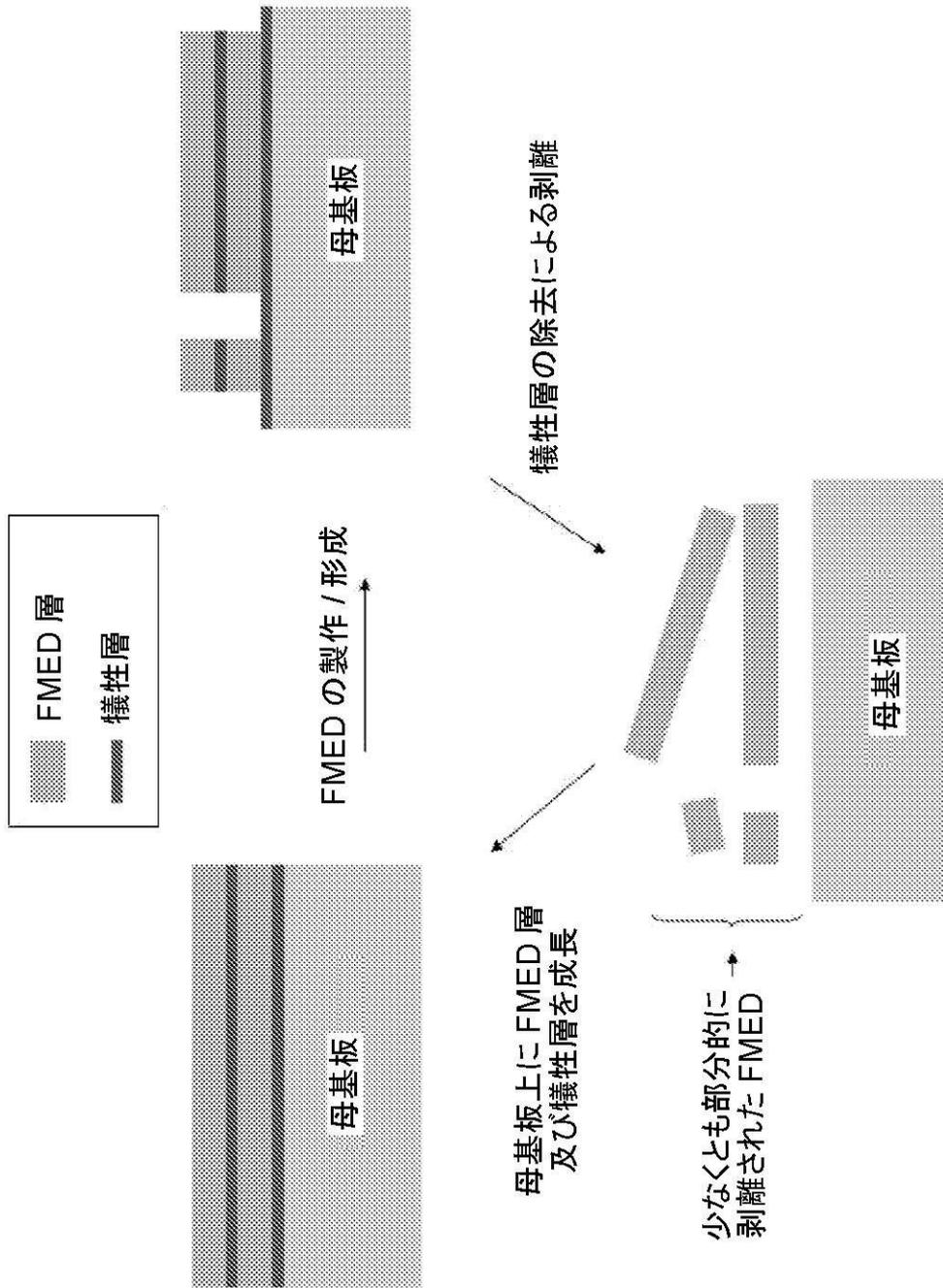
【図 8 A】



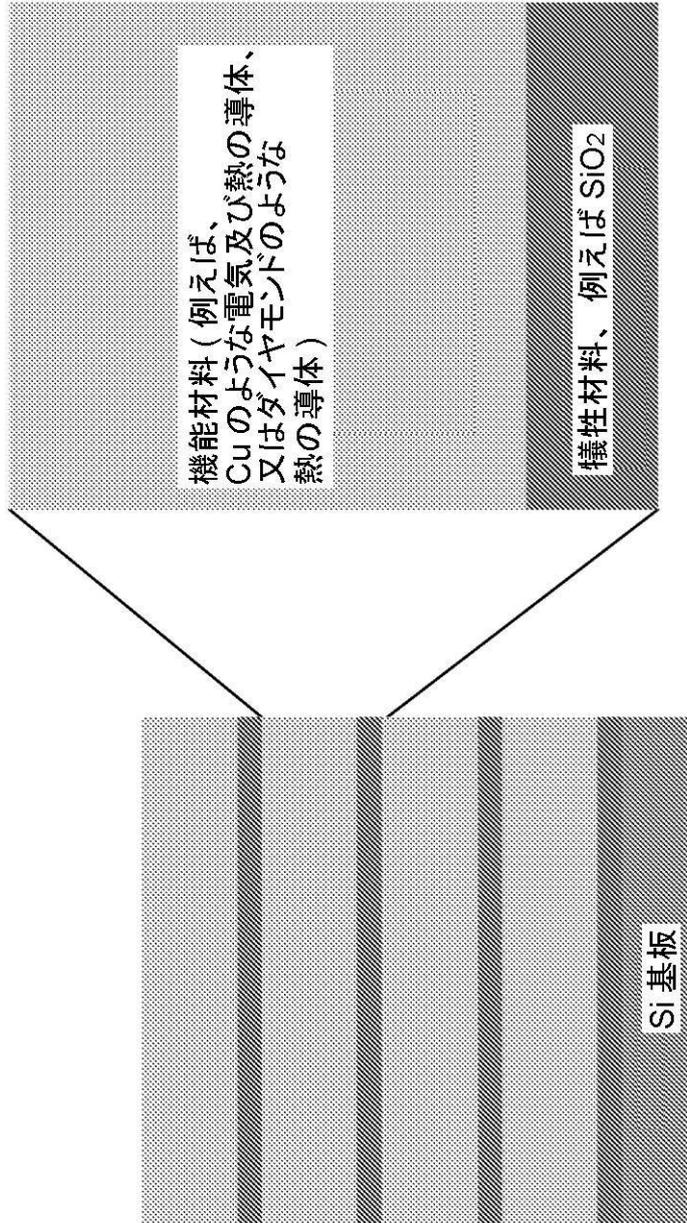
【 図 8 B 】



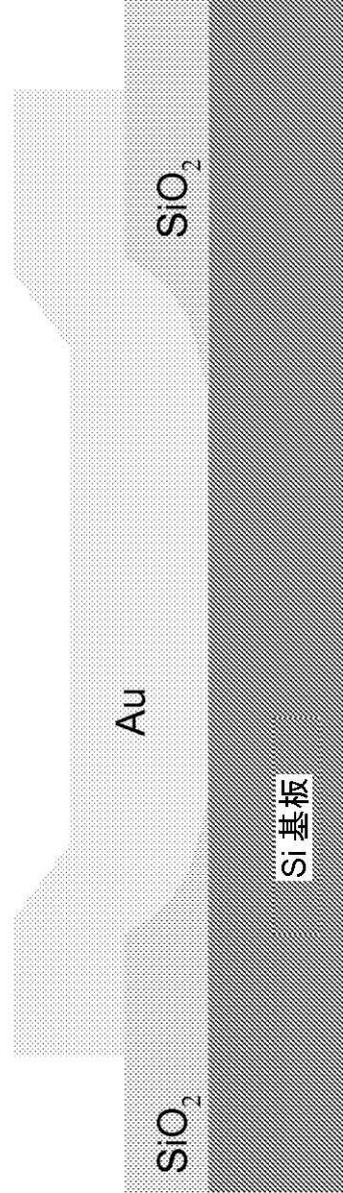
【図9A】



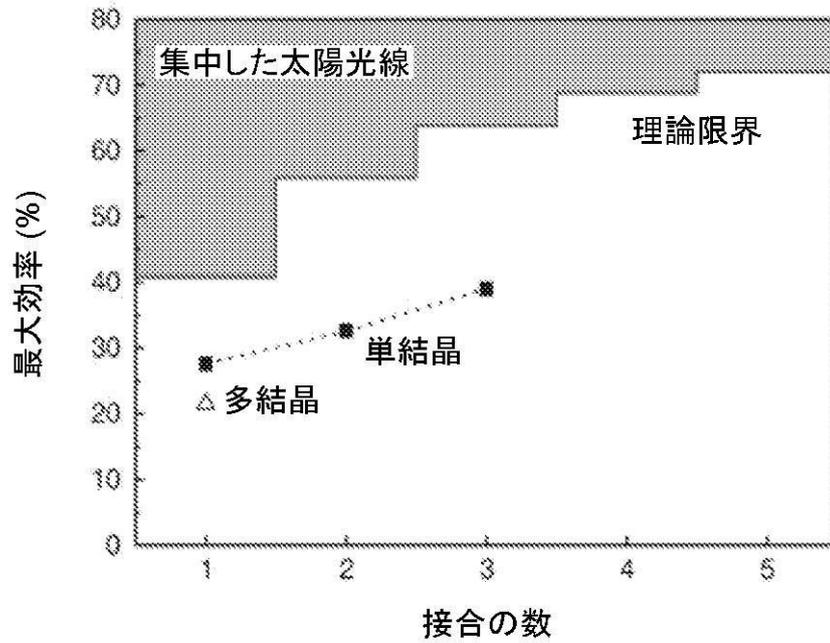
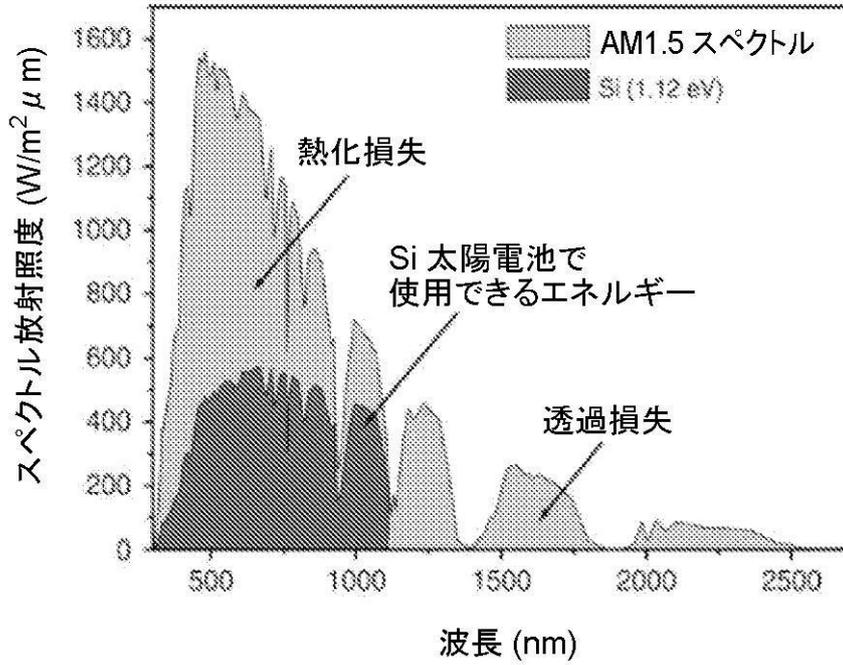
【図10】



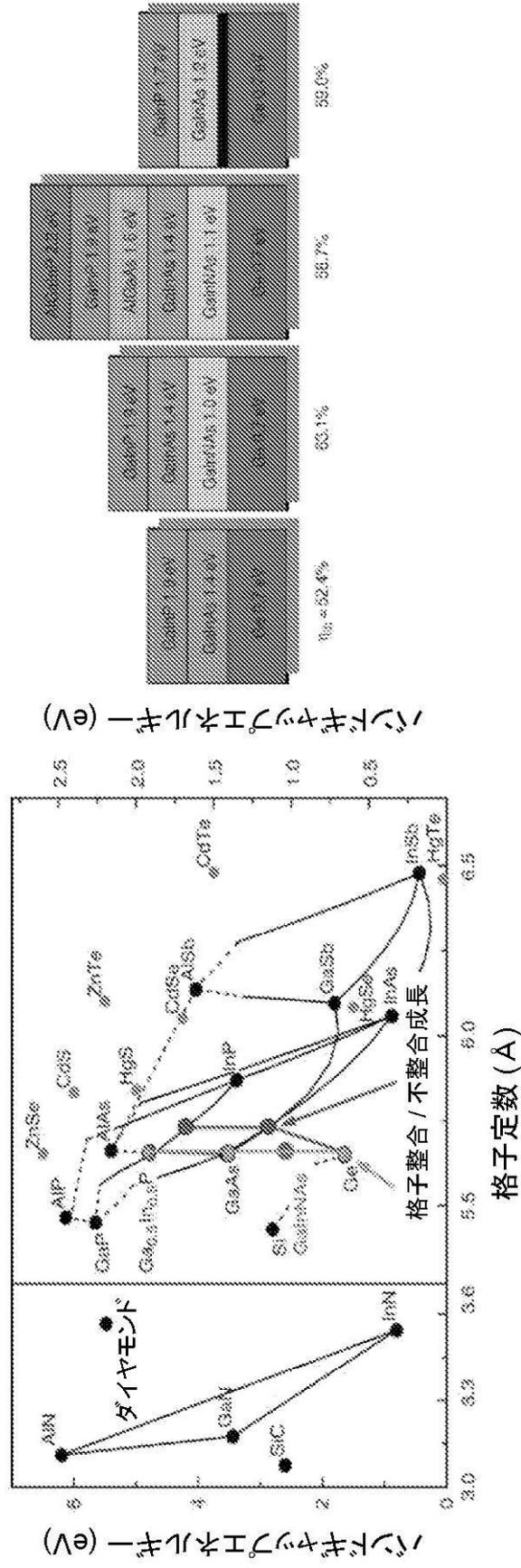
【図 11】



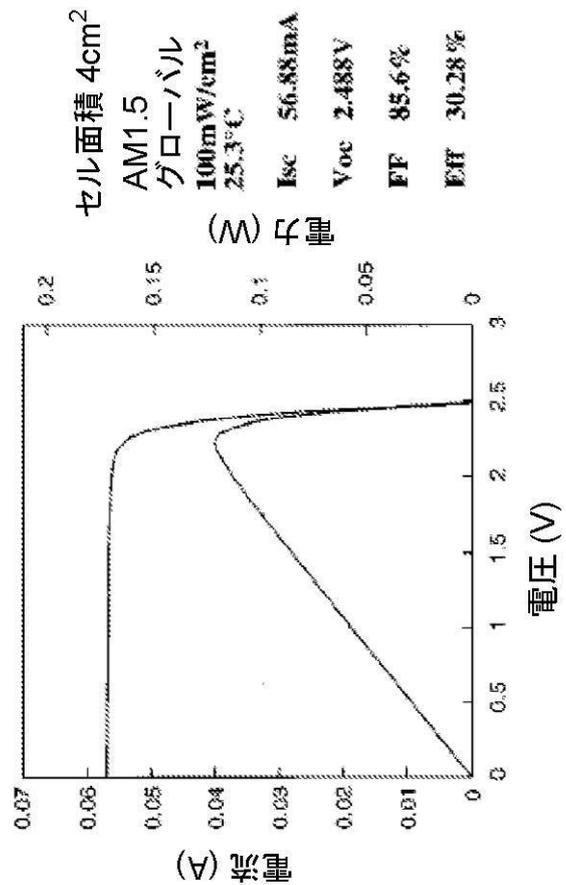
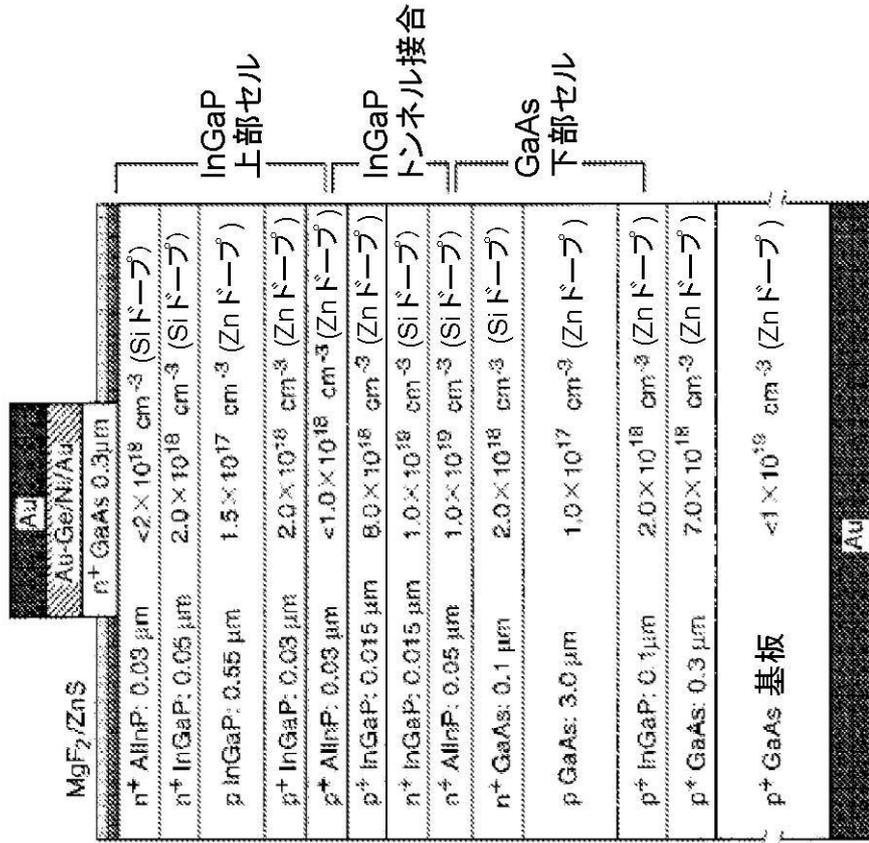
【図13】



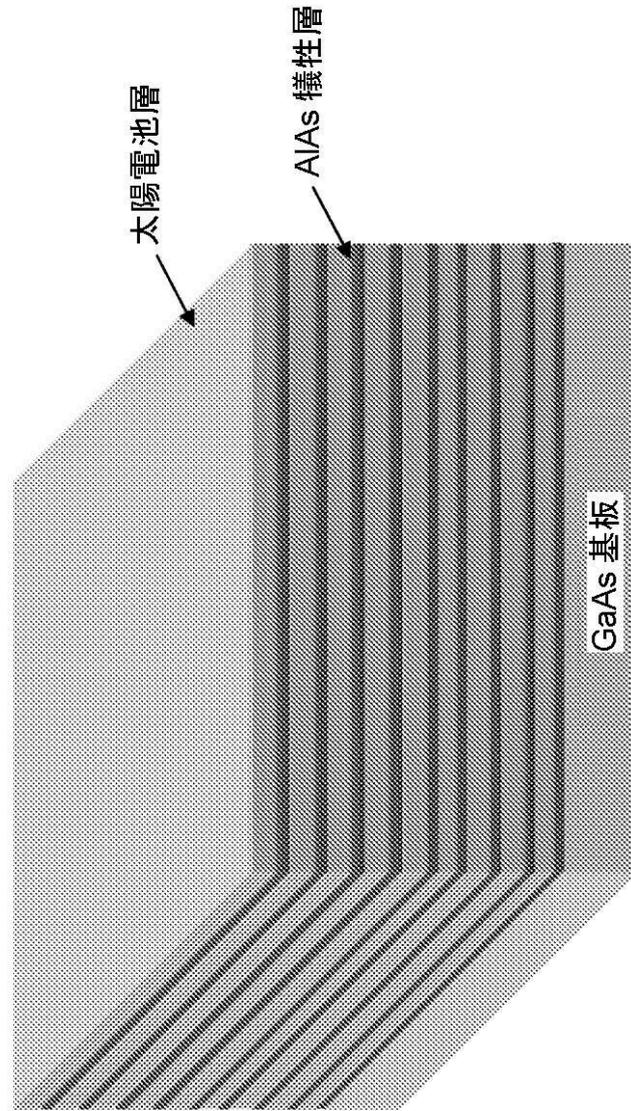
【 図 1 4 】



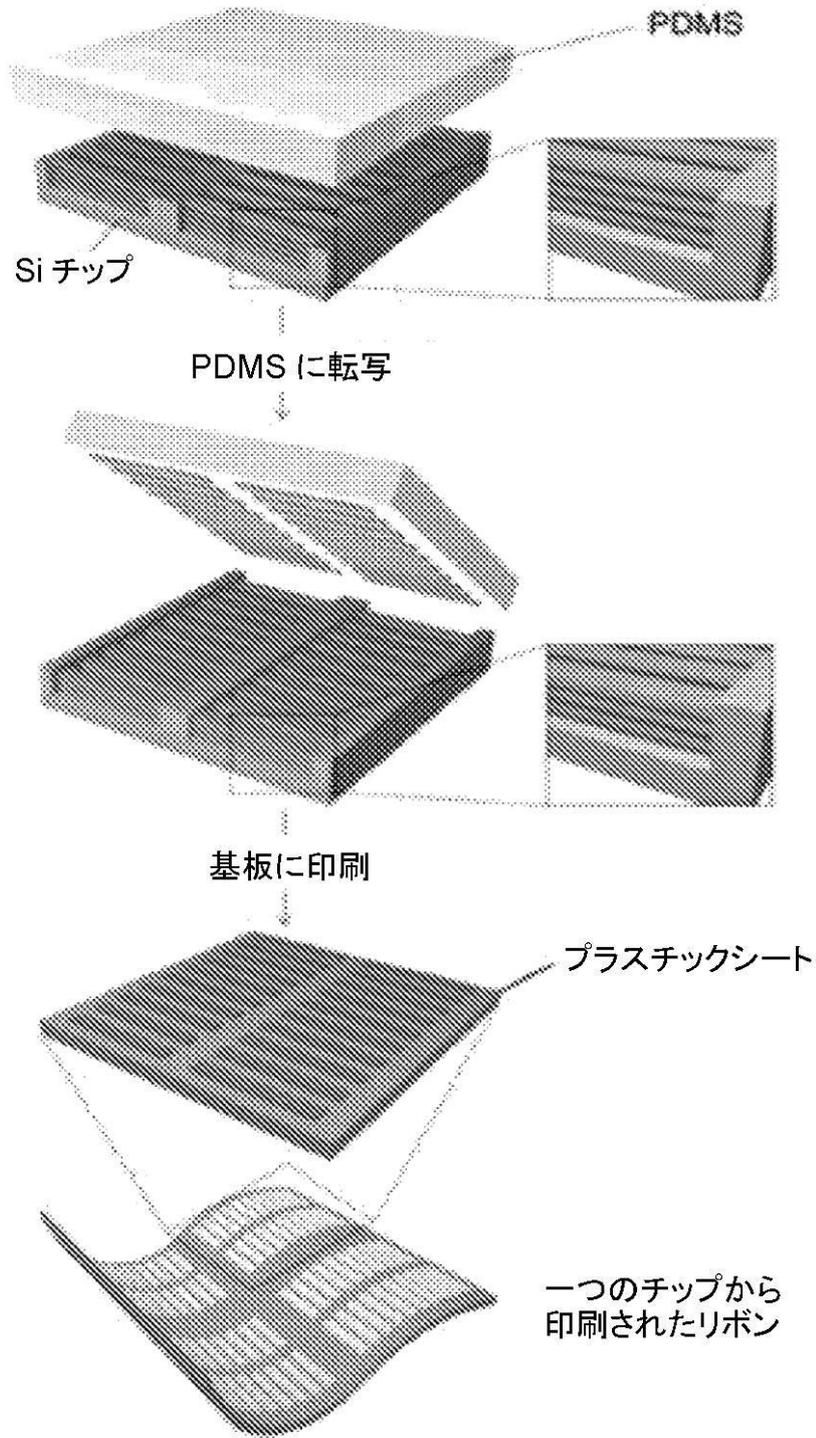
【 図 15 】



【圖 16】

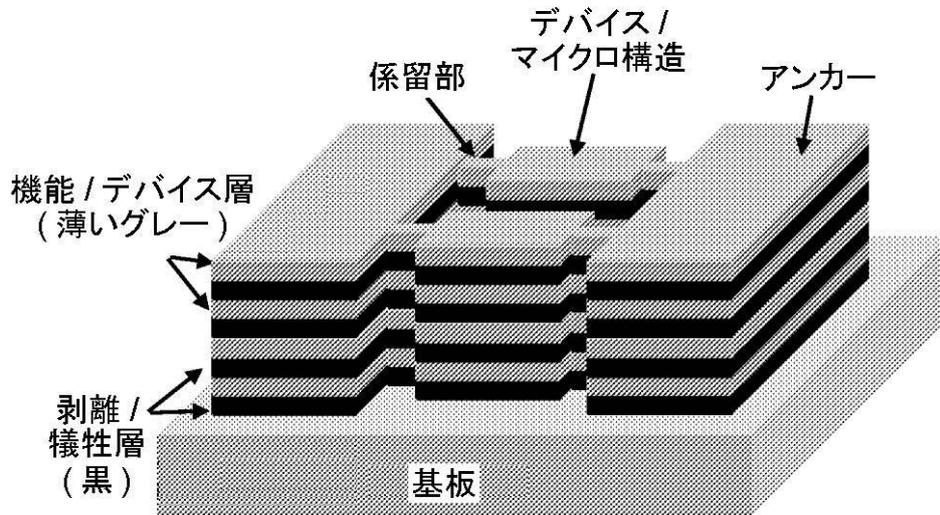


【図17】

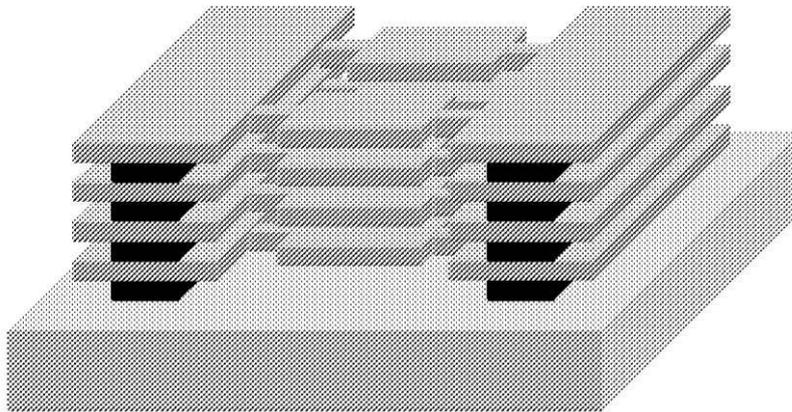


【図19-1】

ステップ1：多層構造にデバイス、係留部、及びアンカーを形成する
(例えばフォトリソグラフィとエッチングによる)

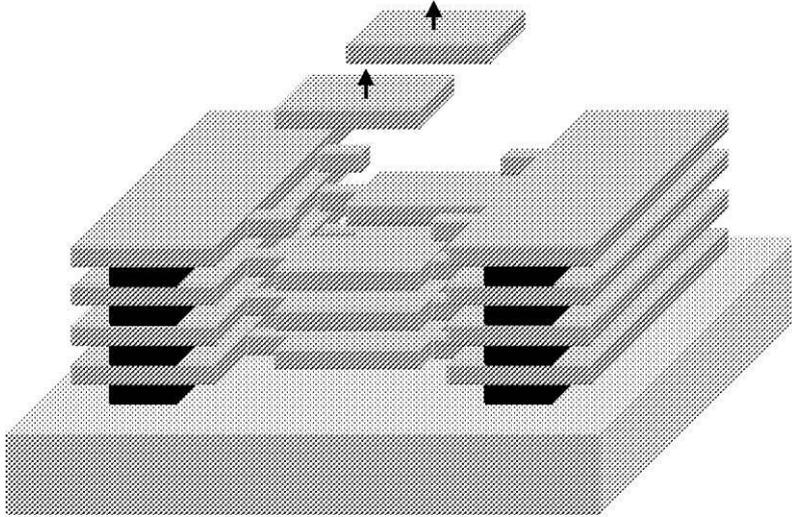


ステップ2：犠牲剥離層を横方向に部分的に除去し
(例えばエッチングによる)、
アンカーではなくテザー及びデバイスをアンダーカットすることによって
機能層を部分的に剥離する

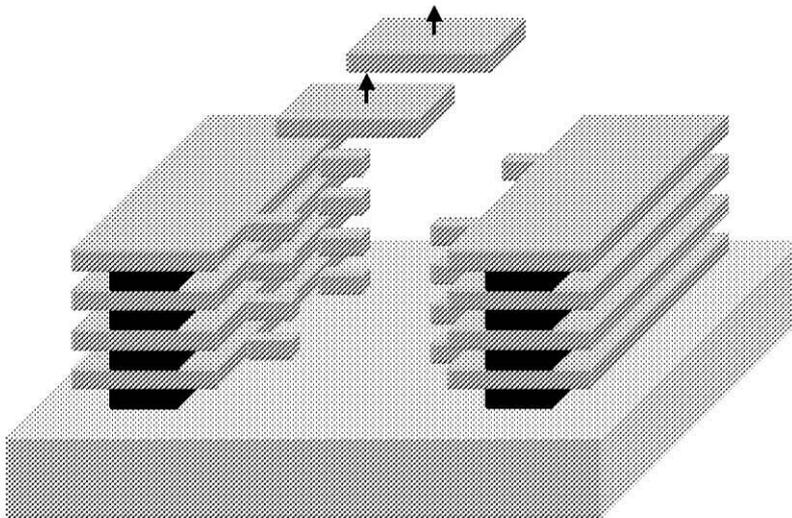


【図 19 - 2】

ステップ 3 : 例えばゴムスタンプを使用して、破壊によって
テザーにおいて上部デバイスを取り出す

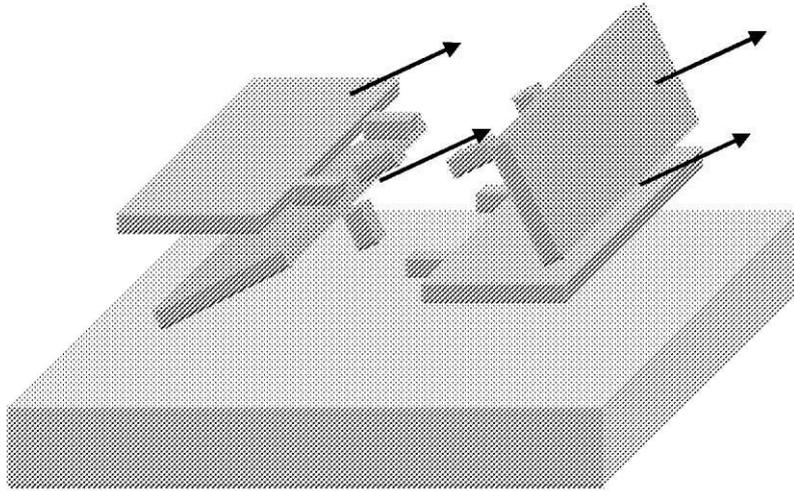


ステップ 4 : デバイスの残りを取り出すためステップ 3 を繰り返す

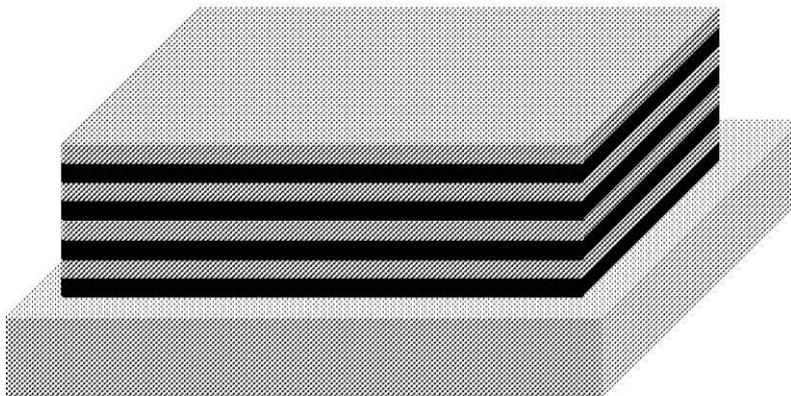


【図 19 - 3】

ステップ 5 : エッチング、スクラビング (scrubbing)、及びオプションのポリッシングの組合せを適用して、アンカー構造を基板から除去する

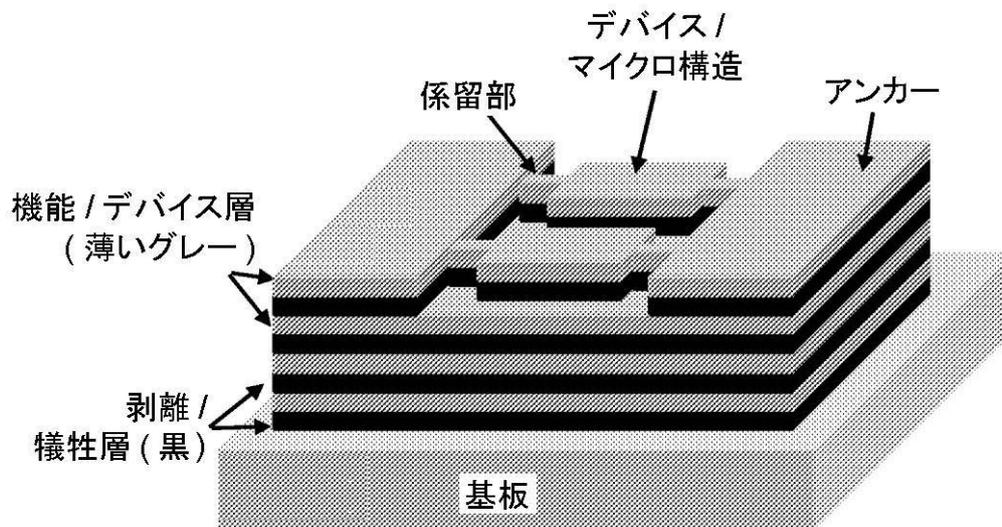


ステップ 6 : (任意) 多層スタックを再成長する。
このシステムは、現在、ステップ 1 からステップ 5 の繰り返しの準備が整っている

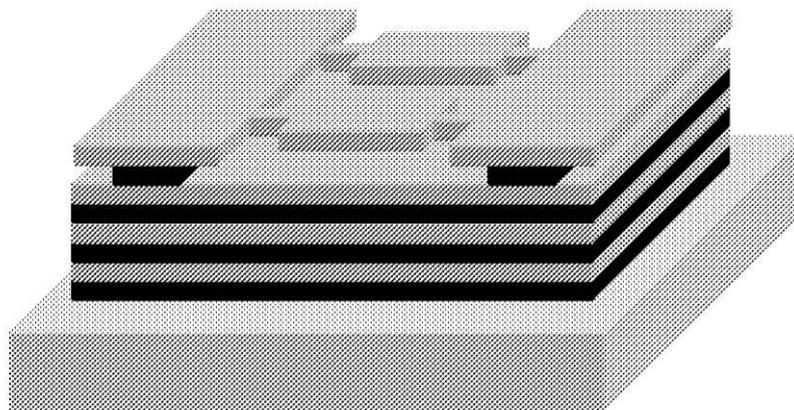


【図20-1】

ステップ1: 多層構造の上部機能層 (及びオプションとして下地の剥離層) にデバイス、係留部、及びアンカーを形成する (例えば、フォトリソグラフィとエッチングによる)

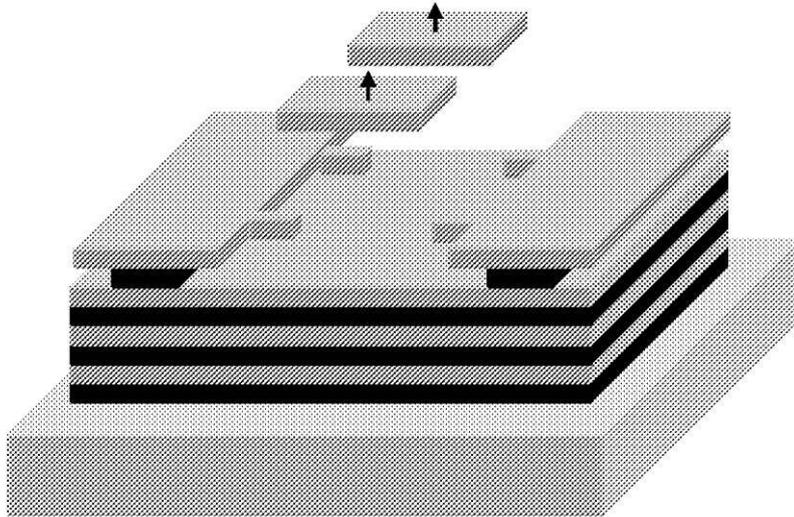


ステップ2: 下地の犠牲剥離層を横方向に部分的に除去し (例えば、エッチングによる)、アンカーではなく係留部及びデバイスをアンダーカットすることによって上部機能層を部分的に剥離する

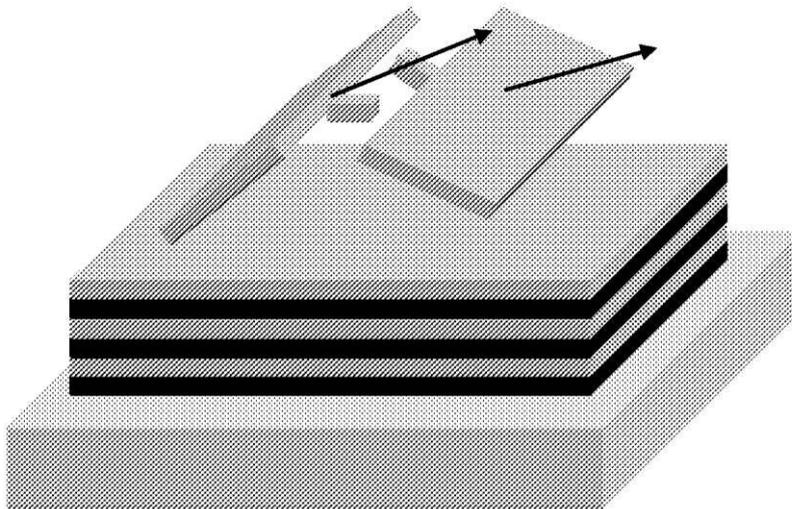


【図 20 - 2】

ステップ 3: 例えばゴムスタンプを使用して、破壊によって係留部において上部デバイスを取り出す

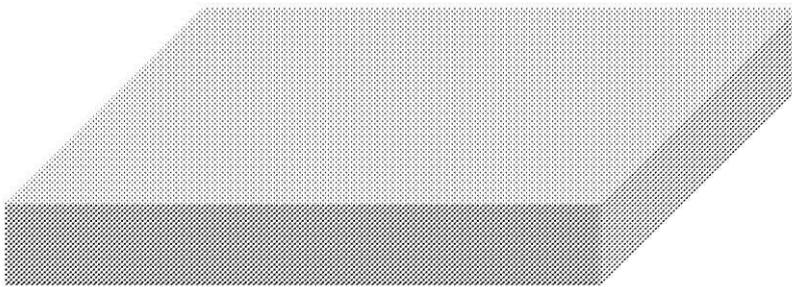


ステップ 4: アンカー構造を基板から除去するためにエッチングとスクラビング (scrubbing) との組合せを適用する

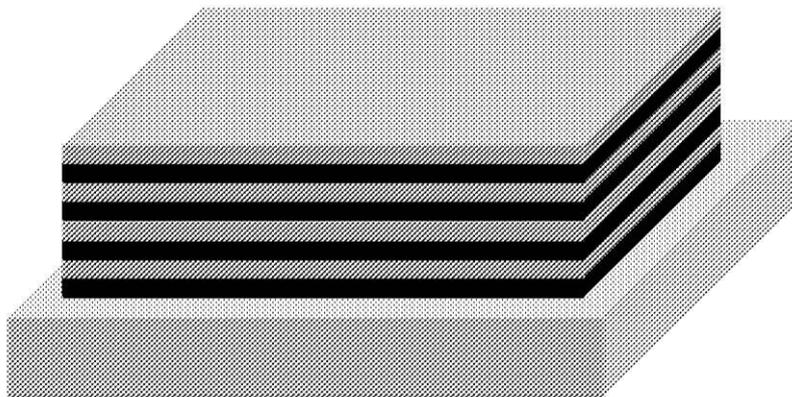


【図 20 - 3】

ステップ 5 : 機能層及び剥離層が全て基板から取り出されるまで、
ステップ 1 から ステップ 4 を繰り返す

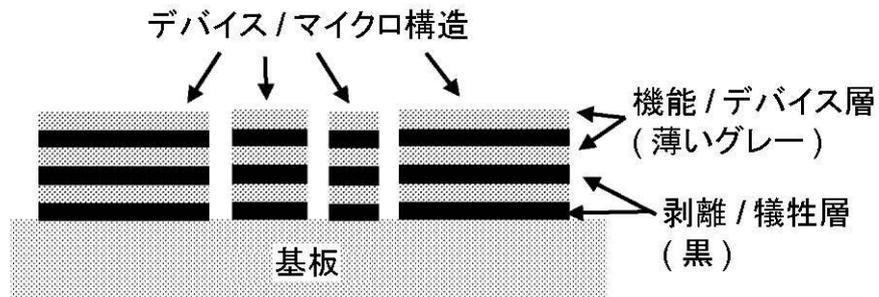


ステップ 6 : (オプション) 多層スタックを再成長する。このシステムは、
現在、ステップ 1 から ステップ 5 の繰り返しの準備が整っている

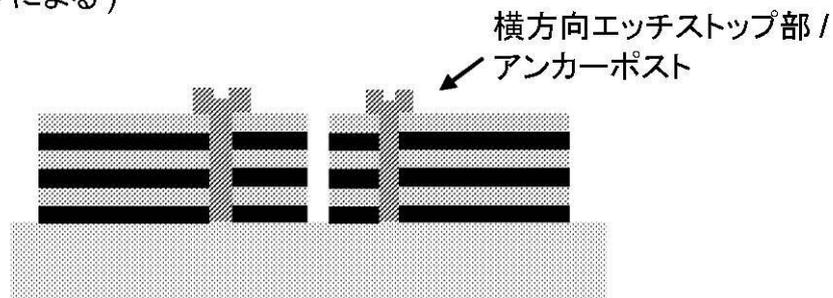


【図 2 1 - 1】

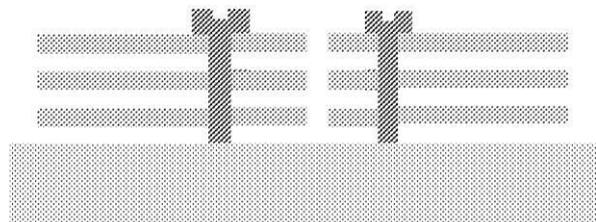
ステップ 1 : 多層構造にデバイスを形成する
(例えばフォトリソグラフィとエッチングによる)



ステップ 2 : デバイス、横方向エッチストップ部 / ポストを堆積
及び形成する (例えば CVD、フォトリソグラフィ、及び
エッチングによる)

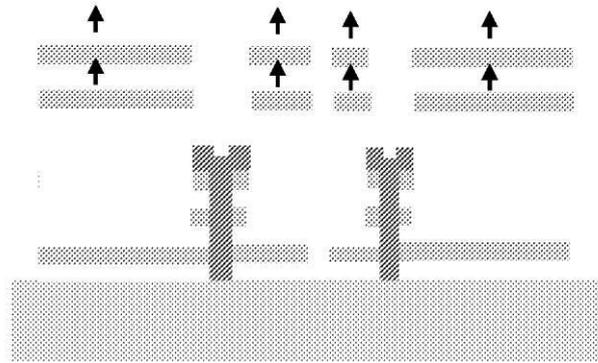


ステップ 3 : 例えばエッチングにより剥離層を選択的に
除去することによってデバイスを剥離する

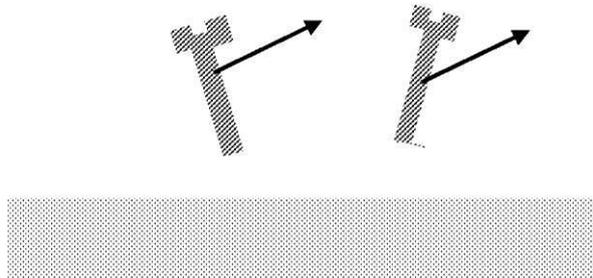


【図 2 1 - 2】

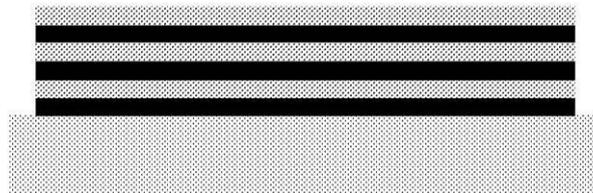
ステップ 4 : 例えばゴムスタンプを使用してデバイスの層を連続して取り出すか、又は印刷用の溶液中へと剥離する



ステップ 5 : 基板から横方向エッチストップ部 / アンカーポストを除去するために、エッチングとスクラビング (任意にポリッシング又はグラインディング) との組合せを適用する

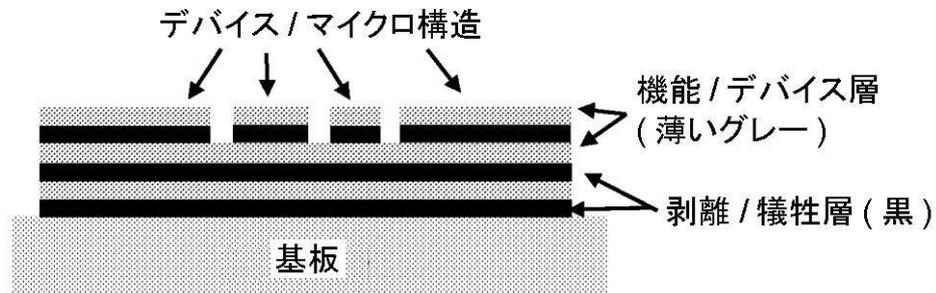


ステップ 6 (オプション) : 基板上に多層を成長する ;
ステップ 1 からステップ 5 を繰り返す

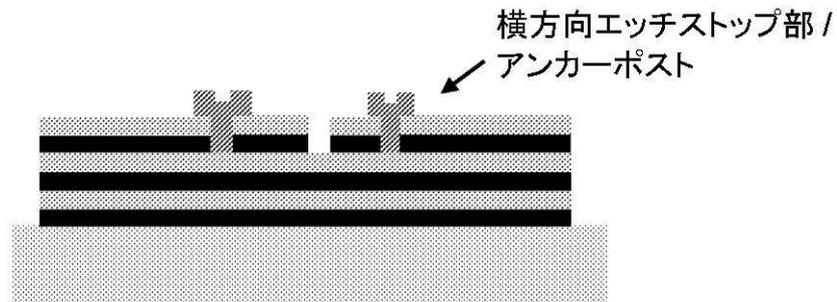


【図 2 2 - 1】

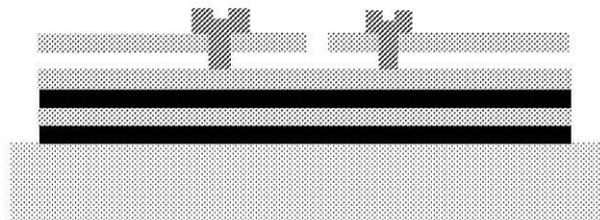
ステップ 1 : 多層構造の上部機能層及び下地の剥離層に
デバイスを形成する (例えばフォトリソグラフィとエッチングによる)



ステップ 2 : デバイス、横方向エッチストップ部/ポストを堆積及び
形成する (例えば CVD、フォトリソグラフィ、及びエッチングによる)

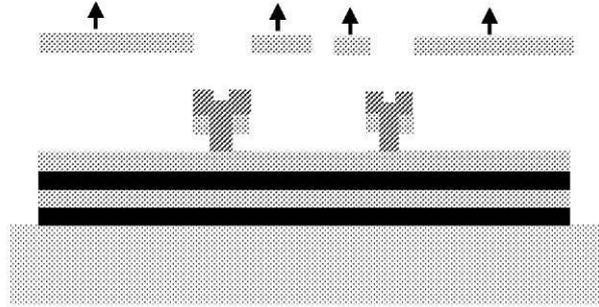


ステップ 3 : 例えばエッチングにより剥離層を選択的に
除去することによってデバイスを剥離する

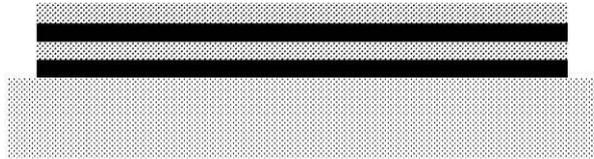


【図 2 2 - 2】

ステップ 4 : 例えば、ゴムスタンプを使用して剥離されたデバイスを取り出すか、又はプリント用の溶液中へと剥離する



ステップ 5 : 基板から横方向エッチストップ部 / アンカーポストを除去するために、エッチングとスクラビングとの組合せを適用する

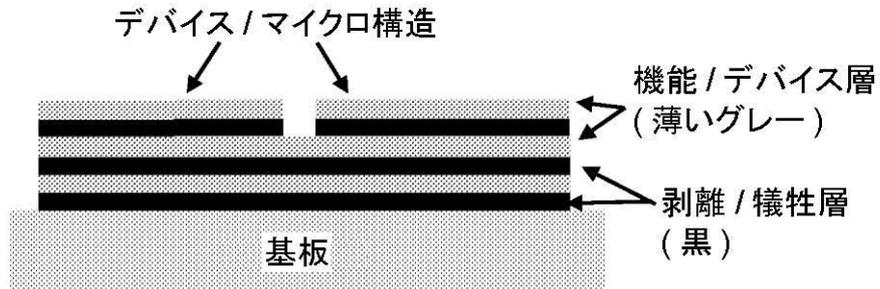


ステップ 6 : 多層が基板から完全に除去されるまで、ステップ 1 からステップ 5 を繰り返す。オプションとして、新しい多層スタックを成長し、ステップを繰り返す

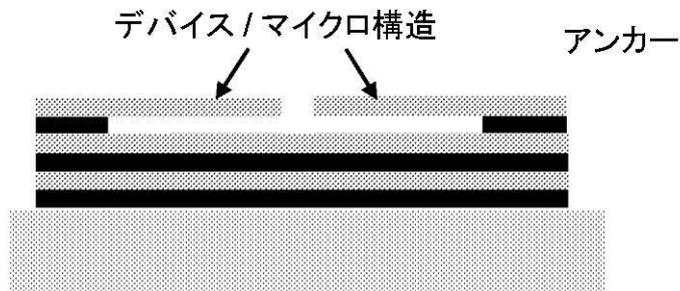


【図 2 3】

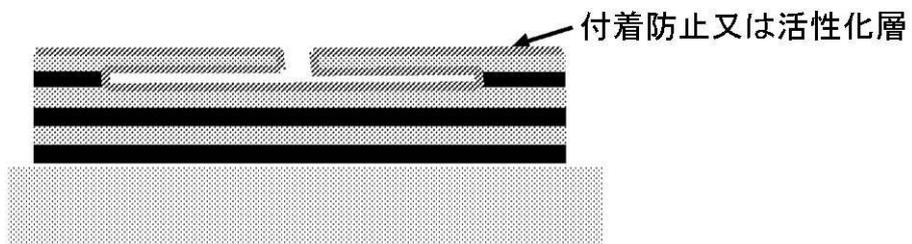
ステップ 1：多層構造の上部機能層及び下地の剥離層に
デバイスを形成する（例えばフォトリソグラフィとエッチングによる）



ステップ 2：犠牲層を横方向に除去することによって、
デバイスを部分的に剥離し、アンカー領域を残したままにする

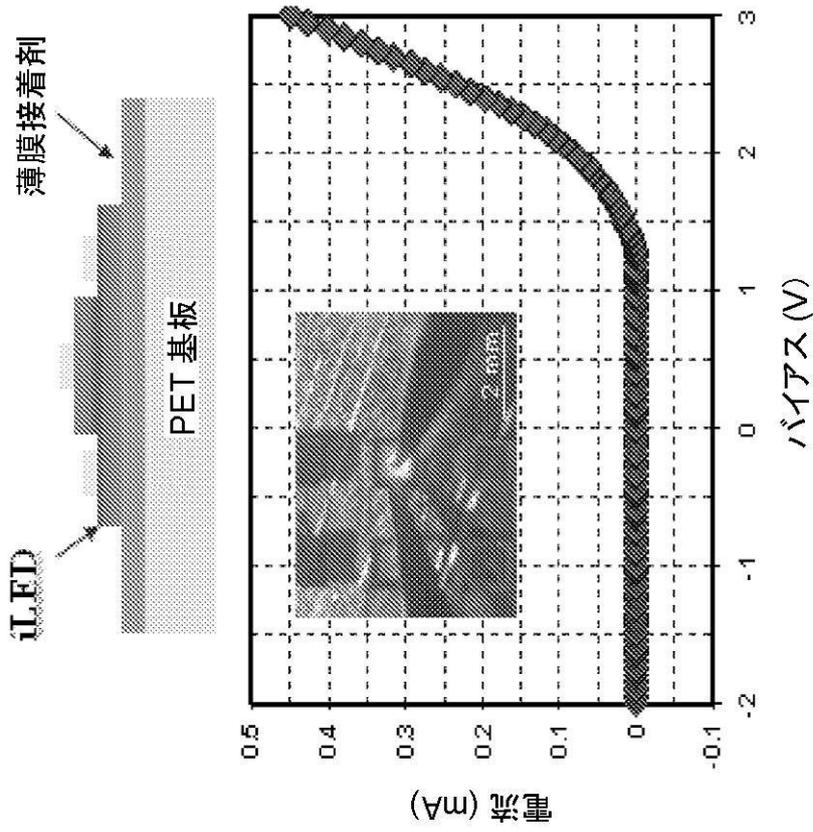


ステップ 3：気相法又は溶液法によって反静摩擦又は活性化層
（例えば自己組織化単分子層）を堆積する / 生成する



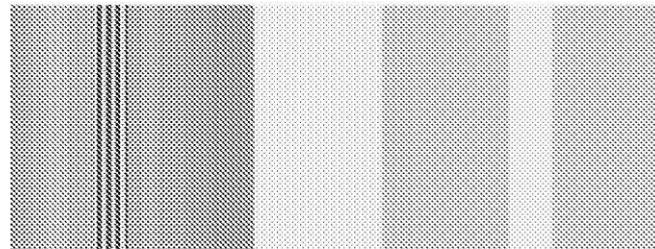
【 図 2 4 】

プラスチック上の印刷された薄膜 iLED

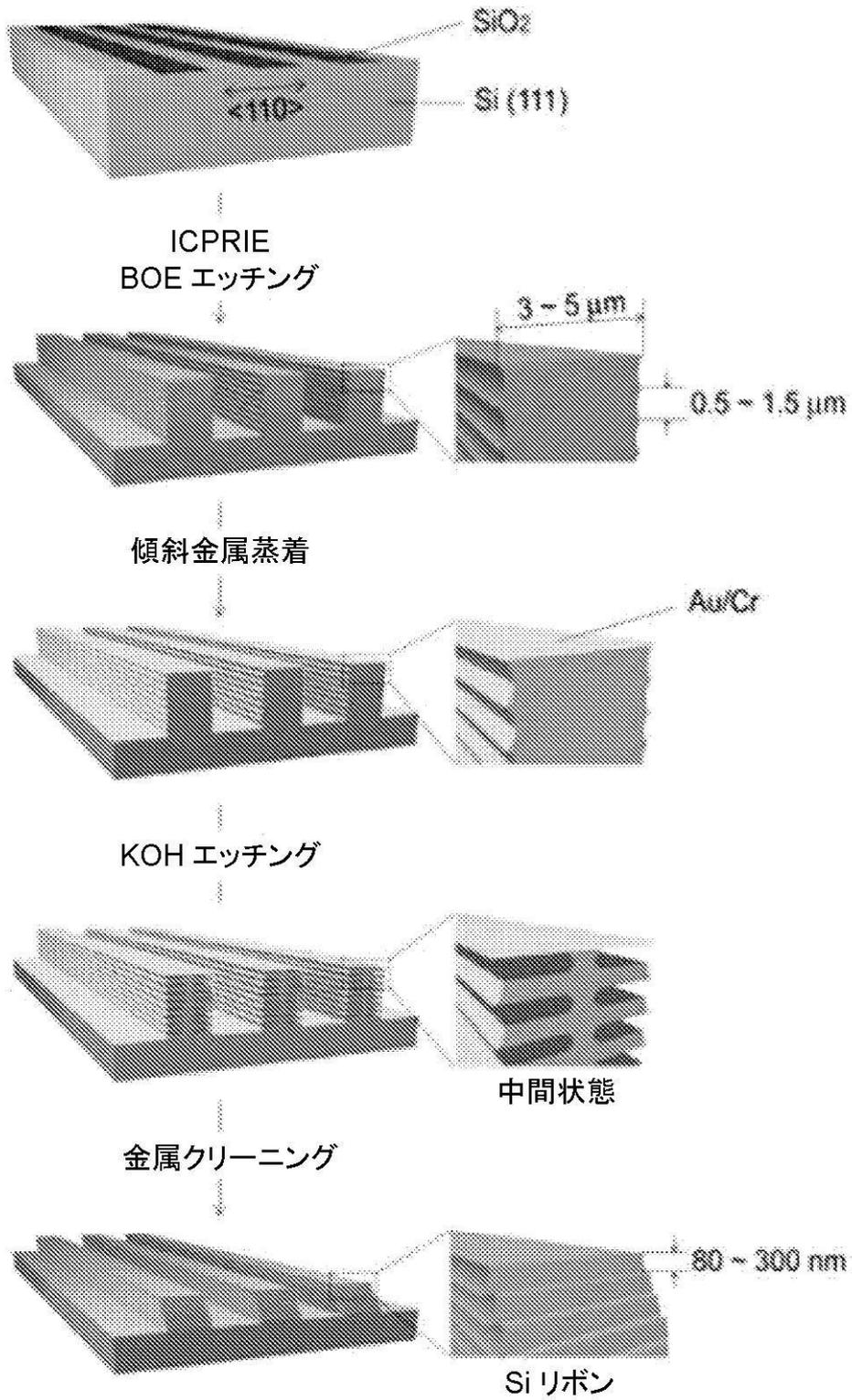


iLED エピ層構造

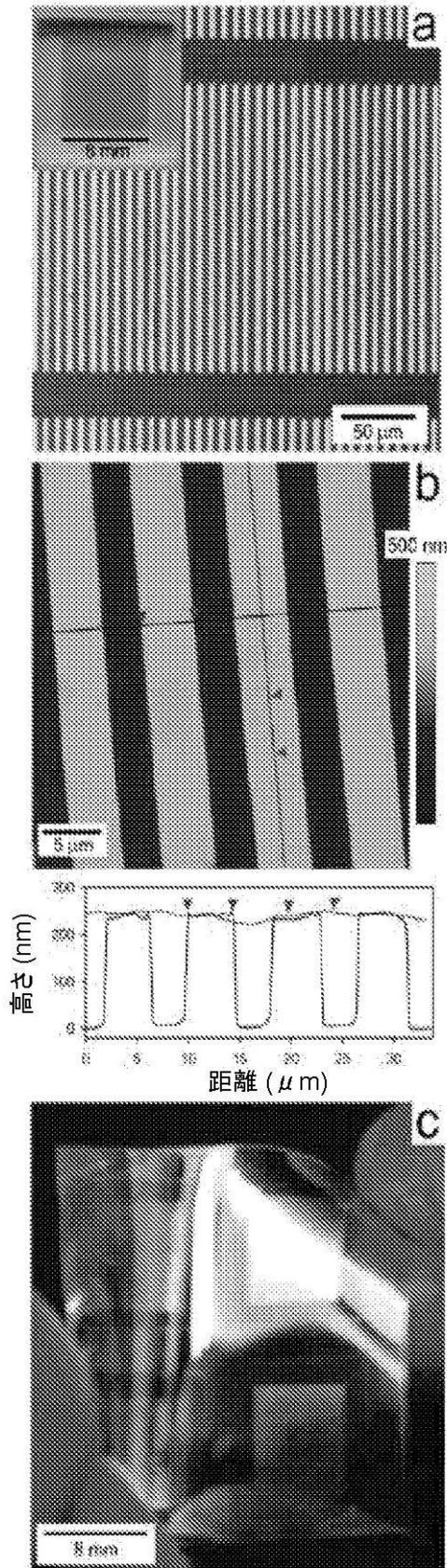
- 1. GaAs:C, 5 nm
- 2. Al_{0.45}Ga_{0.55}As:C, 800 nm
- 3. Al_{0.5}In_{0.5}P:Mg, 200 nm
- 4-12. 活性層
- 13. Al_{0.5}In_{0.5}P, 200 nm
- 14. Al_{0.45}Ga_{0.55}As:Te, 800 nm
- 15. GaAs:Te, 500 nm
- 16. Al_{0.55}Ga_{0.45}As, 1500 nm.
- 17. GaAs, 1500 nm
- 18. Al_{0.55}Ga_{0.45}As, 500 nm
- 19. GaAs 基板



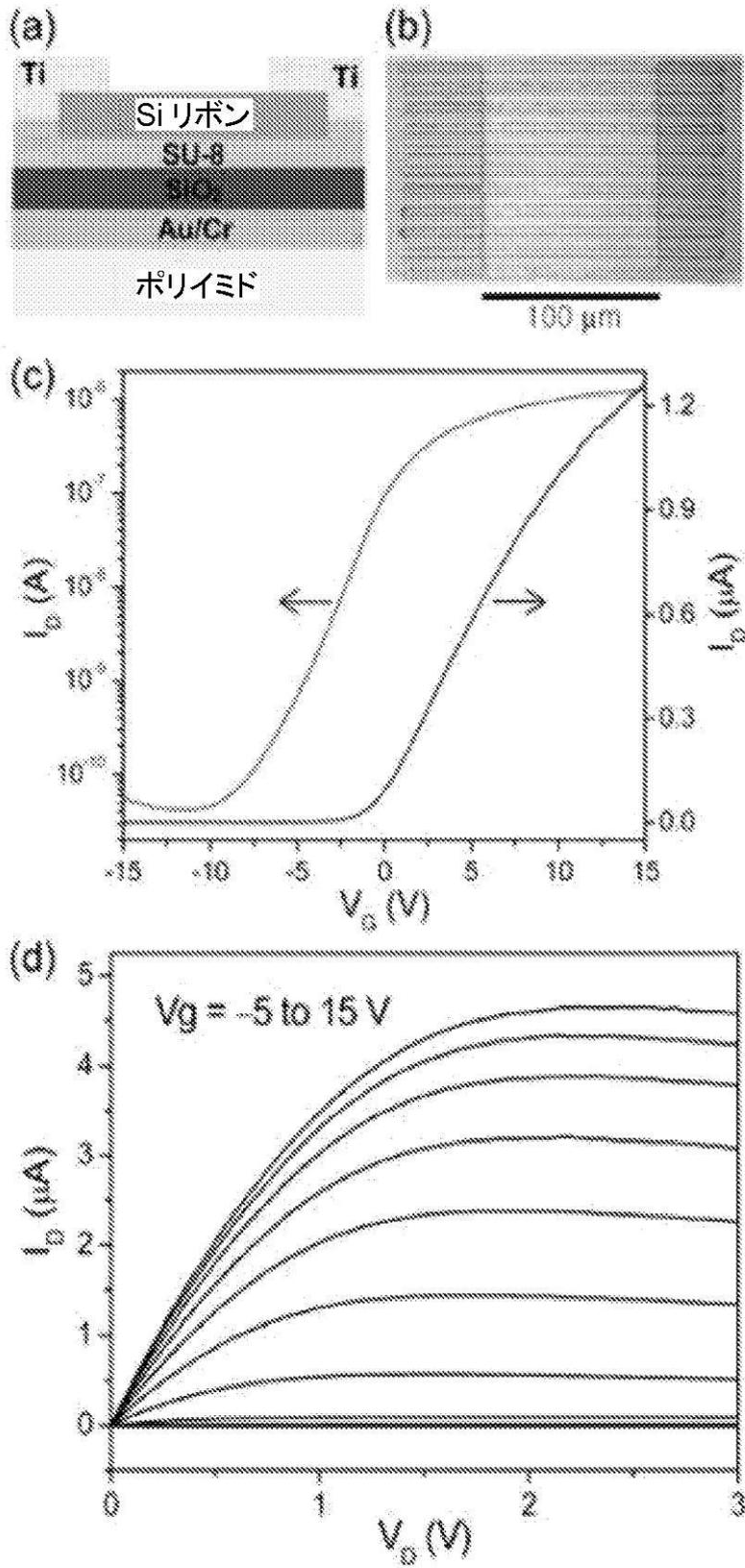
【図25】



【図 29】

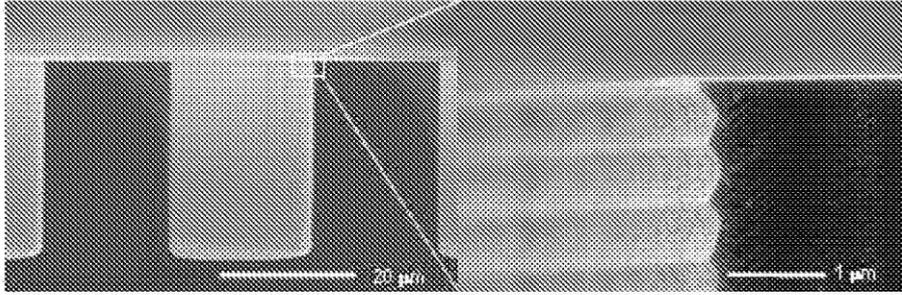


【図30】

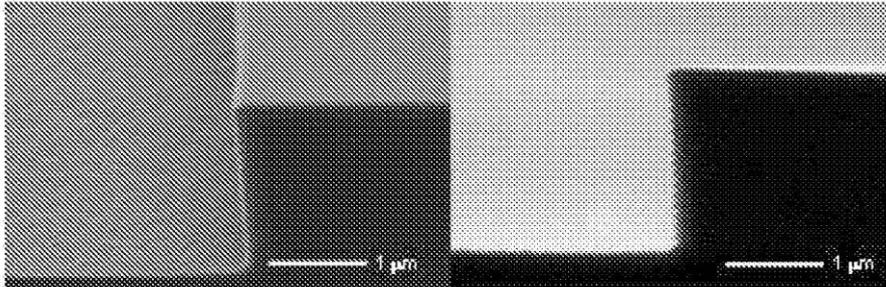


【図 3 1】

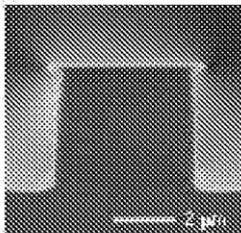
エッチング時間 (T_E) : 7 秒、堆積時間 (T_D) : 5 秒、 P_{ICP} : 600W



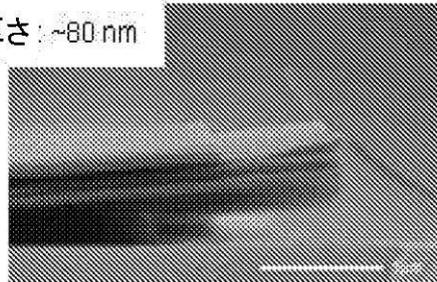
T_E : 5 s, T_D : 5 s, P_{ICP} : 300 W



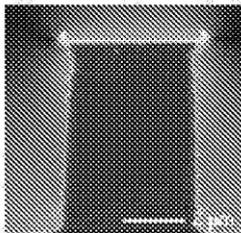
T_E : 14 s, T_D : 10 s, P_{ICP} : 600 W



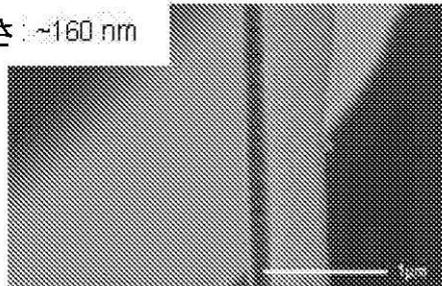
厚さ: ~80 nm



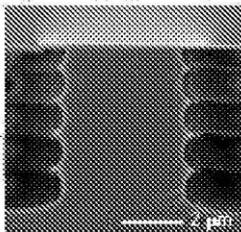
T_E : 20 s, T_D : 10 s, P_{ICP} : 600 W



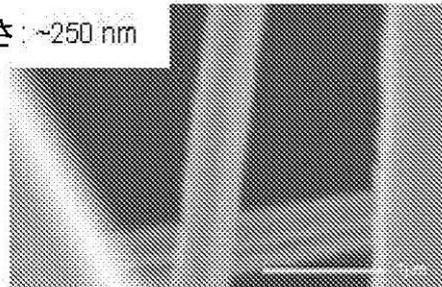
厚さ: ~160 nm



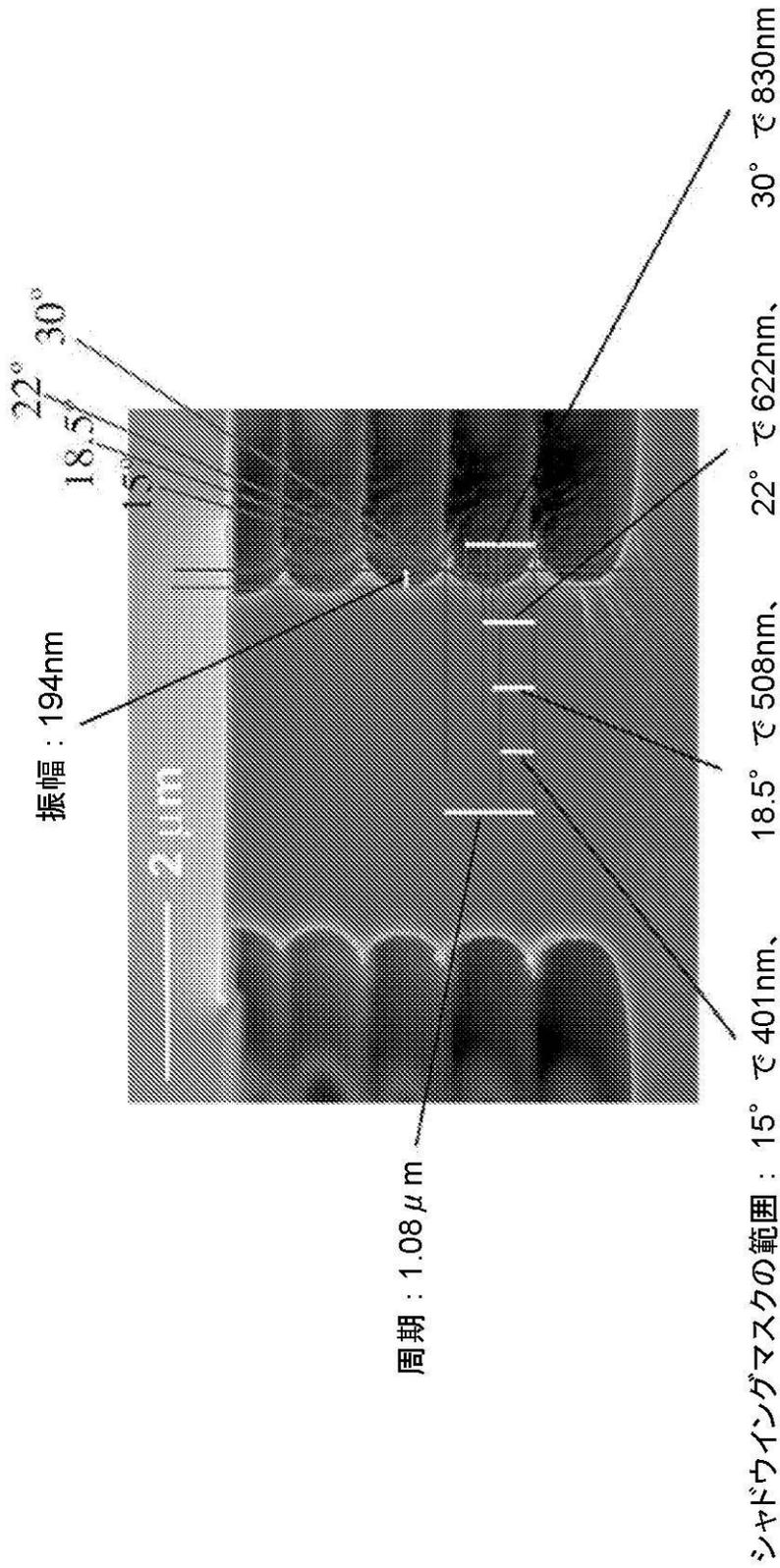
T_E : 26 s, T_D : 10 s, P_{ICP} : 600 W



厚さ: ~250 nm

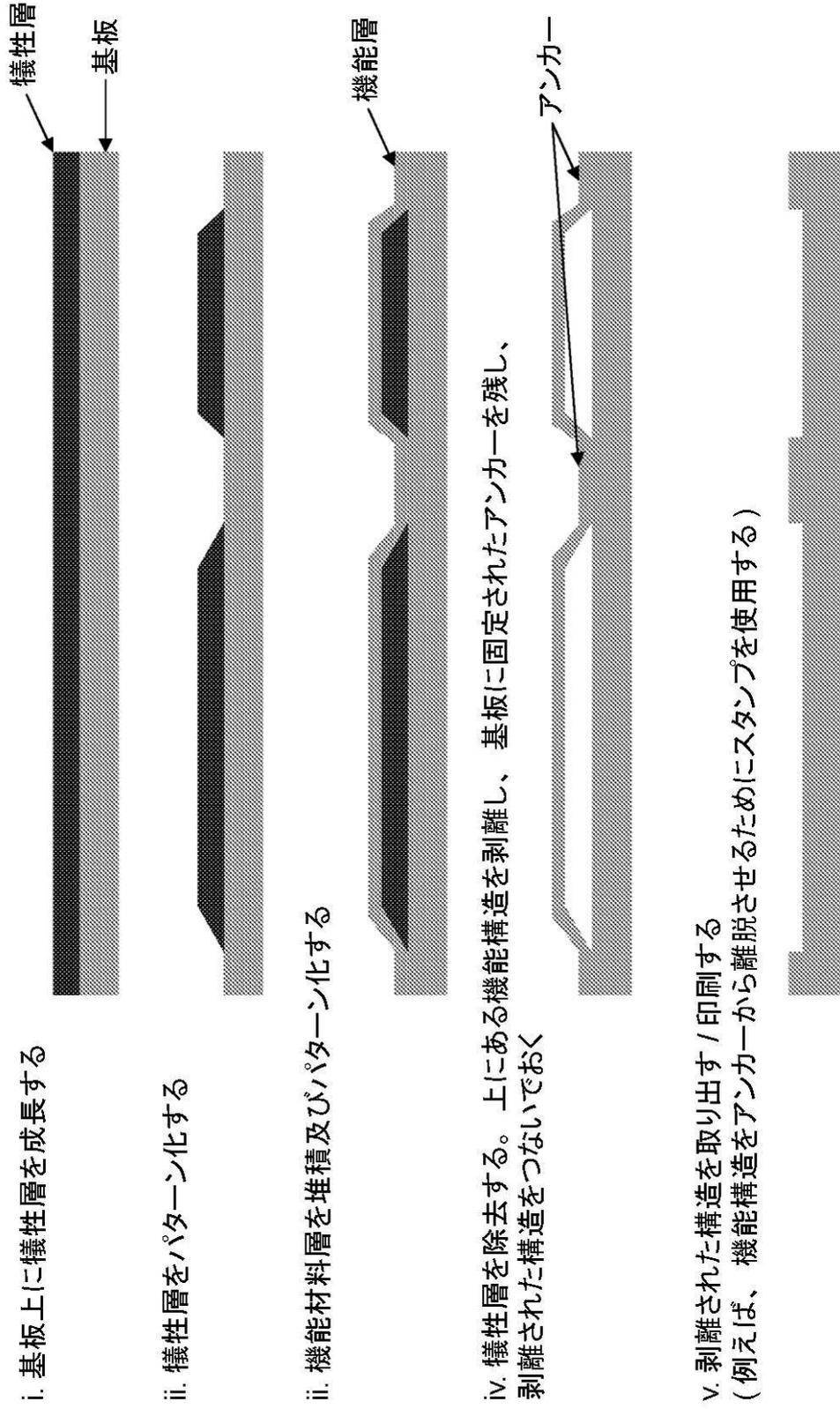


【 図 3 2 】

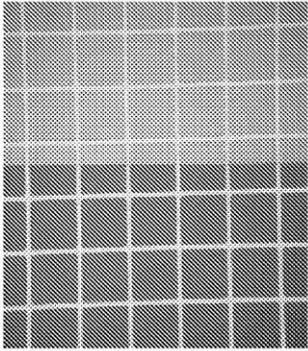


【 図 3 5 】

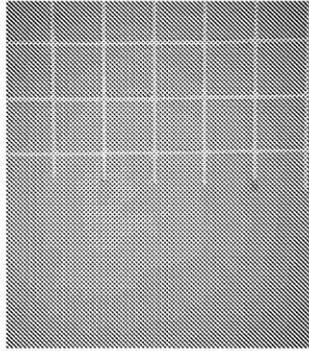
パターン化された犠牲構造を使用するアンカー剥離



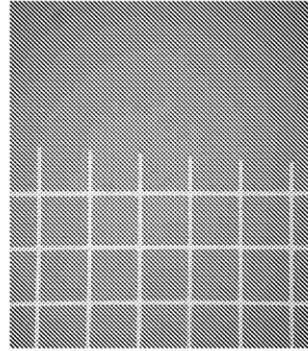
パターン化された犠牲構造を使用するアンカー剥離
実施例：PECVD SiO_x から剥離された Au



パターン化された SiO_x(300nm) 犠牲層 (青) 上の
機能層 (150nm) の Au メッシュ、1.5nm の Ti 接着層)



犠牲 PECVD SiO_x を除去するために
基板を HF に 15 秒晒した後、
PDMS スタンプを用いて犠牲層の上にあるメッシュを取り出す。
犠牲層が存在していない (右) 所では、
メッシュは基板に固定されたままである



接着層としての PDMS(1 ~ 2 ミクロン) 被覆された
PET 基板上に印刷されたメッシュ

フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01)

- (72)発明者 ロジャース, ジョン エー.
アメリカ合衆国, イリノイ州, シャンペーン, ヴァリーブルック 2803
- (72)発明者 ヌッツォ, ラルフ, ジー.
アメリカ合衆国, イリノイ州, シャンペーン, ノッティンガム コート ノース 2413
- (72)発明者 メイトル, マシュー
アメリカ合衆国, ノースカロライナ州, ラレイ, エル-4 ストーンブルック テラス 8100
- (72)発明者 コー, ヒョン チョ
アメリカ合衆国, イリノイ州, アーバナ, ナンバー515, サウス グットウィン アヴェニュー 300
- (72)発明者 ユン, ジョンソン
アメリカ合衆国, イリノイ州, アーバナ, アパートメント 627, ウェスト グリーン ストリート 1107
- (72)発明者 メナード, エティエンヌ
アメリカ合衆国, ノースカロライナ州, ダーラム, ニューホール ロード 5215
- (72)発明者 バカ, アルフレッド, ジェイ.
アメリカ合衆国, イリノイ州, アーバナ, サウス パミュダ ドライブ 1601

審査官 岩本 勉

- (56)参考文献 国際公開第2007/083570(WO, A1)
米国特許第05434751(US, A)
米国特許出願公開第2006/0038182(US, A1)
米国特許出願公開第2005/0233546(US, A1)
米国特許第07033961(US, B1)
米国特許第04663828(US, A)
米国特許第06316283(US, B1)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 27/12