



(12) 发明专利

(10) 授权公告号 CN 103066041 B

(45) 授权公告日 2015. 08. 26

(21) 申请号 201210547852. 3

(22) 申请日 2012. 12. 17

(73) 专利权人 三星半导体(中国) 研究开发有限公司

地址 215021 江苏省苏州市工业园区国际科技园科技广场 7 楼

专利权人 三星电子株式会社

(72) 发明人 陈峥嵘

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 韩芳 郭鸿禧

(51) Int. Cl.

H01L 23/48(2006. 01)

H01L 21/768(2006. 01)

(56) 对比文件

CN 1744311 A, 2006. 03. 08,

US 2008/0054489 A1, 2008. 03. 06,

TW 200849106 A, 2008. 12. 16,

US 2011/0291266 A1, 2011. 12. 01,

US 2011/0291265 A1, 2011. 12. 01,

CN 102576700 A, 2012. 07. 11,

CN 102770867 A, 2012. 11. 07,

CN 102779802 A, 2012. 11. 14,

US 8080445 B1, 2011. 12. 20,

审查员 汪灵

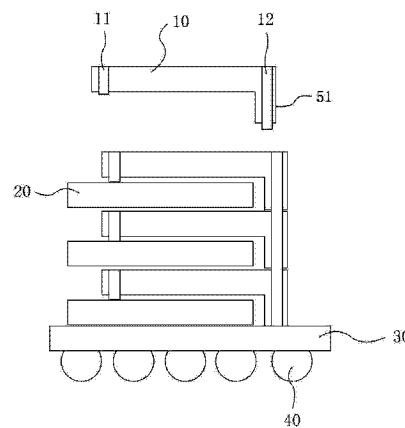
权利要求书1页 说明书4页 附图4页

(54) 发明名称

芯片堆叠结构及其制造方法

(57) 摘要

本发明提供了一种芯片堆叠结构及其制造方法。所述芯片堆叠结构包括：基板；焊球，形成在基板下方，用于电连接到外部电路；硅通孔芯片和非硅通孔芯片，交替地设置在基板上方；第一通孔，形成在硅通孔芯片中，用于非硅通孔芯片的电连接；第二通孔，形成在硅通孔芯片中，用于非硅通孔芯片和硅通孔芯片中的至少一种的电连接；第三通孔，形成在硅通孔芯片中，用于硅通孔芯片的电连接；导电支撑结构，位于硅通孔芯片之间，用于支撑硅通孔芯片和非硅通孔芯片，并用于硅通孔芯片和非硅通孔芯片之间的电连接。根据本发明的芯片堆叠结构可以实现硅通孔芯片和非硅通孔芯片之间的互联，即，通过仅在一部分芯片上形成通孔，可以实现多个芯片之间的互连。



1. 一种芯片堆叠结构,其特征在于所述芯片堆叠结构包括:  
基板;  
焊球,形成在基板下方,用于电连接到外部电路;  
硅通孔芯片和非硅通孔芯片,交替地设置在基板上方;  
第一通孔,形成在硅通孔芯片中,用于非硅通孔芯片的电连接;  
第二通孔,形成在硅通孔芯片中,用于非硅通孔芯片和硅通孔芯片中的至少一种的电连接;  
第三通孔,形成在硅通孔芯片中,用于硅通孔芯片的电连接;  
导电支撑结构,位于硅通孔芯片之间,用于支撑硅通孔芯片和非硅通孔芯片,并用于硅通孔芯片和非硅通孔芯片之间的电连接,  
其中,所述导电支撑结构的厚度与所述非硅通孔芯片的厚度基本相同,或所述导电支撑结构的高度适于在硅通孔芯片之间插入非硅通孔芯片。
2. 根据权利要求 1 所述的芯片堆叠结构,其特征在于在所述导电支撑结构中形成导电通孔,所述导电通孔与第二通孔或第三通孔电连接。
3. 根据权利要求 1 所述的芯片堆叠结构,其特征在于所述导电支撑结构为形成在硅通孔芯片下方的台阶结构,所述台阶结构与硅通孔芯片是一体的。
4. 根据权利要求 1 所述的芯片堆叠结构,其特征在于所述导电支撑结构为形成在硅通孔芯片和非硅通孔芯片之间的单独元件。
5. 一种芯片堆叠结构的制造方法,其特征在于所述方法包括以下步骤:  
提供硅通孔芯片和非硅通孔芯片,在硅通孔芯片中形成有第一通孔、第二通孔和第三通孔;  
将硅通孔芯片和非硅通孔芯片交替地层叠在基板上,并且在硅通孔芯片之间设置导电支撑结构,  
其中,第一通孔用于非硅通孔芯片的电连接,第二通孔用于非硅通孔芯片和硅通孔芯片中的至少一种的电连接,第三通孔用于硅通孔芯片的电连接,  
其中,所述导电支撑结构的厚度与所述非硅通孔芯片的厚度基本相同,或所述导电支撑结构的高度适于在硅通孔芯片之间插入非硅通孔芯片。
6. 根据权利要求 5 所述的制造芯片堆叠结构的方法,其特征在于所述导电支撑结构为形成在硅通孔芯片下方的台阶结构,所述台阶结构与硅通孔芯片是一体的。
7. 根据权利要求 5 所述的制造芯片堆叠结构的方法,其特征在于所述导电支撑结构为形成在硅通孔芯片和非硅通孔芯片之间的单独元件。

## 芯片堆叠结构及其制造方法

### 技术领域

[0001] 本申请涉及一种芯片堆叠结构及其制造方法,更具体地讲,本申请涉及一种将硅通孔芯片和非硅通孔芯片互连的芯片堆叠结构及其制造方法。

### 背景技术

[0002] 为了实现多芯片堆叠,通常在芯片中形成硅通孔,然后通过硅通孔实现不同芯片之间的电互连。例如,利用硅通孔技术在芯片中蚀刻形成硅通孔,然后在硅通孔中形成导电通道。当多个芯片堆叠时,通过硅通孔中的导电通道实现不同芯片之间的电互连。

[0003] 然而,为了将多个芯片堆叠在一起,需要在每个芯片中形成硅通孔结构,这样会导致工艺复杂,并且导致制造成本增加和生产效率下降。另外,在每个芯片中形成硅通孔结构在芯片测试方面存在难度,成品率低,并且包含硅通孔的芯片无法与其它芯片形成多层堆叠。

### 发明内容

[0004] 为了解决现有技术中的上述问题,本发明提供了一种芯片堆叠结构。所述芯片堆叠结构包括:基板;焊球,形成在基板下方,用于电连接到外部电路;硅通孔芯片和非硅通孔芯片,交替地设置在基板上方;第一通孔,形成在硅通孔芯片中,用于非硅通孔芯片的电连接;第二通孔,形成在硅通孔芯片中,用于非硅通孔芯片和硅通孔芯片中的至少一种的电连接;第三通孔,形成在硅通孔芯片中,用于硅通孔芯片的电连接;导电支撑结构,位于硅通孔芯片之间,用于支撑硅通孔芯片和非硅通孔芯片,并用于硅通孔芯片和非硅通孔芯片之间的电连接。

[0005] 根据本发明的实施例,所述导电支撑结构的厚度与所述非硅通孔芯片的厚度基本相同。

[0006] 根据本发明的实施例,在所述导电支撑结构中形成导电通孔,所述导电通孔与第二通孔或第三通孔电连接。

[0007] 可选地,所述导电支撑结构为形成在硅通孔芯片下方的台阶结构,所述台阶结构与硅通孔芯片是一体的。

[0008] 可选地,所述导电支撑结构为形成在硅通孔芯片和非硅通孔芯片之间的单独元件。

[0009] 优选地,所述导电支撑结构的高度适于在硅通孔芯片之间插入非硅通孔芯片。

[0010] 本发明还提供了一种芯片堆叠结构的制造方法,所述方法包括以下步骤:提供硅通孔芯片和非硅通孔芯片,在硅通孔芯片中形成有第一通孔、第二通孔和第三通孔;将硅通孔芯片和非硅通孔芯片交替地层叠在基板上,并且在硅通孔芯片之间设置导电支撑结构,其中,第一通孔用于非硅通孔芯片的电连接,第二通孔用于非硅通孔芯片和硅通孔芯片中的至少一种的电连接,第三通孔用于硅通孔芯片的电连接。

[0011] 可选地,所述导电支撑结构为形成在硅通孔芯片下方的台阶结构,所述台阶结构

与硅通孔芯片是一体的。

[0012] 可选地,所述导电支撑结构为形成在硅通孔芯片和非硅通孔芯片之间的单独元件。

[0013] 根据本发明的芯片堆叠结构可以实现硅通孔芯片和非硅通孔芯片之间的互联,即,通过仅在一部分芯片上形成通孔,可以实现多个芯片之间的互连。

### 附图说明

[0014] 通过下面结合附图进行的详细描述,本发明的特征和优点将变得更容易理解,在附图中:

[0015] 图 1 是根据本发明第一实施例的芯片堆叠结构的局部分开的示意图;

[0016] 图 2 是根据本发明第二实施例的芯片堆叠结构的局部分开的示意图;

[0017] 图 3 是根据本发明的芯片堆叠结构的导电支撑结构的俯视图;

[0018] 图 4 是根据本发明的芯片堆叠结构的芯片表面布线图;

[0019] 图 5 是根据本发明第一实施例的制造芯片堆叠结构的方法的示意图;

[0020] 图 6 是根据本发明第二实施例的制造芯片堆叠结构的方法的示意图。

### 具体实施方式

[0021] 本发明提供了一种芯片堆叠结构及其制造方法。根据本发明的芯片堆叠结构及其制造方法通过在硅通孔芯片与非硅通孔芯片之间设置导电支撑结构,能够实现硅通孔芯片与非硅通孔芯片之间的电互连。

[0022] 在下文中,将参照附图来详细描述本发明的实施例。图 1 是根据本发明第一实施例的芯片堆叠结构的局部分开的示意图。图 3 是根据本发明的芯片堆叠结构的导电支撑结构的俯视图。图 4 是根据本发明的芯片堆叠结构的芯片表面布线图。图 5 是根据本发明第一实施例的制造芯片堆叠结构的方法的示意图。

[0023] 参照图 1、图 3 至图 5,根据本发明第一实施例的芯片堆叠结构包括:基板 30;焊球 40,形成在基板 30 下方,用于电连接到外部电路;硅通孔芯片 10 和非硅通孔芯片 20,交替地设置在基板 30 上方;第一通孔 11、第二通孔 12 和第三通孔 13,形成在硅通孔芯片 10 中,可选地,第一通孔 11 形成在硅通孔芯片 10 的一侧,第二通孔 12 和第三通孔 13 形成在硅通孔芯片 10 的另一侧,另外,第一通孔 11、第二通孔 12 和第三通孔 13 也可以根据实际需要形成在其它位置;导电支撑结构 51,位于硅通孔芯片 10 之间,用于支撑硅通孔芯片 10 和非硅通孔芯片 20,并且导电支撑结构 51 的厚度与非硅通孔芯片 20 的厚度基本相同,在导电支撑结构 51 中形成导电通孔,从而实现芯片之间的电连接。

[0024] 在本发明中,为了实现硅通孔芯片 10 和非硅通孔芯片 20 的电连接,形成在导电支撑结构 51 中的导电通孔可以与第二通孔 12 或第三通孔 13 电连接。即,在本发明中,第二通孔 12 或第三通孔 13 可以延伸到导电支撑结构 51 中,从而形成导电通孔。

[0025] 根据实际需要,第一通孔 11、第二通孔 12 和第三通孔 13 可以形成为多个。

[0026] 其中,第一通孔 11 用于非硅通孔芯片 20 的电连接;第二通孔 12 可以用于硅通孔芯片 10 和非硅通孔芯片 20 中的至少一种的电连接,即,第二通孔 12 可以用于非硅通孔芯片 20、用于硅通孔芯片 10 或者被硅通孔芯片 10 和非硅通孔芯片 20 所共用;第三通孔 13 用

于硅通孔芯片 10 的电连接。具体地讲,例如,参照图 5 中的右侧图和图 4 可知,非硅通孔芯片 20 经由第一通孔 11、第一通孔 11 和第二通孔 12 之间的布线以及第二通孔 12 实现电连接。硅通孔芯片 10 经由第三通孔 13 实现电连接。图 5 中的右侧视图用虚线箭头示出了示例性的电流流向。本领域技术人员可以根据实际需要来设计不同芯片之间的电连接关系。

[0027] 在本发明的第一实施例中,导电支撑结构 51 是形成在硅通孔芯片 10 和非硅通孔芯片 20 之间的台阶结构,该台阶结构与硅通孔芯片 10 是一体的,形成在硅通孔芯片 10 下方,用于支撑硅通孔芯片 10 和非硅通孔芯片 20。

[0028] 下面,参照图 5 来详细描述根据本发明第一实施例的芯片堆叠结构的制造方法。

[0029] 首先,参照图 5 中的左边的视图,提供硅通孔芯片 10 和非硅通孔芯片 20,并且在硅通孔芯片 10 中形成第一通孔 11 和第二通孔 12 以及通孔 13 (在图 5 中未示出,参见图 4),台阶结构作为导电支撑结构 51 形成在硅通孔芯片 10 下方,并且与硅通孔芯片 10 是一体的。

[0030] 接下来,将一个硅通孔芯片 10 和一个非硅通孔芯片 20 层叠在一起,形成芯片堆叠件。

[0031] 然后,将芯片堆叠件层叠在基板 30 上,从而形成根据本发明第一实施例的芯片堆叠结构。根据需要,可以将多个硅通孔芯片 10 和多个非硅通孔芯片 20 层叠在一起,形成芯片堆叠结构。

[0032] 下面,将详细描述根据本发明第二实施例的芯片堆叠结构及其制造方法。图 2 是根据本发明第二实施例的芯片堆叠结构的局部分开的示意图。图 6 是根据本发明第二实施例的制造芯片堆叠结构的方法的示意图。

[0033] 根据本发明第二实施例的芯片堆叠结构与根据本发明第一实施例的芯片堆叠结构相似,区别之处在于:在本发明第二实施例的芯片堆叠结构中,导电支撑结构 52 是凸块、焊球等电连接结构,而不是如第一实施例中所述的台阶结构。导电支撑结构 52 设置在硅通孔芯片 10 之间,作为一个单独的元件,并且在导电支撑结构 52 中形成导电通孔,该导电通孔与第二孔 12 或第三孔 13 电连接。优选地,导电支撑结构 52 的厚度与非硅通孔芯片 20 的厚度基本相同。

[0034] 下面参照图 6 来描述根据本发明第二实施例的芯片堆叠结构的方法。首先,提供硅通孔芯片 10 和非硅通孔芯片 20,在硅通孔芯片 10 中形成第一通孔 11、第二通孔 12 和第三通孔 13 (在图 6 中未示出,参见图 4)。

[0035] 然后将硅通孔芯片 10 和非硅通孔芯片 20 层叠在一起,并放置在基板 30 上,并且在硅通孔芯片 10 和非硅通孔芯片 20 之间设置导电支撑结构 52,从而完成根据本发明第二实施例的芯片堆叠结构。

[0036] 根据实际需要,本领域技术人员可以选择将多个非硅通孔芯片 20 互连、将多个硅通孔芯片 10 互连、或者将非硅通孔芯片 20 与硅通孔芯片 10 互连。

[0037] 另外,可以在硅通孔芯片 10 和非硅通孔芯片 20 之间设置粘附层,用于将硅通孔芯片 10 和非硅通孔芯片 20 结合在一起。

[0038] 此外,根据本发明的实施例,可以将导电支撑结构 51 或 52 的高度调节为适于在两个硅通孔芯片 10 之间插入一个非硅通孔芯片 20。即,导电支撑结构 51 或 52 的高度基本等于非硅通孔芯片 20 的厚度,从而可以实现具有不同高度的芯片之间的电连接。

[0039] 根据本发明的实施例,可以实现硅通孔芯片和非硅通孔芯片之间的互联,即,通过仅在一部分芯片上形成通孔,可以实现多个芯片之间的互连。

[0040] 虽然已经通过示例的方式描述了以上实施例,但是本领域技术人员将清楚的是,本发明的范围不限于以上具体实施例,本发明的范围由权利要求限定。

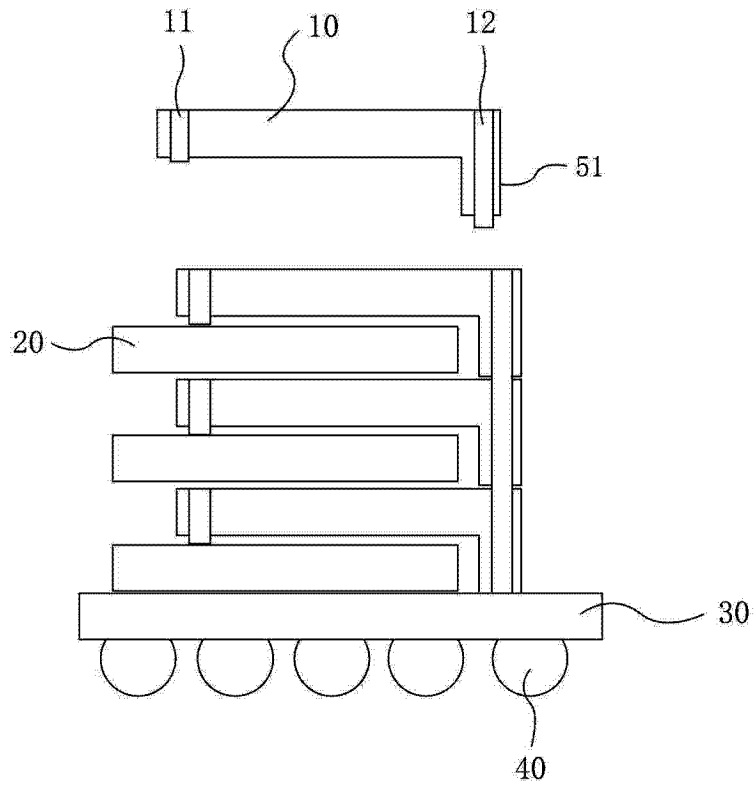


图 1

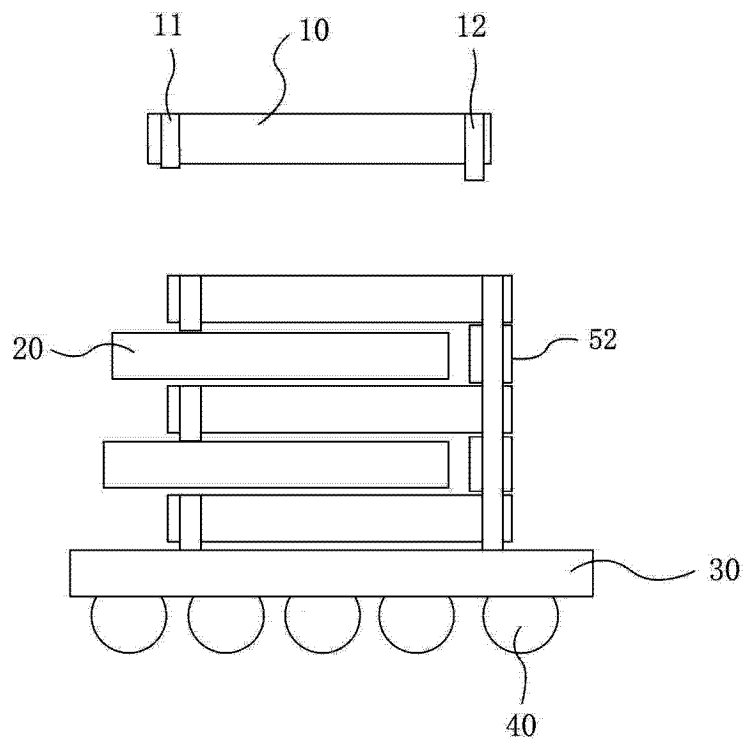


图 2

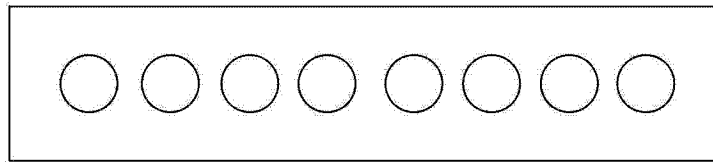


图 3

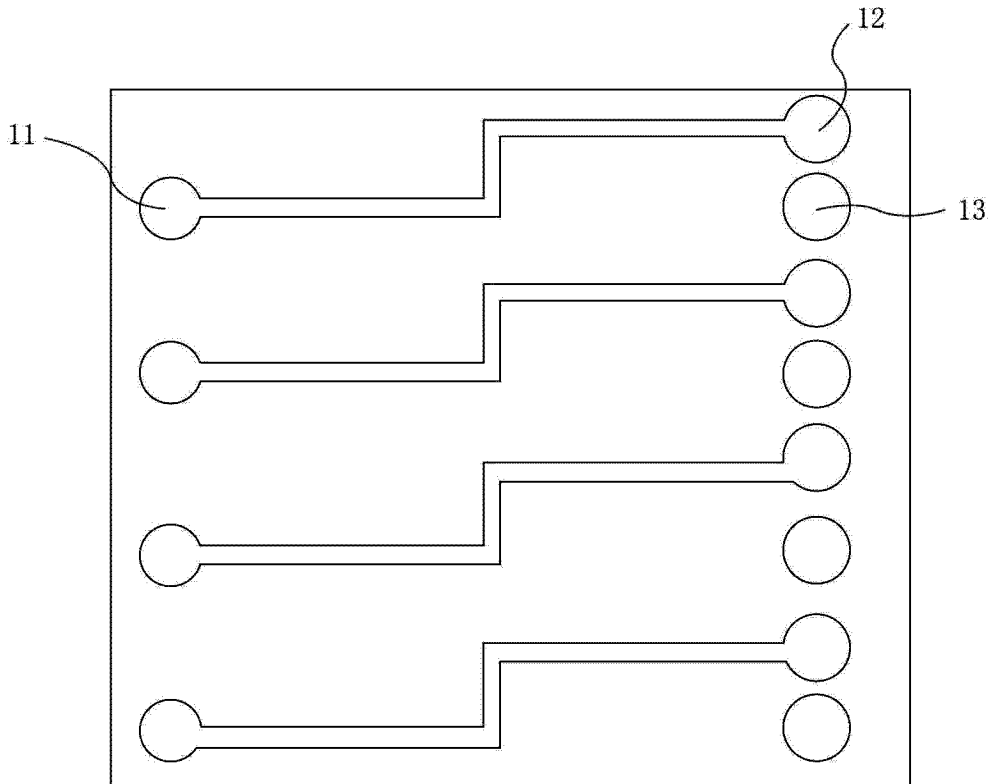


图 4



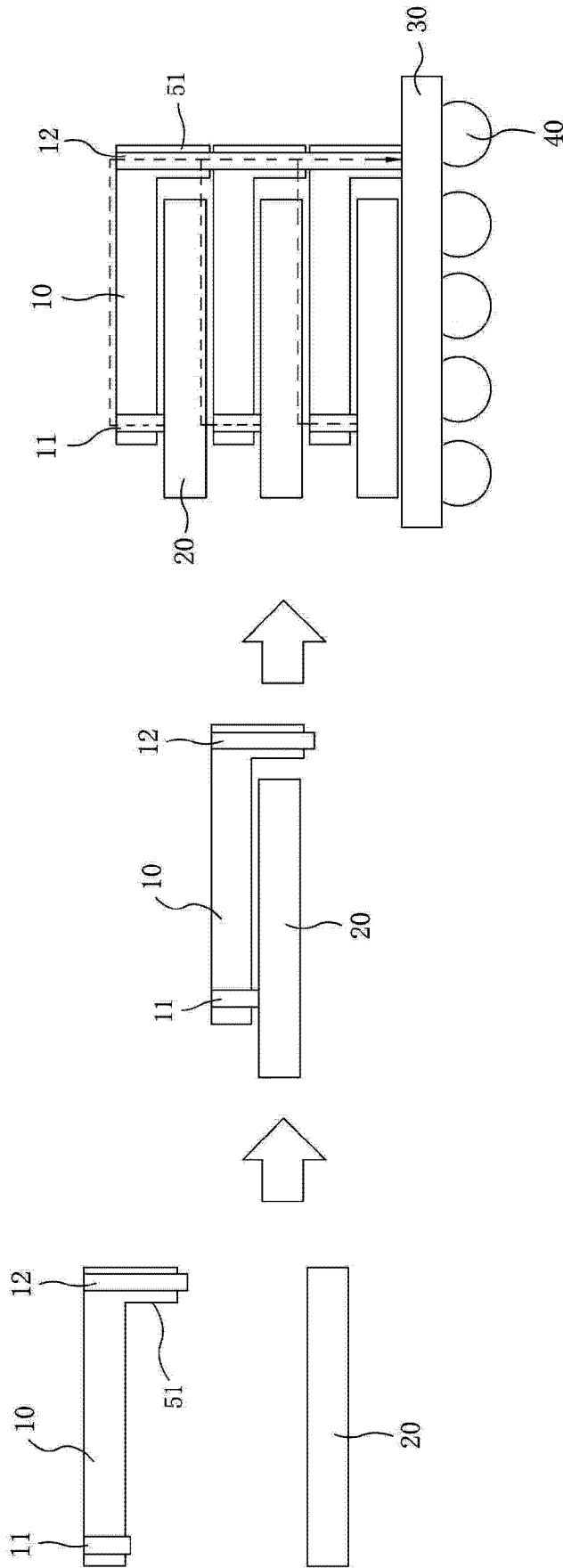


图 5

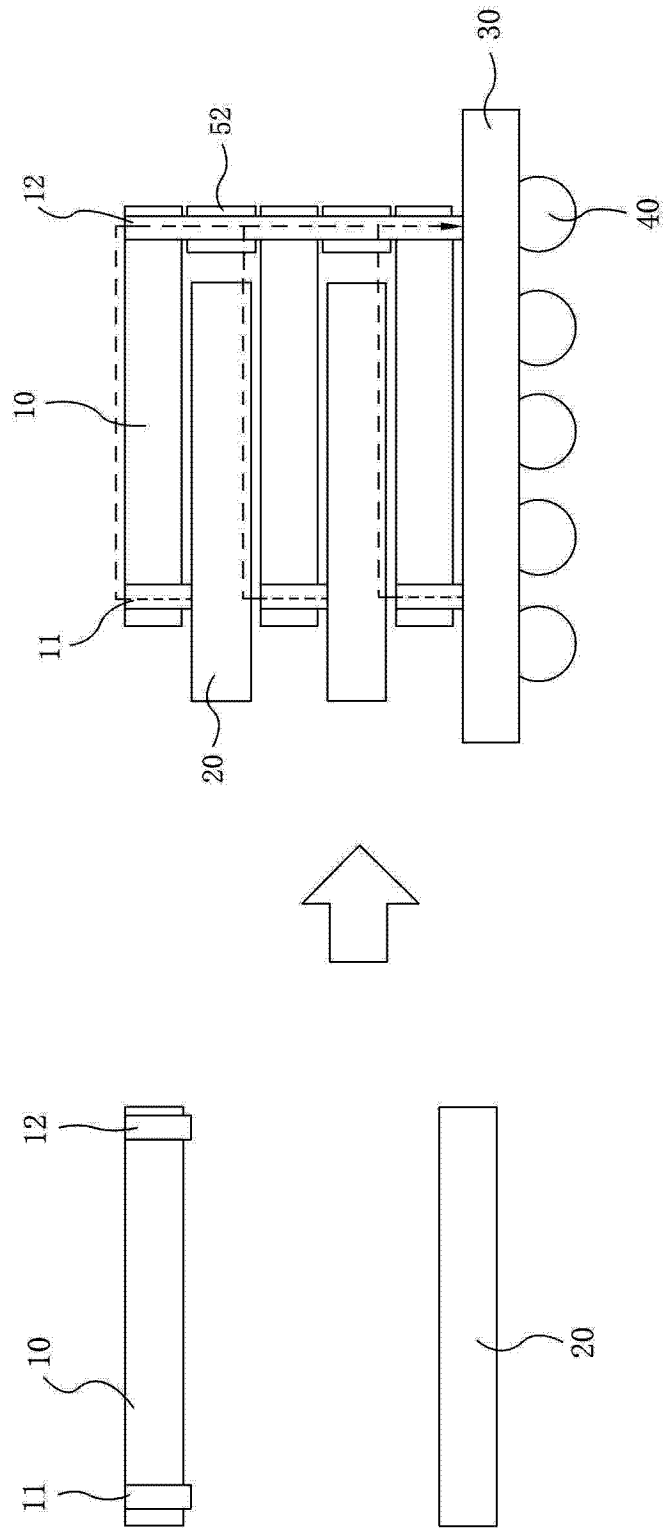


图 6