

(11) Número de Publicação: **PT 2117195 E**

(51) Classificação Internacional:  
**H04L 27/26** (2007.10) **H03M 13/27** (2007.10)  
**H04N 5/44** (2007.10)

(12) **FASCÍCULO DE PATENTE DE INVENÇÃO**

(22) Data de pedido: <b>2004.03.23</b>	(73) Titular(es): <b>SONY UNITED KINGDOM LIMITED</b> <b>THE HEIGHTS BROOKLANDS WEYBRIDGE,</b> <b>SURREY KT13 0XW</b> <b>GB</b>
(30) Prioridade(s): <b>2003.03.25 EP 03290754</b>	
(43) Data de publicação do pedido: <b>2009.11.11</b>	(72) Inventor(es): <b>JEAN-LUC PERON</b> <b>FR</b>
(45) Data e BPI da concessão: <b>2010.08.04</b> <b>172/2010</b>	(74) Mandatário: <b>PEDRO DA SILVA ALVES MOREIRA</b> <b>RUA DO PATROCÍNIO, N.º 94 1399-019 LISBOA</b> <b>PT</b>

(54) Epígrafe: **ENTRELAÇADOR PARA MAPEAR SÍMBOLOS NAS PORTADORAS DE UM SISTEMA OFDM**

(57) Resumo:

## RESUMO

### "ENTRELAÇADOR PARA MAPEAR SÍMBOLOS NAS PORTADORAS DE UM SISTEMA OFDM"

Um aparelho de processamento de dados efectua o mapeamento de símbolos de entrada a transmitir sobre um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência (OFDM). O processador de dados inclui uma memória de entrelaçador que extrai e transfere o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM. A memória de entrelaçador envia os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio feito com uma ordem diferente da leitura e extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados nos sinais de portadora. O conjunto de endereços é gerado por um gerador de endereços que compreende um registo de deslocamento com realimentação linear e um circuito de permutação. Proporciona-se um polinómio gerador para o registo de deslocamento com realimentação linear de  $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ . com uma ordem de permutação que foi estabelecida por análise por simulação para otimizar o desempenho de comunicação por meio de canais de rádio típicos de um sistema modulado por OFDM, tal como a norma de Radiodifusão Vídeo Digital (DVB), tal como as normas DVB-Terrestre (DVB-T) ou DVB-Dispositivos Móveis (DVB-H).

## **DESCRIÇÃO**

### **"ENTRELAÇADOR PARA MAPEAR SÍMBOLOS NAS PORTADORAS DE UM SISTEMA OFDM"**

#### **Campo de Invenção**

A presente invenção refere-se a um aparelho de processamento de dados com a função de mapear símbolos de entrada sobre sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência (OFDM).

A presente invenção também se refere a um aparelho de processamento de dados com a função de desmapear símbolos recebidos de um número predeterminado de sinais de portadora de um símbolo OFDM para um fluxo de símbolos de saída.

#### **Antecedentes da Invenção**

A norma de Difusão Televisiva Digital Terrestre (DVB-T) utiliza Multiplexagem por Divisão Ortogonal de Frequência (OFDM) para transmitir dados representando imagens de vídeo e som para receptores por meio de um sinal de comunicações por transmissão de rádio. Sabe-se que a norma DVB-T tem dois modos conhecidos como o modo 2k e 8k. O modo 2k proporciona 2048 subportadoras, ao passo que o modo 8k proporciona 8192 subportadoras.

De modo a melhorar a integridade dos dados transmitidos pelo modo 2k ou modo 8k, proporciona-se um entrelaçador de símbolos

de modo a entrelaçar símbolos de dados de entrada quando estes símbolos são mapeados sobre os sinais de portadora de um símbolo OFDM. Esse entrelaçador de símbolos compreende uma memória de entrelaçador em combinação com um gerador de endereços. O gerador de endereços gera um endereço para cada um dos símbolos de entrada, indicando cada endereço um dos sinais de portadora do símbolo OFDM sobre o qual se vai mapear o símbolo de dados. Para o modo 2k e modo 8k divulgou-se uma configuração na norma DVB-T para gerar os endereços para o mapeamento. Sabe-se que o gerador de endereços compreende um registo de deslocamento com realimentação linear que tem a função de gerar uma sequência pseudoaleatória de bits e um circuito de permutação. O circuito de permutação permuta a ordem do conteúdo do registo de deslocamento com realimentação linear de modo a gerar um endereço. O endereço proporciona uma indicação de uma das portadoras OFDM para transportar um símbolo de dados de entrada armazenado na memória de entrelaçador, de modo a mapear os símbolos de entrada sobre os sinais de portadora do símbolo OFDM.

Além do modo 2k e modo 8k, também se propôs um modo 4k. o modo 4k tem sido utilizado na norma Japonesa para televisão digital terrestre, que é o sistema de Radiodifusão Digital de Serviços Integrados (ISDB).

As publicações seguintes proporcionam informações relevantes sobre a técnica anterior:

European Telecommunications Standards Institute: "Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television" ETSI EN 300 744 V1.4.1, Janeiro de 2001 (2001-01), XP002207124.

"Features of ISDB- T" Digital Broadcasting Experts Group (DIBEG), [Online] 28 de Julho de 2000 (2000-07-28), XP002249911 Retirado da Internet: URL: <http://lwww.dibeg.org/PressR/Brazil/comments730b.PDF> &gt;.

### Sumário da Invenção

De acordo com um aspecto da presente invenção, proporciona-se um aparelho de processamento de dados com a função de mapear símbolos de entrada a transmitir sobre um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência (OFDM). O aparelho de processamento de dados compreende uma memória de entrelaçador com a função de ler e extrair o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM e enviar os símbolos de dados para as portadoras OFDM para efectuar o mapeamento. O envio é feito com uma ordem diferente da leitura, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados nos sinais de portadora. O conjunto de endereços é determinado por um gerador de endereços, sendo gerado um endereço para cada um dos símbolos de entrada para indicar um dos sinais de portadora sobre o qual se vai mapear o símbolo de dados.

O gerador de endereços compreende um registo de deslocamento com realimentação linear incluindo um número predeterminado de andares de registo e com a função de gerar uma sequência pseudoaleatória de bits de acordo com um polinómio gerador e um circuito de permutação e uma unidade de controlo. O circuito de

permutação tem a função de receber o conteúdo dos andares de registo de deslocamento e permutar os bits presentes nos andares de registo de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM. A unidade de controlo tem a função de, em combinação com um circuito de verificação de endereços, regenerar um endereço quando um endereço gerado excede o número máximo de portadoras. O aparelho de processamento de dados é caracterizado por o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis e o registo de deslocamento com realimentação linear ter onze andares de registo com um polinómio gerador para o registo de deslocamento com realimentação linear de  $R'_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ . A ordem de permutação forma um endereço  $R_i[n]$  de onze bits para o símbolo de dados de ordem  $i$  a partir do bit presente no andar  $R_i[n]$  de registo de ordem  $n$  de acordo com o quadro:

$R'_i[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

Embora se saiba, na norma DVB-T, proporcionar o modo 2k e o modo 8k, há vantagens em proporcionar um modo 4k. Enquanto o modo 8k proporciona uma configuração para estabelecer uma rede de frequência única com períodos de guarda suficientes para acomodar maiores atrasos de propagação entre transmissores DVB, sabe-se que o modo 2k é vantajoso em aplicações móveis. Isto acontece porque o período de símbolos 2k é apenas um quarto do período de símbolos 8k, permitindo uma actualização mais frequente da estimação de canal (com base em pilotos espalhados

embebidos em cada símbolo), permitindo ao receptor seguir, com mais exactidão, a variação de tempo do canal devido ao efeito doppler e outros. O modo 2k é, por conseguinte, vantajoso para aplicações móveis. No entanto, o modo 2k requer uma rede de frequência múltipla, complicando, desse modo, uma configuração dos transmissores para proporcionar um sistema de radiodifusão. Um modo 4k proporciona uma vantagem de ter uma recepção razoavelmente boa para utilizadores móveis, mesmo a velocidades de condução elevadas, que, por isso, aumentam o deslocamento doppler, sem ser necessário um dispendioso esquema de anulação de interferência interportadoras. Também se pode realizar uma implementação razoavelmente económica de uma rede de radiodifusão. No entanto, de modo a proporcionar o modo 4k, tem que se proporcionar um entrelaçador de símbolos para mapear os símbolos de dados de entrada sobre os sinais de portadora do símbolo OFDM.

As formas de realização da presente invenção podem proporcionar um aparelho de processamento de dados que funciona como um entrelaçador de símbolos para mapear símbolos de dados a transmitir num símbolo OFDM, tendo, substancialmente, quatro mil sinais de portadora. Numa forma de realização, o número de sinais de portadora é de três mil e vinte e quatro. Sendo assim, pode proporcionar-se um modo 4k, por exemplo, para uma norma DVB, tal como DVB-T ou DVB-H. A norma DVB-H (Difusão Televisiva Digital para Dispositivos Móveis) está relacionada com a DVB-T. A DVB-H era anteriormente conhecida como DVB-X. Os sinais DVB-H estão preparados para serem recebidos por dispositivos móveis, tais como terminais móveis de bolso.

O mapeamento de símbolos de dados a transmitir sobre os sinais de portadora de um símbolo OFDM, quando o número de

sinais de portadora é, substancialmente, quatro mil, representa um problema técnico considerável que exige análise de simulação e testes para estabelecer um polinómio gerador apropriado para o registo de deslocamento com realimentação linear e a ordem de permutação. Isto acontece porque o mapeamento requer que os símbolos sejam entrelaçados sobre os sinais de portadora com o efeito de símbolos sucessivos do fluxo de dados de entrada serem separados em frequência por uma maior quantidade possível de modo a otimizar o desempenho de esquemas de codificação por correcção de erro.

Esquemas de codificação por correcção de erro, tais como codificação de Reed-Solomon e codificação convolucional, têm um melhor desempenho quando o ruído e degradação dos valores de símbolos resultantes de comunicação são descorrelacionados. Alguns canais rádio, tais como os utilizados na DVB-T, podem ter o inconveniente de apresentar um desvanecimento correlacionado nos domínios do tempo e da frequência. Sendo assim, ao separar, tanto quanto possível, símbolos codificados para diferentes sinais de portadora do símbolo OFDM, pode aumentar-se o desempenho de esquemas de codificação por correcção de erro.

Descobriu-se, a partir de análise de desempenho de simulação, que o polinómio gerador para o registo de deslocamento com realimentação linear em combinação com a ordem do circuito de permutação indicada acima proporciona um bom desempenho na presença de condições típicas de ruído e desvanecimento de canal. Além disso, ao proporcionar uma configuração que pode implementar geração de endereços para o modo 2k e modo 8k, bem como para o modo 4k, alterando as derivações do polinómio gerador para o registo de deslocamento com realimentação linear e a ordem de permutação proporciona-se

uma implementação económica do entrelaçador de símbolos para o modo 4k. Além disso, um transmissor e um receptor podem ser mudados entre o modo 2k, modo 4k e modo 8K alterando o polinómio gerador e as ordens de permutação. Isto pode ser efectuado em software (ou pelo canal de sistema de sinalização de parâmetros de transmissão (TPS) embebido no receptor), pelo que se proporciona uma implementação flexível.

Vários aspectos e características da presente invenção estão definidos nas reivindicações apensas. Outros aspectos da presente invenção incluem um aparelho de processamento de dados com a função de desmapear símbolos recebidos de um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência (OFDM) para um fluxo de símbolos de saída, bem como um transmissor e um receptor.

### **Breve Descrição de Desenhos**

Ir-se-ão, agora, descrever formas de realização da presente invenção apenas a título de exemplo com referência aos desenhos em anexo, em que partes semelhantes são proporcionadas com algarismos de referência correspondentes e nos quais:

A Figura 1 é um diagrama de blocos esquemático de um transmissor OFDM Codificado que pode ser utilizado, por exemplo, com a norma DVB-T;

A Figura 2 é um diagrama de blocos esquemático de um entrelaçador de símbolos interno e um processador de mapeamento que aparece na Figura 1;

A Figura 3 é um diagrama de blocos esquemático do entrelaçador de símbolos mostrado na Figura 2;

A Figura 4 é um diagrama de blocos esquemático de uma memória de entrelaçador mostrada na Figura 3 e do desentrelaçador de símbolos correspondente no receptor;

A Figura 5 é um diagrama de blocos esquemático de um gerador de endereços mostrado na Figura 3 para o modo 2k;

A Figura 6 é um diagrama de blocos esquemático de um gerador de endereços como mostrado na Figura 3 no modo 8k;

A Figura 7 é um diagrama de blocos esquemático de um gerador de endereços mostrado na Figura 3 no modo 4k;

A Figura 8 é um diagrama de blocos esquemático de um receptor OFDM Codificado que pode ser utilizado, por exemplo, com a norma DVB-T; e

A Figura 9 é um diagrama de blocos esquemático de um desentrelaçador de símbolos interno que aparece na Figura 8.

### **Descrição de Formas de Realização Preferidas**

A norma DVB-T com base em OFDM existente é composta por um modo 2K e um modo 8K, o que significa que a largura de banda utilizada para transmitir o sinal é dividida em 2048 (modo 2K) ou 8192 subportadoras (modo 8K). O modo 2K apresenta algumas características interessantes no que se refere à mobilidade. Com efeito, o curto tempo de símbolos deste modo permite um bom

desempenho em termos de doppler em ambientes móveis. Por outro lado, o modo 8K possibilita aos planeadores de rede construir SFN (Rede de Frequência Única) disseminadas e, portanto, pouco dispendiosas. As investigações realizadas sobre o tema mostraram que a introdução de um modo 4K seria um bom compromisso entre estes dois modos. Proporcionaria aos utilizadores móveis uma recepção razoavelmente boa, mesmo a altas velocidades de condução, sem a necessidade de um esquema de anulação ICI (Interferência Interportadoras) complicado e dispendioso. Também ajudaria a manter o custo da rede com um nível razoável. Este documento descreve um novo entrelaçador de símbolos para este modo 4K.

A Figura 1 proporciona um diagrama de blocos exemplificativo de um transmissor OFDM Codificado que pode ser utilizado, por exemplo, para transmitir sinais de imagens de vídeo e áudio de acordo com a norma DVB-T. Na Figura 1, uma fonte de programa gera dados a transmitir pelo transmissor COFDM. Um codificador 2 de vídeo e codificador 4 de áudio e um codificador 6 de dados geram vídeo, áudio e outros dados a transmitir que são introduzidos num multiplexador 8 de programa. Uma saída do multiplexador 8 de programa é introduzida num multiplexador 10 de transporte que forma um fluxo de transporte multiplexado com outra informação necessária para transmitir o vídeo, áudio e outros dados. O multiplexador 10 de transporte proporciona um fluxo de transporte num canal 12 de ligação para um divisor 14. O divisor 14 divide o fluxo de transporte em diferentes ramos A e B que proporcionam uma diferente codificação por correcção de erros sem canal de retorno e entrelaçamento. Por uma questão de simplificação, descreve-se apenas o ramo A.

Como mostrado na Figura 1, um transmissor 20 COFDM recebe o fluxo de dados de transporte num bloco 22 de adaptação de multiplexador e dispersão de energia. O bloco 22 de adaptação de multiplexador e dispersão de energia torna os dados de fluxo de transporte aleatórios e introduz os dados apropriados num codificador 24 externo que executa uma primeira codificação externa dos dados de transporte. Proporciona-se um entrelaçador 26 externo para entrelaçar os símbolos de dados codificados que, para o exemplo da DVB-T, é o código Reed-Solomon (RS), para que o entrelaçador externo entrelace os símbolos RS. Um codificador 28 interno é disposto para codificar, por convolução, os dados provenientes do entrelaçador externo utilizando um codificador convolucional, sendo os dados codificados introduzidos num entrelaçador 30 interno. O entrelaçador 30 interno também pode receber dados codificados do segundo braço B de codificação.

Uma saída do entrelaçador interno é um conjunto de símbolos de dados que são, depois, mapeados em pontos de constelação de um esquema de modulação. Para o exemplo da DVB-T mostrada, o esquema de modulação é QPSK (a DVB-T pode ter uma portadora 16QAM/4 bits ou portadora 64QAM/6 bits, bem como QPSK). Cada símbolo de dados proveniente do entrelaçador 30 interno é, depois, mapeado sobre um dos sinais de portadora COFDM por um processador 32 de mapeamento. O símbolo COFDM é, depois, gerado por um processador 34 de adaptação de tramas que introduz sinais piloto e de sincronização provenientes de um formador 36 de sinais. Um gerador 38 OFDM, em seguida, forma o símbolo OFDM no domínio do tempo que é introduzido num processador 40 de inserção de intervalos de guarda para gerar um intervalo de guarda entre símbolos e, depois, para um conversor 42 analógico-digital e, por fim, para um amplificador RF no

interior de uma interface 44 de RF para uma possível radiodifusão pelo transmissor COFDM a partir de uma antena 46.

Para criar um novo modo 4K, têm que se definir diversos elementos, mas o principal é o entrelaçador de símbolos 4K, que faz parte do entrelaçador interno mostrado na Figura 1.

O entrelaçador interno propriamente dito é composto por um entrelaçador de bits e um entrelaçador de símbolos, como mostrado na Figura 2.

Como explicado acima, a presente invenção proporciona uma instalação que proporciona um mapeamento quase óptimo dos símbolos de dados de entrada sobre os sinais de portadora OFDM. De acordo com a técnica exemplificativa, o entrelaçador interno é proporcionado para efectuar o mapeamento optimizado de símbolos de dados de entrada sobre sinais de portadora COFDM. O entrelaçador 30 interno e o processador 32 de mapeamento são mostrados, na Figura 2, em mais pormenor. Na Figura 2, o entrelaçador 30 interno compreende um processador 60 de desmultiplexagem que recebe bits codificados por convolução provenientes de um canal 62 de entrada. O desmultiplexador, depois, divide os bits em dois fluxos de bits de entrada que são introduzidos por meio de canais 64 e 66 de ligação em entrelaçadores 68 e 70 de bits. Os entrelaçadores de bits entrelaçam os bits que são, depois, formados em dois canais 72.1, 72.2 de ligação para ligar os bits de cada um dos entrelaçadores 68 e 70 de bits a um entrelaçador 76 de símbolos. O entrelaçador de símbolos forma os símbolos de entrada provenientes dos canais 72.1, 72.2 de ligação em símbolos para mapeamento sobre os sinais de portadora COFDM. Na técnica exemplificativa mostrada na Figura 2, os símbolos entrelaçados

provenientes do entrelaçador 76 de símbolos são mapeados em pontos de constelação de um sinal de portadora QPSK para cada um dos sinais no símbolo COFDM.

A especificação DVB-T existente já define um entrelaçador de símbolos para os modos 2K e 8K. A função do entrelaçador de símbolos é mapear  $v$  palavras de bits (sendo  $v$  função do esquema de modulação escolhido) sobre as 1512 (modo 2K) ou 6048 (modo 8K) portadoras activas por símbolo OFDM. O entrelaçador de símbolos age sobre blocos de 1512 (modo 2K) ou 6048 (modo 8K) símbolos de dados. Formas de realização exemplificativas da presente invenção utilizam o entrelaçador 76 de símbolos para proporcionar um mapeamento optimizado dos símbolos de dados de entrada, fornecidos através dos canais 72.1, 72.2 de ligação, sobre os sinais de portadora COFDM. Um exemplo do entrelaçador 76 de símbolos para efectuar o mapeamento dos símbolos de dados de entrada sobre os sinais de portadora COFDM é mostrado na Figura 3.

### **Entrelaçador RAM**

Na Figura 3, os símbolos de dados de entrada provenientes do canal 72 de ligação são introduzidos numa memória 100 de entrelaçador. A memória 100 de entrelaçador mapeia os símbolos de dados de entrada sobre os sinais de portadora COFDM de acordo com endereços de mapeamento fornecidos pelo gerador 102 de endereços. Uma implementação exemplificativa da memória 100 de entrelaçador é mostrada na Figura 4.

A Figura 4 compreende uma parte 100 superior que ilustra o funcionamento da memória de entrelaçador no transmissor e uma

parte 340 inferior que ilustra o funcionamento da memória de desentrelaçador no receptor. O entrelaçador 100 e o desentrelaçador 340 são mostrados em conjunto na Figura 4 de modo a ajudar a compreender o seu funcionamento. Como mostrado na Figura 4, uma representação da comunicação entre o entrelaçador 100 e o desentrelaçador 340 por meio de outros dispositivos e por meio de um canal de transmissão foi simplificada e representada como uma secção 140 entre o entrelaçador 100 e o desentrelaçador 340. O funcionamento do entrelaçador 100 é descrito nos parágrafos que se seguem.

Embora a Figura 4 proporcione uma ilustração de apenas quatro símbolos de dados de entrada sobre um exemplo de quatro sinais de portadora de um símbolo COFDM, deve compreender-se que a técnica ilustrada na Figura 4 pode ser estendida a um maior número de portadoras, tais como 1512 para o modo 2k, 3024 para o modo 4k e 6048 para o modo 8k.

O endereçamento de entrada e saída da memória 100 de entrelaçador mostrada na Figura 4 é mostrado para símbolos ímpares e pares. Para um símbolo COFDM par, os símbolos de dados são retirados do canal 72 de entrada e escritos no entrelaçador 124.1 RAM de acordo com uma sequência de endereços 120 gerada para cada símbolo COFDM pelo gerador 102 de endereços. Os endereços de escrita são aplicados para o símbolo par para que, como ilustrado, o entrelaçamento seja efectuado ao baralhar os endereços de escrita. Por conseguinte, para cada símbolo entrelaçado  $y(h(q)) = y'(q)$ .

Para símbolos ímpares, utiliza-se o mesmo entrelaçador 124.2 RAM. No entanto, como mostrado na Figura 4 para o símbolo ímpar, a ordem 132 de escrita é, na mesma sequência de endereços,

utilizada para enviar o símbolo 126 par prévio. Esta característica permite que as implementações de entrelaçador de símbolos ímpares e pares utilizem apenas 1 RAM desde que a operação de envio para um determinado endereço seja executada antes da operação de escrita. Os símbolos de dados escritos no entrelaçador 124 RAM durante símbolos ímpares são, depois, enviados numa sequência 134 gerada pelo gerador 102 de endereços para o símbolo COFDM par seguinte e assim por diante.

Em resumo, como representado na Figura 4, depois de o conjunto de endereços  $H(q)$  ter sido calculado para todas as portadoras activas, o vector  $Y' = (y_0', y_1', y_2', \dots, y_{N_{\max}-1}')$  de entrada é processado para produzir o vector  $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$  entrelaçado definido por:

$$yH(q) = y'q \text{ para símbolos pares para } q = 0, \dots, N_{\max}-1$$

$$yq = y'H(q) \text{ para símbolos ímpares para } q = 0, \dots, N_{\max}-1$$

Por outras palavras, para símbolos COFDM pares, as palavras de entrada são escritas, numa forma permutada, numa memória e extraídas de forma sequencial, enquanto para os símbolos ímpares, são escritas sequencialmente e extraídas de forma permutada. No caso acima, a permutação  $H(q)$  é definida pelo quadro seguinte:

Quadro 1: permutação para o caso simples em que  $N_{\max}=4$

$q$	1	2	3	4
$H(q)$	1	3	0	2

Como mostrado na Figura 4, o desentrelaçador 340 inverte o entrelaçamento aplicado pelo entrelaçador 100 ao aplicar o mesmo conjunto de endereços, como gerados por um gerador de endereços equivalente, mas aplicando os endereços de escrita e envio de modo invertido. Sendo assim, para símbolos pares, os endereços 342 de escrita estão em ordem sequencial, enquanto os endereços 344 de envio são fornecidos pelo gerador de endereços. De modo correspondente, para os símbolos ímpares, a ordem 346 de escrita é determinada a partir do conjunto de endereços gerado pelo gerador de endereços, enquanto o envio 348 é feito em ordem sequencial.

### **Geração de Endereços**

Um diagrama de blocos esquemático do algoritmo utilizado para gerar a função  $H(q)$  de permutação está representado na Figura 5 para o modo 2K e, na Figura 6, para o modo 8K.

Uma implementação do gerador 102.1 de endereços para o modo 2k é mostrada na Figura 5. Na Figura 5, um registo de deslocamento com realimentação linear é formado por dez andares 200.1 de registo e uma porta 202.1 OU exclusivo que está ligada aos andares do registo 200.1 de deslocamento de acordo com um polinómio gerador. Por conseguinte, de acordo com o conteúdo do registo 200.1 de deslocamento, um bit seguinte do registo de deslocamento é fornecido pela saída da porta 202.1 OU exclusivo ao submeter o conteúdo do registo  $R[0]$  de deslocamento e andar  $R[3]$  de registo à operação OU exclusivo. De acordo com o polinómio gerado, gera-se uma sequência pseudoaleatória de bits

a partir do conteúdo do registo 200.1 de deslocamento. No entanto, de modo a gerar um endereço para o modo 2k, como ilustrado, proporciona-se um circuito 210.1 de permutação que permuta, eficazmente, a ordem dos bits no interior do registo 200.1 de deslocamento desde uma ordem  $R'i[n]$  para uma ordem  $Ri[n]$  na saída do circuito 210.1 de permutação. Dez bits da saída do circuito 210.1 de permutação são, depois, introduzidos num canal 212.1 de ligação ao qual é adicionado um bit mais significativo, por meio de um canal 214.1, que é fornecido por um circuito 218.1 de mudança de estados. Um endereço de onze bits é, por conseguinte, gerado no canal 212.1. No entanto, de modo a assegurar a autenticidade de um endereço, um circuito 216.1 de verificação de endereço analisa o endereço gerado para determinar se excede o número máximo de sinais de portadora. Se for esse o caso, então, um sinal de controlo é gerado e introduzido, por meio de um canal 220.1 de ligação, numa unidade 224.1 de controlo. Se o endereço gerado exceder o número máximo de sinais de portadora, então, este endereço é rejeitado e um novo endereço regenerado para o símbolo particular.

Um gerador 102.2 de endereços para o modo 8k é mostrado na Figura 6. As partes do gerador de endereços para o modo 8k mostrado na Figura 6 correspondem às mostradas para o modo 2k e, desse modo, para evitar repetições, só se descrevem as diferenças essenciais entre a Figura 6 e Figura 5. Essencialmente, a diferença entre a Figura 6 e Figura 5 é que o registo 200.2 de deslocamento com realimentação linear tem doze andares de registo de modo a gerar um endereço entre 0 e 8191. De novo, o registo de deslocamento é formado ao submeter os andares de registo de deslocamento seleccionados à operação de OU exclusivo de acordo com o polinómio gerador. O endereço é, então, formado ao permutar a ordem dos bits no interior do

registo 200.2 de deslocamento que é determinada de acordo com uma ordem predeterminada. De novo, o polinómio gerador e a ordem de permutação são proporcionados para o modo 8k que difere do modo 2k.

Em resumo, para os modos 2k e 8k, define-se uma palavra  $R'_i$  de  $(N_r - 1)$  bits, com  $N_r = \log_2 M_{\max}$ , em que  $M_{\max} = 2048$  no modo 2K e  $M_{\max} = 8192$  no modo 8K, utilizando um LFSR (Registo de Deslocamento com Realimentação Linear).

Os polinómios utilizados para gerar esta sequência são os seguintes:

$$\text{modo 2K: } R'_i[9] = R'_{i-1}[0] \oplus R'_{i-1}[3]$$

$$\text{modo 8K: } R'_i[11] = R'_{i-1}[0] \oplus R'_{i-1}[1] \oplus R'_{i-1}[4] \oplus R'_{i-1}[6]$$

em que  $i$  varia de 0 a  $M_{\max} - 1$

Depois de uma palavra  $R'_i$  ter sido gerada, passa por uma permutação para produzir outra palavra de  $(N_r - 1)$  bits denominada  $R_i$ .  $R_i$  é derivada de  $R'_i$  pelas permutações de bits dadas nos quadros 1 e 2.

Quadro 2: Permutação de bits para o modo 2K

Posições de bits $R'_i$	9	8	7	6	8	4	3	1	1	0
Posições de bits $R_i$	0	7	5	1	8	2	6	9	3	4

Quadro 3: Permutação de bits para o modo 8K

Posições de bits $R'_i$	11	10	9	8	7	6	5	4	3	2	1	0
Posições de bits $R_i$	5	11	3	0	10	8	6	9	2	4	1	7

Como um exemplo, isto significa que, para o modo 2k, o número de bit 9 de  $R'_i$  é enviado na posição de bit número 0 de  $R_i$ .

O endereço  $H(q)$  é, depois, derivado de  $R_i$  através da equação seguinte:

$$H(q) = (i \bmod 2) \cdot 2^{N-1} + \sum_{j=0}^{N-2} R_i(j) \cdot 2^j$$

A parte  $(i \bmod 2) \cdot 2^{N-1}$  da equação acima está representada na Figura 5 e na Figura 6 pelo bloco T218 de mudança de estados.

Uma verificação de endereços é, depois, executada sobre  $H(q)$  para verificar se o endereço gerado está dentro do intervalo de endereços aceitáveis: se  $(H(q) < N_{\max})$ , em que  $N_{\max} = 1512$  no modo 2K e 6048 no modo 8K, então, o endereço é válido. Se o endereço não for válido, a unidade de controlo é informada e tentará gerar um novo  $H(q)$  incrementando o índice  $i$ .

A função do bloco de mudança de estados é garantir que não se gera um endereço excedendo  $N_{\max}$  duas vezes seguidas. De facto, se se gerar um valor em excesso, isto significa que o MSB (i. e., o bit de controlo) do endereço  $H(q)$  era um. Desse modo, o valor seguinte gerado terá um MSB com o valor de zero, garantindo a produção de um endereço válido.

As equações que se seguem resumem o comportamento global e ajudam a compreender a estrutura em circuito fechado deste algoritmo:

$$q = 0;$$

para (i = 0; i < M<sub>max</sub>; i = i + 1)

$$\{ H(q) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R_i(j) \cdot 2^j;$$

se (H(q) < N<sub>max</sub>) q = q + 1; }

#### Entrelaçador de Símbolos para o Modo 4k

De acordo com a presente técnica, um gerador 102.3 de endereços para o modo 4k é mostrado na Figura 7. De novo, o gerador de endereços da Figura 7 corresponde ao gerador de endereços mostrado nas Figuras 5 e 6 e, desse modo, só se irão discutir e explicar as diferenças entre estas Figuras. Como mostrado na Figura 7, o registo 200.3 de deslocamento com realimentação linear tem onze andares de registo de deslocamento. De novo, proporciona-se uma porta 202.3 de OU exclusivo para gerar a sequência pseudoaleatória de bits. A permutação do conteúdo do registo de deslocamento de modo a formar o endereço de um símbolo de dados de entrada para mapeamento sobre um dos sinais de portadora COFDM é proporcionada pelo circuito 210.3 de permutação.

O entrelaçador de símbolos age sobre blocos de N<sub>max</sub>=3024 símbolos de dados. (M<sub>max</sub>=4096).

O polinómio utilizado para gerar a sequência  $R'_i$  é:

$$R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$$

Um vector  $R_i$  é derivado do vector  $R'_i$  pela permutação de bits dada no Quadro 4.

Quadro 4: Permutação de bits para o modo 4K

Posições de bits $R'_i R_i$	10	9	8	7	6	5	4	3	2	1	0
Posições de bits $R_i R_i$	7	10	5	8	1	2	4	9	0	3	6

A entrada do entrelaçador é definida como o vector  $Y' = (y_0', y_1', y_2' \dots y_{N_{\max}-1}')$ .

O vector  $Y = (y_0, y_1, y_2, \dots y_{N_{\max}-1})$  entrelaçador é definido por:

$$yH(q) = y' q \text{ para símbolos pares, para } q=0, \dots, N_{\max}-1$$

$$yq = y' H(q) \text{ para símbolos ímpares, para } q=0, \dots, N_{\max}-1$$

### Receptor

A Figura 8 proporciona uma ilustração exemplificativa de um receptor que pode ser utilizado com a presente técnica. Como mostrado na Figura 8, um sinal COFDM é recebido por uma antena 300 e detectado por um sintonizador 302 e convertido em forma digital por um conversor 304 analógico-digital. Um processador

306 de remoção de intervalos de guarda remove o intervalo de guarda de um símbolo COFDM recebido, antes de os dados serem recuperados do símbolo COFDM utilizando um processador 308 de Transformação de Fourier Rápida (FFT) em combinação com um estimador de canal e correcção 310 em cooperação com uma unidade 311 de descodificação de Sinalização de Parâmetros de Transmissão (TPS), de acordo com técnicas conhecidas. Os dados desmodulados são recuperados de um desmapeador 312 e introduzidos num desentrelaçador 314 de símbolos interno cuja função é efectuar o mapeamento inverso do símbolo de dados recebido para regenerar um fluxo de dados de saída com os dados desentrelaçados.

O desentrelaçador 314 de símbolos é formado a partir de um aparelho de processamento de dados, como mostrado na Figura 9, com uma memória 340 de entrelaçador e um gerador 342 de endereços. A memória de entrelaçador é a mostrada na Figura 4 e funciona como já explicado acima para efectuar o desentrelaçamento utilizando conjuntos de endereços gerados pelo gerador 342 de endereços. O gerador 342 de endereços é formado como mostrado na Figura 7 e está configurado para gerar endereços correspondentes para mapear os símbolos de dados recuperados de cada sinal de subportadora COFDM num fluxo de dados de saída.

As partes restantes do receptor COFDM mostrado na Figura 8 são proporcionadas para efectuar uma descodificação por correcção de erro e desentrelaçamento para corrigir erros e recuperar uma estimativa dos dados de fonte. Em particular, um desentrelaçador 316 de códigos interno e um descodificador 318 interno têm a função de efectuar a descodificação do código convolucional interno introduzido pelo entrelaçador 30 interno e

o codificador 28 interno do transmissor mostrado na Figura 1. Um desentrelaçador 320 externo e um descodificador 322 externo têm a função de efectuar a descodificação do código Reed-Solomon para recuperar uma estimativa dos dados da fonte 1, depois de serem desembaralhados por um desbaralhador 324.

Uma vantagem proporcionada pela presente técnica para o receptor e transmissor é que um entrelaçador de símbolos e um desentrelaçador de símbolos funcionando nos receptores e transmissores podem ser comutados entre os modos 2k, 8k e 4k alterando os polinómios geradores e a ordem de permutação. Proporciona-se, assim, uma implementação flexível porque um entrelaçador e desentrelaçador de símbolos podem ser formados como mostrado nas Figuras 4 e 9 com um gerador de endereços igual ao ilustrado nas Figuras 5, 6 ou 7. O gerador de endereços pode, por conseguinte, ser adaptado aos diferentes modos alterando os polinómios geradores e as ordens de permutação indicados para cada um dos modos 2k, 4k e 8k. Por exemplo, isto pode ser efectuado utilizando uma alteração de software. Em alternativa, noutras formas de realização, um sinal TPS embebido indicativo do modo da transmissão DVB-T pode ser detectado no receptor na unidade 311 de processamento de canal TPS e utilizado para configurar, automaticamente, o desentrelaçador de símbolos de acordo com o modo detectado.

As formas de realização descritas acima podem ser submetidas a várias modificações sem divergirem do âmbito da presente invenção. Em particular, a representação exemplificativa do polinómio gerador e da ordem de permutação que foi utilizada para representar aspectos da invenção não pretende ser limitativa e estende-se a formas equivalentes do polinómio gerador e da ordem de permutação.

Como se deve compreender, o transmissor e receptor mostrados nas Figuras 1 e 8, respectivamente, são proporcionados apenas a título ilustrativo e não pretendem ser limitativos. Por exemplo, deve compreender-se que a posição do entrelaçador e do desentrelaçador de símbolos em relação, por exemplo, ao entrelaçador de bits e ao mapeador e desmapeador pode ser alterada. Como se deve compreender, o efeito do entrelaçador e desentrelaçador não é alterado pela sua posição relativa, embora o entrelaçador possa estar a entrelaçar símbolos I/Q em vez de v vectores de bit. Pode fazer-se uma alteração correspondente no receptor. Consequentemente, o entrelaçador e desentrelaçador podem estar a funcionar com tipos de dados diferentes e podem ser posicionados diferentemente em relação à posição descrita nas formas de realização exemplificativas.

Como mencionado acima, formas de realização da presente invenção podem ser aplicadas com normas DVB, tais como DVH-T e DVB-H. Por exemplo, podem utilizar-se formas de realização da presente invenção num transmissor ou receptor que funcione de acordo com a norma DVB-H em terminais móveis de bolso. Os terminais móveis podem estar integrados em telemóveis (de segunda, terceira ou maior geração) ou Agendas Pessoais Digitais ou PC Tablet, por exemplo. Estes terminais móveis podem estar aptos a receber sinais compatíveis com DVB-H ou DVB-T no interior de edifícios ou em movimento, por exemplo, em carros ou comboios, mesmo a alta velocidade. Os terminais móveis podem ser, por exemplo, alimentados por baterias, pela electricidade da rede pública ou por fontes de alimentação DC, ou alimentados pela bateria de um automóvel. Os serviços que podem ser proporcionados pela DVB-H podem incluir voz, envio e recepção de mensagens, pesquisa de internet, rádio, imagens de vídeo paradas e/ou em movimento, serviços de televisão, serviços interactivos,

vídeo a pedido ou vídeo quase a pedido. Os serviços podem funcionar em combinação uns com os outros. Deve compreender-se que a presente invenção não está limitada à aplicação com DVB e pode ser aberta a outras normas para transmissão ou recepção, quer fixa quer móvel.

### **Referências**

[1] EN 300 744, "Framing structure, channel coding and modulation for digital terrestrial television", ETSI.

Lisboa, 30 de Agosto de 2010

## **REIVINDICAÇÕES**

1. Aparelho de processamento de dados com a função de mapear símbolos de entrada a transmitir sobre um número predeterminado de sinais de portadora de um símbolo OFDM, Multiplexado por Divisão Ortogonal de Frequência, compreendendo o aparelho de processamento de dados

uma memória de entrelaçador com a função de ler e extrair o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM e enviar os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio feito com uma ordem diferente da leitura e extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados nos sinais de portadora,

um gerador de endereços com a função de gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de entrada para indicar um dos sinais de portadora sobre o qual se vai mapear o símbolo de dados, compreendendo o gerador de endereços

um registo de deslocamento com realimentação linear incluindo um número predeterminado de andares de registo e com a função de gerar uma sequência pseudoaleatória de bits de acordo com um polinómio gerador,

um circuito de permutação com a função de receber o conteúdo dos andares de registo de deslocamento e permutar os bits presentes nos andares de registo de acordo com uma ordem de

permutação para formar um endereço de uma das portadoras OFDM e

uma unidade de controlo que funciona em combinação com um circuito de verificação de endereços para regenerar um endereço quando um endereço gerado excede um endereço válido máximo determinado pelo número predeterminado de portadoras, caracterizado por

o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis,

o registo de deslocamento com realimentação linear ter onze andares de registo com um polinómio gerador para o registo de deslocamento com realimentação linear de  $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ , e a ordem de permutação formar um endereço  $R_i[n]$  de onze bits para o símbolo de dados de ordem  $i$  a partir do bit presente no andar  $R_i[n]$  de registo de ordem  $n$  de acordo com o quadro:

$R'_i[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

2. Aparelho de processamento de dados de acordo com a reivindicação 1, em que a memória de entrelaçador tem a função de efectuar o mapeamento dos símbolos de dados de entrada sobre os sinais de portadora para símbolos OFDM pares ao ler e extrair os símbolos de dados de acordo com o conjunto de endereços gerado pelo gerador de endereços e enviá-los sequencialmente e, para símbolos OFDM ímpares, ler e extrair os símbolos para a memória, sequencialmente, e

enviar os símbolos de dados desde a memória de acordo com o conjunto de endereços gerado pelo gerador de endereços.

3. Transmissor para transmissão de dados utilizando Multiplexagem por Divisão Ortogonal de Frequência, OFDM, incluindo o transmissor um aparelho de processamento de dados de acordo com qualquer reivindicação anterior.
4. Transmissor como reivindicado na reivindicação 3, em que o transmissor tem a função de transmitir dados de acordo com a norma de Difusão Televisiva Digital Terrestre ou Difusão Televisiva Digital para Dispositivos Móveis.
5. Aparelho de processamento de dados com a função de desmapear símbolos recebidos de um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência, OFDM, num fluxo de símbolos de saída, compreendendo o aparelho de processamento de dados

uma memória de desentrelaçador com a função de ler e extrair o número predeterminado de símbolos de dados dos sinais de portadora OFDM e enviar os símbolos de dados para o fluxo de símbolos de saída para efectuar o desmapeamento, sendo o envio feito com uma ordem diferente da leitura e extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem desentrelaçados dos sinais de portadora OFDM,

um gerador de endereços com a função de gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de dados recebidos para indicar o sinal de portadora OFDM a partir do qual se vai desmapear o símbolo

de dados recebido para o fluxo de símbolos de saída, compreendendo o gerador de endereços

um registo de deslocamento com realimentação linear incluindo um número predeterminado de andares de registo e com a função de gerar uma sequência pseudoaleatória de bits de acordo com um polinómio gerador,

um circuito de permutação com a função de receber o conteúdo dos andares de registo de deslocamento e permutar os bits presentes nos andares de registo de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM e

uma unidade de controlo que funciona em combinação com um circuito de verificação de endereços para regenerar um endereço quando um endereço gerado excede um endereço válido máximo determinado pelo número predeterminado de portadoras, caracterizado por

o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis,

o registo de deslocamento com realimentação linear ter onze andares de registo com um polinómio gerador para o registo de deslocamento com realimentação linear de  $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ , e a ordem de permutação formar um endereço  $R_i[n]$  de onze bits para o símbolo de dados de ordem  $i$  a partir do bit presente no andar  $R_i[n]$  de registo de ordem  $n$  de acordo com o quadro:

$R'_i[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

6. Aparelho de processamento de dados como reivindicado na reivindicação 5, em que a memória de desentrelaçador está configurada para efectuar o desmapeamento dos símbolos de dados recebidos a partir dos sinais de portadora sobre o fluxo de dados de saída para símbolos OFDM pares ao ler e extrair os símbolos de dados de acordo com o conjunto de endereços gerado pelo gerador de endereços e, para símbolos OFDM ímpares, ler e extrair os símbolos para a memória de acordo com o conjunto de endereços gerado pelo gerador de endereços e enviar, sequencialmente, os símbolos de dados desde a memória.
7. Receptor para recepção de dados do sinal modulado utilizando Multiplexagem por Divisão Ortogonal de Frequência, OFDM, incluindo o receptor um aparelho de processamento de dados de acordo com qualquer das reivindicações 5 ou 6.
8. Receptor de acordo com a reivindicação 7, em que o receptor tem a função de receber dados que foram modulados de acordo com a norma de Difusão Televisiva Digital Terrestre ou para Dispositivos Móveis.
9. Método de mapeamento de símbolos de entrada a transmitir sobre um número predeterminado de sinais de portadora de um símbolo, Multiplexado por Divisão Ortogonal de Frequência, OFDM compreendendo o método  
ler e extrair o número predeterminado de símbolos de dados para mapeamento sobre os sinais de portadora OFDM,

enviar os símbolos de dados para as portadoras OFDM para efectuar o mapeamento, sendo o envio feito com uma ordem diferente da leitura e extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem entrelaçados nos sinais de portadora,

gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de entrada para indicar um dos sinais de portadora sobre o qual se vai mapear o símbolo de dados, compreendendo a geração do conjunto de endereços

a utilização de um registo de deslocamento com realimentação linear incluindo um número predeterminado de andares de registo para gerar uma sequência pseudoaleatória de bits de acordo com um polinómio gerador,

a utilização de um circuito de permutação com a função de receber o conteúdo dos andares de registo de deslocamento permutar os bits presentes nos andares de registo de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM e

regenerar um endereço quando um endereço gerado excede um endereço válido máximo determinado pelo número predeterminado de portadoras, caracterizado por

o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis,

o registo de deslocamento com realimentação linear ter onze andares de registo com um polinómio gerador para o registo de deslocamento com realimentação linear de  $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ , e a ordem de permutação formar um endereço  $R_i[n]$  de onze bits para o símbolo de dados de ordem  $i$  a partir do bit presente no andar  $R_i[n]$  de registo de ordem  $n$  de acordo com o quadro:

$R'_i[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

10. Método de desmapeamento de símbolos recebidos de um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência, OFDM, num fluxo de símbolos de saída, compreendendo o método

ler e extrair o número predeterminado de símbolos de dados dos sinais de portadora OFDM,

enviar os símbolos de dados para o fluxo de símbolos de saída para efectuar o desmapeamento, sendo o envio feito com uma ordem diferente da leitura e extracção, sendo a ordem determinada a partir de um conjunto de endereços, com o efeito de os símbolos de dados serem desentrelaçados dos sinais de portadora OFDM,

gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de dados recebidos para indicar o sinal de portadora OFDM a partir do qual se vai desmapear o

símbolo de dados recebido para o fluxo de símbolos de saída, compreendendo a geração do conjunto de endereços

a utilização de um registo de deslocamento com realimentação linear incluindo um número predeterminado de andares de registo para gerar uma sequência pseudoaleatória de bits de acordo com um polinómio gerador,

a utilização de um circuito de permutação para receber o conteúdo dos andares de registo de deslocamento e permutar os bits presentes nos andares de registo de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM e

regenerar um endereço quando um endereço gerado excede um endereço válido máximo determinado pelo número predeterminado de portadoras, caracterizado por

o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis,

o registo de deslocamento com realimentação linear ter onze andares de registo com um polinómio gerador para o registo de deslocamento com realimentação linear de  $R_i[10] = R_{i-1}[0] \oplus R_{i-1}[2]$ , e a ordem de permutação formar um endereço  $R_i[n]$  de onze bits para o símbolo de dados de ordem  $i$  a partir do bit presente no andar  $R_i[n]$  de registo de ordem  $n$  de acordo com o quadro:

$R'_i[n]$ para $n =$	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n =$	7	10	5	8	1	2	4	9	0	3	6

11. Gerador de endereços a utilizar com transmissão ou recepção de símbolos de dados entrelaçados sobre um número predeterminado de sinais de portadora de um símbolo Multiplexado por Divisão Ortogonal de Frequência, OFDM, tendo o gerador de endereços a função de gerar um conjunto de endereços, sendo gerado cada endereço para cada um dos símbolos de dados para indicar um dos sinais de portadora sobre o qual se vai mapear ou desmapear o símbolo de dados, compreendendo o gerador de endereços

um registo de deslocamento com realimentação linear incluindo um número predeterminado de andares de registo e com a função de gerar uma sequência pseudoaleatória de bits de acordo com um polinómio gerador,

um circuito de permutação com a função de receber o conteúdo dos andares de registo de deslocamento e permutar os bits presentes nos andares de registo de acordo com uma ordem de permutação para formar um endereço de uma das portadoras OFDM e

uma unidade de controlo que funciona em combinação com um circuito de verificação de endereços para regenerar um endereço quando um endereço gerado excede um endereço válido máximo determinado pelo número predeterminado de portadoras, caracterizado por

o número predeterminado de sinais de portadora OFDM ser um máximo de quatro mil e noventa e seis,

o registo de deslocamento com realimentação linear ter onze andares de registo com um polinómio gerador para o registo de deslocamento com realimentação linear de  $R'_i[10] = R'_{i-1}[0] \oplus R'_{i-1}[2]$ , e a ordem de permutação formar um endereço  $R_i[n]$  de onze bits para o símbolo de dados de ordem  $i$  a partir do bit presente no andar  $R_i[n]$  de registo de ordem  $n$  de acordo com o quadro:

$R'_i[n]$ para $n = 10$	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para $n = 7$	10	5	8	1	2	4	9	0	3	6

Lisboa, 30 de Agosto de 2010

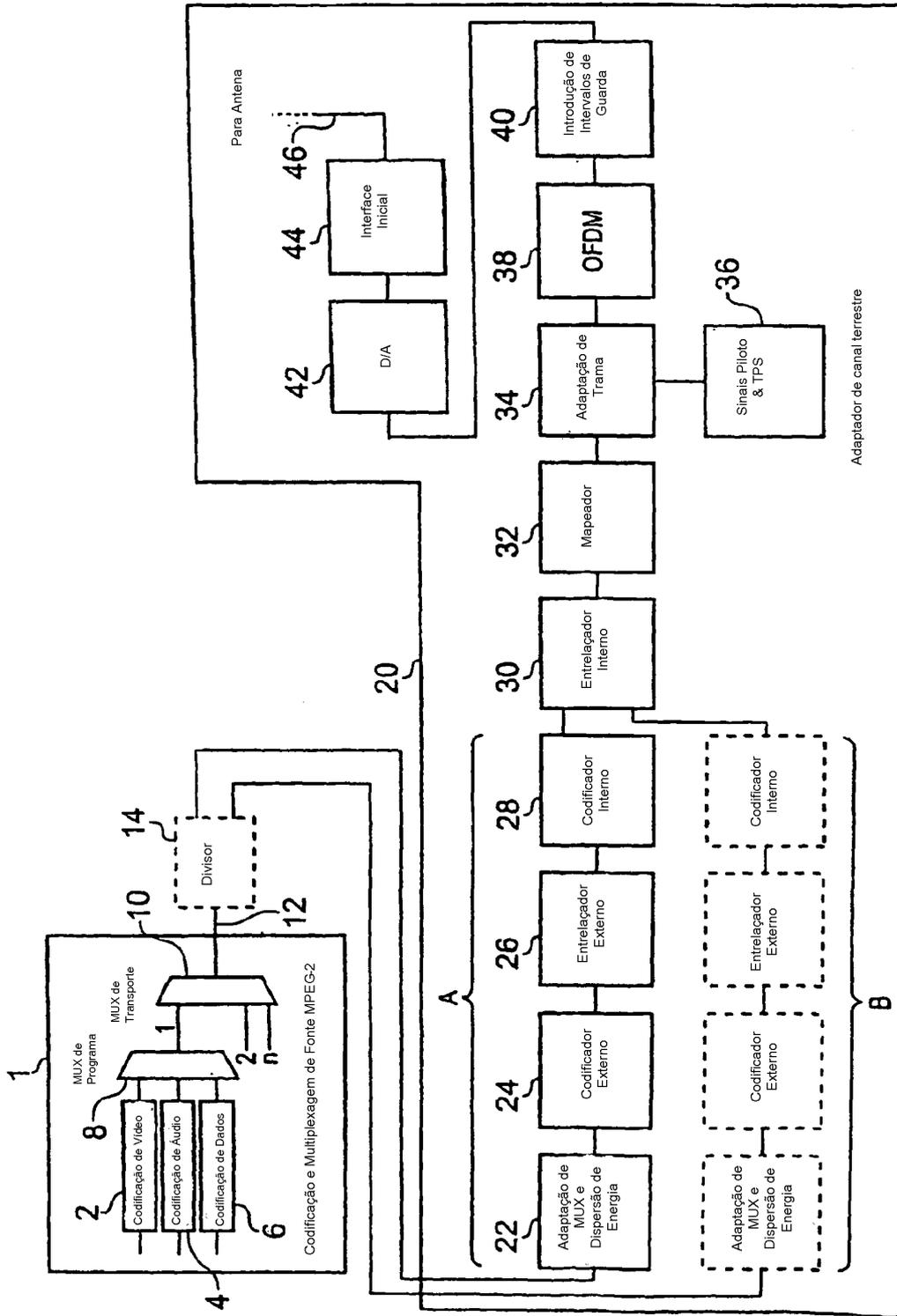


Fig. 1

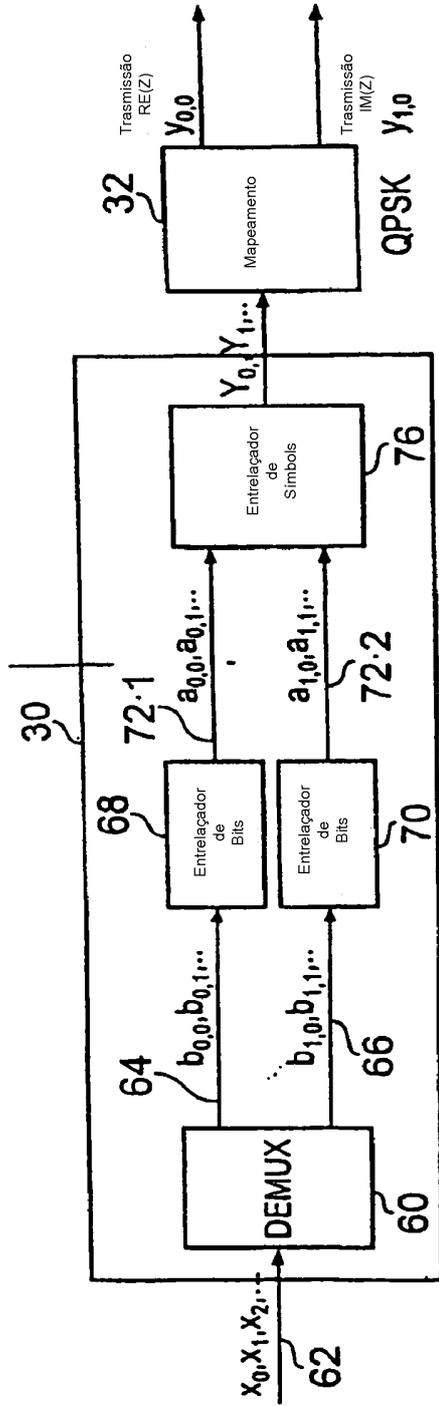


Fig. 2

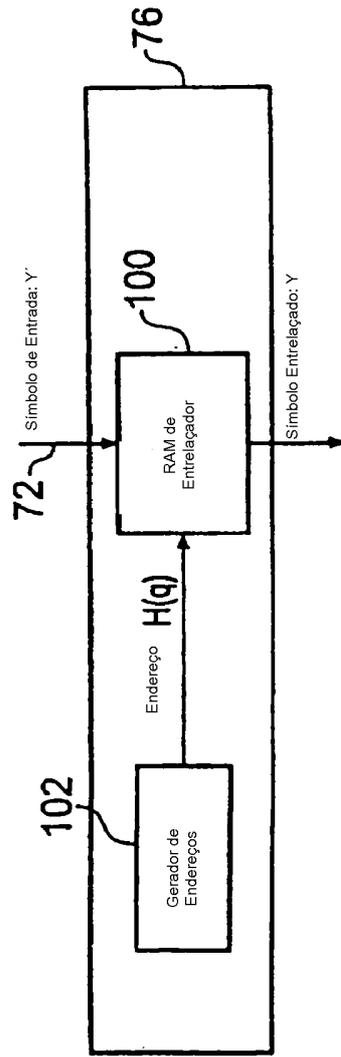


Fig. 3

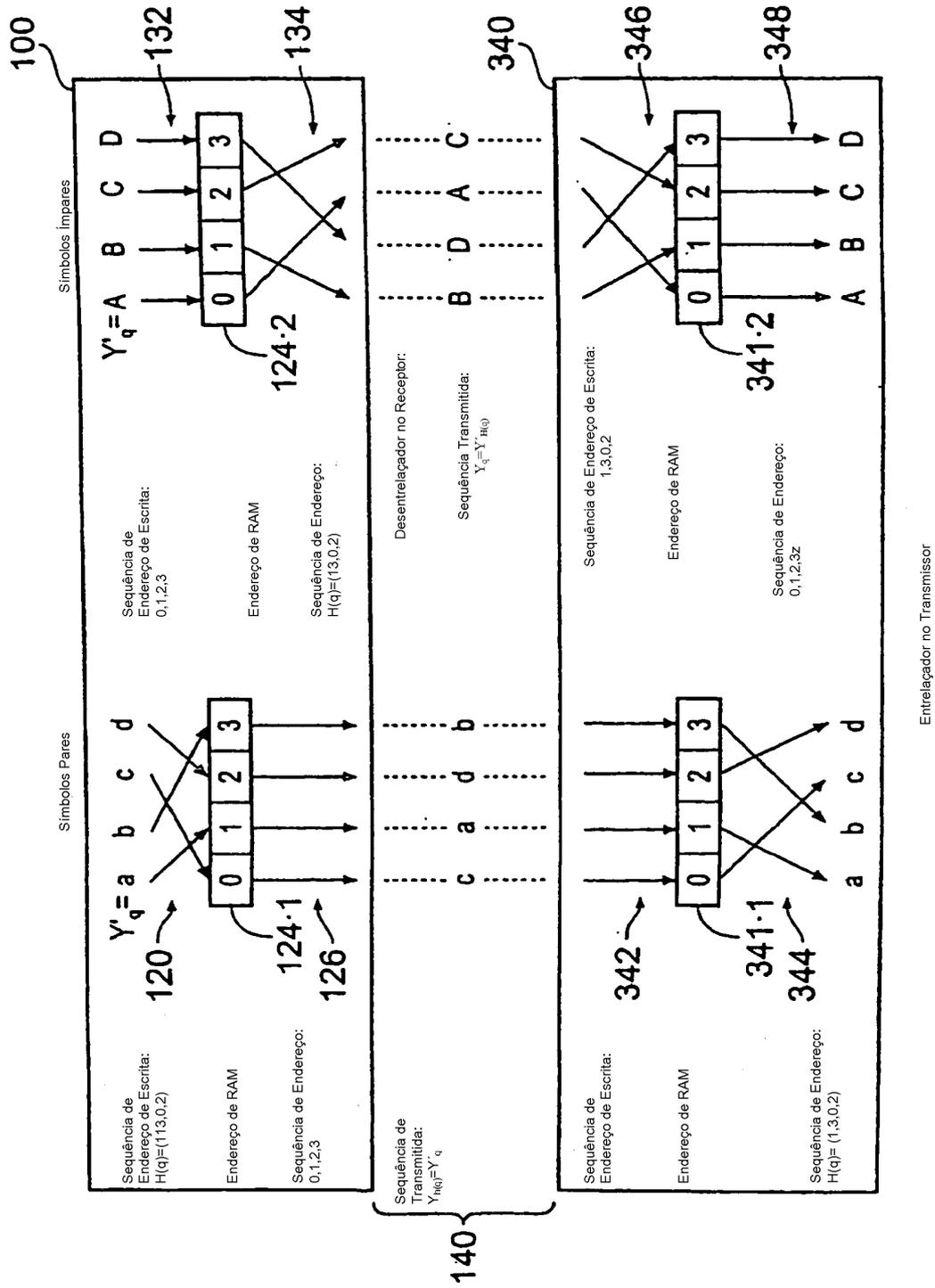
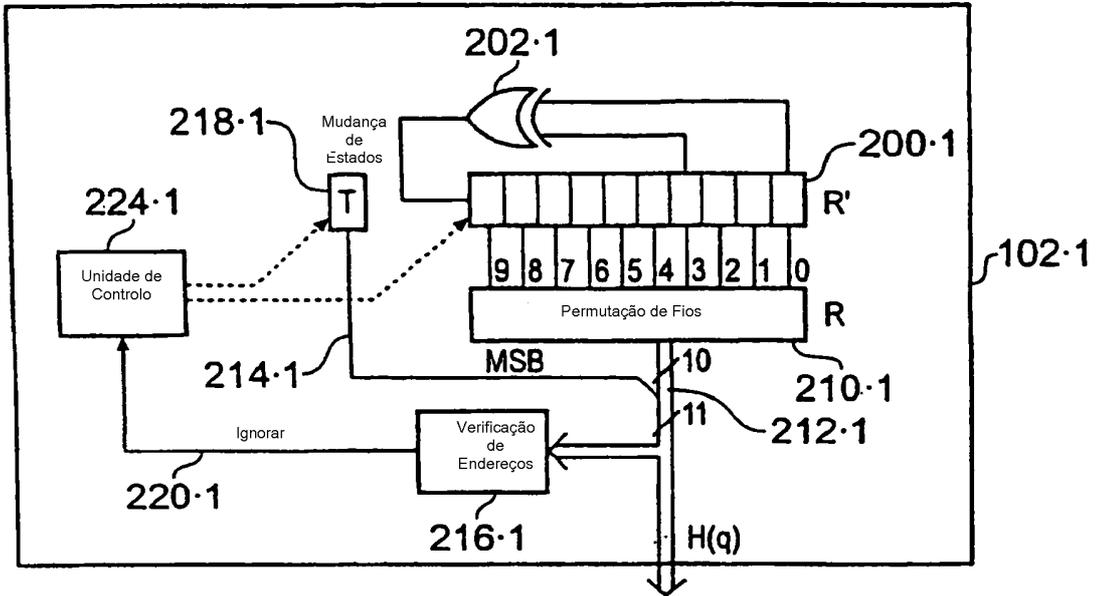
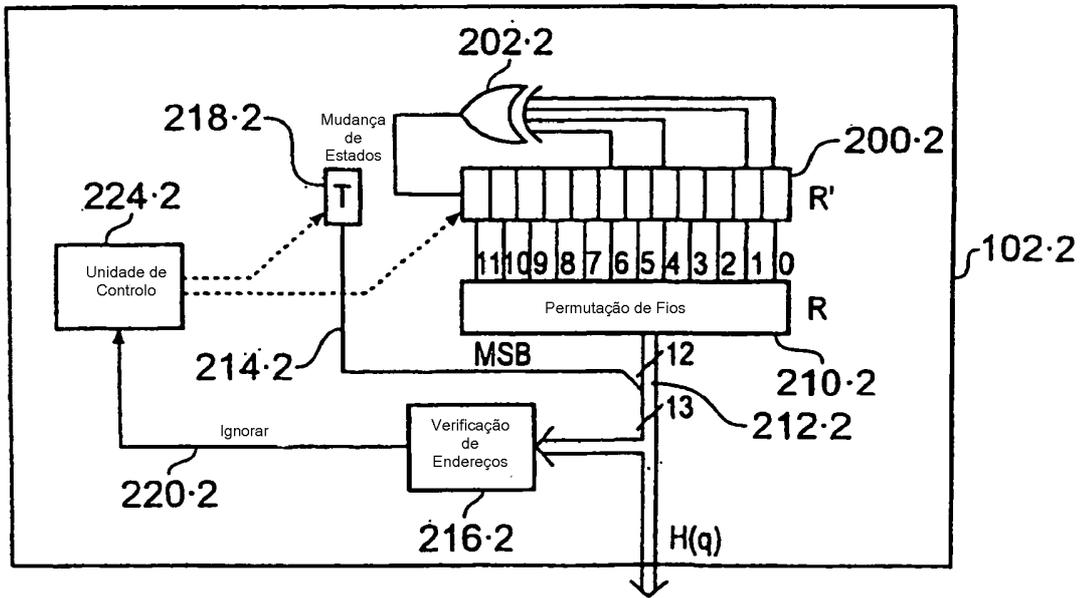


Fig. 4



Modo 2K

Fig. 5



Modo 8K

Fig. 6

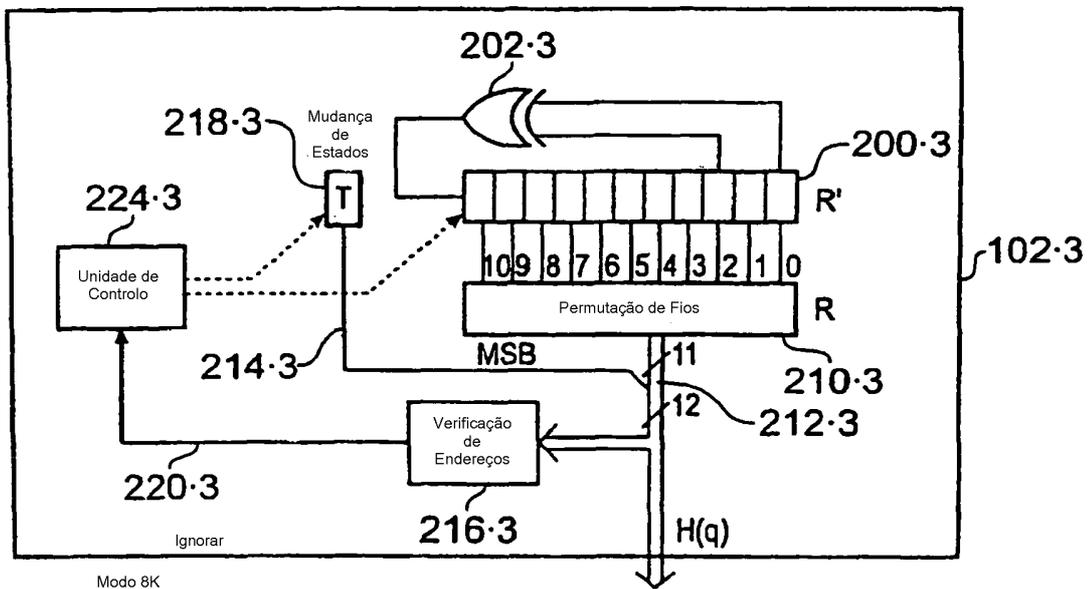


Fig. 7

