



(12)发明专利

(10)授权公告号 CN 104716124 B

(45)授权公告日 2018.02.06

(21)申请号 201310693671.6

审查员 肖瑶

(22)申请日 2013.12.17

(65)同一申请的已公布的文献号

申请公布号 CN 104716124 A

(43)申请公布日 2015.06.17

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 张步新 蔡孟峰

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 高伟 赵礼杰

(51)Int.Cl.

H01L 23/544(2006.01)

H01L 21/66(2006.01)

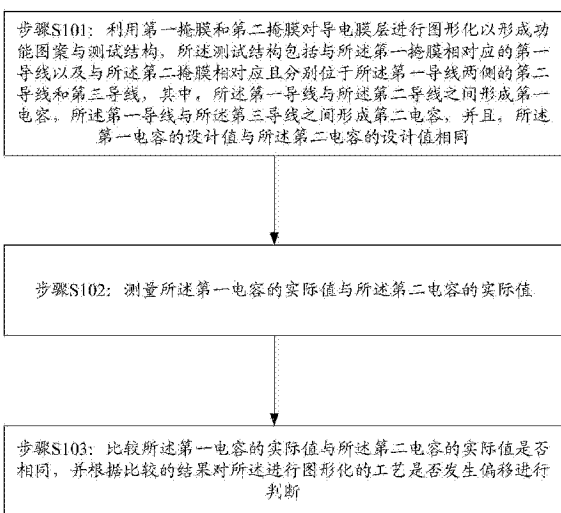
权利要求书3页 说明书9页 附图5页

(54)发明名称

一种测试方法和测试结构

(57)摘要

本发明提供一种测试方法和测试结构,涉及半导体技术领域。本发明的测试方法,通过形成包括设计值相同的至少两个电容的测试结构并对该至少两个电容的实际值进行比较,可以比较准确地判断进行图形化的工艺是否发生偏移,通过这一方法可以监测和控制交叠和间距问题,方法简单有效。本发明的测试结构,可以用于上述测试方法,对进行图形化的工艺是否发生偏移进行测试。



1. 一种测试方法,其特征在于,所述方法包括:

步骤S101:利用第一掩膜和第二掩膜对导电膜层进行图形化以形成功能图案与测试结构,所述测试结构包括与所述第一掩膜相对应的第一导线以及与所述第二掩膜相对应且分别位于所述第一导线两侧的第二导线和第三导线,其中,所述第一导线与所述第二导线之间形成第一电容,所述第一导线与所述第三导线之间形成第二电容,并且,所述第一电容的设计值与所述第二电容的设计值相同;

步骤S102:测量所述第一电容的实际值C1与所述第二电容的实际值C2;

步骤S103:比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

2. 如权利要求1所述的测试方法,其特征在于,在所述步骤S101中,所述导电膜层为同一导电膜层,所述第一掩膜和第二掩膜为双重图形技术中对同一导电膜层进行图形化时所采用的两个掩膜;或者,所述导电膜层包括上下两层不同的导电膜层,所述第一掩膜和第二掩膜分别为用于对下层导电膜层和上层导电膜层进行图形化的两个掩膜。

3. 如权利要求1所述的测试方法,其特征在于,

在所述步骤S101中,所述第一导线、所述第二导线与所述第三导线相互平行并沿X方向延伸,所述第一导线的端点延伸至所述第二导线的端点以及所述第三导线的端点之外以保证X方向的偏移不会造成所述第一电容的实际值C1以及所述第二电容的实际值C2的变化;并且,所述第三导线、所述第一导线与所述第二导线沿Y方向的正方向依次排列,其中Y方向为与X方向相垂直的方向;

在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在Y方向发生了位移。

4. 如权利要求3所述的测试方法,其特征在于,所述X方向为水平方向或竖直方向。

5. 如权利要求3所述的测试方法,其特征在于,在所述步骤S103中,还根据所述第一电容的实际值C1与所述第二电容的实际值C2对所述进行图形化的工艺在Y方向的实际偏移方向进行判断,其中,当C1大于C2时所述进行图形化的工艺沿Y方向的正方向偏移,当C1小于C2时所述进行图形化的工艺沿Y方向的负方向偏移,当C1等于C2时所述进行图形化的工艺沿Y方向不发生偏移。

6. 如权利要求3所述的测试方法,其特征在于,所述第一导线与所述第二导线的距离的设计值以及所述第一导线与所述第三导线的距离的设计值相同并且均为d,在所述步骤S103中,还根据所述第一电容的实际值C1与所述第二电容的实际值C2以及所述d计算所述进行图形化的工艺在Y方向的位移 $\Delta y$ ,其中, $\Delta y = [(C1 - C2) / (C1 + C2)] * d$ ,其中,d大于0,C1大于0,且C2大于0。

7. 如权利要求1所述的测试方法,其特征在于,在所述测试结构中,所述第一导线为U形结构,且所述U形结构的两个侧边平行于所述第二导线与所述第三导线。

8. 如权利要求1所述的测试方法,其特征在于,所述第一导线、第二导线和第三导线均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

9. 如权利要求1至8任一项所述的测试方法,其特征在于,

在所述步骤S101中,所述测试结构还包括第四导线以及位于所述第四导线两侧的第五导线和第六导线,所述第四导线与所述第五导线之间形成第三电容,所述第四导线与所述

第六导线之间形成第四电容,所述第三电容的设计值与所述第四电容的设计值相同,其中,所述第四导线与所述第一掩膜相对应,所述第五导线和所述第六导线与所述第二掩膜相对应,或者,所述第四导线与所述第二掩膜相对应,所述第五导线和所述第六导线与所述第一掩膜相对应;其中,所述第一导线与所述第二导线、所述第三导线相互平行并沿X方向延伸,所述第四导线与所述第五导线、所述第六导线相互平行并沿Y方向延伸,并且,所述X方向与所述Y方向垂直;

在所述步骤S102中,还测量所述第三电容的实际值C3与所述第四电容的实际值C4;

在所述步骤S103中,除比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同并据此对所述进行图形化的工艺是否沿Y方向发生偏移进行判断外,还比较所述第三电容的实际值C3与所述第四电容的实际值C4是否相同,并根据比较的结果对所述进行图形化的工艺是否沿X方向发生偏移进行判断。

10. 如权利要求9所述的测试方法,其特征在于,

在所述步骤S101中,所述第一导线的端点延伸至所述第二导线的端点以及所述第三导线的端点之外以保证X方向的偏移不会造成所述第一电容的实际值C1以及所述第二电容的实际值C2的变化;所述第四导线的端点延伸至所述第五导线的端点以及所述第六导线的端点之外以保证Y方向的偏移不会造成所述第三电容的实际值C3以及所述第四电容的实际值C4的变化;其中,所述第三导线、所述第一导线与所述第二导线沿Y方向的正方向依次排列,并且所述第六导线、所述第四导线与所述第五导线沿X方向的正方向依次排列;

在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在Y方向发生了位移;如果所述第三电容的实际值C3与所述第四电容的实际值C4不同,则所述进行图形化的工艺在X方向发生了位移。

11. 如权利要求10所述的测试方法,其特征在于,在所述步骤S103中,还根据所述第三电容的实际值C3与所述第四电容的实际值C4对所述进行图形化的工艺在X方向的实际偏移方向进行判断,其中,当C3大于C4时所述进行图形化的工艺沿X方向的正方向偏移,当C3小于C4时所述进行图形化的工艺沿X方向的负方向偏移,当C3等于C4时所述进行图形化的工艺沿X方向不发生偏移。

12. 如权利要求11所述的测试方法,其特征在于,所述第四导线与所述第五导线的距离的设计值以及所述第四导线与所述第六导线的距离的设计值相同并且均为L,在所述步骤S103中,还根据所述第三电容的实际值C3与所述第四电容的实际值C4以及所述L计算所述进行图形化的工艺在X方向的位移 $\Delta x$ ,其中, $\Delta x = [(C3 - C4) / (C3 + C4)] * L$ ,其中,L大于0,C3大于0,且C4大于0。

13. 一种测试结构,其特征在于,所述测试结构包括:第一导线以及分别位于所述第一导线两侧的第二导线和第三导线,其中,所述第一导线与所述第二导线之间形成第一电容,所述第一导线与所述第三导线之间形成第二电容。

14. 如权利要求13所述的测试结构,其特征在于,所述第一导线、所述第二导线与所述第三导线相互平行,所述第一导线的端点延伸至所述第二导线与所述第三导线的端点之外。

15. 如权利要求13所述的测试结构,其特征在于,所述第一导线为U形结构,且所述U形结构的两个侧边平行于所述第二导线与所述第三导线。

16. 如权利要求13所述的测试结构,其特征在于,所述第二导线与所述第三导线的长度相同。

17. 如权利要求13所述的测试结构,其特征在于,所述第一导线、所述第二导线和所述第三导线均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

18. 如权利要求13至17任一项所述的测试结构,其特征在于,所述测试结构还包括第四导线以及位于所述第四导线两侧的第五导线和第六导线,所述第四导线与所述第五导线之间形成第三电容,所述第四导线与所述第六导线之间形成第四电容;其中,所述第四导线与所述第五导线、所述第六导线相互平行,并且,所述第四导线与所述第一导线垂直。

19. 如权利要求18所述的测试结构,其特征在于,所述第四导线的端点延伸至所述第五导线与所述第六导线的端点之外。

## 一种测试方法和测试结构

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种测试方法和测试结构。

### 背景技术

[0002] 在半导体技术领域中,在28nm及以下技术节点的应用中,由于远紫外(EUV)光刻技术在批量生产中被搁置,双重图形技术(double patterning, DP)成为保持28nm及以下工艺节点技术进程的最被认可的图形化解决方案。双重图形技术(DP)是通过两个独立的曝光步骤来对同一膜层进行图案化,可以获得更小的图案间距。图1A至图1D示意了一种典型的双重图形技术方案,其中,图1A为拟实现的图案,图1B示意了将拟实现的图案分成两组的情况,图1C示意了通过第一次曝光实现的第一组图案,图1D示意了通过第二次曝光实现第二组图案,第一组图案和第二组图案共同构成了拟实现的图案。

[0003] 交叠(overlay),一般是指一个图案形成于在晶圆上已经存在的另一个图案之上,它会影响到图案(尤其后形成的图案)位置的准确度。在传统的单次曝光光刻工艺中,交叠(overlay)错误发生在不同膜层的图案之间。通过定义层间交互关系的设计规则(例如:金属延伸到过孔的规则),可以保证交叠错误这一问题不是十分严重,并能减少对交叠控制的需求。据悉,国际半导体技术蓝图(ITRS)估计的在单次曝光光刻技术中交叠的预算为最小特征尺寸的20%。

[0004] 由于双重图形技术中包括两个独立的曝光过程,交叠错误(overlay error)也可以发生在同一个膜层的图案之间。这样的交叠错误将会被有效地传递到关键尺寸(CD)变量,而关键尺寸(CD)变量会改变器件和布线的电学特性。在这种情况下,通过设计规则无法减轻这一变量问题,因为关键尺寸的预算已经非常小(国际半导体技术蓝图(ITRS)估计的预算为最小特征尺寸的7%)。如何满足对交叠控制的需求,被视为应用双重图形技术的重大挑战之一。

[0005] 由于设计规则(DR)缩减(shrink),对连续的晶圆级特征(features)和单一水平的独立特征的对准(例如:交叠和间距)的准确度的要求不断增长。为满足这些要求,需要对交叠(overlay)和间距(spacing)进行监测和控制。现有技术中存在着各种用于对不同图案之间是否存在交叠进行检测的电学测试结构和方法,其中,电阻和范德堡桥(Resistive and van der Pauw bridges)是一种常用的方法。在该方法中,为测试图案是否对准,需要形成桥(bridge)的元素。桥的结构被设计成当图案间精确对准时,测试的结果为空(null)。例如:当被比较的特征(指图案)上具有相等的电压时,即为图案间精确对准,不存在overlay的问题。然而,在这一方法中,特征(图案)上的待测的电压常常比较小,尤其当特征本身的电阻比较小的情况。由于特征上的用于检测特征的微小的误对准(misalignment)的电压通常比较小,因此,往往需要特别的设备(例如对电压敏感度高的设备)和技术来实现对电压的测量。此外,为了从测得的电压中获取特征(图案)误对准的数值,还需要大量的测试结构、测试程序和运算法则。

[0006] 由此可见,现有技术中的对图案是否存在交叠或间距是否发生变化进行测试的方

法,其方案往往比较复杂,而且在被测电压较小时将难以保证测试结果的准确性。因此,为了解决上述问题,本发明提出一种新的测试方法和测试结构。

## 发明内容

[0007] 针对现有技术的不足,本发明提供一种新的测试方法和测试结构,用于测试进行图形化的工艺是否发生偏移,即测试图案是否存在交叠或间距是否发生变化。

[0008] 本发明实施例一提供一种测试方法,所述方法包括:

[0009] 步骤S101:利用第一掩膜和第二掩膜对导电膜层进行图形化以形成功能图案与测试结构,所述测试结构包括与所述第一掩膜相对应的第一导线以及与所述第二掩膜相对应且分别位于所述第一导线两侧的第二导线和第三导线,其中,所述第一导线与所述第二导线之间形成第一电容,所述第一导线与所述第三导线之间形成第二电容,并且,所述第一电容的设计值与所述第二电容的设计值相同;

[0010] 步骤S102:测量所述第一电容的实际值C1与所述第二电容的实际值C2;

[0011] 步骤S103:比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

[0012] 其中,在所述步骤S101中,所述导电膜层为同一导电膜层,所述第一掩膜和第二掩膜为双重图形技术中对同一导电膜层进行图形化时所采用的两个掩膜;或者,所述导电膜层包括上下两层不同的导电膜层,所述第一掩膜和第二掩膜分别为用于对下层导电膜层和上层导电膜层进行图形化的两个掩膜。

[0013] 可选地,在所述步骤S101中,所述第一导线、所述第二导线与所述第三导线相互平行并沿X方向延伸,所述第一导线的端点延伸至所述第二导线的端点以及所述第三导线的端点之外以保证X方向的偏移不会造成所述第一电容的实际值C1以及所述第二电容的实际值C2的变化;并且,所述第三导线、所述第一导线与所述第二导线沿Y方向的正方向依次排列,其中Y方向为与X方向相垂直的方向;并且,在步骤S103中,如果所述第一电容的实际值C1与所述第二电容C2的实际值不同,则所述进行图形化的工艺在Y方向发生了位移。

[0014] 其中,所述X方向为水平方向或竖直方向。

[0015] 可选地,在所述步骤S103中,还根据所述第一电容的实际值C1与所述第二电容的实际值C2对所述进行图形化的工艺在Y方向的实际偏移方向进行判断,其中,当C1大于C2时所述进行图形化的工艺沿Y方向的正方向偏移,当C1小于C2时所述进行图形化的工艺沿Y方向的负方向偏移,当C1等于C2时所述进行图形化的工艺沿Y方向不发生偏移。

[0016] 可选地,所述第一导线与所述第二导线的距离的设计值以及所述第一导线与所述第三导线的距离的设计值相同并且均为d,在所述步骤S103中,还根据所述第一电容的实际值C1与所述第二电容的实际值C2以及所述d计算所述进行图形化的工艺在Y方向的位移 $\Delta y$ ,其中, $\Delta y = [(C1 - C2) / (C1 + C2)] * d$ ,其中,d大于0,C1大于0,且C2大于0。

[0017] 可选地,在所述测试结构中,所述第一导线为U形结构,且所述U形结构的两个侧边平行于所述第二导线与所述第三导线。

[0018] 可选地,所述第一导线、第二导线和第三导线均连接至焊盘区,且分别与第一焊盘、第二焊盘以及第三焊盘相连接。

[0019] 可选地,在所述步骤S101中,所述测试结构还包括第四导线以及位于所述第四导

线两侧的第五导线和第六导线,所述第四导线与所述第五导线之间形成第三电容,所述第四导线与所述第六导线之间形成第四电容,所述第三电容的设计值与所述第四电容的设计值相同,其中,所述第四导线与所述第一掩膜相对应,所述第五导线和所述第六导线与所述第二掩膜相对应,或者,所述第四导线与所述第二掩膜相对应,所述第五导线和所述第六导线与所述第一掩膜相对应;其中,所述第一导线与所述第二导线、所述第三导线相互平行并沿X方向延伸,所述第四导线与所述第五导线、所述第六导线相互平行并沿Y方向延伸,并且,所述X方向与所述Y方向垂直;

[0020] 在所述步骤S102中,还测量所述第三电容的实际值C3与所述第四电容的实际值C4;

[0021] 在所述步骤S103中,除比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同并据此对所述进行图形化的工艺是否沿Y方向发生偏移进行判断外,还比较所述第三电容的实际值C3与所述第四电容的实际值C4是否相同,并根据比较的结果对所述进行图形化的工艺是否沿X方向发生偏移进行判断。

[0022] 可选地,在所述步骤S101中,所述第一导线的端点延伸至所述第二导线的端点以及所述第三导线的端点之外以保证X方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化;所述第四导线的端点延伸至所述第五导线的端点以及所述第六导线的端点之外以保证Y方向的偏移不会造成所述第三电容的实际值以及所述第四电容的实际值的变化;其中,所述第三导线、所述第一导线与所述第二导线沿Y方向的正方向依次排列,并且所述第六导线、所述第四导线与所述第五导线沿X方向的正方向依次排列;

[0023] 在步骤S103中,如果所述第一电容的实际值C1与所述第二电容的实际值C2不同,则所述进行图形化的工艺在Y方向发生了位移;如果所述第三电容的实际值C3与所述第四电容的实际值C4不同,则所述进行图形化的工艺在X方向发生了位移。

[0024] 可选地,在所述步骤S103中,还根据所述第三电容的实际值C3与所述第四电容的实际值C4对所述进行图形化的工艺在X方向的实际偏移方向进行判断,其中,当C3大于C4时所述进行图形化的工艺沿X方向的正方向偏移,当C3小于C4时所述进行图形化的工艺沿X方向的负方向偏移,当C3等于C4时所述进行图形化的工艺沿X方向不发生偏移。

[0025] 可选地,所述第四导线与所述第五导线的距离的设计值以及所述第四导线与所述第六导线的距离的设计值相同并且均为L,在所述步骤S103中,还根据所述第三电容的实际值C3与所述第四电容的实际值C4以及所述L计算所述进行图形化的工艺在X方向的位移 $\Delta x$ ,其中, $\Delta x = [(C3 - C4) / (C3 + C4)] * L$ ,其中,L大于0,C3大于0,且C4大于0。

[0026] 本发明实施例二提供一种测试结构,包括:第一导线以及分别位于所述第一导线两侧的第二导线和第三导线,其中,所述第一导线与所述第二导线之间形成第一电容,所述第一导线与所述第三导线之间形成第二电容。

[0027] 可选地,所述第一导线、所述第二导线与所述第三导线相互平行,所述第一导线的端点延伸至所述第二导线与所述第三导线的端点之外。

[0028] 可选地,所述第一导线为U形结构,且所述U形结构的两个侧边平行于所述第二导线与所述第三导线。

[0029] 其中,所述第二导线与所述第三导线的长度相同。

[0030] 可选地,所述第一导线、第二导线和第三导线均连接至焊盘区,且分别与第一焊

盘、第二焊盘以及第三焊盘相连接。

[0031] 可选地,所述测试结构还包括第四导线以及位于所述第四导线两侧的第五导线和第六导线,所述第四导线与所述第五导线之间形成第三电容,所述第四导线与所述第六导线之间形成第四电容;其中,所述第四导线与所述第五导线、所述第六导线相互平行,并且,所述第四导线与所述第一导线垂直。

[0032] 可选地,所述第四导线的端点延伸至所述第五导线与所述第六导线的端点之外。

[0033] 本发明的测试方法,通过形成包括设计值相同的至少两个电容的测试结构并对该至少两个电容的实际值进行比较,可以比较准确地判断进行图形化的工艺是否发生偏移,通过这一方法可以监测和控制交叠和间距问题,方法简单有效。本发明的测试结构,可以用于上述测试方法,对进行图形化的工艺是否发生偏移进行测试。

### 附图说明

[0034] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0035] 附图中:

[0036] 图1A至图1D为一种双重图形技术的典型示意图;

[0037] 图2A、2A' 以及图2B、2B' 为本发明实施例一的测试方法形成的测试结构的示意性剖视图;

[0038] 图3为本发明实施例一的测试方法的一种示意性流程图;

[0039] 图4A为本发明实施例二的一种测试结构的示意性剖视图;

[0040] 图4B为本发明实施例二的另一种测试结构的示意性剖视图。

### 具体实施方式

[0041] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0042] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0043] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。



[0044] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0045] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用时,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0046] 这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样,可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此,本发明的实施例不应当局限于在此所示的区的特定形状,而是包括由于例如制造导致的形状偏差。例如,显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度,而不是从注入区到非注入区的二元改变。同样,通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此,图中显示的区实质上是示意性的,它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

[0047] 为了彻底理解本发明,将在下列的描述中提出详细的步骤以及详细的结构,以便阐释本发明提出技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0048] 实施例一

[0049] 下面,参照图2A、2A'以及图2B、2B'和图3来描述本发明实施例提出的测试方法。其中,图2A、2A'以及图2B、2B'为本发明实施例一的测试方法形成的测试结构的示意性剖视图;图3为本发明实施例一的测试方法的一种示意性流程图。

[0050] 本发明实施例的测试方法,包括如下步骤:

[0051] 步骤A1:利用第一掩膜和第二掩膜通过双重图形技术对导电膜层进行图形化以形成功能图案与测试结构。其中,所述测试结构如图2A所示,包括:与所述第一掩膜相对应的第一导线101以及与所述第二掩膜相对应且分别位于所述第一导线两侧的第二导线102和第三导线103。其中,所述第一导线101与所述第二导线102之间形成第一电容,所述第一导线101与所述第三导线103之间形成第二电容,并且,所述第一电容的设计值与所述第二电容的设计值相同。

[0052] 其中,功能图案是指用于实现半导体器件本身的功能的图案,该测试结构并非功能图案的一部分。

[0053] 其中,保证所述第一电容的设计值与所述第二电容的设计值相同的方案,可以通过保证第一导线101与第二导线102之间的重叠面积与间距分别和第一导线101与第三导线103之间的重叠面积与间距相同来实现。

[0054] 步骤A2:测量所述第一电容的实际值(记作C1)与所述第二电容的实际值(记作C2)。

[0055] 其中,测量所述第一电容的实际值与所述第二电容的实际值的方法,可以采用现有技术中的各种可行方案实现,此处不再赘述。

[0056] 步骤A3:比较所述第一电容的实际值C1与所述第二电容的实际值C2是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

[0057] 具体地,如果所述第一电容的实际值与所述第二电容的实际值不同,则可以认定所述进行图形化的工艺发生了偏移。需要解释的是,如果第一电容的实际值与所述第二电容的实际值相同,并不能判断得出进行图形化的工艺没有发生偏移,因为可能发生了沿着第一导线101(或第二导线102以及第三导线103)方向的偏移。

[0058] 下面,介绍一下本实施例的两种示例性的具体实现方式。

[0059] 实现方式一

[0060] 在步骤A1中,如图2A所示,第一导线101、第二导线102与第三导线103相互平行并沿X方向延伸,其中,X方向为水平方向;所述第一导线101的端点延伸至所述第二导线102的端点以及所述第三导线103的端点之外,以保证X方向的偏移不会造成所述第一电容的实际值以及所述第二电容的实际值的变化。

[0061] 其中,如图2A所示,第一导线101为U形结构,且所述U形结构的两个侧边平行于所述第二导线102与所述第三导线103。当然,第一导线101也可以为直线或其他形状。优选地,第二导线102与第三导线103的宽度与长度均相同。示例性地,第一导线101、第二导线102与第三导线103的排列方向为:沿Y方向的正方向依次为第三导线103、第一导线101、第二导线102,如图2A所示。

[0062] 可选地,所述第一导线101、第二导线102和第三导线103均连接至焊盘区(图中未示出),且分别与第一焊盘、第二焊盘以及第三焊盘相连接。这一结构可以便于对第一导线101、第二导线102和第三导线103施加电流或电压信号。

[0063] 在步骤A2中,测量所述第一电容的实际值与所述第二电容的实际值。

[0064] 在步骤A3中,比较第一电容的实际值与第二电容的实际值。如果所述第一电容的实际值与所述第二电容的实际值不同,则所述进行图形化的工艺在Y方向发生了位移,其中,Y方向为与X方向相垂直的方向。

[0065] 如图2A'所示,将所述进行图形化的工艺在Y方向的位移记作 $\Delta y$ ,假定第一导线101与第二导线102的距离的设计值以及第一导线101与第三导线103的距离的设计值相同并且均为d(d大于0),如果测得的第一电容的实际值为C1,第二电容的实际值为C2(显然C1和C2均大于0),则 $\Delta y = [(C1 - C2) / (C1 + C2)] * d$ 。其中, $\Delta y$ 可以为正值也可以为负值,当 $\Delta y$ 为正值时,表示所述进行图形化的工艺在沿Y方向的正方向发生了位移(如图2A'所示);而当 $\Delta y$ 为负值时,则表示所述进行图形化的工艺在沿Y方向的负方向发生了位移。显然,图2A'示出的是沿Y方向的正方向发生了位移的情形,此时C1大于C2。也就是说,在本实施例中,可以根据C1与C2的大小,判断进行图形化的工艺沿Y方向的偏移方向,即,是沿Y方向的正方向偏移还是沿Y方向的负方向偏移。具体地,当C1大于C2时,进行图形化的工艺沿Y方向的正方向偏移;当C1小于C2时,进行图形化的工艺沿Y方向的负方向偏移。

[0066] 也就是说,根据测得的第一电容与第二电容的实际值的不同,可以判断在Y方向

(即, 竖直方向) 发生了位移, 并可以判断出沿Y方向的偏移方向(即, 是沿Y方向的正方向偏移还是沿Y方向的负方向偏移)。再结合第一导线101与第二导线102的距离的设计值以及第一导线101与第三导线103的距离的设计值, 则可以计算出在Y方向的位移大小。

[0067] 此外, X方向也可以为竖直方向, Y方向为水平方向; 或者, X方向为其他任意方向, Y方向为与X方向垂直的方向。此时可以根据测得的第一电容与第二电容的实际值的不同, 判断在水平方向发生了位移。并可以结合第一导线101与第二导线102的距离的设计值以及第一导线101与第三导线103的距离的设计值, 计算出在水平方向的位移大小。具体计算方法与上述相同, 此处不再赘述。

[0068] 实现方式二

[0069] 在步骤A1中, 如图2B所示, 所述测试结构还包括第四导线104以及位于所述第四导线两侧的第五导线105和第六导线106, 其中, 第四导线104与第五导线105、第六导线106相互平行并沿垂直于第一导线101的方向即Y方向延伸(图2B未示出第一导线101、第二导线102以及第三导线103), 第四导线104与第五导线105之间形成第三电容, 第四导线104与第六导线106之间形成第四电容, 所述第三电容的设计值与所述第四电容的设计值相同。其中, 第四导线104与第一掩膜相对应, 第五导线105和第六导线106与第二掩膜相对应, 或者, 第四导线104与第二掩膜相对应, 第五导线105和第六导线106与所述第一掩膜相对应。

[0070] 其中, 第四导线104的端点延伸至第五导线105的端点以及第六导线106的端点之外以保证Y方向的偏移不会造成第三电容的实际值以及第四电容的实际值的变化。示例性地, 第四导线104、第五导线105与第六导线106的排列方向为: 沿X方向的正方向依次为第六导线106、第四导线104、第五导线105, 如图2B所示。

[0071] 其中, 所述第四导线104、第五导线105以及第六导线106可以均连接至焊盘区(图中未示出), 且分别与第四焊盘、第五焊盘以及第六焊盘相连接。这一结构可以便于对第四导线104、第五导线105以及第六导线106施加电流或电压信号。

[0072] 在步骤A2中, 除测量第一电容与第二电容的实际值之外, 还测量所述第三电容的实际值(记作C3)与所述第四电容的实际值(记作C4);

[0073] 在步骤A3中, 还比较第三电容的实际值(记作C3)与第四电容的实际值(记作C4)是否相同, 并根据比较的结果对所述进行图形化的工艺是否在X方向发生偏移进行判断。如果第三电容的实际值与第四电容的实际值不同, 则所述进行图形化的工艺在X方向发生了位移。其中, 图2B' 示意了在X方向发生位移的情况。计算进行图形化的工艺在X方向发生的位移大小的方法, 与上述实现方式一相同。

[0074] 如图2B' 所示, 将所述进行图形化的工艺在X方向的位移记作 $\Delta x$ , 假定第四导线104与第五导线105的距离的设计值以及第六导线106与第四导线104的距离的设计值相同并且均为L(L大于0), 如果测得的第三电容的实际值为C3, 第四电容的实际值为C4(显然C3和C4均大于0), 则 $\Delta x = [(C3 - C4) / (C3 + C4)] * L$ 。其中,  $\Delta x$ 可以为正值也可以为负值, 在本实施例中, 当 $\Delta x$ 为正值时, 表示所述进行图形化的工艺在沿X方向的正方向发生了位移(如图2B' 所示); 而当 $\Delta x$ 为负值时, 则表示所述进行图形化的工艺在沿X方向的负方向发生了位移。显然, 图2B' 示出的是沿X方向的正方向发生了位移的情形, 此时C3大于C4。也就是说, 在本实施例中, 可以根据C3与C4的大小, 判断进行图形化的工艺沿X方向的偏移方向, 即, 是沿X方向的正方向偏移还是沿X方向的负方向偏移。具体地, 当C3大于C4时, 进行图形化的工艺

沿X方向的正方向偏移;当C3小于C4时,进行图形化的工艺沿X方向的负方向偏移。其中,L优选与d相等。

[0075] 由于根据C1和C2可以判断是否在Y方向发生了偏移,以及当发生偏移时,判断沿Y方向的偏移方向(即,是沿Y方向的正方向偏移还是沿Y方向的负方向偏移),以及结合第一导线101与第二导线102的距离的设计值以及第一导线101与第三导线103的距离的设计值相同d计算在Y方向的位移大小;而根据C3和C4可以判断是否在X方向发生了偏移,以及当发生偏移时,判断沿X方向的偏移方向(即,是沿X方向的正方向偏移还是沿X方向的负方向偏移),以及结合第四导线104与第五导线105的距离的设计值以及第四导线104与第六导线106的距离的设计值相同L计算在X方向的位移大小;因此,可以客观判断进行图形化的工艺的实际偏移情况。

[0076] 至此,完成了本实施例的测试方法的介绍,该方法应用于双重图形技术之中。实际上,本实施例的测试方法还可以用于测试普通掩膜工艺,即,第一掩膜和第二掩膜用于对上下两层不同的导电膜层进行图形化,其中,测试结构中与所述第一掩膜相对应的第一导线101由下层导电膜层形成,与所述第二掩膜相对应且分别位于所述第一导线两侧的第二导线102和第三导线103由上层导电膜层形成。关于具体的测试方法,与上述方法相同,此处不再赘述。

[0077] 本实施例的测试方法,通过形成包括设计值相同的至少两个电容(包括第一电容和第二电容)的测试结构并对该至少两个电容的实际值进行比较,可以比较准确地判断进行图形化的工艺是否发生偏移,通过这一方法可以监测和控制交叠和间距问题,方法简单有效。

[0078] 图3示出了本发明实施例提出的一种测试方法的一种示意性流程图,用于简要示出该方法的典型流程。具体包括:

[0079] 步骤S101:利用第一掩膜和第二掩膜对导电膜层进行图形化以形成功能图案与测试结构,所述测试结构包括与所述第一掩膜相对应的第一导线以及与所述第二掩膜相对应且分别位于所述第一导线两侧的第二导线和第三导线,其中,所述第一导线与所述第二导线之间形成第一电容,所述第一导线与所述第三导线之间形成第二电容,并且,所述第一电容的设计值与所述第二电容的设计值相同;

[0080] 步骤S102:测量所述第一电容的实际值与所述第二电容的实际值;

[0081] 步骤S103:比较所述第一电容的实际值与所述第二电容的实际值是否相同,并根据比较的结果对所述进行图形化的工艺是否发生偏移进行判断。

[0082] 实施例二

[0083] 下面,参照图4A和图4B介绍本实施例的测试结构。其中,图4A为本发明实施例二的一种测试结构的示意性剖视图;图4B为本发明实施例二的另一种测试结构的示意性剖视图。

[0084] 本实施例的测试结构,用于测试进行图形化的工艺是否发生偏移,即测试图案是否存在交叠或间距是否发生变化。如图4A所示,该测试结构包括:第一导线101以及分别位于第一导线101两侧的第二导线102和第三导线103,其中,第一导线101与第二导线102之间形成第一电容,第一导线101与第三导线103之间形成第二电容。

[0085] 其中,所述第一导线101、所述第二导线102与所述第三导线103相互平行,所述第

一导线101的端点延伸至所述第二导线102与所述第三导线103的端点之外。其中,第一导线101的端点延伸至所述第二导线102与所述第三导线103的端点之外的作用是,保证沿第一导线方向的偏移不会造成第一电容的实际值以及第二电容的实际值的变化。

[0086] 可选地,第一导线101的形状为U形结构,且所述U形结构的两个侧边平行于第二导线102与第三导线103,如图4A所示。

[0087] 其中,第一导线101与第二导线102以及第三导线103可以为同层导电材料(例如金属)制得(用于测试双重图形技术的两次掩膜工艺是否对准),也可以为上下两层不同的导电材料制得(用于测试不同膜层间是否对准)。

[0088] 可选地,第二导线101与第三导线102的长度相同并且宽度也相同。

[0089] 在该测试结构中,第一导线101到第二导线102的距离与第一导线101到第三导线103的距离的设计值一般相同,但实际值则可能相同也可能不相同,具体需视图形化工艺是否发生偏移而定。

[0090] 可选地,所述第一导线101、第二导线102和第三导线103均连接至焊盘区(图中未示出),且分别与第一焊盘、第二焊盘以及第三焊盘相连接。这一结构可以便于对第一导线101、第二导线102和第三导线103施加电流或电压信号。

[0091] 进一步地,如图4B所示,所述测试结构还可以包括第四导线104以及位于所述第四导线两侧的第五导线105和第六导线106,所述第四导线104与所述第五导线105之间形成第三电容,所述第四导线104与所述第六导线106之间形成第四电容;其中,所述第四导线104与所述第五导线105以及所述第六导线106相互平行,并且,所述第四导线104与所述第一导线101垂直。为了表示简要,图4B未示出第一导线101。

[0092] 其中,第四导线104的端点延伸至第五导线105与第六导线106的端点之外。

[0093] 可选地,所述第四导线104、第五导线105以及第六导线106均连接至焊盘区(图中未示出),且分别与第四焊盘、第五焊盘以及第六焊盘相连接。这一结构可以便于对第四导线104、第五导线105以及第六导线106施加电流或电压信号。

[0094] 关于第四导线104、第五导线105以及第六导线106的结构,可以分别与第一导线101、第二导线102以及第三导线103的结构相同,此处不再赘述。

[0095] 其中,第一导线101的方向,可以为水平方向、竖直方向或其他各种方向。第四导线104的方向为与第一导线垂直的方向。为了示例,图4A中的第一导线101为水平方向,图4B中的第四导线104的方向为竖直方向。

[0096] 本实施例的测试结构,可以用于上述实施例一所述的测试方法,对进行图形化的工艺是否发生偏移进行测试,具有良好的技术效果。

[0097] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

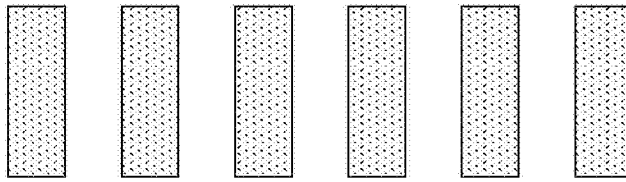


图1A

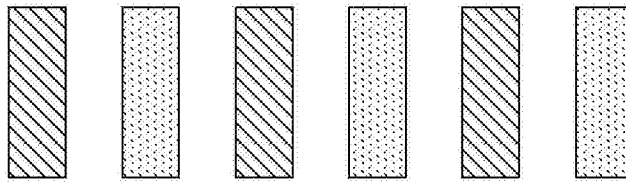


图1B

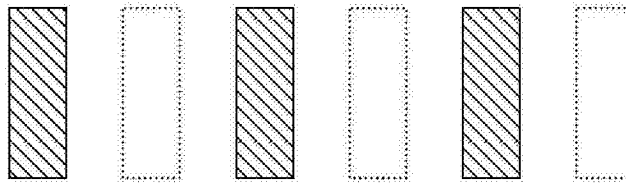


图1C

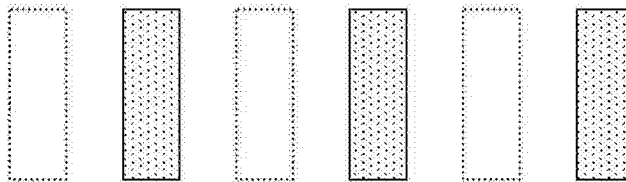


图1D

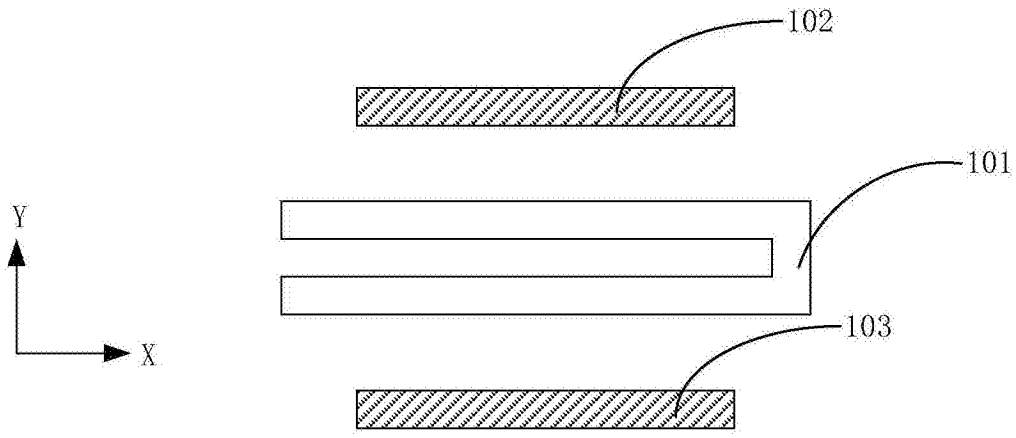


图2A

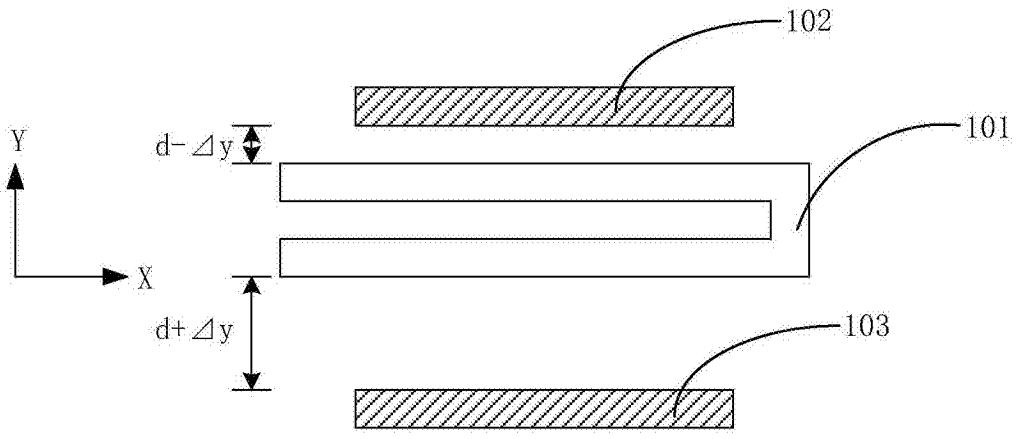


图2A'

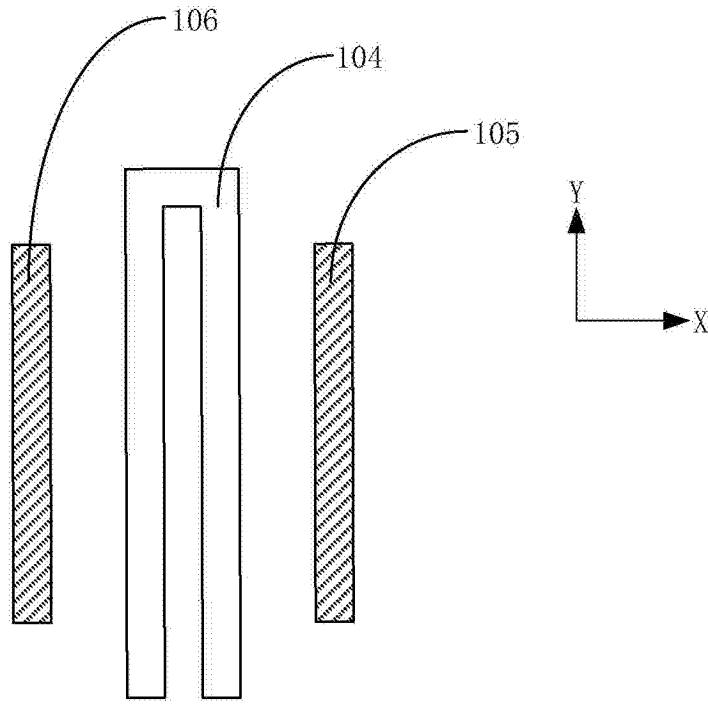


图2B

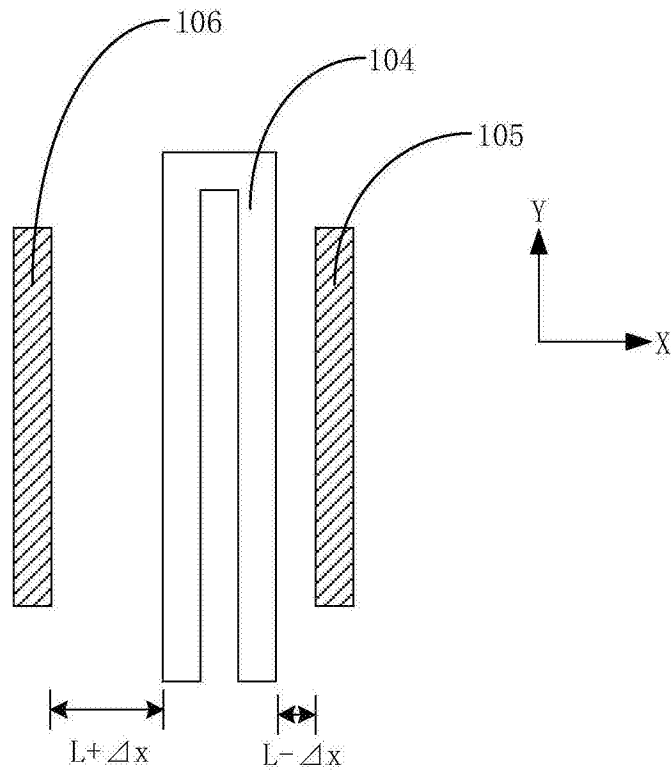


图2B'



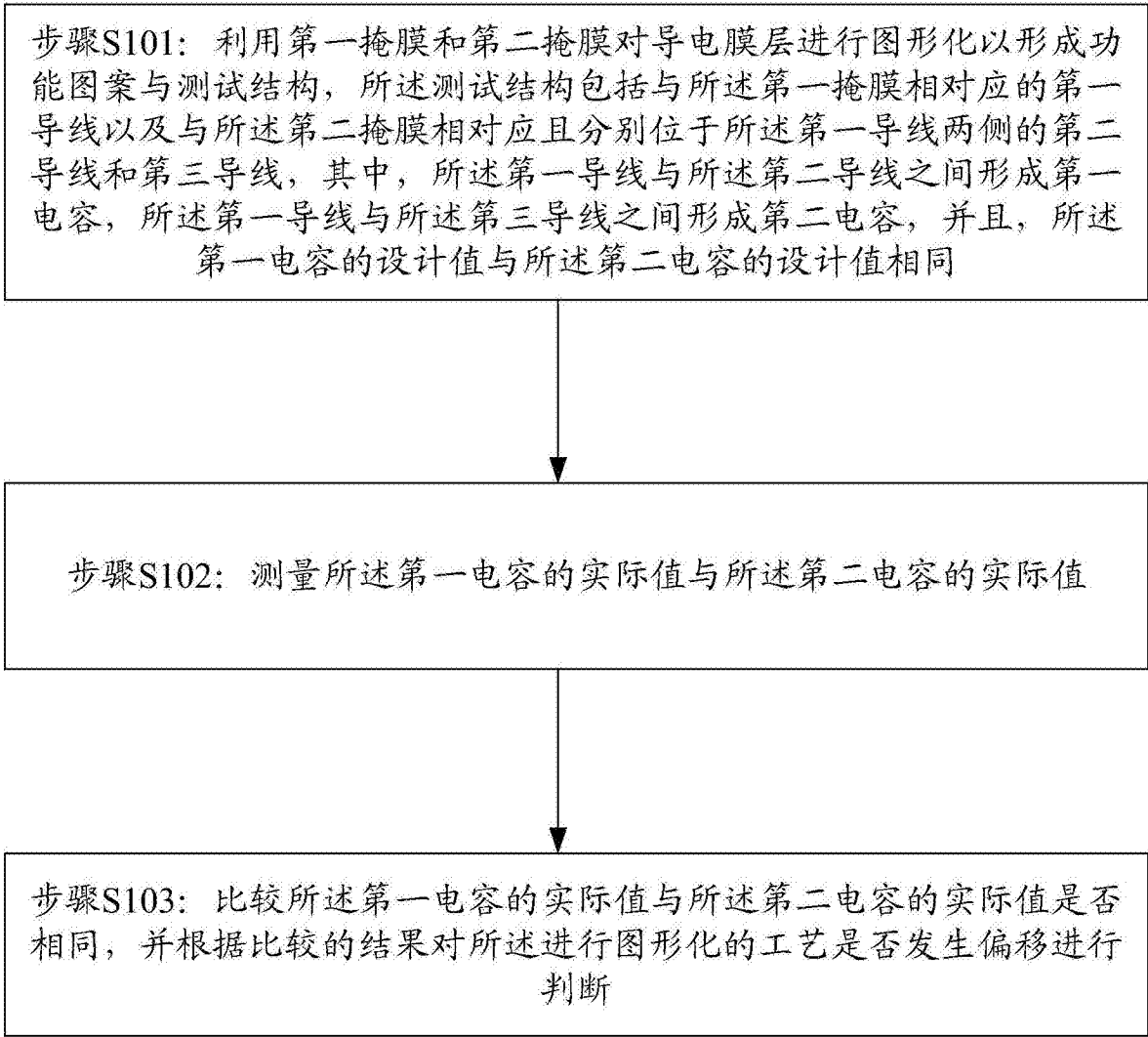


图3

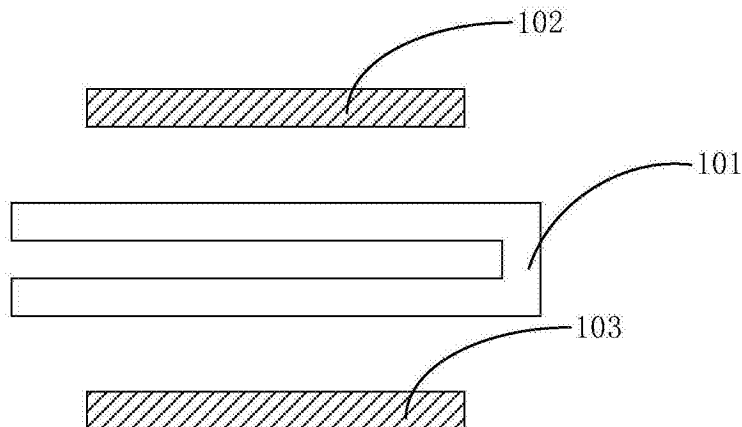


图4A

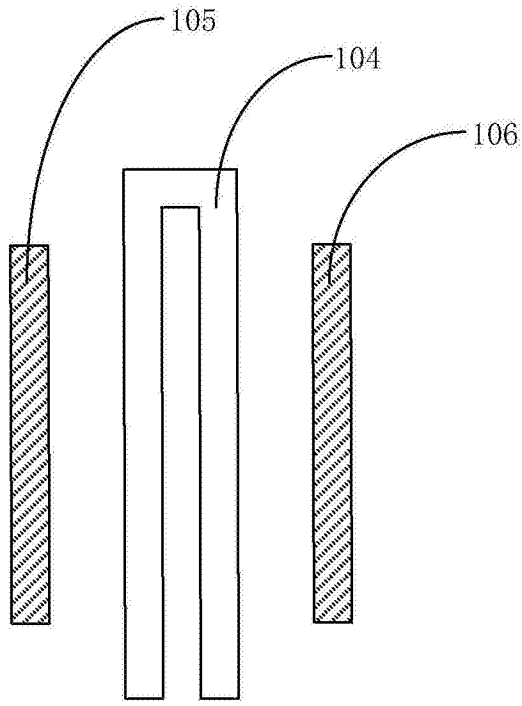


图4B