(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월31일
(11) 등록번호 10-2537710
(24) 등록일자 2023년05월24일

(51) 국제특허분류(Int. Cl.)
H05K 3/46 (2006.01) *H05K 1/03* (2006.01)
H05K 1/09 (2006.01) *H05K 1/11* (2006.01)
H05K 3/42 (2006.01)
(52) CPC특허분류
H05K 3/4623 (2013.01)
H05K 1/0306 (2013.01)
(21) 출원번호 10-2021-0069276
(22) 출원일자 2021년05월28일
심사청구일자 2021년05월28일
(65) 공개번호 10-2022-0160966
(43) 공개일자 2022년12월06일
(56) 선행기술조사문헌
JP11284349 A*
US20070155060 A1
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
(주)티에스이
충청남도 천안시 서북구 직산읍 군수1길 189
(72) 발명자
박두환
충청남도 천안시 서북구 직산읍 군수1길 189
김성준
충청남도 천안시 서북구 직산읍 군수1길 189
(뒷면에 계속)
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 9 항 심사관 : 양진석

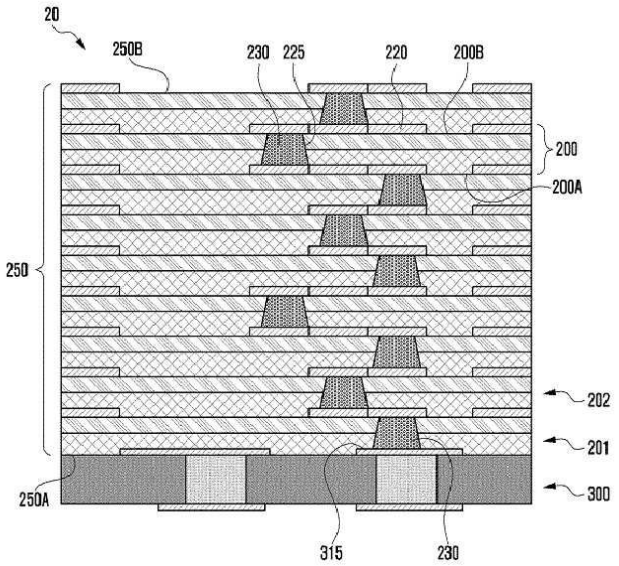
(54) 발명의 명칭 **일괄 접합 방식의 다층 회로기판 및 그 제조 방법**

(57) 요 약

본 발명은 세라믹 기판부; 및 상기 세라믹 기판부의 일면에 형성되는 단위 회로기판;을 포함하고, 상기 단위 회로기판은 일면에 회로패턴이 형성된 절연층; 상기 절연층의 타면에 접착되는 접착층; 상기 절연층과 상기 접착층을 관통하며 상기 회로패턴의 일면과 연결되는 비아홀; 및 상기 비아홀 내부에 채워지는 전도성 페이스트를 포함

(뒷면에 계속)

대 표 도 - 도3c



하는 것을 특징으로 하는 다층 회로기판을 제공한다.

본 발명의 일 실시예에 따른 일괄접합방식의 다층 회로기판 제조방법은 상기 단위 회로기판을 복수 개 포함하는 회로기판부를 제작하는 단계; 상기 세라믹 기판부를 제공하는 단계; 및 상기 회로기판부와 상기 세라믹 기판부를 일괄 접합하는 단계;를 포함할 수 있고, 각각의 상기 단위 회로기판을 제작하는 단계는, 일면에 회로층이 형성된 상기 절연층을 제공하는 단계; 상기 절연층의 타면에 접착되는 상기 접착층을 형성하는 단계; 상기 회로층의 일부를 제거 하여 상기 회로패턴을 형성하는 단계; 상기 절연층과 상기 접착층을 관통하며 상기 회로층의 일면과 연결되는 비아홀을 형성하는 단계; 및 상기 비아홀에 상기 전도성 페이스트를 채우는 단계를 포함할 수 있다.

(52) CPC특허분류
H05K 1/09 (2019.01)
H05K 1/115 (2013.01)
H05K 3/421 (2013.01)
H05K 2201/0154 (2013.01)
H05K 2201/09563 (2013.01)

(72) 발명자
서한얼
충청남도 천안시 서북구 직산읍 군수1길 189
박종근
충청남도 천안시 서북구 직산읍 군수1길 189
박금선
충청남도 천안시 서북구 직산읍 군수1길 189
김충현
충청남도 천안시 서북구 직산읍 군수1길 189

이 발명을 지원한 국가연구개발사업

과제고유번호	1425140426
과제번호	S2519610
부처명	중소벤처기업부
과제관리(전문)기관명	한국산업기술진흥원
연구사업명	WC300 프로젝트 기술개발지원사업
연구과제명	MEMS 기술을 이용한 극초미세 30㎛ pitch 및 초고속 32Gbps 반도체용 차세대 검사장치 개발
기 여 율	1/1
과제수행기관명	주식회사 티에스이
연구기간	2017.06.01 ~ 2021.12.31

명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

일괄접합방식의 다층 회로기판 제조방법에 있어서,

단위 회로기판을 복수 개 포함하는 회로기판부를 제작하는 단계;

세라믹 기판부를 제공하는 단계; 및

상기 회로기판부와 상기 세라믹 기판부를 일괄 접합하는 단계;를 포함하고,

각각의 상기 단위 회로기판을 제작하는 단계는,

일면에 회로층이 형성된 절연층을 제공하는 단계;

상기 절연층의 타면에 접착되는 접착층을 형성하는 단계;

상기 회로층의 일부를 제거 하여 회로패턴을 형성하는 단계;

상기 절연층과 상기 접착층을 관통하며 상기 회로패턴의 일면과 연결되는 비아홀을 형성하는 단계; 및

상기 비아홀에 전도성 페이스트를 채우는 단계;를 포함하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 7

제 6항에 있어서,

상기 절연층은 폴리이미드로 이루어지는 것을 특징으로 하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 8

제 6항에 있어서,

상기 절연층은 두께를 조절 가능한 것을 특징으로 하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 9

제 6항에 있어서,

상기 회로층은 구리로 이루어지는 것을 특징으로 하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 10

제 6항에 있어서,

상기 회로층의 일부를 제거하기 위해 포토리소그래피 공정 후 식각 공정을 이용하는 것을 특징으로 하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 11

제 6항에 있어서,

상기 단위 회로기판은 상기 비아홀을 복수 개 포함하는 것을 특징으로 하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 12

제 6항에 있어서,

상기 비아홀은 레이저 드릴을 이용하여 형성되는 것을 특징으로 하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 13

제 6항에 있어서,

상기 비아홀을 형성하는 단계 이후에 상기 비아홀을 세정하는 단계를 더 포함하는 일괄접합방식의 다층 회로기판 제조방법.

청구항 14

제 6항에 있어서,

상기 일괄접합단계는,

상기 회로기판부 및 상기 세라믹 기판부의 일측과 타측을 지지부재로 고정하는 단계;

상기 회로기판부의 일면과 상기 세라믹 기판부의 일면을 가열 및 가압하여 상기 회로기판부와 상기 세라믹 기판부를 접합하는 단계; 및

상기 지지부재를 제거하는 단계;를 포함하는 일괄접합방식의 다층 회로기판 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 일괄 접합 방식의 다층 회로기판 및 다층 회로기판을 제조하는 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 공정의 미세화와 소자의 고집적화에 따라 프로브 핀(probe pin) 수 증가와 패드 크기 감소 및 파인 피치(fine pitch)화가 요구되고 있어 다층(multi layer) 기판 개발이 필요하다. 반도체 소자 회로의 복잡성과 밀도 증가로 인해 기술적, 설계적으로 한계를 도전 받고 있어 테스트 채널 확장을 위해서는 회로층 증가를 피할 수 없다

[0003] 회로층의 증가는 제조 소요시간(TAT : turn around time) 및 제품 제조의 난이도 증가 요인이 될 뿐만 아니라 회로층 증가에 의한 평탄도 문제를 야기한다.

[0004] 종래의 다층 회로기판 제조방법은 세라믹 기판 위에 액상 폴리이미드 또는 폴리이미드 시트를 순차적으로 형성하여 다층 회로기판을 제조하는 방식이다. 종래의 제조방법에 따르면, 다층 회로기판의 각 층은 동일한 과정이 반복되어 제조될 수 있다. 다층 회로기판의 첫번째 층이 제조된 후, 첫번째 층 제조과정과 동일한 과정이 반복되어 첫번째 층의 상부에 두번째 층이 형성될 수 있다. 이러한 방식이 반복되어 세번째, 네번째 및 그 이상의 추가적인 회로기판층이 제조될 수 있다. 구체적으로는 각 층을 제조하는 과정에서 세라믹 기판의 일면에 액상 폴리이미드 코팅, 열접합 공정, 드릴 공정, 스퍼터링(sputtering) 공정, 드라이필름 포토레지스트를 이용한 회

로패턴 도금 공정, 식각 공정이 수행될 수 있다.

발명의 내용

해결하려는 과제

[0005] 종래 제조방법으로 제작된 다층 회로기판은 각 층이 평탄하게 구현되기 어렵다. 종래의 제조방법에 따르면, 다층 회로기판의 각 층의 제조과정에서 각각 열접합 공정을 수행된다. 그런데, 각 재료간 열팽창계수(CTE : coefficient of thermal expansion)에 차이가 있으므로, 각 재료가 가열될 경우 팽창의 정도에 차이가 생겨 열응력(thermal stress)에 의한 각 재료들의 굽힘(bending)이 발생하게 된다. 이러한 굽힘(bending)에 의한 부재들의 변형으로 인해 각 층을 평탄하게 구현하기 어려워진다.

[0006] 또한, 종래의 제조방법으로 다층 회로기판을 제조하는 경우 제작 기간이 상대적으로 길어지게 된다. 종래의 제조방법과 같이 세라믹 기판 위에 액상 폴리이미드를 한 개 층씩 쌓아 올리는 형식으로 회로기판을 제조하는 경우, 총 층수가 높아질수록 제조공정이 층의 개수만큼 반복되므로 회로기판의 제작 기간이 길어지게 된다.

[0007] 본 발명의 일 실시예에 따른 다층 회로기판 및 그 제조방법은 열접합 공정을 최소화하여 각 층이 평탄하게 구현된 다층 회로기판을 제공하고, 다층 회로기판의 제작 기간을 감축시키는데 목적이 있다.

과제의 해결 수단

[0008] 본 발명은 세라믹 기판부; 및 상기 세라믹 기판부의 일면에 형성되는 단위 회로기판;을 포함하고, 상기 단위 회로기판은 일면에 회로패턴이 형성된 절연층; 상기 절연층의 타면에 접착되는 접착층; 상기 절연층과 상기 접착층을 관통하며 상기 회로패턴의 일면과 연결되는 비아홀; 및 상기 비아홀 내부에 채워지는 전도성 페이스트를 포함하는 것을 특징으로 하는 다층 회로기판을 제공한다.

[0009] 본 발명의 일 실시예에 따른 일괄접합방식의 다층 회로기판 제조방법은 상기 단위 회로기판을 복수 개 포함하는 회로기판부를 제작하는 단계; 상기 세라믹 기판부를 제공하는 단계; 및 상기 회로기판부와 상기 세라믹 기판부를 일괄 접합하는 단계;를 포함할 수 있고, 각각의 상기 단위 회로기판을 제작하는 단계는, 일면에 회로층이 형성된 상기 절연층을 제공하는 단계; 상기 절연층의 타면에 접착되는 상기 접착층을 형성하는 단계; 상기 회로층의 일부를 제거 하여 상기 회로패턴을 형성하는 단계; 상기 절연층과 상기 접착층을 관통하며 상기 회로층의 일면과 연결되는 비아홀을 형성하는 단계; 및 상기 비아홀에 상기 전도성 페이스트를 채우는 단계를 포함할 수 있다.

발명의 효과

[0010] 본 발명은 다층 회로기판의 각 층을 동시에 제작 가능하도록 하여 다층 회로기판의 제작기간을 단축 할 수 있다. 또한, 본 발명은 각 층을 동시 제작한 후에 일괄적으로 접합하는 방식이므로 종래에는 각 층별로 수행하였던 열 공정을 최종 단계에서 한 번만 수행할 수 있다. 열 공정 최소화로 굽힘(Bending)에 의한 문제를 완화시켜 다층 회로기판을 평탄하게 구현할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 단위 회로기판을 나타내는 단면도이다.

도 2는 본 발명의 일 실시예에 따른 세라믹 기판부를 나타내는 단면도이다.

도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 다층 회로기판을 나타내는 단면도이다.

도 4는 본 발명의 일 실시예에 따른 다층 회로기판의 제조방법을 나타내는 순서도이다.

도 5a 내지 도 5b는 본 발명의 일 실시예에 따른 단위 회로기판을 제작하는 과정을 나타내는 설명도이다.

도 6은 본 발명의 일 실시예에 따른 회로기판부 및 세라믹 기판부을 배치한 모습을 나타내는 단면도이다.

도 7은 본 발명의 일 실시예에 따른 회로기판부 및 세라믹 기판부를 열압착하는 모습을 나타내는 설명도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 도 1은 본 발명의 일 실시예에 따른 단위 회로기판(200)을 나타내는 단면도이다.

[0013] 도 1을 참조하면, 본 발명의 일 실시예에 따른 단위 회로기판(200)은 절연층(205), 접착층(215), 회로패턴(220), 비아홀(via hole, 225) 및/또는 전도성 페이스트(conductive paste, 230)을 포함할 수 있다.

[0014] 절연층(205)은 단위 회로기판(200)에서 구조의 기본이 되는 기판의 역할의 할 수 있다. 절연층(205)은 폴리이미드를 포함할 수 있다. 폴리이미드는 높은 내열성을 지니며, 전기적 특성, 화학적 안정성 등이 우수하기 때문에 다층 회로기판(20, 도 3b)의 절연층(205)으로 사용될 수 있다.

[0015] 절연층(205)은 미리 정해진 두께를 지닐 수 있으며, 균일한 두께로 형성될 수 있다.

[0016] 다양한 실시예에서 절연층(205)은 절연층(205)의 적어도 일부에 회로패턴(220)이 결합할 수 있다. 절연층(205)의 제 1 면(205A)은 절연층(205)의 하부면이고, 절연층(205)의 제 2 면(205B)은 절연층(205)의 상부 면일 수 있다. 절연층(205)은 절연층(205)의 제 2 면(205B)(예를 들면, 절연층(205)의 상부면)에 회로패턴(220)이 결합할 수 있다.

[0017] 회로패턴(220)은 전도성 물질을 포함할 수 있다. 회로패턴(220)은 금, 니켈, 구리 중 어느 하나의 금속이나 이들의 합금으로 이루어질 수 있다. 회로패턴(220)은 전기 전도성, 내구성, 경제성 등을 종합적으로 고려하여 구리로 이루어지는 것이 바람직할 수 있다.

[0018] 절연층(205)은 절연층(205)의 제 1 면(205A)(예를 들면, 절연층(205)의 하부면)에 접착층(215)이 결합할 수 있다. 접착층(215)은 복수 개의 단위 회로기판(200)을 상호 접착하거나 단위 회로기판(200)과 세라믹 기판부(300, 도 2 참조)를 접착할 수 있다.

[0019] 접착층(215)은 열경화성 재질을 포함할 수 있다. 열을 받기 전의 접착층(215)은 유동성 접착 물질을 포함할 수 있다. 접착층(215)은 유동성 상태로 절연층(205)의 제 1 면(205A)(예를 들면, 절연층(205)의 하부면)에 1차적으로 고정될 수 있다. 열압착단계(도 7 참조)에서, 열경화성 재질을 포함한 접착층(215)은 가열을 받아 2차적으로 경화될 수 있다. 경화된 접착층(215)은 절연층(205)에 완전히 고정될 수 있다.

[0020] 접착층(215)은 절연층(205)의 제 1 면(205A)(예를 들면, 절연층(205)의 하부면)에 균일한 두께로 형성될 수 있다. 접착층(215)은 미리 정해진 두께를 지닐 수 있다.

[0021] 단위 회로기판(200)의 접착층(215)의 두께와 절연층(205)의 두께는 단위 회로기판(200)이 사용되는 장치의 특성에 맞게 조절될 수 있다.

[0022] 절연층(205)과 접착층(215)은 적어도 일부에 비아홀(225)을 포함할 수 있다. 비아홀(225)은 절연층(205)의 일면에 형성되어 있은 회로패턴(220)의 전부 또는 일부와 연결될 수 있다.

[0023] 비아홀(225)은 단위 회로 기판(200) 내에 복수 개 형성될 수 있다. 복수 개 형성된 각각의 비아홀(225)은 절연층(205)의 제 2 면(205B)에 형성되어 있은 회로패턴(220)의 전부 또는 일부와 연결될 수 있다.

[0024] 비아홀(225)은 전도성 페이스트(230)를 채울 수 있는 공간을 포함할 수 있다.

[0025] 전도성 페이스트(230)는 비아홀(225) 내부에 채워질 수 있다. 전도성 페이스트(230)는 전도성 물질을 포함할 수 있다. 예를 들면, 전도성 페이스트(230)는 구리와 주석 합금 물질을 포함할 수 있다.

[0026] 도 2는 본 발명의 일 실시예에 따른 세라믹 기판부(300)를 나타내는 단면도이다.

[0027] 본 발명의 일 실시예에 따른 세라믹 기판부(300)는 세라믹 기판(305), 세라믹 관통홀(310), 상부 도전층(315) 및/또는 하부 도전층(320)을 포함할 수 있다.

[0028] 세라믹 기판(305)은 세라믹 기판부(300) 구조의 기본이 되는 기판의 역할을 할 수 있다. 세라믹 기판(305)은 세라믹 물질을 포함할 수 있다. 세라믹 물질은 전기적 절연성 및 기계적 강도가 우수하고, 높은 열 저항성 및 화학에 대한 안정성을 지닐 수 있다.

[0029] 세라믹 기판(305)은 반도체에 사용되는 실리콘 웨이퍼(silicon wafer)와 열팽창계수(CTE : coefficient of thermal expansion)가 유사하여 반도체를 검사하는 용도로 사용될 수 있다.

[0030] 세라믹 기판(305)은 세라믹 관통홀(310)을 포함할 수 있다. 세라믹 관통홀(310)은 세라믹 기판(305) 내에 복수 개 형성될 수 있다. 세라믹 관통홀(310)은 상부 도전층(315)과 하부 도전층(320)을 전기적으로 연결하는 역할을 할 수 있다. 세라믹 관통홀(310)은 기계적 드릴 가공을 통해 형성될 수 있다.

[0031] 다양한 실시예에서, 세라믹 기판(305)의 적어도 일부에 상부 도전층(315) 및 하부 도전층(320)이 위치할 수 있

다. 세라믹 기판(305)의 제 1 면(305A)은 세라믹 기판(305)의 하부면이고, 세라믹 기판(305)의 제 2 면(305B)은 세라믹 기판(305)의 상부면일 수 있다. 세라믹 기판(305)은 세라믹 기판(305)의 제 1 면(305A)(예를 들면, 세라믹 기판(305)의 하부면)에 하부 도전층(320)이 위치할 수 있다. 세라믹 기판(305)은 세라믹 기판(305)의 제 2 면(305B)(예를 들면, 세라믹 기판(305)의 상부면)에 상부 도전층(315)이 위치할 수 있다.

[0032] 상부 도전층(315)과 하부 도전층(320)은 회로패턴(325)을 포함할 수 있다. 회로패턴(325)은 포토리소그래피공정, 도금공정 및 식각공정 등을 거쳐 형성될 수 있다.

[0033] 상부 도전층(315)과 하부 도전층(320)은 전도성 물질을 포함할 수 있다. 상부 도전층(315)과 하부 도전층(320)은 구리, 니켈, 금 중에서 어느 하나의 금속이나 이들의 합금으로 이루어질 수 있으며, 전기전도성, 내구성, 경제성 등을 종합적으로 고려하여 구리로 이루어지는 것이 바람직할 수 있다.

[0034] 세라믹 관통홀(310)의 제 1 개구(310A)는 세라믹 관통홀(310)의 하부 개구이고, 제 2 개구(310B)는 세라믹 관통홀(310)의 상부 개구일 수 있다. 하부 도전층(320)은 세라믹 관통홀(310)의 제 1 개구(310A)(예를 들면, 세라믹 관통홀(310)의 하부개구)에 형성될 수 있다. 상부 도전층(315)은 세라믹 관통홀(310)의 제 2 개구(310B)(예를 들면, 세라믹 관통홀(310)의 상부 개구)에 형성될 수 있다.

[0035] 도 3a 내지 도 3c는 본 발명의 일 실시예에 따른 다층 회로기판(20)을 나타내는 단면도이다.

[0036] 도 3a는 본 발명의 일 실시예에 따른 단위 회로기판(200) 및 세라믹 기판부(300)을 배치한 모습을 나타내는 단면도이다. 도 3b는 본 발명의 일 실시예에 따른 2개의 단위 회로기판(200) 및 세라믹 기판부(300)를 배치한 모습을 나타내는 단면도이다. 도 3c는 본 발명의 일 실시예에 따른 복수 개의 단위 회로기판(200) 및 세라믹 기판부(300)를 포함한 다층 회로기판을(20)을 나타내는 단면도이다.

[0037] 도 3a를 참조하면, 본 발명의 일 실시예에 따른 다층 회로기판(20, 도 3c 참조)은 1개의 단위 회로기판(200) 및 세라믹 기판부(300)를 포함할 수 있다.

[0038] 단위 회로기판(200)의 제 1 면(200A)은 단위 회로기판(200)의 하부면이고, 단위 회로기판(200)의 제 2 면(200B)은 단위 회로기판의 상부면일 수 있다. 단위 회로기판(200)은 단위 회로기판(200)의 제 1 면(200A)(예를 들면, 단위 회로기판(200)의 하부면)에 세라믹 기판부(300)가 위치할 수 있다.

[0039] 도 3b를 참조하면, 본 발명의 일 실시예에 따른 다층 회로기판(20, 도 3c 참조)은 2개의 단위 회로기판(200, 도 1 참조) 및 세라믹 기판부(300)를 포함할 수 있다. 예를 들면, 다층 회로기판(20, 도 3c 참조)은 제 1 회로기판(201), 제 2 회로기판(202) 및 세라믹 기판부(300)를 포함할 수 있다.

[0040] 제 1 회로기판(201)은 절연층(205), 접착층(215), 회로패턴(220), 비아홀(via hole, 225) 및/또는 전도성 페이스트(conductive paste, 230)을 포함할 수 있다.

[0041] 다양한 실시예에서, 제 1 회로기판(201)은 제 1 회로기판(201)의 적어도 일부에 제 2 회로기판(202) 또는 세라믹 기판부(300)가 결합할 수 있다. 제 1 회로기판(201)의 제 1 면(201A)은 제 1 회로기판(201)의 하부면이고, 제 1 회로기판(201)의 제 2 면(201B)은 제 1 회로기판(201)의 상부 면일 수 있다. 제 1 회로기판(201)은 제 1 회로기판(201)의 제 2 면(201B)(예를 들면, 제 1 회로기판(201)의 상부면)에 제 2 회로기판(202)이 위치할 수 있다. 제 1 회로기판(201)은 제 1 회로기판(201)의 제 1 면(201A)(예를 들면, 제 1 회로기판(201)의 하부면)에 세라믹 기판부(300)가 위치할 수 있다.

[0042] 제 2회로기판(202)은 절연층(265), 접착층(275), 회로패턴(280), 비아홀(via hole, 285) 및/또는 전도성 페이스트(conductive paste, 290)을 포함할 수 있다.

[0043] 제 2회로기판(202)의 절연층(265), 접착층(275), 회로패턴(280), 비아홀(285) 및 전도성 페이스트(290)는 각각 제 1회로기판(201)의 절연층(205), 접착층(215), 회로패턴(220), 비아홀(225) 및 전도성 페이스트(230)와 동일하게 기능할 수 있다.

[0044] 도 3c를 참조하면, 본 발명의 일 실시예에 따른 다층회로기판(20)은 복수 개의 단위 회로기판(200) 및 세라믹 기판부(300)를 포함할 수 있다.

[0045] 도 3c를 참조하면, 회로기판부(250)는 제 1 회로기판(201), 제 2 회로기판(202) 및 추가적인 단위 회로기판(200)을 포함할 수 있다. 즉, 본 발명의 일 실시예에 따른 회로기판부(250)는 복수 개의 단위 회로기판(200)을 포함할 수 있다.

[0046] 다양한 실시예에서, 회로기판부(250)는 회로기판부(250)의 적어도 일부에 세라믹 기판부(300)가 결합할 수 있다. 회로기판부(250)의 제 1 면(250A)은 회로기판부(250)의 최하부면이고, 제 2 면(250B)은 회로기판부(250)의 최상부면일 수 있다. 회로기판부(250)는 회로기판부(250)의 제 1 면(250A)(예를 들면, 회로기판부(250)의 최하부면)에 세라믹 기판부(300)가 결합할 수 있다.

[0047] 단위 회로기판(200)은 복수 개가 적층되어 배치될 수 있다. 다양한 실시예에서, 단위 회로기판(200)은 단위 회로기판(200)의 적어도 일부에 다른 단위 회로기판(200)이 결합할 수 있다. 단위 회로기판(200)은 제 1 면(200A)은 단위 회로기판(200)의 하부면이고, 단위 회로기판(200)의 제 2 면(200B)은 단위 회로기판의 상부면일 수 있다. 단위 회로기판(200)은 단위 회로기판(200)의 제 1 면(200A)(예를 들면, 단위 회로기판(200)의 하부면) 또는 제 2 면(200B)(예를 들면, 단위 회로기판(200)의 상부면)에 다른 단위 회로기판(200)이 결합할 수 있다.

[0048] 도 3c에서 각 단위 회로기판(200)은 비아홀(225) 및 전도성 페이스트(230)를 한 개만 포함한 것으로 도시하였으나, 비아홀(225) 및 전도성 페이스트(230)의 개수는 이에 한정되지 않는다. 즉, 각 단위 회로기판(200)은 비아홀(225) 및 전도성 페이스트(230)를 복수 개 포함할 수 있다.

[0049] 전도성 페이스트(230)는 각 단위 회로기판(200)에 포함된 회로패턴(220)의 전부 또는 일부와 만나는 위치에 형성될 수 있다. 예를 들면, 전도성 페이스트(230)는 단위 회로기판(200)의 제 2 면(200B)(상부면)에 형성된 회로패턴(220) 및 단위 회로기판(200)의 제 1 면(200A)(하부면)에 위치한 다른 단위 회로기판(200)의 회로패턴(220)과 만나는 위치에 형성될 수 있다. 전도성 페이스트(230)와 회로패턴(220)은 접촉하여 각각의 단위 회로기판(200)을 전기적으로 연결할 수 있다.

[0050] 세라믹 기판부(300)의 상부 도전층(315)은 회로기판부(250)의 제 1 면(250A)(예를 들면, 회로기판부(250)의 하부면)에 포함된 전도성 페이스트(230)와 만나는 위치에 형성될 수 있다. 전도성 페이스트(230)와 상부 도전층(315)은 접촉하여 세라믹 기판부(300)와 회로기판부(250)를 전기적으로 연결할 수 있다.

[0051] 도 4는 본 발명의 일 실시예에 따른 다층 회로기판(20, 도 3c 참조)의 제조방법을 나타내는 순서도이다.

[0052] 도 4를 참조하면, 본 발명의 일 실시예에 따른 다층회로기판(20, 도 3c 참조)의 제조방법은 회로기판부(250, 도 3c 참조)를 제작하고, 세라믹 기판부(300, 도 2 참조)를 제공하는 단계(S21); 회로기판부(250, 도 3c 참조) 및 세라믹 기판부(300, 도 2 참조)를 일괄 접합하는 단계(S22);를 포함한다.

[0053] S21 단계에서, 회로기판부(250, 도 3c 참조)를 제작할 수 있다. 회로기판부(250)는 복수 개의 단위 회로기판(200, 도 1 참조)을 포함하므로, 단위 회로기판(200, 도 1 참조)을 제작하는 과정(도 5a, 도 5b 참조)을 반복하여 회로기판부(250, 도 3c 참조)를 제작할 수 있다.

[0054] S21 단계에서, 세라믹 기판부(300, 도 2 참조)를 제공할 수 있다. 세라믹 기판부(300, 도 2 참조)는 세라믹 기판(305, 도 2 참조), 세라믹 관통홀(310, 도 2 참조), 상부 도전층(315, 도 2 참조) 및/또는 하부 도전층(320, 도 2 참조)을 포함할 수 있다.

[0055] S22 단계에서, 회로기판부(250, 도 6 참조), 세라믹 기판부(300, 도 6 참조)를 일괄 접합할 수 있다. 접합을 위해 회로기판부(250, 도 6 참조), 세라믹 기판부(300, 도 6 참조)를 배치할 수 있다. (도 6 참조) 배치된 회로기판부(250, 도 7 참조), 세라믹 기판부(300, 도 7 참조)는 프레스 장치(미도시)를 이용하여 열압착되어 일괄 접합될 수 있다. (도 7 참조)

[0056] 도 5a 내지 도 5b는 본 발명의 일 실시예에 따른 단위 회로기판을 제작하는 과정을 나타내는 설명도이다.

[0057] 도 5a는 본 발명의 일 실시예에 따른 단위 회로기판(200)의 제작 과정을 도시하는 순서도이다. 도 5b는 도 5a에 도시된 순서에 따라 단위 회로기판(200)이 제작되는 과정을 나타내는 설명도이다.

[0058] 도 5a 내지 도 5b를 참조하면, 본 발명의 일 실시 예에 따른 단위 회로기판(200)의 제작 방법은 일면에 회로층(210)이 형성된 절연층(205)을 제공하는 단계(S201); 절연층(205)의 타면에 접착층(215)을 접착하는 단계(S202); 회로층(210)의 일부를 식각공정을 통해 제거하여 회로패턴(220)을 형성하는 단계(S203); 절연층(205)과 접착층(215)을 관통하여 회로패턴(220)과 연결되는 비아홀(225)을 형성하는 단계(S204); 비아홀(225) 내부에 전도성 페이스트(230)를 채우는 단계(S205);를 포함한다.

[0059] S201 단계에서, 일면에 회로층(210)이 형성되어 있는 절연층(205)이 제공될 수 있다. 절연층(205)은 폴리이미드를 포함할 수 있다. 폴리이미드는 높은 내열성을 지니며, 전기적 특성, 내화학성 등이 우수하기 때문에 단위 회로기판(200)의 절연층으로 사용될 수 있다.

[0060] 절연층(205)은 일면에 회로층(210)을 결합할 수 있다. 예를 들면, 절연층(205)은 절연층(205)의 제 2 면(205B)(예를 들면, 절연층(205)의 상부면)에 회로층(210)이 결합할 수 있다.

[0061] 회로층(210)은 절연층(205)의 제 2 면(205B)(예를 들면, 절연층(205)의 상부면)에 프레스 방식을 이용하여 접합될 수 있다. 프레스 방식 중에서 열과 압력을 가하는 핫프레스(hot press) 방식이 이용될 수 있다.

[0062] 회로층(210)은 금, 은, 구리, 알루미늄 중에서 어느 하나의 금속이나 이들의 합금으로 이루어질 수 있다. 회로층(210)은 전기전도성, 내구성, 경제성 등을 종합적으로 고려하여 구리로 이루어지는 것이 바람직할 수 있다.

[0063] 회로층(210)은 절연층(205)의 제 2 면(205B)(예를 들면, 절연층(205)의 상부면)에 균일한 두께로 형성될 수 있다. 회로층(210)은 미리 정해진 두께를 가질 수 있다.

[0064] 본 발명의 일 실시예에 따른 단위 회로기판(200)의 제조방법에 따르면, 절연층(205)과 접착층(215)은 별도로 제작될 수 있다. 이러한 방법은 절연층(205) 내부에 접착물질을 포함시켜 제작하는 방법에 비하여 절연층(205)의 두께를 탄력적으로 조절할 수 있다는 이점이 있을 수 있다.

[0065] S202 단계에서, 절연층(205)은 절연층(205)의 제 1 면(205A)(예를 들면, 절연층(205)의 하부면)에 접착층(215)이 결합할 수 있다.

[0066] 접착층(215)은 열경화성 재질을 포함할 수 있다. 열경화성 재질을 포함하는 접착층(215)은 절연층(205)의 제 1 면(205A)에 반경화 상태로 1차적으로 접착된 후에 열압착 공정을 통해 2차적으로 경화되어 완전히 접착될 수 있다.

[0067] S203 단계에서, 절연층(205)의 제 2 면(205B)에 형성된 회로층(210)은 회로층(210)의 적어도 일부가 제거되어 회로패턴(220)을 형성할 수 있다.

[0068] 회로패턴(220)은 포토리소그래피 공정 및 식각 공정을 이용하여 형성될 수 있다. 포토리소그래피 공정은 감광액 도포 공정, 노광 공정, 현상 공정을 포함할 수 있다. 감광액 도포 공정은 회로층(210)에 빛을 조사하기 전에 빛에 민감한 물질인 감광액을 회로층(210)에 도포하는 공정을 포함할 수 있다. 노광 공정은 패턴이 형성되어 있는 마스크를 회로층(210)에 덮은 후에 빛을 선택적으로 조사하는 공정을 포함할 수 있다. 현상 공정은 회로층(210)에 현상액을 도포하여 빛이 조사된 부분과 그렇지 않은 부분을 구분하는 공정을 포함할 수 있다. 포토리소그래피 공정을 거친 후에 회로층(210)은 회로패턴(220)을 제외한 부분이 식각 공정을 통해 제거되어 회로패턴(220)을 형성할 수 있다.

[0069] 회로패턴(220)은 회로패턴(220)의 일면에 배치될 수 있는 다른 단위 회로기판(200)과의 관계를 고려하여 정확한 위치 및 치수가 미리 설계 될 수 있다.

[0070] S204 단계에서, 절연층(205)과 접착층(215)을 관통하여 회로패턴(220)과 연결되는 비아홀(225)이 형성될 수 있다.

[0071] 다양한 실시예에서, 접착층(215)은 접착층(215)의 적어도 일부에 비아홀(225)을 포함할 수 있다. 접착층(215)의 제 1 면(215A)은 접착층(215)의 하부면이고, 접착층(215)의 제 2 면(215B)은 접착층(215)의 상부 면일 수 있다. 비아홀(225)은 접착층(215)의 제 1 면(215A)(예를 들면, 접착층(215)의 하부면)에 드릴 방식을 통해 형성될 수 있다.

[0072] 본 발명의 일 실시예에 따른 비아홀(225)은 레이저 드릴을 이용하여 형성될 수 있다. 미세한 비아홀(225)을 형성하기 위해 UV(ultra violet) 레이저 드릴이 사용될 수 있다.

[0073] 절연층(205)은 접착층(215)에서 형성된 비아홀(225)을 포함할 수 있다. 즉,비아홀(225)은 접착층(215)의 제 1 면(215A)(예를 들면, 접착층(215)의 하부면)에서 시작되어 절연층(205)으로 연결되는 형태로 형성될 수 있다.

[0074] 비아홀(225)은 절연층(205)의 제 2 면(205B)(예를 들면, 절연층(205)의 상부면)에 위치한 회로패턴(220)과 연결될 수 있다. 비아홀(225)은 회로패턴(220)의 전부 또는 일부와 연결될 수 있다.

[0075] 비아홀(225)은 전도성 페이스트(230)를 채울 수 있는 공간을 포함할 수 있다. 각 단위 회로기판(200)은 비아홀(225)에 전도성 물질인 전도성 페이스트(230)가 채워지는 경우 전기적으로 연결될 수 있다.

[0076] 단위 회로 기판(200)은 비아홀(225)을 복수 개 포함할 수 있다. 도 5b는 단위 회로 기판(200)은 비아홀(225)을 3개 포함한 것으로 도시하였으나, 비아홀(225)의 개수는 이에 한정되지 않는다.

[0077] 본 발명의 일 실시예에 따른 단위 회로기판(200) 제조방법은 비아홀(225)을 형성한 후에 비아홀(225) 내부를 세정하는 공정을 포함할 수 있다. 비아홀(225) 내부를 세정하기 위해 플라즈마(plasma)를 이용한 세정 공정이 이용될 수 있다. 세정 공정은 비아홀(225)를 형성하는 과정에서 생성된 먼지 등을 제거하여 S205 단계에서 전도성 페이스트(230)를 비아홀(225) 내부에 채우기 용이하도록 할 수 있다.

[0078] S205 단계에서, 전도성 페이스트(230)가 비아홀(225) 내부에 채워질 수 있다.

[0079] 전도성 페이스트(230)는 전도성을 가진 물질을 포함할 수 있다. 전도성 페이스트(230)는 각 단위 회로기판(200)에 형성되어 있는 회로패턴(220)과 연결되는 위치에 형성되어 각 단위 회로기판(200)의 회로패턴(220) 사이를 전기적으로 연결할 수 있다.

[0080] 전도성 페이스트(230)는 비아홀(225) 내부에 전도성 페이스트(230)를 밀어 넣는 방식으로 채워질 수 있다. 전도성 페이스트(230)를 비아홀(225) 내부에 밀어넣기 위해 스퀴저(squeezer, 미도시)와 같이 전도성 페이스트(230)에 압력을 가할 수 있는 부재가 사용될 수 있다.

[0081] S201 내지 S205 단계의 제작 공정을 모두 수행된 경우, 도 4의 S205에 도시된 단위 회로기판(200)이 제작될 수 있다. 단위 회로기판(200)은 절연층(205)과 접착층(215)을 포함할 수 있다. 단위 회로기판(200)은 절연층(205)의 제 2 면(205B)(예를 들면, 절연층(205)의 상부면)에 회로패턴(220)을 포함할 수 있다. 절연층(205)과 접착층(215)은 비아홀(225)을 포함할 수 있다. 전도성 페이스트(230)는 비아홀(225) 내부에 채워질 수 있다.

[0082] 도 6은 본 발명의 일 실시예에 따른 회로기판부(250) 및 세라믹 기판부(300)을 배치한 모습을 나타내는 단면도이다.

[0083] 다양한 실시예에서, 단위 회로기판(200)은 복수 개가 이격을 두고 배치될 수 있다. 단위 회로기판(200)은 제 1 면(200A)은 단위 회로기판(200)의 하부면이고, 단위 회로기판(200)의 제 2 면(200B)은 단위 회로기판의 상부면일 수 있다. 단위 회로기판(200)은 단위 회로기판(200)의 제 1 면(200A)(예를 들면, 단위 회로기판(200)의 하부면) 또는 제 2 면(200B)(예를 들면, 단위 회로기판(200)의 상부면)에 다른 단위 회로기판(200)이 이격을 두고 위치할 수 있다.

[0084] 도 6은 각 단위 회로기판(200)이 비아홀(225) 및 전도성 페이스트(230)를 한 개만 포함한 것으로 도시하였으나, 비아홀(225) 및 전도성 페이스트(230)의 개수는 이에 한정되지 않는다.

[0085] 전도성 페이스트(230)는 각 단위 회로기판(200)에 포함된 회로패턴(220)의 전부 또는 일부와 만날 수 있는 위치에 형성될 수 있다. 예를 들면, 전도성 페이스트(230)는 단위 회로기판(200)의 제 2 면(200B)(상부면)에 형성된 회로패턴(220) 및 단위 회로기판(200)의 제 1 면(200A)(하부면)에 이격을 두고 위치한 다른 단위 회로기판(200)의 회로패턴(220)과 만날 수 있는 위치에 형성될 수 있다.

[0086] 다양한 실시예에서, 회로기판부(250)는 이격을 두고 배치된 복수 개의 단위 회로기판(200)을 포함할 수 있다. 회로기판부(250)의 제 1 면(250A)은 회로기판부(250)의 최하부면이고, 제 2 면(250B)은 회로기판부(250)의 최상부면일 수 있다. 회로기판부(250)는 회로기판부(250)의 제 1 면(250A)(예를 들면, 회로기판부(250)의 최하부면)에 이격을 두고 세라믹 기판부(300)가 위치할 수 있다.

[0087] 세라믹 기판부(300)의 상부 도전층(315)은 회로기판부(250)의 제 1 면(250A)(예를 들면, 회로기판부(250)의 최하부면)에 연결된 전도성 페이스트(230)와 접촉할 수 있는 위치에 형성될 수 있다.

[0088] 각 단위 회로기판(200) 및 세라믹 기판부(300)의 위치는 지지부재(미도시)를 이용하여 임시적으로 고정될 수 있다. 각 단위 회로기판(200) 및 세라믹 기판부(300)의 일측과 타측에는 상기 지지부재(미도시)를 임시적으로 결합시키기 위한 홀(미도시)이 형성될 수 있다. 상기 지지부재(미도시)는 상기 홀(미도시)에 임시적으로 결합되어 각 단위 회로기판(200) 및 세라믹 기판부(300)를 이격을 두고 정렬시킬 수 있다.

[0089] 도 7은 본 발명의 일 실시예에 따른 회로기판부(250) 및 세라믹 기판부(300)를 열압착하는 모습을 나타내는 설명도이다.

[0090] 프레스장치(미도시)는 회로기판부(250)의 제 2 면(250B)(예를 들면, 회로기판부(250)의 최상부면) 및 세라믹 기판부(300)의 제 1 면(300A)(예를 들면, 세라믹 기판부(300)의 하부면)에 위치할 수 있다.

[0091] 상기 프레스 장치(미도시)는 핫프레스(hot press) 장치 일 수 있으며, 회로기판부(250)의 제 2 면(250B)(최상부면)과 세라믹 기판부(300)의 제 1 면(300A)(하부면)에 열과 압력을 가하는 역할을 할 수 있다. 상기 프레스 장치(미도시)에서 발생하는 열과 압력은 각 단위 회로기판(200)으로 전달될 수 있다. 전달된 열과 압력을 통해 각

단위 회로기판(200) 간의 간격이 없어지고 압착이 될 수 있다.

[0092] 접착층(215)은 열과 압력을 받아 경화되어 각 단위 회로기판(200) 및 세라믹 기판부(300)를 완전하게 접착시킬 수 있다.

[0093] 전도성 페이스트(230)는 열과 압력을 전달받아 소결(sintering) 작용을 할 수 있다. 즉, 프레스 장치(미도시)에서 발생한 열과 압력을 통해 전도성 페이스트(230)는 분말 상태에서 합금 상태로 변화할 수 있으며, 이를 통해 다층 회로기판(20)의 구성에 필요한 기계적 강도를 지닐 수 있다.

[0094] 프레스 장치를 통한 열압착을 완료한 후에 각 단위 회로기판(200) 및 세라믹 기판부(300)의 일측과 타측에 임시적으로 결합한 지지부재(미도시)가 제거될 수 있다.

[0095] 이상으로 본 발명에 관하여 실시예를 들어 설명하였지만 반드시 이에 한정하는 것은 아니며, 본 발명의 기술적 사상의 범주 내에서는 얼마든지 수정 및 변형 실시가 가능하다.

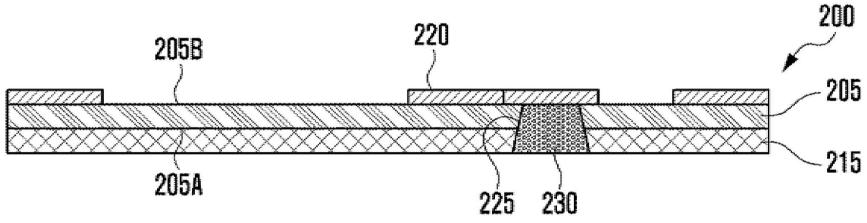
부호의 설명

[0096]

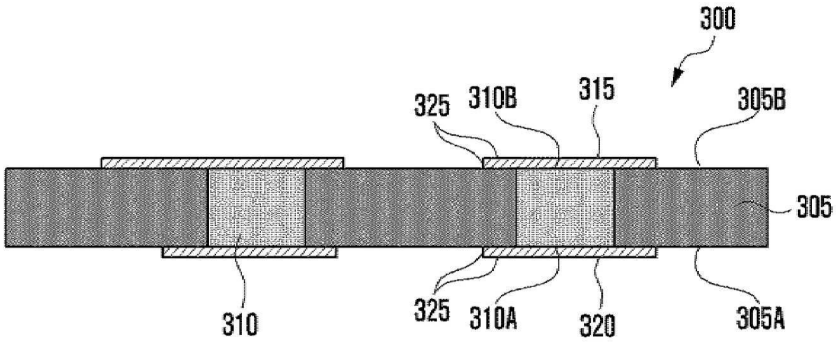
20: 다층 회로기판	200: 단위 회로기판
201: 제 1 회로기판	202: 제 2 회로기판
205, 265: 절연층	210: 회로층
215, 275: 접착층	220, 280: 회로패턴
225, 285: 비아홀	230, 290: 전도성 페이스트
250: 회로기판부	300: 세라믹 기판부
305: 세라믹 기판	310: 세라믹 관통홀
315: 상부 도전층	320: 하부 도전층
200A : 단위 회로기판 제 1 면	200B : 단위 회로기판 제 2 면
201A : 제 1 회로기판 제 1 면	201B : 제 1 회로기판 제 2 면
205A : 절연층 제 1 면	205B : 절연층 제 2 면
250A : 회로기판부 제 1 면	250B : 회로기판부 제 2 면
300A : 세라믹 기판부 제 1 면	300B : 세라믹 기판부 제 2 면
305A : 세라믹 기판 제 1 면	305B : 세라믹 기판 제 2 면
310A : 세라믹 관통홀 제 1 개구	310B : 세라믹 관통홀 제 2 개구

도면

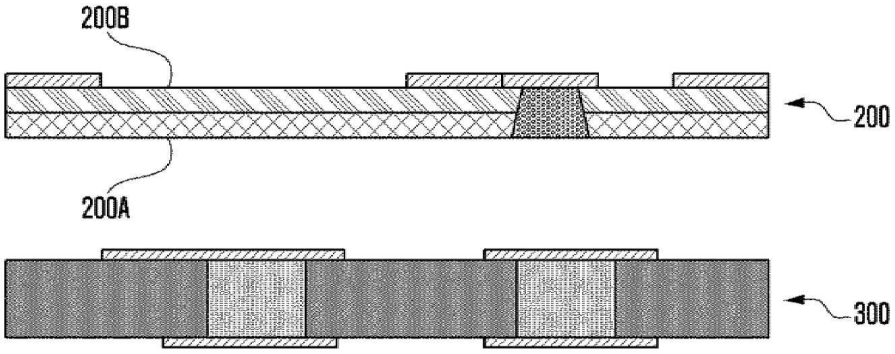
도면1



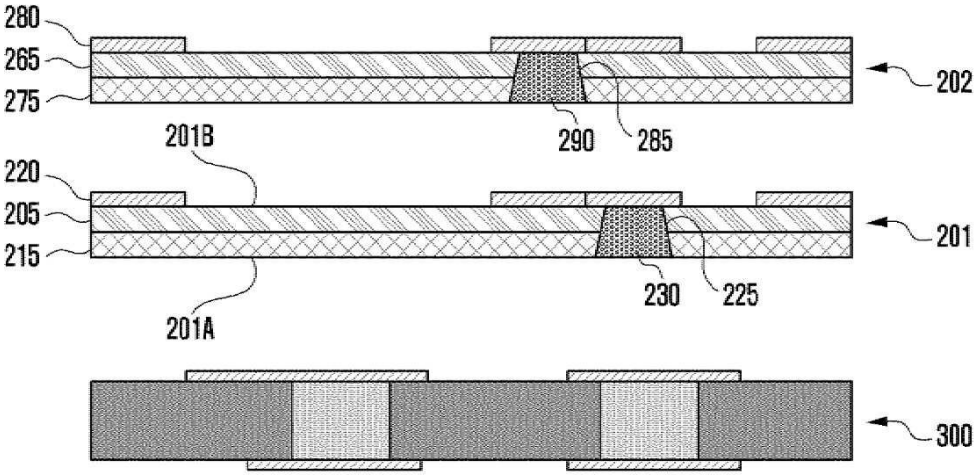
도면2



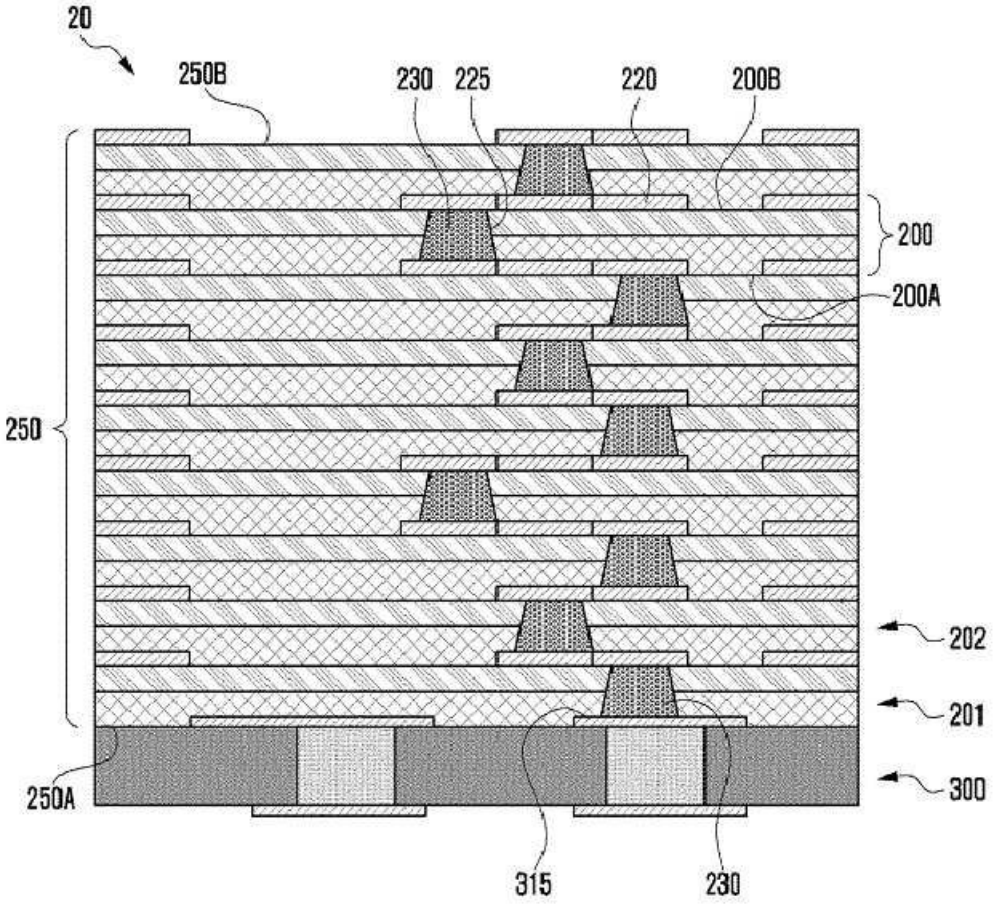
도면3a



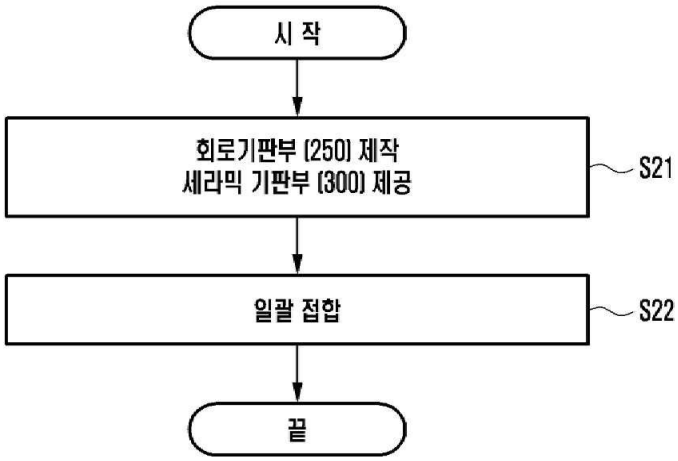
도면3b



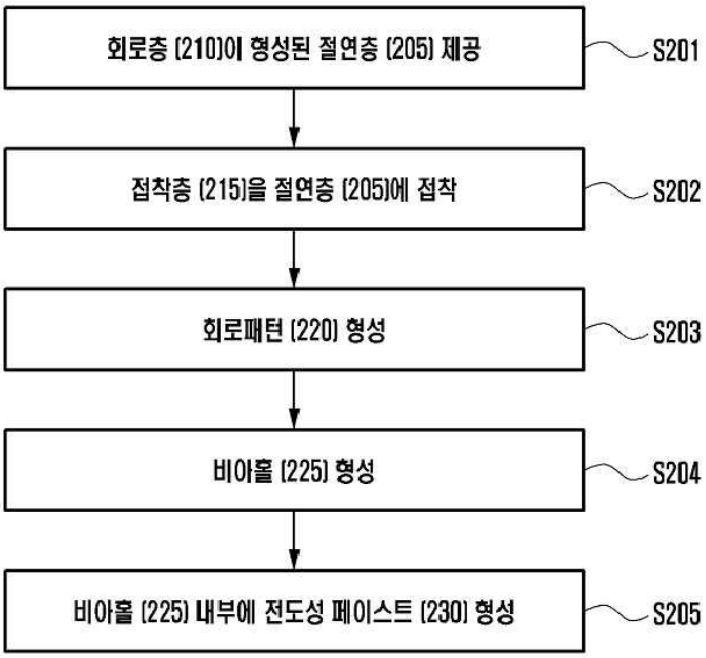
도면3c


20
250B
230
225
220
200B
200
200A
250
202
201
300
250A
315
230

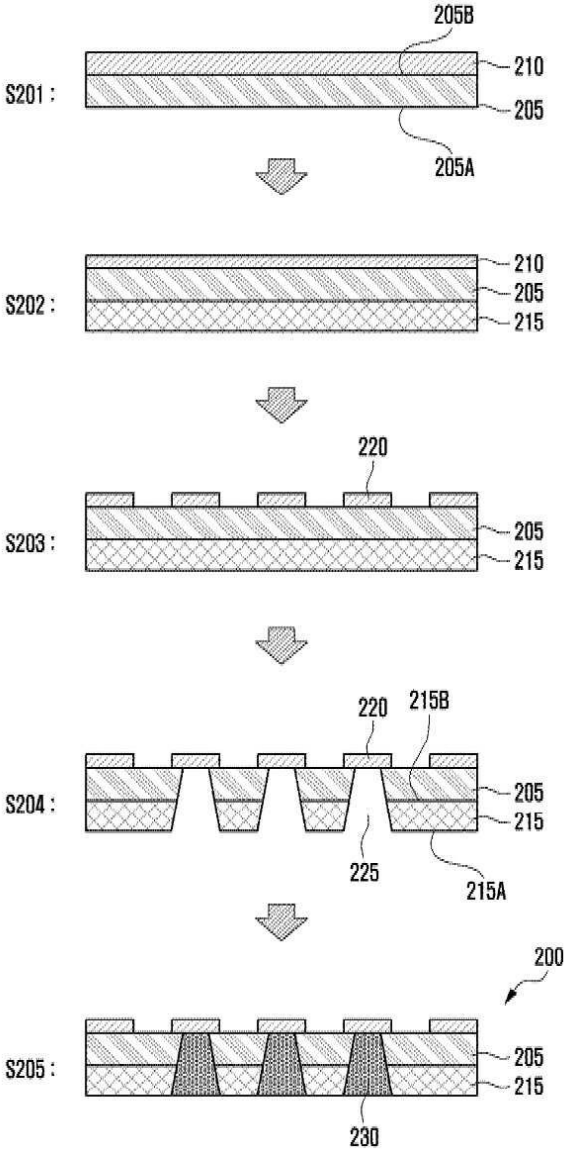
도면4


시 작
회로기판부 (250) 제작
세라믹 기판부 (300) 제공
S21
일괄 접합
S22
끝

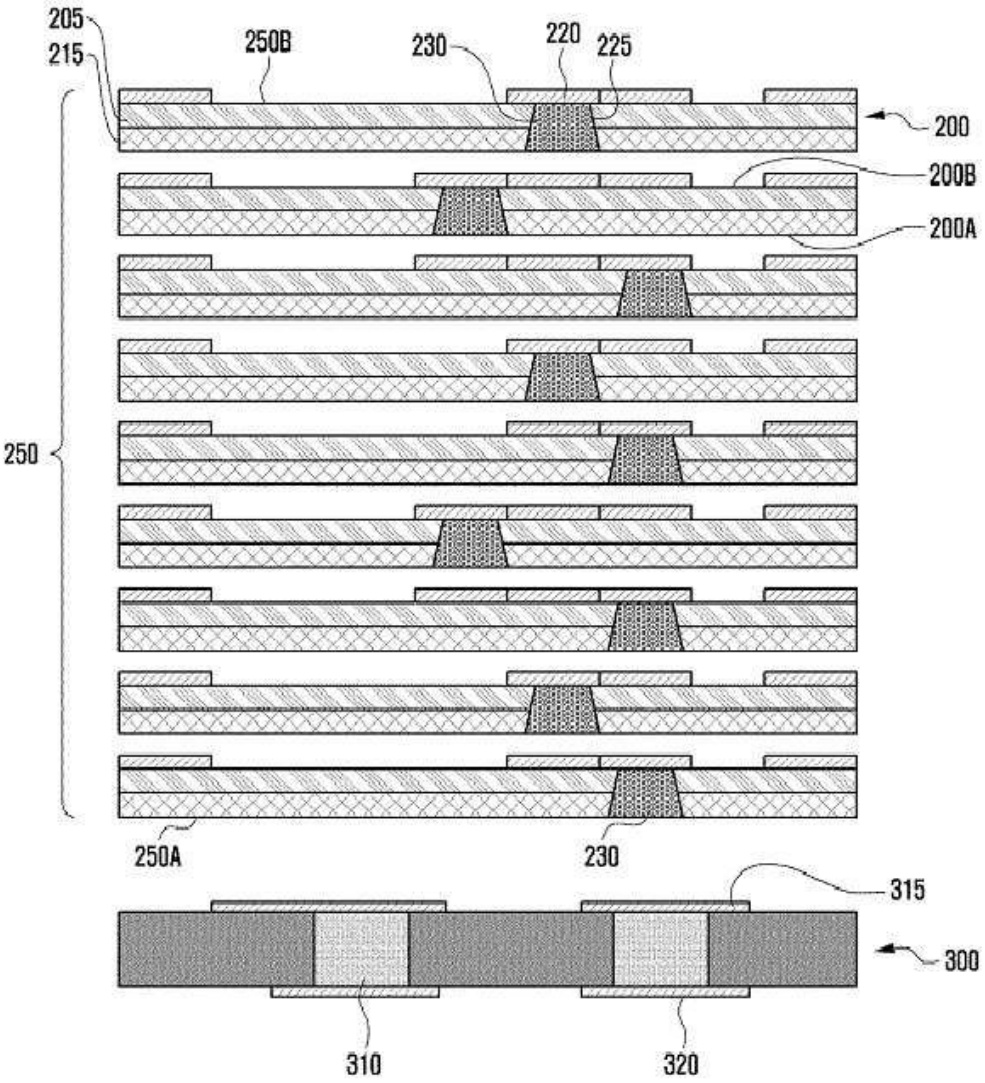
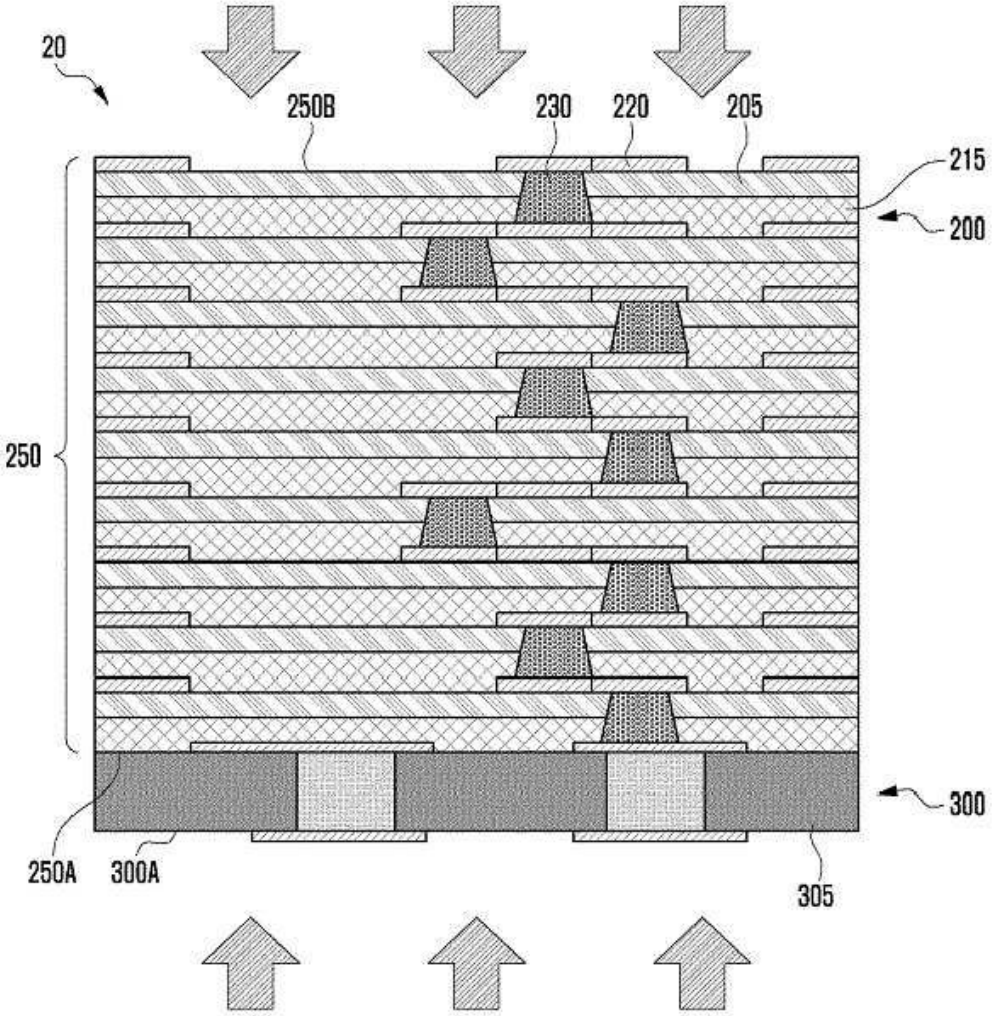
도면5a


회로층 (210)이 형성된 절연층 (205) 제공
S201
접착층 (215)을 절연층 (205)에 접착
S202
회로패턴 (220) 형성
S203
비아홀 (225) 형성
S204
비아홀 (225) 내부에 전도성 페이스트 (230) 형성
S205

도면5b


S201 :
205B
210
205
205A
S202 :
210
205
215
S203 :
220
205
215
S204 :
220
215B
205
215
225
215A
S205 :
200
205
215
230

도면6


205
215
250B
230
220
225
200
200B
200A
250
250A
230
315
300
310
320

도면7