

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5319107号
(P5319107)

(45) 発行日 平成25年10月16日(2013.10.16)

(24) 登録日 平成25年7月19日(2013.7.19)

(51) Int. Cl.	F I
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 21/336 (2006.01)	
HO 1 L 29/788 (2006.01)	
HO 1 L 29/792 (2006.01)	

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2007-329364 (P2007-329364)	(73) 特許権者	504378124
(22) 出願日	平成19年12月20日(2007.12.20)		スパンション エルエルシー
(65) 公開番号	特開2009-152412 (P2009-152412A)		アメリカ合衆国 カリフォルニア州 94
(43) 公開日	平成21年7月9日(2009.7.9)		088-3453 サニーバイル デグウ
審査請求日	平成22年12月2日(2010.12.2)		イン ドライブ 915
		(74) 代理人	100079108
			弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に第1方向に延伸するSTI領域を形成する工程と、
前記半導体基板の上に前記第1方向に交差する方向である第2方向に延伸するマスク層を形成する工程と、

前記STI領域と前記マスク層とをマスクに、前記半導体基板に凹部を形成する工程と、

前記凹部の内面を覆う電荷蓄積層を形成する工程と、
前記凹部と前記マスク層の側面上とに導電層を形成する工程と、

前記導電層を全面エッチングして、前記第1方向で対向する前記凹部の側面上に、前記導電層からなり、互いに分離して前記第2方向に延伸するワードラインを形成する工程と、
を有し、

前記マスク層を形成する工程は、前記凹部の深さより大きい膜厚の前記マスク層を形成する工程であることを特徴とする半導体装置の製造方法。

【請求項2】

前記凹部を形成する工程は、前記第2方向での前記凹部間の前記STI領域に、前記電荷蓄積層の膜厚より大きい深さの窪み部を形成する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記ワードラインの上面が露出するまで、前記マスク層を研磨する工程を有することを

特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

前記導電層を形成する工程は、前記半導体基板上に前記導電層を全面堆積する工程を含み、

前記ワードラインを形成する工程は、前記導電層の膜厚と同等量の前記導電層をエッチングする第 1 のエッチング工程と、前記凹部の深さと同等量の前記導電層をエッチングする第 2 のエッチング工程と、を含むことを特徴とする請求項 1 ~ 3 のいずれか一項に記載の半導体装置の製造方法。

【請求項 5】

前記凹部の底面の前記半導体基板内に第 1 拡散領域を形成する工程と、

前記凹部の上部両側の前記半導体基板内に第 2 拡散領域を形成する工程と、を有することを特徴とする請求項 1 ~ 4 のいずれか一項に記載の半導体装置の製造方法。

【請求項 6】

行列状に凹部が設けられた半導体基板と、

第 2 方向での前記凹部間の前記半導体基板に設けられ、前記第 2 方向に交差する方向である第 1 方向に延伸する S T I 領域と、

前記凹部の内面を覆う電荷蓄積層と、

前記第 1 方向で対向する前記凹部の側面上に、互いに分離し、前記第 2 方向に延伸するワードラインと、を具備し、

前記ワードラインの上面は前記半導体基板の上面より突出していることを特徴とする半導体装置。

【請求項 7】

前記第 1 方向における前記ワードラインの上部の幅と下部の幅とは同じ大きさであることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記ワードライン下であって、前記第 2 方向での前記凹部間の前記 S T I 領域に窪み部が設けられ、

前記 S T I 領域に形成された前記電荷蓄積層は前記窪み部に埋め込まれるように形成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、より詳細には、凹部の対向する側面上に互いに分離したワードラインを有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

データの書き換えが可能で、電源を OFF しても記憶データを保持し続ける半導体装置である不揮発性メモリが広く利用されている。代表的な不揮発性メモリであるフラッシュメモリにおいては、メモリセルを構成するトランジスタが電荷蓄積層と呼ばれるフローティングゲートもしくは絶縁膜を有している。この電荷蓄積層に電荷を蓄積させることによりデータを記憶する。絶縁膜を電荷蓄積層とするフラッシュメモリとして ONO (Oxide Nitride Oxide) 膜中の窒化膜に電荷を蓄積させる SONOS (Silicon Oxide Nitride Oxide Silicon) 型構造のフラッシュメモリがある。

【0003】

SONOS 型構造のフラッシュメモリの 1 つに、ソース領域とドレイン領域とを切り替えて動作させて、1 つのメモリセル内の電荷蓄積層に 2 つの電荷蓄積領域を形成する仮想接地型フラッシュメモリがある。これにより、1 メモリセルに 2 ビットの情報を記憶することが可能となる。仮想接地型フラッシュメモリでは、2 つの電荷蓄積領域に蓄積された電荷が互いに干渉する CBD (Complementary bit disturb) を抑制するため、チャンネル長をある程度長くすることが求められている。このため、微細化が困難であるという課題

10

20

30

40

50

がある。

【0004】

そこで、半導体基板に凹部を設け、凹部の対向する側面に電荷蓄積層を形成したフラッシュメモリが開発されている（例えば、特許文献1及び特許文献2）。これによれば、チャンネルは凹部の側壁に沿って形成されるため、十分なチャンネル長を確保することができ、C B Dを抑制することができる。特に、凹部の底面及び凹部上部の側方に拡散領域を形成した場合は、凹部の対向する側面に形成された電荷蓄積層それぞれに2つの電荷蓄積領域を形成することができる。つまり、1つの凹部に4つの電荷蓄積領域が形成され、4ビットの情報を記憶することができる。

【特許文献1】特開2001-274366号公報

【特許文献2】特開2005-136426号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

NAND型フラッシュメモリにおいては、凹部の形成に加え、STI (shallow trench isolation) 領域の形成も行う必要がある。また、1つの凹部に4つの電荷蓄積領域を形成するには、凹部の対向する側面上に、互いに分離したワードラインを形成する必要がある。このため、製造工程が複雑になる上、微細化が難しいという課題が生じる。

【0006】

本発明は、上記課題に鑑みなされたものであり、凹部の対向する側面上に、互いに分離して延伸するワードラインを容易に形成することができ、メモリセルの微細化を図ることが可能な半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、半導体基板に第1方向に延伸するSTI領域を形成する工程と、前記半導体基板上に前記第1方向に交差する方向である第2方向に延伸するマスク層を形成する工程と、前記STI領域と前記マスク層とをマスクに、前記半導体基板に凹部を形成する工程と、前記第1方向で対向する前記凹部の側面上に電荷蓄積層を形成する工程と、前記凹部と前記マスク層の側面上とに導電層を形成する工程と、前記導電層を全面エッチングして、前記第1方向で対向する前記凹部の側面上に、前記導電層からなり、互いに分離して前記第2方向に延伸するワードラインを形成する工程と、を有することを特徴とする半導体装置の製造方法である。本発明によれば、第1方向で対向する凹部の側面上に、互いに分離し、第2方向に延伸するワードラインを、エッチングにより形成することができる。これにより、製造工程が複雑になることを抑制でき、また、メモリセルの微細化を図ることができる。

【0008】

上記構成において、前記マスク層を形成する工程は、前記凹部の深さより大きい膜厚の前記マスク層を形成する工程である構成とすることができる。この構成によれば、ワードラインの上面を半導体基板の上面より突出させることができ、ワードラインを第2方向に延伸させることができる。

【0009】

上記構成において、前記凹部を形成する工程は、前記第2方向における前記凹部間の前記STI領域に前記電荷蓄積層の膜厚より大きい深さの窪み部を形成する工程を含む構成とすることができる。この構成によれば、ワードラインがSTI領域上で分断することを抑制できる。

【0010】

上記構成において、前記ワードラインの上面が露出するまで、前記マスク層を研磨する工程を有する構成とすることができる。この構成によれば、ワードラインの上面を半導体基板の上面より突出させることが容易にできる。

【0011】

10

20

30

40

50

上記構成において、前記導電層を形成する工程は、前記半導体基板上に前記導電層を全面堆積する工程を含み、前記ワードラインを形成する工程は、前記導電層の膜厚と同等量の前記導電層をエッチングする第1のエッチング工程と、前記凹部の深さと同等量の前記導電層をエッチングする第2のエッチング工程と、を含む構成とすることができる。

【0012】

上記構成において、前記凹部底面の前記半導体基板内に第1拡散領域を形成する工程と、前記凹部上部両側の前記半導体基板内に第2拡散領域を形成する工程と、を有する構成とすることができる。

【0013】

本発明は、行列状に凹部が設けられた半導体基板と、第2方向での前記凹部間の前記半導体基板に設けられ、前記第2方向に交差する方向である第1方向に延伸するSTI領域と、前記第1方向で対向する前記凹部の側面上に設けられた電荷蓄積層と、前記第1方向で対向する前記凹部側面上に、互いに分離し、前記第2方向に延伸するワードラインと、を具備することを特徴とする半導体装置である。本発明に係る半導体装置を製造する際に、凹部の第1方向で対向する側面上に、互いに分離し、第2方向で延伸するワードラインをエッチングにより形成することができる。これにより、製造工程が複雑になることを抑制でき、また、メモリセルの微細化を図ることができる。

【0014】

上記構成において、前記第1方向における前記ワードライン上部の幅と下部の幅とは同じ大きさである構成とすることができる。

【0015】

上記構成において、前記ワードラインの上面は、前記半導体基板の上面より突出している構成とすることができる。この構成によれば、ワードライン上に形成するコンタクトプラグが、半導体基板に異常接触することを抑制できる。

【0016】

上記構成において、前記ワードライン下であって、前記第2方向における前記凹部間の前記STI領域に窪み部が設けられ、前記STI領域に形成された前記電荷蓄積層は前記窪み部に埋め込まれるように形成されている構成とすることができる。この構成によれば、ワードラインがSTI領域上で分断することを抑制できる。

【発明の効果】

【0017】

本発明によれば、第1方向で対向する凹部の側面上に、互いに分離し、第2方向に延伸するワードラインを、エッチングにより形成することができる。これにより、製造工程が複雑になることを抑制でき、また、メモリセルの微細化を図ることができる。

【発明を実施するための最良の形態】

【0018】

まず初めに、課題を明確にするため、図1(a)から図2(b)を用い、比較例1に係るNAND型フラッシュメモリにおいて、凹部の対向する側面上に、互いに分離したワードラインを形成する方法を説明する。なお、図1(a)及び図2(a)において、ONO膜16を透視して拡散領域18とSTI領域12とを図示している。また、説明を簡明にするため、STI領域12、凹部14、ONO膜16、拡散領域18を形成する工程については、ここでは説明を省略する(比較例2においても同じ)。図1(a)及び図1(b)を参照に、行列状に設けられた凹部14に埋め込まれ、STI領域12延伸方向(第1方向)に交差する方向である第2方向に延伸する導電層26を形成する。

【0019】

図2(a)及び図2(b)を参照に、導電層26を覆うように半導体基板10上にマスク層22を形成する。マスク層22に、第1方向における凹部14の中央部上で、第2方向に延伸する開口部24を形成する。マスク層22をマスクに、導電層26をエッチングする。これにより、凹部14の第1方向で対向する側面上に、互いに分離したゲート電極30を形成することができる。

10

20

30

40

50

【 0 0 2 0 】

比較例 1 の製造方法によれば、第 1 方向における凹部 1 4 中央部上のマスク層 2 2 に開口部 2 4 を形成する。凹部 1 4 の第 1 方向で対向する側面上に形成されるゲート電極 3 0 は、開口部 2 4 で画定されるため、開口部 2 4 は位置精度良く形成する必要がある。しかしながら、メモリセルの微細化が進むと、凹部 1 4 の幅も狭くなるため、開口部 2 4 を位置精度良く形成することが困難となる。このため、メモリセルの微細化に限界が生じる。

【 0 0 2 1 】

次に、図 3 (a) から図 5 (c) を用い、互いに分離したワードラインを形成する他の方法である比較例 2 に係るフラッシュメモリについて説明する。なお、図 4 (a) 及び図 5 (a) において、ONO 膜 1 6 と絶縁膜 2 8 とを透過して、STI 領域 1 2 と拡散領域 1 8 とを図示している。図 3 (a) から図 3 (c) を参照に、凹部 1 4 に沿って ONO 膜 1 6 上に導電層 2 6 を形成する。

10

【 0 0 2 2 】

図 4 (a) から図 4 (c) を参照に、ONO 膜 1 6 の表面が露出するまで、導電層 2 6 を全面エッチングする。これにより、凹部 1 4 中央部に形成された導電層 2 6 はエッチングされてなくなる。つまり、凹部 1 4 の側面に導電層 2 6 が残存する。

【 0 0 2 3 】

図 5 (a) から図 5 (c) を参照に、凹部 1 4 中央部に埋め込まれるように絶縁膜 2 8 を形成する。第 1 方向における凹部 1 4 中央部上に、第 2 方向に延伸する開口部を有するマスク層 (不図示) を形成する。マスク層をマスクに導電層 2 6 をエッチングする。これにより、凹部 1 4 の第 2 方向で対向する側面に形成された導電層 2 6 はエッチングされる。凹部 1 4 の第 1 方向で対向する側面に残存した導電層 2 6 は、互いに分離したゲート電極 3 0 となる。その後、ゲート電極 3 0 上に第 2 方向に延伸するワードライン 2 0 を形成する。

20

【 0 0 2 4 】

比較例 2 の製造方法によれば、図 4 (a) から図 4 (c) に示すように、ONO 膜 1 6 の表面が露出するまで、導電層 2 6 をエッチバックする。このため、図 5 (a) から図 5 (c) に示すように、第 2 方向で隣接する凹部 1 4 に形成されたゲート電極 3 0 は互いに分離している。よって、ゲート電極 3 0 上に第 2 方向に延伸するワードライン 2 0 を形成する必要がある。しかしながら、メモリセルの微細化が進み、ゲート電極 3 0 の薄膜化が進むと、ゲート電極 3 0 に位置精度良くワードライン 2 0 を形成することは困難となる。このため、メモリセルの微細化に限界が生じる。これらの課題の解決を図り、凹部の対向する側面に互いに分離したワードラインを容易に形成することができ、メモリセルの微細化を図ることが可能な実施例を以下に示す。

30

【 実施例 1 】

【 0 0 2 5 】

図 6 (a) は実施例 1 に係る NAND 型フラッシュメモリの平面図である。図 6 (b) から図 6 (e) は図 6 (a) の B - B 間から E - E 間の断面図である。なお、図 6 (a) において、第 1 酸化シリコン膜 4 6 を透視して第 2 拡散領域 4 4 を図示している。図 6 (a) 及び図 6 (c) を参照に、半導体基板 1 0 に、第 1 方向に延伸する STI 領域 1 2 が形成されている。図 6 (a)、図 6 (b) 及び図 6 (d) を参照に、STI 領域 1 2 間の半導体基板 1 0 に行列状に凹部 1 4 が形成されている。つまり、第 1 方向で対向する凹部 1 4 の側面は半導体基板 1 0 に接し、第 1 方向に交差する方向である第 2 方向で対向する凹部 1 4 の側面は STI 領域 1 2 に接している。第 1 方向で対向する凹部 1 4 の側面に、トンネル絶縁膜 3 2、電荷蓄積層 3 4、トップ絶縁膜 3 6 からなる ONO 膜 1 6 が形成されている。第 1 方向で対向する凹部 1 4 の側面上に、互いに分離し、ONO 膜 1 6 に接して、第 2 方向に延伸するワードライン 2 0 が形成されている。第 1 方向におけるワードライン 2 0 上部の幅と下部の幅とは同じ大きさである。つまり、ワードライン 2 0 は、凹部 1 4 の内側に形成されている。また、ワードライン 2 0 の上部は低抵抗化のためにシリサイド化され、シリサイド層 5 0 が形成されている。

40

50

【 0 0 2 6 】

図 6 (a) から図 6 (c) を参照に、第 2 方向における凹部 1 4 間の S T I 領域 1 2 に窪み部 3 8 が形成されている。つまり、第 2 方向に凹部 1 4 と窪み部 3 8 とが交互に形成されている。ワードライン 2 0 は、凹部 1 4 と窪み部 3 8 とを交互に跨いで第 2 方向に延伸している。ワードライン 2 0 の上面 (シリサイド層 5 0 の上面) は半導体基板 1 0 の表面及び S T I 領域 1 2 の表面より突出している。S T I 領域 1 2 に形成された電荷蓄積層 3 4 は窪み部 3 8 に埋め込まれるように形成されている。

【 0 0 2 7 】

図 6 (a) から図 6 (e) を参照に、ワードライン 2 0 間に第 2 方向に延伸する第 2 酸化シリコン膜 4 0 が形成されている。凹部 1 4 底面の半導体基板 1 0 内に第 1 拡散領域 4 2 が形成され、凹部 1 4 上部両側の半導体基板 1 0 内に第 2 拡散領域 4 4 が形成されている。

10

【 0 0 2 8 】

次に、図 7 (a) から図 2 0 (e) を用い、実施例 1 に係る N A N D 型フラッシュメモリの製造方法を説明する。図 7 (a) から図 7 (d) を参照に、p 型シリコン基板である半導体基板 1 0 上に第 1 方向に延伸し、幅が 6 5 n m、間隔が 6 5 n m のマスク層 (不図示) を形成する。マスク層をマスクに、半導体基板 1 0 を R I E (反応性イオンエッチング) 法を用いてエッチングする。これにより、半導体基板 1 0 に幅が 6 5 n m、間隔が 6 5 n m で、深さが 2 0 0 n m の溝部 (不図示) が形成される。高密度プラズマ C V D (高密度プラズマ化学気相成長) 法を用いて、溝部に埋め込まれるように酸化シリコン膜を形成する。その後、半導体基板 1 0 の表面が露出するまで C M P (化学機械研磨) 法を用いて、酸化シリコン膜を除去する。これにより、半導体基板 1 0 に第 1 方向に延伸し、幅が 6 5 n m、間隔が 6 5 n m、深さが 2 0 0 n m の酸化シリコン膜からなる S T I 領域 1 2 が形成される。

20

【 0 0 2 9 】

図 8 (a) から図 8 (d) を参照に、半導体基板 1 0 上に、熱酸化法を用いて、厚さが 1 0 n m の第 1 酸化シリコン膜 4 6 を形成する。このとき、第 1 酸化シリコン膜 4 6 の膜厚は後述する電荷蓄積層 3 4 の膜厚より大きくなるようにする。半導体基板 1 0 上に、C V D 法を用いて、厚さが 1 5 0 n m の窒化シリコン膜からなるマスク層 2 2 を形成する。このとき、マスク層 2 2 の膜厚は、後述する凹部 1 4 の深さより大きくなるようにする。

30

【 0 0 3 0 】

図 9 (a) から図 9 (d) を参照に、マスク層 2 2 上に、第 1 方向に交差する方向である第 2 方向に延伸し、幅が 6 5 n m、間隔が 1 3 0 n m のフォトレジスト (不図示) を形成する。フォトレジストをマスクに、R I E 法を用いて、マスク層 2 2 をエッチングする。これにより、マスク層 2 2 は、幅が 6 5 n m、間隔が 1 3 0 n m で第 2 方向に延伸する。フォトレジストを除去した後、マスク層 2 2 と S T I 領域 1 2 とをマスクに、R I E 法を用いて、第 1 酸化シリコン膜 4 6 と半導体基板 1 0 とをエッチングする。これにより、半導体基板 1 0 に長辺が 1 3 0 n m、短辺が 6 5 n m で深さが 1 0 0 n m の凹部 1 4 が形成される。第 1 方向で対向する凹部 1 4 の側面は半導体基板 1 0 に接し、第 2 方向で対向する凹部 1 4 の側面は S T I 領域 1 2 に接する。また、第 1 酸化シリコン膜 4 6 をエッチングする際に、マスクとして用いた S T I 領域 1 2 も一部エッチングが進み、後述する電荷蓄積層 3 4 の膜厚より大きい深さの窪み部 3 8 が形成される。

40

【 0 0 3 1 】

図 1 0 (a) から図 1 0 (d) を参照に、熱酸化法を用いて、半導体基板 1 0 を酸化する。これにより、凹部 1 4 内面の半導体基板 1 0 に、厚さが 5 n m の酸化シリコン膜からなるトンネル絶縁膜 3 2 が形成される。図 1 1 (a) から図 1 1 (d) を参照に、C V D 法を用いて、窒化シリコン膜を全面堆積する。これにより、凹部 1 4 の内面に、厚さが 5 n m の窒化シリコン膜からなる電荷蓄積層 3 4 が形成される。また、S T I 領域 1 2 の窪み部 3 8 に形成された電荷蓄積層 3 4 は、窪み部 3 8 の深さが電荷蓄積層 3 4 の膜厚より大きいいため、窪み部 3 8 に埋め込まれるように形成される。言い換えると、窪み部 3 8 に

50

形成された電荷蓄積層 34 の上面は、STI 領域 12 の上面より半導体基板 10 側に形成される。

【0032】

図 12 (a) から図 12 (d) を参照に、CVD 法を用いて、酸化シリコン膜を全面堆積する。これにより、電荷蓄積層 34 に沿うように、厚さが 10 nm の酸化シリコン膜からなるトップ絶縁膜 36 が形成される。これらにより、第 1 方向で対向する凹部 14 の側面に、トンネル絶縁膜 32、電荷蓄積層 34、トップ絶縁膜 36 からなるONO 膜 16 が形成される。図 13 (a) から図 13 (d) を参照に、STI 領域 12 とマスク層 22 とをマスクに、凹部 14 底面の半導体基板 10 内に砒素をイオン注入し、n 型拡散領域である第 1 拡散領域 42 を形成する。

10

【0033】

図 14 (a) から図 14 (e) を参照に、CVD 法を用いて、トップ絶縁膜 36 上に、厚さが 30 nm のアモルファスシリコン膜 (もしくはポリシリコン膜) からなる導電層 26 を全面堆積する。これにより、導電層 26 は、凹部 14 に埋め込まれ、且つマスク層 22 の側面及び上面に沿って形成される。このため、第 1 方向における凹部 14 の端部に形成された導電層 26 の高さ h_1 は、第 1 方向における凹部 14 の中央部に形成された導電層 26 の高さ h_2 に比べて大きくなる。

【0034】

図 15 (a) から図 15 (e) を参照に、HBr、 Cl_2 及び O_2 ガスを用いたRIE 法により、導電層 26 の膜厚と同等量の導電層 26 を全面エッチングする。これにより、マスク層 22 等の上方に形成された導電層 26 が除去され、トップ絶縁膜 36 が露出する。このため、第 1 方向における凹部 14 の端部に形成された導電層 26 の高さ h_1 は、凹部 14 の深さにマスク層 22 の膜厚を加えた大きさと同程度になる。また、第 1 方向における凹部 14 の中央部に形成された導電層 26 の高さ h_2 は、凹部 14 の深さと同程度になる。

20

【0035】

図 16 (a) から図 16 (e) を参照に、HBr、 Cl_2 及び O_2 ガスを用いたRIE 法により、導電層 26 をさらに凹部 14 の深さと同等量だけ全面エッチングする。第 1 方向における凹部 14 の中央部に形成された導電層 26 の高さ h_2 は、凹部 14 の深さと同程度であるため、第 1 方向における凹部 14 の中央部に形成された導電層 26 は完全に除去される。一方、第 1 方向における凹部 14 の端部に形成された導電層 26 の高さ h_1 は、凹部 14 の深さにマスク層 22 の膜厚を加えた高さと同程度であるため、第 1 方向における凹部 14 の端部に形成された導電層 26 は、完全には除去されずに残存する。これにより、第 1 方向で対向する凹部 14 の側面上に、導電層 26 からなり、互いに分離したワードライン 20 を形成することができる。また、ワードライン 20 はゲート電極を兼ねており、凹部 14 内ではワードライン 20 はゲート電極として機能する。

30

【0036】

図 17 (a) から図 17 (e) を参照に、高密度プラズマCVD法を用いて、ワードライン 20 間に埋め込まれるように、第 2 酸化シリコン膜 40 を形成する。その後、CMP 法を用いて、ワードライン 20 の上面が露出するまで、マスク層 22 と第 2 酸化シリコン膜 40 とを研磨する。なお、CMP 法において、ワードライン 20 が露出したことをレーザー光で検出することで、終点を定めることができる。図 18 (a) から図 18 (e) を参照に、 CH_3F 及び O_2 ガスを用いたRIE法もしくはリン酸によるウエットエッチング法を用いて、マスク層 22 を除去する。

40

【0037】

図 19 (a) から図 19 (e) を参照に、ワードライン 20 と第 2 酸化シリコン膜 40 とSTI 領域 12 とをマスクに、半導体基板 10 に砒素をイオン注入する。これにより、凹部 14 上部両側の半導体基板 10 内に、n 型拡散領域である第 2 拡散領域 44 が形成される。図 20 (a) から図 20 (e) を参照に、半導体基板 10 全面にTiもしくはCoを堆積し、熱処理を行うことで、ワードライン 20 上部にシリサイド層 50 を形成する。

50

【 0 0 3 8 】

実施例 1 の製造方法によれば、図 9 (a) から図 9 (d) に示すように、半導体基板 1 0 に第 1 方向に延伸する S T I 領域 1 2 を形成した後、半導体基板 1 0 上に第 1 方向に交差する方向である第 2 方向に延伸するマスク層 2 2 を形成する。その後、S T I 領域 1 2 とマスク層 2 2 とをマスクに、半導体基板 1 0 に凹部 1 4 を形成する。これにより、凹部 1 4 は半導体基板 1 0 に行列状に形成される。図 1 4 (a) から図 1 4 (e) に示すように、凹部 1 4 に埋め込まれ、且つマスク層 2 2 の側面及び上面に沿って導電層 2 6 を形成する。これにより、第 1 方向における凹部 1 4 の端部に形成された導電層 2 6 の高さ h_1 は、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 の高さ h_2 より大きくなる。図 1 5 (a) から図 1 6 (e) に示すように、導電層 2 6 を全面エッチングして、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 を除去する。第 1 方向における凹部 1 4 の端部に形成された導電層 2 6 の高さ h_1 は、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 の高さ h_2 より大きい。このため、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 が完全に除去されても、第 1 方向で対向する凹部 1 4 の側面に導電層 2 6 を残存させることができる。これにより、第 1 方向で対向する凹部 1 4 の側面上に、互いに分離したワードライン 2 0 を形成することができる。また、ワードライン 2 0 の上部の幅と下部の幅とは同じ大きさになる。

10

【 0 0 3 9 】

このように、実施例 1 の製造方法によれば、導電層 2 6 を全面エッチングすることで、第 1 方向で対向する凹部 1 4 の側面上に自己整合的に、互いに分離したワードライン 2 0 を容易に形成することができる。よって、比較例 1 のように、凹部 1 4 中央部上のマスク層 2 2 に位置精度良く開口部 2 4 を形成する工程は必要なく、製造工程が複雑になることを抑制できる。また、比較例 1 に比べて、メモリセルの微細化を図ることができる。

20

【 0 0 4 0 】

特に、図 8 (a) から図 8 (d) に示すように、マスク層 2 2 の膜厚は、凹部 1 4 の深さより大きくする。これにより、図 1 4 (a) から図 1 4 (e) に示す、第 1 方向における凹部 1 4 の端部に形成された導電層 2 6 の高さ h_1 は、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 の高さ h_2 より 2 倍以上大きくなる。よって、図 1 5 (a) から図 1 6 (e) のように、導電層 2 6 を全面エッチングして、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 を完全に除去した場合でも、第 1 方向における凹部 1 4 の端部に残存する導電層 2 6 の上面を、半導体基板 1 0 の上面より突出させることができる。つまり、第 1 方向で対向する凹部 1 4 の側面上に、半導体基板 1 0 の上面より突出するワードライン 2 0 を形成することができる。これにより、ワードライン 2 0 を第 2 方向に延伸させることができる。よって、比較例 2 のように、凹部 1 4 にゲート電極 3 0 を形成する工程とは別に、ワードライン 2 0 を形成する工程を行う必要はなく、製造工程が複雑になることを抑制できる。また、比較例 2 に比べて、メモリセルの微細化を図ることができる。

30

【 0 0 4 1 】

また、ワードライン 2 0 の上面が半導体基板 1 0 の上面より突出していることで、ワードライン 2 0 上に形成するコンタクトプラグが半導体基板 1 0 に異常接触することを抑制できる。これにより、コンタクトプラグを形成する際のコンタクトマージンが大きくなる。

40

【 0 0 4 2 】

さらに、図 8 (a) から図 8 (d) に示すように、マスク層 2 2 を形成する前に、半導体基板 1 0 上に、電荷蓄積層 3 4 の膜厚より大きい膜厚の第 1 酸化シリコン膜 4 6 を形成する。これにより、図 9 (a) から図 9 (d) に示すように、半導体基板 1 0 に凹部 1 4 を形成する際、凹部 1 4 間の S T I 領域 1 2 もエッチングが進み、電荷蓄積層 3 4 の膜厚より大きい深さの窪み部 3 8 が形成される。この状態で、図 1 1 (a) から図 1 1 (d) に示すように、電荷蓄積層 3 4 の形成を行うと、S T I 領域 1 2 に形成される電荷蓄積層 3 4 は窪み部 3 8 に埋め込まれるように形成される。

50

【 0 0 4 3 】

マスク層 2 2 と電荷蓄積層 3 4 とは共に窒化シリコン膜からなる。このため、図 1 8 (a) から図 1 8 (e) に示す、マスク層 2 2 を除去する際、電荷蓄積層 3 4 も除去される恐れがある。例えば、S T I 領域 1 2 に形成された電荷蓄積層 3 4 が除去されると、電荷蓄積層 3 4 上に形成されるワードライン 2 0 が、S T I 領域 1 2 上で分断することが起こり得る。しかしながら、実施例 1 の製造方法では、S T I 領域 1 2 に形成された電荷蓄積層 3 4 は、S T I 領域 1 2 の窪み部 3 8 に埋め込まれるように形成される。このため、マスク層 2 2 を除去する工程を実施した場合でも、S T I 領域 1 2 に形成された電荷蓄積層 3 4 は除去され難く済む。これにより、ワードライン 2 0 が S T I 領域 1 2 上で分断することを抑制できる。特に、マスク層 2 2 をリン酸によるウエットエッチング等の等方性エッチングを用いて除去する場合に、この効果は大きくなる。

10

【 0 0 4 4 】

さらに、図 1 7 (a) から図 1 7 (e) に示すように、ワードライン 2 0 の上面が露出するまで、マスク層 2 2 等を研磨している。これにより、ワードライン 2 0 の上面を半導体基板 1 0 の上面より突出させることを容易に行うことができる。特に、実施例 1 のように、ワードライン 2 0 の表面が露出したことをレーザー光で検出して終点を決める場合や、研磨している材料の変化を検出して終点を決める場合など、ワードライン 2 0 表面が露出したことを確実に検出できる方法を用いて終点を決める場合が好ましい。

【 0 0 4 5 】

さらに、第 1 方向で対向する凹部 1 4 の側面上に、互いに分離したワードライン 2 0 を形成するため、図 1 5 (a) から図 1 5 (e) に示すように、導電層 2 6 の膜厚と同等量の導電層 2 6 を全面エッチングする第 1 のエッチング工程を実施する。その後、図 1 6 (a) から図 1 6 (e) に示すように、凹部 1 4 の深さと同等量の導電層 2 6 を全面エッチングする第 2 のエッチング工程を実施する。これにより、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 を容易に、かつ確実に除去することができ、第 1 方向で対向する凹部 1 4 の側面上に、互いに分離したワードライン 2 0 を容易に形成することができる。また、第 1 のエッチング工程では、トップ絶縁膜 3 6 が露出したことを確認して、エッチングの終点を判断してもよい。さらに、第 2 のエッチング工程では、第 1 方向における凹部 1 4 の中央部に形成された導電層 2 6 をより確実に除去するため、若干のオーバーエッチングを実施してもよい。

20

30

【 0 0 4 6 】

さらに、図 1 3 (a) から図 1 3 (e) に示すように、凹部 1 4 底面の半導体基板 1 0 内に第 1 拡散領域 4 2 を形成する。図 1 9 (a) から図 1 9 (e) に示すように、凹部 1 4 上部両側の半導体基板 1 0 内に第 2 拡散領域 4 4 を形成する。これにより、第 1 方向で対向する凹部 1 4 の側面上に形成された O N O 膜 1 6 それぞれに、2 つの電荷蓄積領域を形成することができる。つまり、1 つの凹部 1 4 に 4 ビットの情報を記憶させることができる。

【 0 0 4 7 】

実施例 1 において、図 1 4 (a) から図 1 4 (e) に示すように、導電層 2 6 は凹部 1 4 に埋め込まれるように形成された場合を例に示したがこれに限られない。導電層 2 6 が、少なくとも、凹部 1 4 の側面に沿って形成されている場合であればよい。この場合でも、実施例 1 の製造方法を用いることで、第 1 方向で対向する凹部 1 4 の側面に、それぞれ分離したワードライン 2 0 を形成することができる。

40

【 0 0 4 8 】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 図 1 (a) は比較例 1 に係る N A N D 型フラッシュメモリにおいて、凹部の対向

50

する側面上に互いに分離したワードラインを形成する方法を示す上面図（その１）であり、図１（ｂ）は図１（ａ）のＢ－Ｂ間の断面図である。

【図２】図２（ａ）は比較例１に係るＮＡＮＤ型フラッシュメモリにおいて、凹部の対向する側面上に互いに分離したワードラインを形成する方法を示す上面図（その２）であり、図２（ｂ）は図２（ａ）のＢ－Ｂ間の断面図である。

【図３】図３（ａ）は比較例２に係るＮＡＮＤ型フラッシュメモリにおいて、凹部の対向する側面上に互いに分離したワードラインを形成する方法を示す上面図（その１）であり、図３（ｂ）及び図３（ｃ）は図３（ａ）のＢ－Ｂ間及びＣ－Ｃ間の断面図である。

【図４】図４（ａ）は比較例２に係るＮＡＮＤ型フラッシュメモリにおいて、凹部の対向する側面上に互いに分離したワードラインを形成する方法を示す上面図（その２）であり、図４（ｂ）及び図４（ｃ）は図４（ａ）のＢ－Ｂ間及びＣ－Ｃ間の断面図である。

【図５】図５（ａ）は比較例２に係るＮＡＮＤ型フラッシュメモリにおいて、凹部の対向する側面上に互いに分離したワードラインを形成する方法を示す上面図（その３）であり、図５（ｂ）及び図５（ｃ）は図５（ａ）のＢ－Ｂ間及びＣ－Ｃ間の断面図である。

【図６】図６（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの上面図であり、図６（ｂ）から図６（ｅ）は図６（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【図７】図７（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その１）であり、図７（ｂ）から図７（ｄ）は図７（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図８】図８（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その２）であり、図８（ｂ）から図８（ｄ）は図８（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図９】図９（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その３）であり、図９（ｂ）から図９（ｄ）は図９（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図１０】図１０（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その４）であり、図１０（ｂ）から図１０（ｄ）は図１０（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図１１】図１１（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その５）であり、図１１（ｂ）から図１１（ｄ）は図１１（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図１２】図１２（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その６）であり、図１２（ｂ）から図１２（ｄ）は図１２（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図１３】図１３（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その７）であり、図１３（ｂ）から図１３（ｄ）は図１３（ａ）のＢ－Ｂ間からＤ－Ｄ間の断面図である。

【図１４】図１４（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その８）であり、図１４（ｂ）から図１４（ｅ）は図１４（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【図１５】図１５（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その９）であり、図１５（ｂ）から図１５（ｅ）は図１５（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【図１６】図１６（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その１０）であり、図１６（ｂ）から図１６（ｅ）は図１６（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【図１７】図１７（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その１１）であり、図１７（ｂ）から図１７（ｅ）は図１７（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【図１８】図１８（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す

10

20

30

40

50

上面図（その１２）であり、図１８（ｂ）から図１８（ｅ）は図１８（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【図１９】図１９（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その１３）であり、図１９（ｂ）から図１９（ｅ）は図１９（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

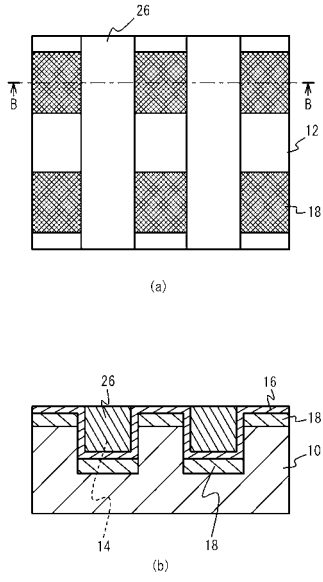
【図２０】図２０（ａ）は実施例１に係るＮＡＮＤ型フラッシュメモリの製造方法を示す上面図（その１４）であり、図２０（ｂ）から図２０（ｅ）は図２０（ａ）のＢ－Ｂ間からＥ－Ｅ間の断面図である。

【符号の説明】

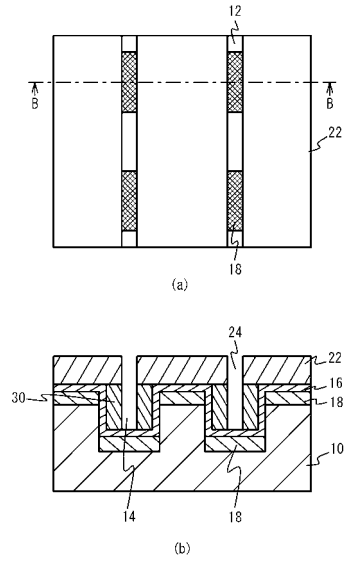
【００５０】

10	半導体基板	
12	STI領域	
14	凹部	
16	ONO膜	
18	拡散領域	
20	ワードライン	
22	マスク層	
24	開口部	
26	導電層	
28	絶縁膜	20
30	ゲート電極	
32	トンネル絶縁膜	
34	電荷蓄積層	
36	トップ絶縁膜	
38	窪み部	
40	第２酸化シリコン膜	
42	第１拡散領域	
44	第２拡散領域	
46	第１酸化シリコン膜	
50	シリサイド層	30

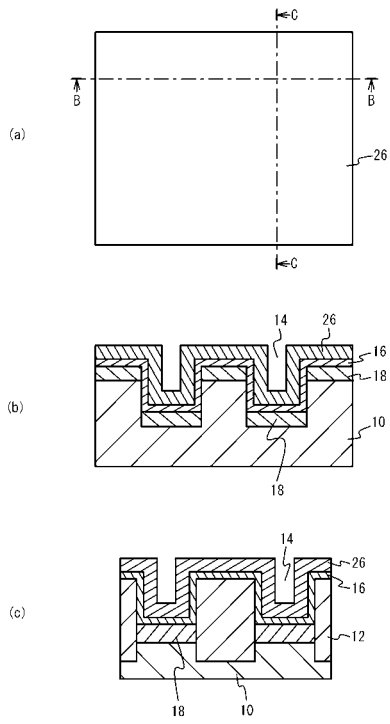
【図1】



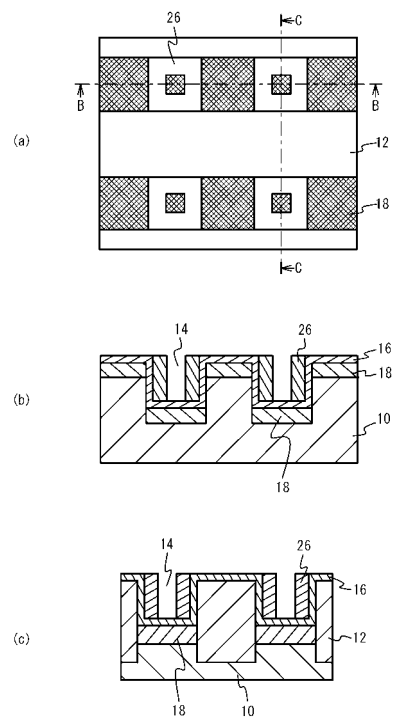
【図2】



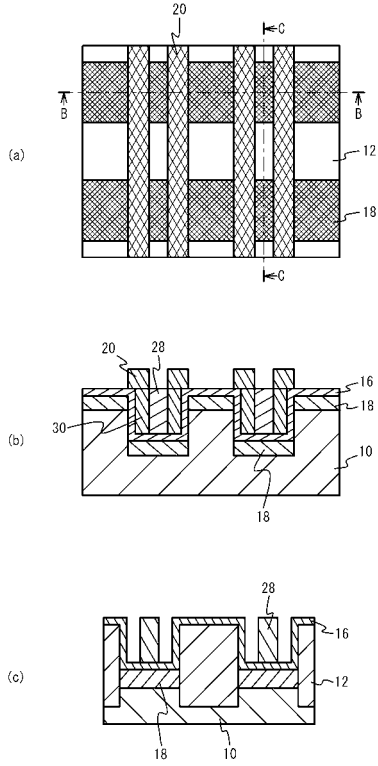
【図3】



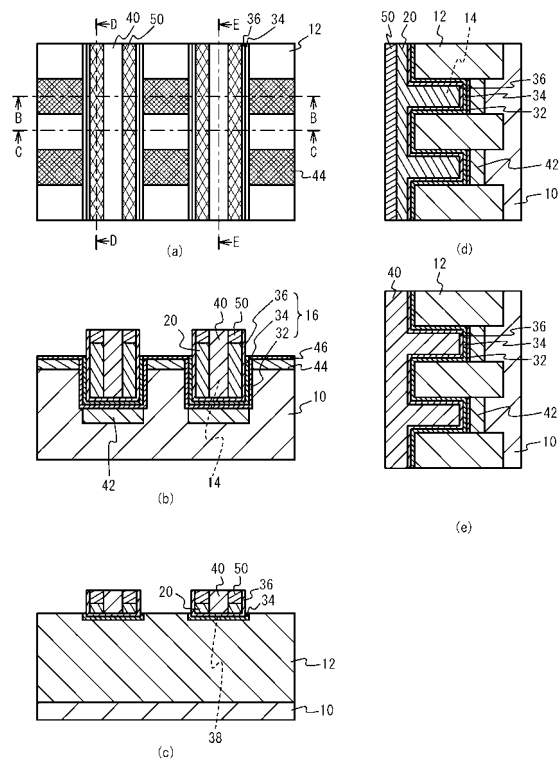
【図4】



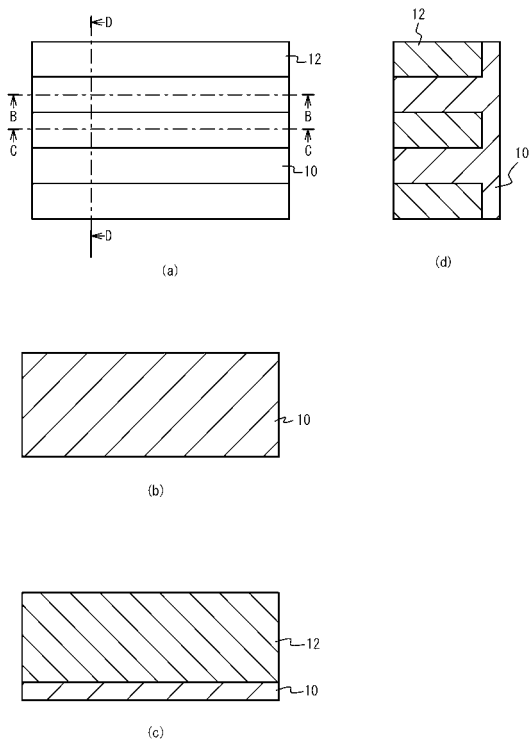
【 図 5 】



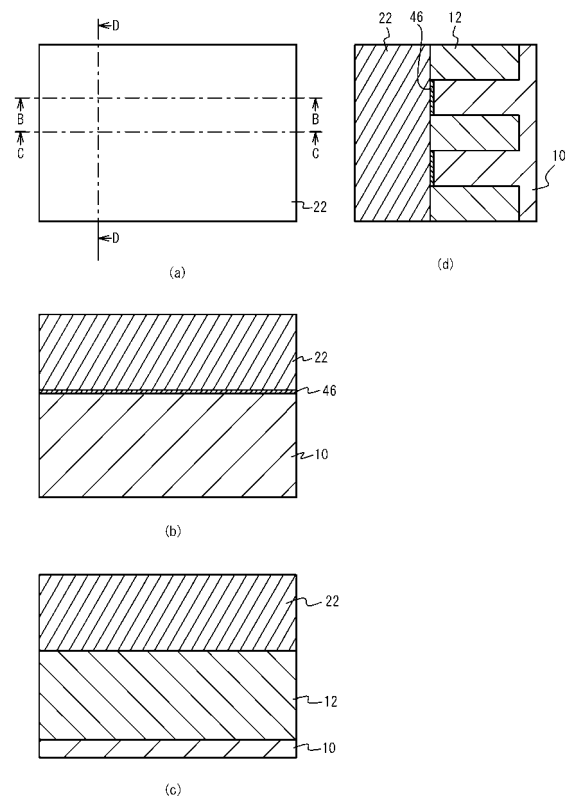
【 図 6 】



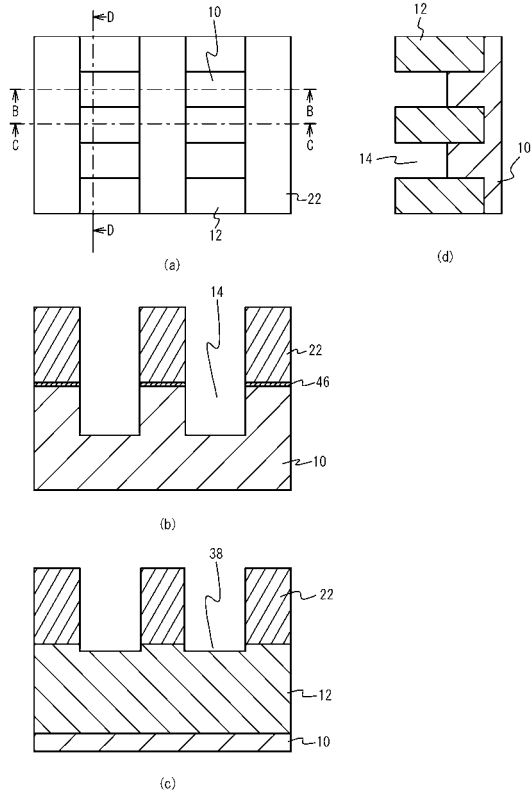
【 図 7 】



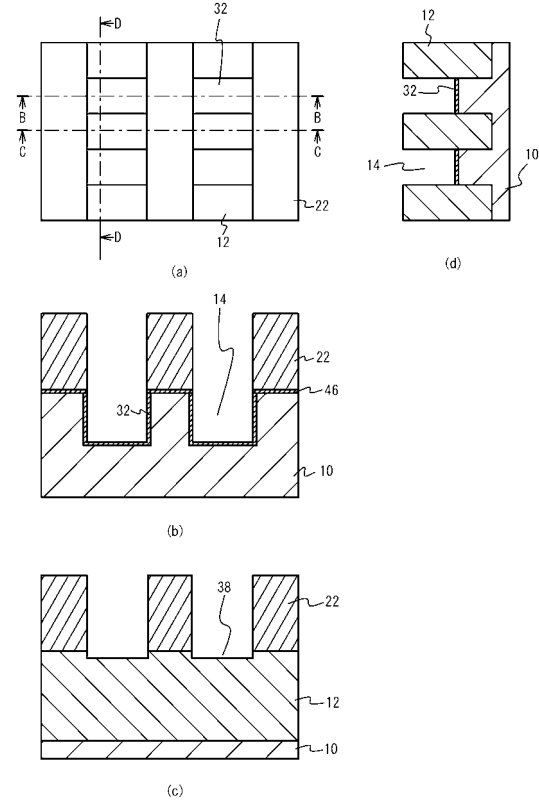
【 図 8 】



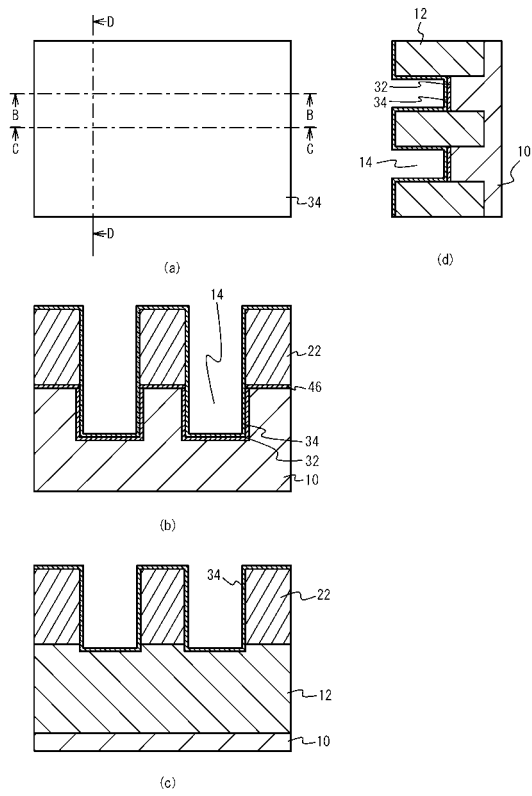
【図 9】



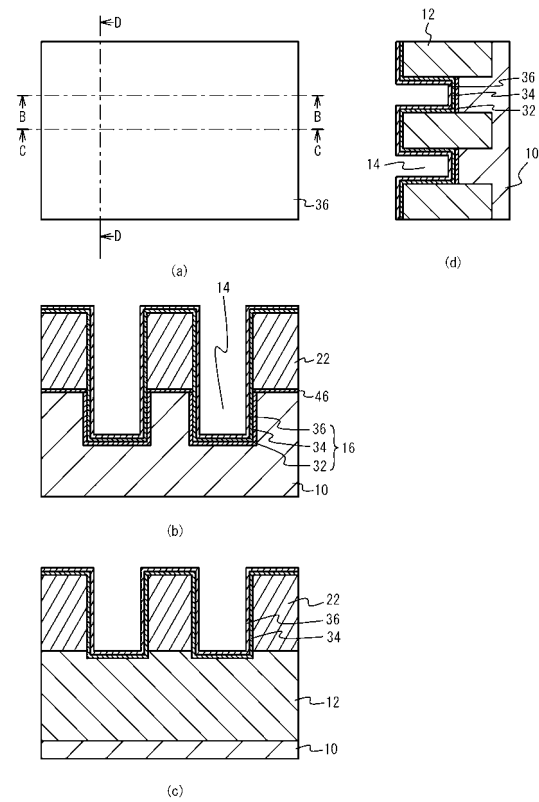
【図 10】



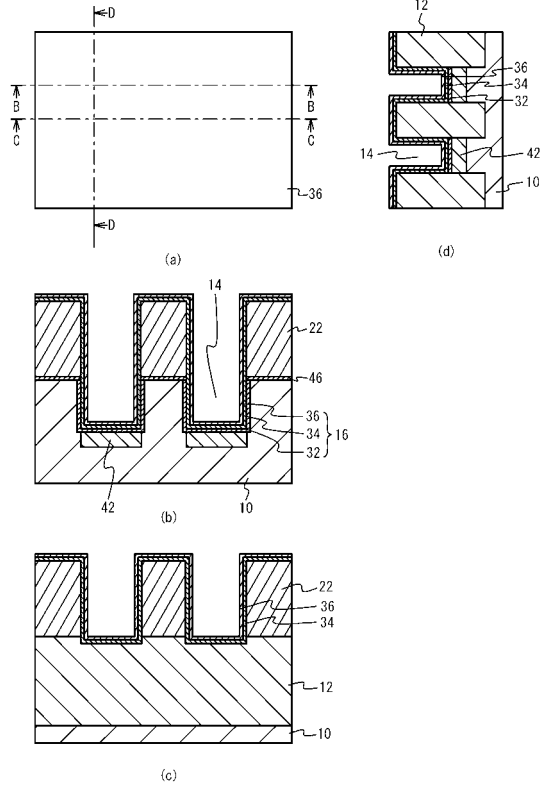
【図 11】



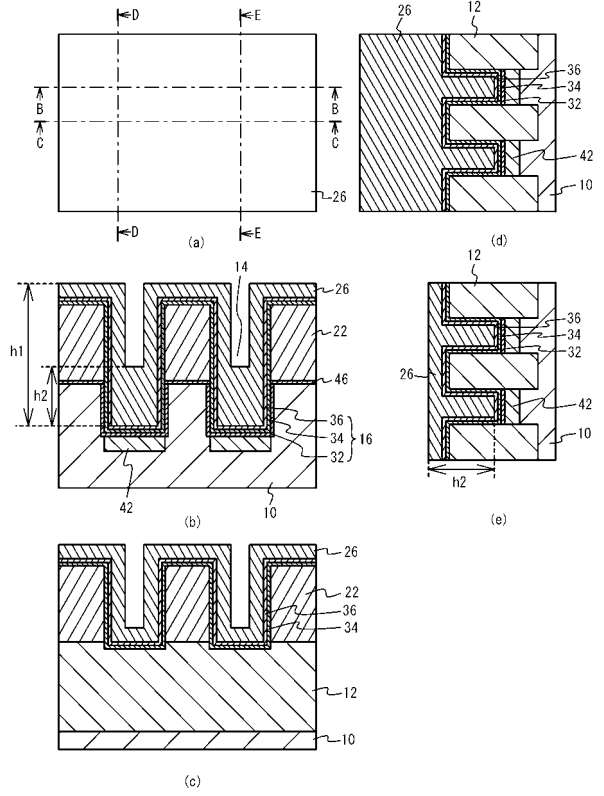
【図 12】



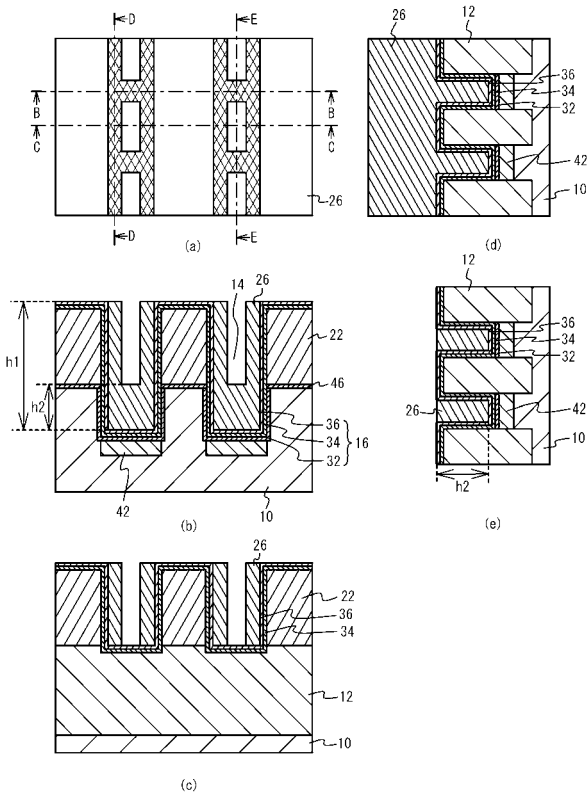
【 図 13 】



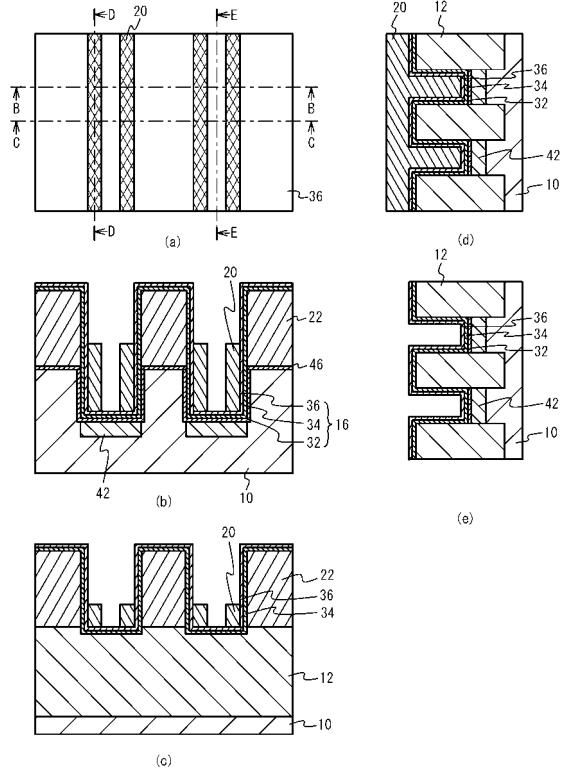
【 図 14 】



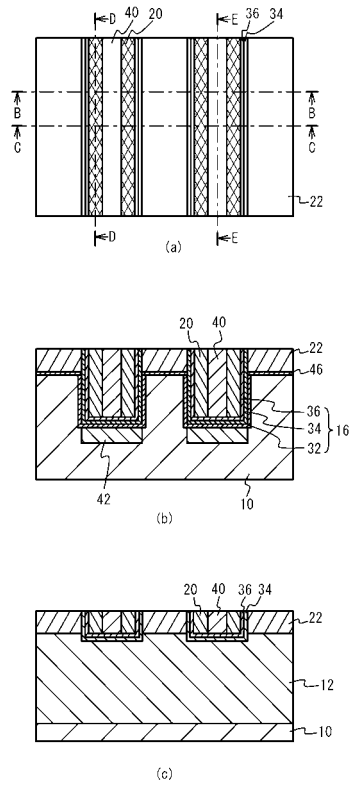
【 図 15 】



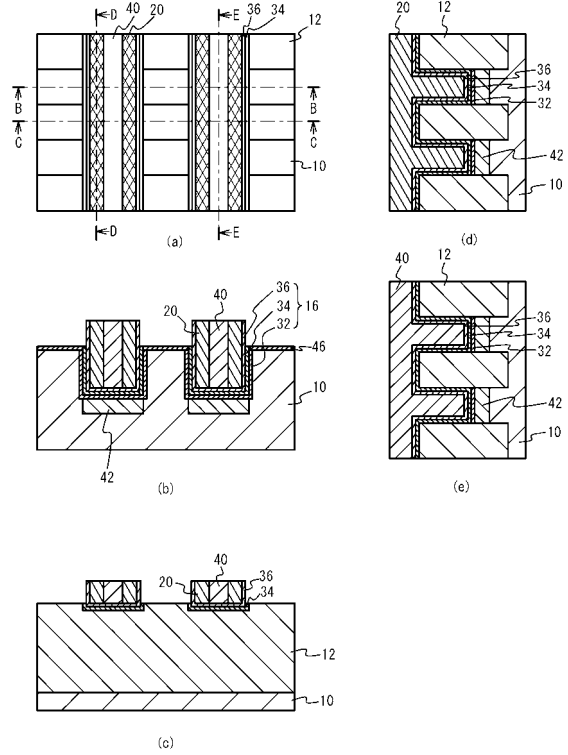
【 図 16 】



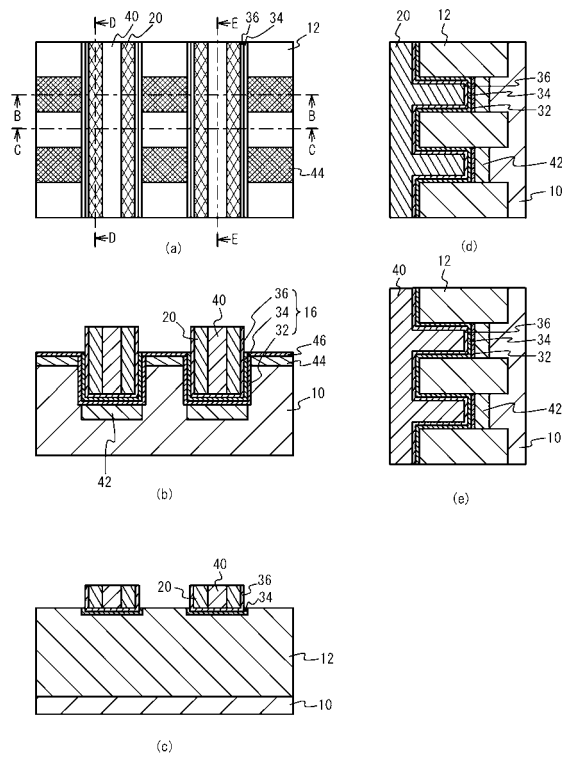
【図 17】



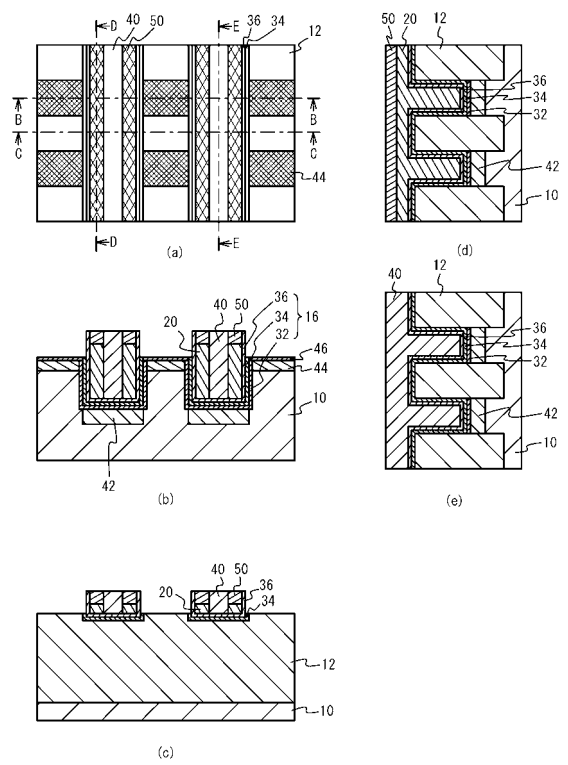
【図 18】



【図 19】



【図 20】



フロントページの続き

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 外山 史晃

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

(72)発明者 井上 文彦

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

審査官 加藤 俊哉

(56)参考文献 韓国登録特許第0777016(KR, B1)

特開2008-004915(JP, A)

特開2004-356660(JP, A)

特開平11-251465(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

H01L 21/336

H01L 27/115

H01L 29/788

H01L 29/792