

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-182820

(P2010-182820A)

(43) 公開日 平成22年8月19日(2010.8.19)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 3 O 1 V 5 F 1 4 O
 HO 1 L 29/78 3 O 1 X

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願2009-24038 (P2009-24038)
 (22) 出願日 平成21年2月4日(2009.2.4)

(71) 出願人 000002325
 セイコーインスツル株式会社
 千葉県千葉市美浜区中瀬1丁目8番地
 (74) 代理人 100154863
 弁理士 久原 健太郎
 (74) 代理人 100142837
 弁理士 内野 則彰
 (74) 代理人 100123685
 弁理士 木村 信行
 (72) 発明者 橋谷 雅幸
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
 Fターム(参考) 5F140 AA05 BB03 BB05 BF01 BF04
 BF43 BG37 BG43 BG44 BG45
 BG58 BK13 BK21 CF07

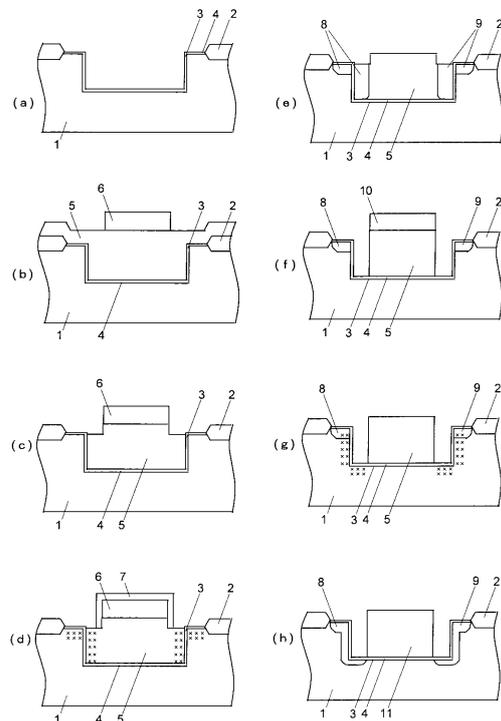
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】高駆動能力を向上させた半導体装置を提供する。

【解決手段】半導体装置には、ゲート幅方向に断続的に深さの変化する凹部を設けるためのトレンチ構造3が形成されており、ゲート絶縁膜4を介して、トレンチ構造3の内部及び上部にゲート電極11が形成されている。ゲート電極11のゲート長方向の一方の側にはソース領域8が形成されており、他方の側にはドレイン領域9が形成されている。そのゲート電極11のソース領域8およびドレイン領域9の一部と中央で不純物濃度の差を発生させることにより、エッチングレートを調整させ、エッチング条件を従来のようなハードな条件にする必要はなく、その他の半導体装置のエッチング条件と同様でトレンチ構造3のソース領域8およびドレイン領域9のむき出しが可能であり、そこにイオン注入をおこなうことでトレンチ構造上面から底部にかけて深く拡散させた領域を形成させることが可能である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 導電型半導体基板に形成された、ゲート幅方向に断続的に深さが変化するトレンチ構造と、

ゲート絶縁膜を介して前記トレンチ構造が定めるトレンチ部の内部およびプレーナー部の上面に形成されたゲート電極と、

前記ゲート電極の一方の側に形成された第 2 導電型のソース領域と、

前記ゲート電極の他方の側に形成された第 2 導電型のドレイン領域と、
を備えた半導体装置において、

前記ソース領域はトレンチ構造の側面および底面の一部に配置されており、前記ゲート電極とトレンチ構造の側面に配置されるソース領域とは前記ゲート絶縁膜により離間し、前記ゲート電極とトレンチ構造の底面に配置されるソース領域の端部とは前記ゲート絶縁膜を介してオーバーラップしており、

10

前記ドレイン領域はトレンチ構造の側面および底面の一部に配置されており、前記ゲート電極とトレンチ構造の側面に配置されるドレイン領域とは前記ゲート絶縁膜により離間し、前記ゲート電極とトレンチ構造の底面に配置されるドレイン領域の端部とは前記ゲート絶縁膜を介してオーバーラップしていることを特徴とする半導体装置。

【請求項 2】

前記プレーナー部のゲート電極の L 長と前記トレンチ部のゲート電極の L 長とが同一であることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 3】

半導体基板を用意する工程と、

前記半導体基板表面に素子分離領域を形成する工程と、

前記半導体基板のチャネル領域となる領域の一部を表面から内部にかけて除去し、側面と底面を有するトレンチ構造を形成し前記半導体基板上にトレンチ部とプレーナー部を形成する工程と、

前記トレンチ部の内壁である側面と底面およびプレーナー部表面にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に多結晶シリコンゲート膜を堆積する工程と、

前記多結晶シリコンゲート膜上に第 1 のレジスト膜をパターニングして前記多結晶シリコンゲート膜をエッチングし前記素子分離領域表面および前記プレーナー部のゲート絶縁膜を露出する工程と、

30

前記第 1 のレジスト膜の上面と側面および前記エッチングにて露出した多結晶シリコンゲート膜の側面を覆うように第 2 のレジスト膜をパターニングする工程と、

前記第 2 のレジスト膜をマスクとして不純物を導入する第 1 の不純物導入工程と、

前記第 1 のレジスト膜と前記第 2 のレジスト膜を剥離した後に熱処理にて不純物を拡散する工程と、

前記不純物が拡散された多結晶シリコンゲート膜領域を選択的にエッチングする工程と

、
次いで、後にソース領域とドレイン領域となる部分に選択的に不純物を導入する第 2 の不純物導入工程と、

40

前記選択的にエッチングされた多結晶シリコンゲート膜に不純物を導入する第 3 の不純物導入工程と、

熱処理をしてソース領域とドレイン領域とゲート電極を形成する工程と、

からなることを特徴とする半導体装置の製造方法。

【請求項 4】

前記第 1 の不純物導入工程と第 2 の不純物導入工程がイオン注入法を利用する工程であって、スピン注入法あるいはステップ注入法であることを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 5】

50

半導体基板を用意する工程と、
 前記半導体基板表面に素子分離領域を形成する工程と、
 前記半導体基板のチャンネル領域となる領域の一部を表面から内部にかけて除去し、側面と底面を有するトレンチ構造を形成し前記半導体基板上にトレンチ部とプレーナ部を形成する工程と、
 前記トレンチ部の内壁である側面と底面およびプレーナ部表面にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に多結晶シリコンゲート膜を堆積する工程と、
 前記多結晶シリコンゲート膜上に第1のレジスト膜をパターンニングして前記多結晶シリコンゲート膜をエッチングし前記素子分離領域表面および前記プレーナ部のゲート絶縁膜を露出する工程と、
 前記第1のレジスト膜の上面と側面および前記エッチングにて露出した多結晶シリコンゲート膜の側面を覆うように第2のレジスト膜をパターンニングする工程と、
 前記第2のレジスト膜をマスクとして不純物を導入する第1の不純物導入工程と、
 前記第1のレジスト膜と前記第2のレジスト膜を剥離した後に熱処理にて不純物を拡散する工程と、
 前記不純物が拡散された多結晶シリコンゲート膜領域を選択的にエッチングする工程と、
 、
 次いで、後にソース領域とドレイン領域となる部分と前記選択的にエッチングされた多結晶シリコンゲート膜に不純物を導入する第4の不純物導入工程と、
 熱処理をしてソース領域とドレイン領域とゲート電極を形成する工程と、
 からなることを特徴とする半導体装置の製造方法。

10

20

30

40

50

【請求項6】

前記第1の不純物導入工程と前記第4の不純物導入工程がイオン注入法を利用する工程であって、スピン注入法あるいはステップ注入法であることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高駆動能力を要するMOSトランジスタを含む半導体装置およびその製造方法に関する。

【背景技術】

【0002】

MOSトランジスタは電子技術において中核を担う電子素子であって、MOSトランジスタの小型化と高駆動能力化は、重要である。MOSトランジスタを高駆動能力化する方法の1つとして、ゲート幅を長くしてオン抵抗を低減させる方法があるが、ゲート幅を広くするとMOSトランジスタの占有面積が大きくなるという問題がある。その解決のために、横型MOS構造のMOSトランジスタの専有面積の増加を抑えながらゲート幅を広くする技術が提案されている。(例えば、特許文献1参照)

以下、図3を用いて、従来の半導体装置について説明する。図3(a)の斜視図は、ウェル18にトレンチ構造3を設け、ゲート絶縁膜4を介してトレンチ構造を有するトレンチ部の内部およびトレンチが形成されていないプレーナ部の上面にゲート電極11を形成したものである。ウェル18の表面部分において、ゲート電極11の一方の側にはソース領域8が設けられており、他方の側にはドレイン領域9が設けられている。図3(b)は、図3(a)のA-A断面図であり、プレーナ部を示している。図3(c)は、図3(a)のB-B断面図であり、チャンネルに垂直な方向の断面図である。B-B断面図に示したように、トレンチ部3の内部にゲート電極11が形成されているため、ゲート電極11の下に位置するゲート絶縁膜4が形成する曲線の長さの総延長がゲート幅となる。

【0003】

このように、この技術では、ゲート部を凸部と凹部を有するトレンチ構造にすることに

よって、表面でのゲート電極 11 の長さに対して、実効的なゲート幅の長さを長くすることができ、これによって、MOSトランジスタの耐圧を低下させずに単位面積あたりのオン抵抗を低減することができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-49826号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

以上述べた半導体装置の構造では、想定したよりも駆動能力が実際には得られないという問題があった。そして、ゲート長によって、駆動能力が異なり、ゲート長が短くなると、駆動能力が低下する傾向を示すということが分かった。

【0006】

これは、ソース・ドレイン間に生じたチャンネルのうち、図3(d)に示した経路A(トレンチ部3が形成されていないプレーナ部)に電流が多く流れ、ソースとドレインを結ぶ向きであるチャンネルに平行なトレンチ部3の側面を流れる経路Bやトレンチ部3の底面を介して流れる経路Cにはあまり電流が流れないことが原因であると推察できる。そのため、ゲート長が短いほど、経路Aに電流が集中するようになり、このことが、ゲート長が短くなると駆動能力が低下する原因であると考えられる。

【0007】

そのため、電流確保のためにソース・ドレイン領域をトレンチ底面まで拡散させる必要があり、そのためには図2ソース・ドレイン領域への不純物添加が容易になるように、ゲート電極のソース近傍およびドレイン近傍をむき出しにする必要があり、ハードなゲート電極エッチング条件が必要となっていた。それによるゲート酸化膜の目減り、劣化も副次的な問題になっている。

【課題を解決するための手段】

【0008】

本発明の目的は、トレンチ構造を有する半導体装置の駆動能力を向上させることであり、そのために、ソース・ドレイン領域の形成においてトレンチ底面まで不純物添加を容易にする。それによりゲート電極のエッチングをハードな条件を不必要とし、従来のその他の半導体装置のゲート電極のエッチングと同一条件で形成することのできる構造および製造方法を提供するものである。

【0009】

上記課題を解決するために、本発明は次の手段を用いた。

【0010】

まず、第1導電型半導体基板に形成された、ゲート幅方向に断続的に深さが変化するトレンチ構造と、ゲート絶縁膜を介して前記トレンチ構造が定めるトレンチ部の内部およびプレーナ部の上面に形成されたゲート電極と、前記ゲート電極の一方の側に形成された第2導電型のソース領域と、前記ゲート電極の他方の側に形成された第2導電型のドレイン領域を備えた半導体装置において、前記ソース領域はトレンチ構造の側面および底面の一部に配置されており、前記ゲート電極とトレンチ構造の側面に配置されるソース領域とは離間し、前記ゲート電極とトレンチ構造の底面に配置されるソース領域の端部とはオーバーラップしており、前記ドレイン領域はトレンチ構造の側面および底面の一部に配置されており、前記ゲート電極とトレンチ構造の側面に配置されるドレイン領域とは離間し、前記ゲート電極とトレンチ構造の底面に配置されるドレイン領域の端部とはオーバーラップしていることを特徴とする半導体装置とした。

【0011】

また、前記プレーナ部のゲート電極のL長と前記トレンチ部のゲート電極のL長とが同一であることを特徴とする半導体装置とした。

10

20

30

40

50

【0012】

また、半導体基板を用意する工程と、前記半導体基板表面に素子分離領域を形成する工程と、前記半導体基板のチャンネル領域となる領域の一部を表面から内部にかけて除去し、側面と底面を有するトレンチ構造を形成し前記半導体基板上にトレンチ部とプレーナー部を形成する工程と、前記トレンチ部の内壁である側面と底面およびプレーナー部表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコンゲート膜を堆積する工程と、前記多結晶シリコンゲート膜上に第1のレジスト膜をパターンニングして前記多結晶シリコンゲート膜をエッチングし前記素子分離領域表面および前記プレーナー部のゲート絶縁膜を露出する工程と、前記第1のレジスト膜の上面と側面および前記エッチングにて露出した多結晶シリコンゲート膜の側面を覆うように第2のレジスト膜をパターンニングする工程と、前記第2のレジスト膜をマスクとして不純物を導入する第1の不純物導入工程と、前記第1のレジスト膜と前記第2のレジスト膜を剥離した後に熱処理にて不純物を拡散する工程と、前記不純物が拡散された多結晶シリコンゲート膜領域を選択的にエッチングする工程と、次いで、後にソース領域とドレイン領域となる部分に選択的に不純物を導入する第2の不純物導入工程と、前記選択的にエッチングされた多結晶シリコンゲート膜に不純物を導入する第3の不純物導入工程と、熱処理をしてソース領域とドレイン領域とゲート電極を形成する工程とからなることを特徴とする半導体装置の製造方法とした。

10

【0013】

また、半導体基板を用意する工程と、前記半導体基板表面に素子分離領域を形成する工程と、前記半導体基板のチャンネル領域となる領域の一部を表面から内部にかけて除去し、側面と底面を有するトレンチ構造を形成し前記半導体基板上にトレンチ部とプレーナー部を形成する工程と、前記トレンチ部の内壁である側面と底面およびプレーナー部表面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコンゲート膜を堆積する工程と、前記多結晶シリコンゲート膜上に第1のレジスト膜をパターンニングして前記多結晶シリコンゲート膜をエッチングし前記素子分離領域表面および前記プレーナー部のゲート絶縁膜を露出する工程と、前記第1のレジスト膜の上面と側面および前記エッチングにて露出した多結晶シリコンゲート膜の側面を覆うように第2のレジスト膜をパターンニングする工程と、前記第2のレジスト膜をマスクとして不純物を導入する第1の不純物導入工程と、前記第1のレジスト膜と前記第2のレジスト膜を剥離した後に熱処理にて不純物を拡散する工程と、前記不純物が拡散された多結晶シリコンゲート膜領域を選択的にエッチングする工程と、次いで、後にソース領域とドレイン領域となる部分と前記選択的にエッチングされた多結晶シリコンゲート膜に不純物を導入する第4の不純物導入工程と、熱処理をしてソース領域とドレイン領域とゲート電極を形成する工程とからなることを特徴とする半導体装置の製造方法とした。

20

30

【発明の効果】

【0014】

本発明によれば、上述の半導体装置のゲート電極のソース領域およびドレイン領域の一部と中央で不純物濃度の差を発生させることにより、エッチングレートを調整させ、エッチング条件を従来のようなハードな条件にする必要はなく、その他の半導体装置のエッチング条件と同様にトレンチ構造のソース領域およびドレイン領域のむき出しが可能であり、そこにイオン注入をおこなうことでトレンチ部上面から底部にかけて深く拡散させた領域を形成させることが可能である。

40

【0015】

これによって、トレンチ部トランジスタのゲート電極に対して深い位置までソース領域およびドレイン領域が形成されることになるため、ゲート幅方向に断続的に深さが変化するトレンチ構造上部への電流集中を緩和させ、電流をトレンチ部側面および底面にも流すことが可能となることから、半導体装置の駆動能力を向上させることが可能となる。

【図面の簡単な説明】

【0016】

【図1】本発明に係る半導体装置の製造方法の実施例を示す模式的断面図からなるフロー

50

図である。

【図2】本発明の半導体装置の模式図である。

【図3】従来技術による半導体装置の課題を説明するための模式的断面図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態を図面に基づいて説明する。

【0018】

図2は本発明の半導体装置を示す模式図である。図2(a)は本発明の半導体装置の平面図であり、図2(b)は図2(a)におけるD-Dでの断面図であってプレーナー部を示す。また、図2(c)は図2(a)におけるC-Cでの断面図であってトレンチ部を示す。

10

【0019】

まず、図2(a)を利用して本発明の半導体装置の平面構造について説明する。半導体基板には複数のトレンチ構造3が形成され、その内側にゲート絶縁膜4が形成されており、プレーナー部12とトレンチ部13は交互に配置されている。プレーナー部12とトレンチ部13を連続して被覆するようにゲート電極11が配置され、ゲート電極11の一方の側にはソース領域、他方の側にはドレイン領域が形成されている。なお、プレーナー部のゲート電極11のL長とトレンチ部のゲート電極11のL長は同じである。

【0020】

次に、プレーナー部の断面を示した図2(b)について説明する。半導体基板1の表面には素子分離領域2が形成され、素子分離領域2間の活性領域にゲート絶縁膜4が形成され、その上にゲート電極11が配置されている。そして、その両側の半導体基板1の表面にソース領域8とドレイン領域9が配置されている。

20

【0021】

次に、トレンチ部の断面を示した図2(c)について説明する。半導体基板1の表面には素子分離領域2が形成され、素子分離領域2間の活性領域にトレンチ構造3が設けられている。トレンチ構造3の内壁である側面及び底面にはゲート酸化膜4が形成される。トレンチ構造3の内部にはトレンチ底面のゲート絶縁膜4と接し、同時にトレンチ側面のゲート絶縁膜とは離間したゲート電極11が配置されている。トレンチ構造3の一方の側面にはソース領域8が形成され、そのソース領域8はトレンチ構造底面に延在しその端部はゲート電極11の端部とオーバーラップしている。また、トレンチ構造3の側面上部のソース領域8は半導体基板1の表面にも延在して素子分離領域2の端部まで達するように形成されている。また、トレンチ構造3の他方の側面にはドレイン領域9が形成され、そのドレイン領域9はトレンチ構造底面に延在しその端部はゲート電極11の端部とオーバーラップしている。また、トレンチ構造3の側面上部のドレイン領域9は半導体基板1の表面にも延在して素子分離領域2の端部まで達するように形成されている。

30

【0022】

図1は本発明の半導体装置の製造方法の実施例を示す模式的断面図からなるフロー図である。

【0023】

40

図1(a)は、第1導電型半導体基板、例えばP型半導体基板1、例えばホウ素添加した抵抗率20 cmから30 cmの不純物濃度の半導体基板に、LOCOS法による素子分離領域2、例えば膜厚500 nmから1 μmの熱酸化膜を備え、上記第1導電型半導体基板1にトレンチ構造3を例えば数百nmから数 μmの深さに形成し、ゲート絶縁膜4、例えば膜厚数百~数千 の熱酸化膜を形成したものである。なお、基板の導電型およびLOCOS法は本発明の本質とは関係ない。次に図1(b)に示すように、ゲート絶縁膜4上に後にゲート電極となりうる多結晶シリコンゲート膜5を好ましくは膜厚を100 nm~500 nm堆積し、その上にゲート電極を形成するためのレジスト膜6をパターンニングする。このレジスト膜6を用いて図1(c)に示すように、多結晶シリコンゲート膜5をエッチングする。

【0024】

50

ここで、図1(d)に示すように、レジスト膜6を保持したまま更にレジスト膜7により被覆し、前のエッチングにて露出した多結晶シリコンゲート膜5の側面を包囲するようにパターニングする。さらにセルフアライン法でソース領域およびドレイン領域を形成するための不純物添加を行う。なお、ここでのセルフアライン法は本発明の本質とは関係ない。ソース領域およびドレイン領域の不純物添加は例えば燐を好ましくは 1×10^{15} atom/cm²から 1×10^{16} atom/cm²のドーズ量で加速エネルギーは例えば130keV程度の高エネルギーで多結晶シリコンゲート膜5も同時にイオン注入する。このときのイオン注入はスピン注入法やステップ注入法用いるとトレンチ構造3の底面まで一様に不純物を注入することが可能となる。

【0025】

その後、図1(e)に示すように、レジスト膜6、およびレジスト膜7を剥離し、800～1000で数時間熱処理することで、多結晶シリコンゲート膜5を含むソース領域8および多結晶シリコンゲート膜5を含むドレイン領域9を形成させる。

その後図1(f)に示すように、多結晶シリコンゲート膜5をレジスト膜10で上述のレジスト膜6と同様のパターニングをおこない、多結晶シリコンゲート膜5をエッチングする。

【0026】

本発明の特徴のひとつは、上述のとおり、図1(f)に示すように、多結晶シリコンゲート膜5のソース領域8側およびドレイン領域9側の一部をソース領域およびドレイン領域と同じく第2導電型の高濃度拡散層を形成することで、例えばレジスト膜10直下の不純物無添加の多結晶シリコンゲート膜5と第2導電型高濃度拡散層では同一のエッチング条件下においてもエッチングレートが第2導電型高濃度拡散層の方が早いことから、エッチング条件を特別ハードな条件にせずとも、その他の半導体装置のゲート電極エッチングと同一条件でトレンチ構造3の底面までむき出しにすることが可能な製造方法を提供するものである。これにより、トレンチ構造3の底面までソース領域およびドレイン領域を形成することによるハードな多結晶シリコンゲート膜5のエッチング条件は必要なくなる。あわせて、後述するように、トレンチ構造3の底面までソース領域8およびドレイン領域9の拡散を可能にする不純物添加方法を含む製造方法を提供するものである。

【0027】

続いて、図1(g)に示すように、セルフアライン法でソース領域およびドレイン領域を形成するための不純物添加を行う。なお、ここでのセルフアライン法は本発明の本質とは関係ない。ソース領域およびドレイン領域の不純物添加は例えば砒素を好ましくは 1×10^{15} atom/cm²から 1×10^{16} atom/cm²のドーズ量でイオン注入する。同時に多結晶シリコンゲート膜5にも不純物添加をおこなう。このときのイオン注入はスピン注入法やステップ注入法用いるとトレンチ構造3の側面及び底面まで一様に不純物を注入することが可能となる。この工程までで、トレンチ構造3を有するMOSトランジスタの形態が整う。その後、図1(h)に示すように、800～1000で数時間熱処理することで、ゲート電極11、ソース領域8およびドレイン領域9を形成させる。最終形状は図2に示すような構造となる。以上説明した製造方法の場合はゲート電極11の導電型とソース領域8およびドレイン領域9の導電型は同じになる。ゲート電極11の導電型とソース領域8およびドレイン領域9の導電型を異なる導電型とする場合は図1(g)においてソース領域8とドレイン領域9のみに第1導電型の不純物を選択的にイオン注入し、その後、ゲート電極11のみに第2導電型の不純物を選択的にイオン注入することで異導電型の構成とすることが出来る。

【0028】

以上、説明した方法によれば、トレンチ部トランジスタのゲート電極に対して深い位置までソース領域およびドレイン領域が形成されることになるため、ゲート幅方向に断続的に深さが変化するトレンチ構造上部への電流集中を緩和させ、電流をトレンチ部側面および底面にも流すことが可能となることから、半導体装置の駆動能力を向上させることが可能となる。

10

20

30

40

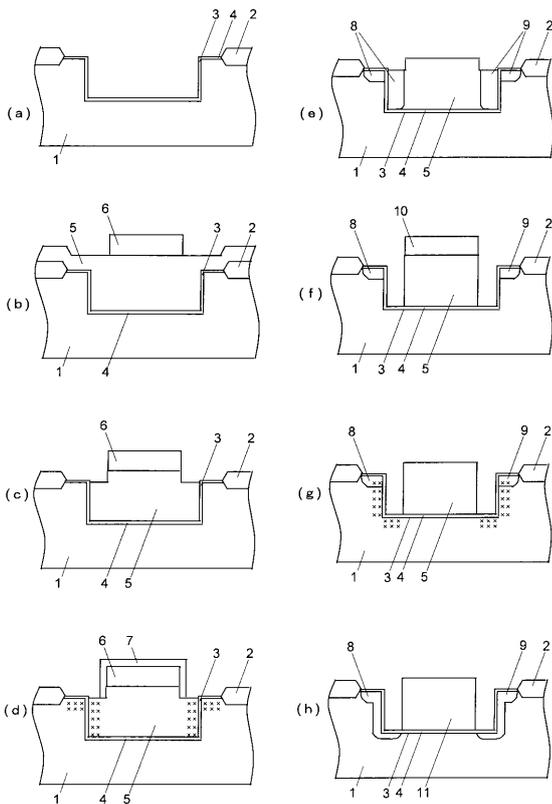
50

【符号の説明】

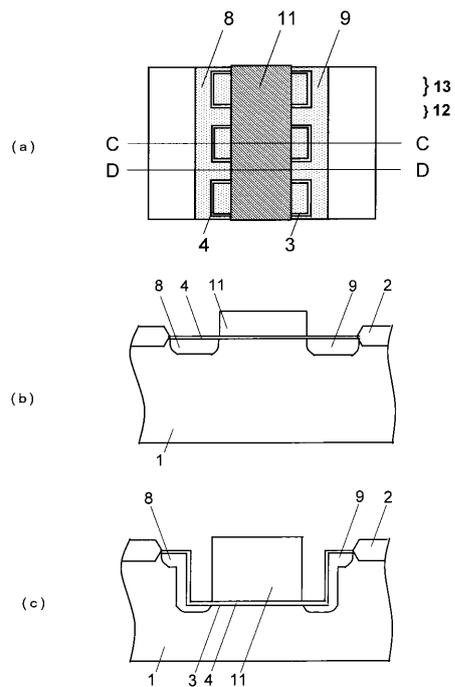
【0029】

- 1 半導体基板
- 2 素子分離領域
- 3 トレンチ構造
- 4 ゲート絶縁膜
- 5 多結晶シリコンゲート膜
- 6、7、10 レジスト膜
- 8 ソース領域
- 9 ドレイン領域
- 11 ゲート電極
- 12 プレーナー部
- 13 トレンチ部
- 18 ウェル

【図1】



【図2】



【 図 3 】

