

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5016841号  
(P5016841)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>16/06</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 3 1
<b>G 1 1 C</b>	<b>16/02</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 4 1
<b>G 1 1 C</b>	<b>16/04</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 3 4 G
			G 1 1 C	17/00 6 2 2 E

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2006-122260 (P2006-122260)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成18年4月26日(2006.4.26)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公開番号	特開2007-294039 (P2007-294039A)	(74) 代理人	100106389 弁理士 田村 和彦
(43) 公開日	平成19年11月8日(2007.11.8)	(72) 発明者	師岡 翠 神奈川県川崎市幸区小向東芝町1番地 マ イクロエレクトロニクスセンター内
審査請求日	平成21年2月5日(2009.2.5)	(72) 発明者	福田 浩一 神奈川県川崎市幸区小向東芝町1番地 マ イクロエレクトロニクスセンター内
		審査官	外山 毅

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的書き換え可能な不揮発性メモリセルが配列され、それぞれが読み出し動作及び書き込み動作を含む各種動作のための初期設定データの集合であり、互いに同一の動作に関し異なる動作条件を規定する2組以上の初期設定データが格納されたメモリセルアレイと

前記メモリセルアレイのデータを検知し増幅するセンスアンプ回路と、

前記メモリセルアレイから前記センスアンプ回路を介して読み出された初期設定データが転送保持される初期設定データラッチと、

前記2組以上の初期設定データのうちのいずれか1つの初期設定データを選択する領域データに基づいて、前記2組以上の初期設定データのうちのいずれか1つを前記初期設定データラッチに記憶させる制御回路と

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記領域データを前記制御回路に入力する初期設定領域選択ピンを更に設けたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】

データ、アドレス又はコマンドを入力するために用いられる入力ピンを更に備え、

前記入力ピンの少なくとも1つから前記領域データを入力するように構成されたことを特徴とする請求項1記載の不揮発性半導体記憶装置。

10

20

## 【請求項 4】

前記領域データは、前記メモリセルアレイ内に記憶され、電源投入時に読み出されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 5】

前記領域データは、外部からコマンドを入力することにより前記制御回路に入力されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

## 【請求項 6】

前記初期設定データは、1セルあたりに1ビットのデータを格納する2値セル用の初期設定データと、1セルあたりに2ビット以上のデータを格納する多値セル用の初期設定データを備えたことを特徴とする請求項 1～5のいずれか一項記載の不揮発性半導体記憶装置。

10

## 【請求項 7】

前記初期設定データは、動作の処理速度、データの信頼性に基いて規定されたことを特徴とする請求項 1～6のいずれか一項記載の不揮発性半導体記憶装置。

## 【請求項 8】

前記2組以上の初期設定データは、前記メモリセルアレイ中の異なるページに格納されたことを特徴とする請求項 1～7記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、不揮発性半導体記憶装置に係り、特にメモリセルアレイ内に初期設定データを格納する領域を有する不揮発性半導体記憶装置に関する。

20

## 【背景技術】

## 【0002】

近年、電気的に書き換え可能な不揮発性半導体記憶装置（以下、「EEPROM」という）の大容量化が進み、ハードディスクに換わる2次記憶装置として採用されはじめている。特に、メモリセルを縦列に接続したNANDセルにより構成されるNAND型EEPROMは高集積化に適しており、携帯電話など携帯端末の2次記憶装置やメモリカードなどに広く使用されている。

## 【0003】

従来より、EEPROMには、自己の動作を制御する制御パラメータなどの初期設定データがメモリセルアレイ内に記憶されている。この初期設定データには、不良セル置換のための不良アドレスデータや、書き込み電圧などの電圧設定データ、プロセスのバラつきに応じ設定電圧を調整する電圧調整データ及び、書き込みや消去の制御パラメータなどが含まれる。この初期設定データは、電源投入時にメモリセルアレイから読み出され、各種設定レジスタに取り込まれる。以降、メモリはこの各種設定レジスタに保存された初期設定データに基づいて書き込み、読み出し又は消去などの動作を行う（特許文献1）。

30

## 【0004】

しかしながら、このようなメモリは、メモリセルアレイ内に初期設定データを1パターンしか記憶しておらず、初期設定データが入力された後に記憶装置の用法や用途を変更したい場合、メモリセルアレイを初期化して再度変更したい用途・用法に応じた動作条件初期設定データを入力し直さなければならない。

40

【特許文献1】特開2001-176290号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

本発明は、初期設定データ入力後に、用途・用法に応じて動作条件を選択することができる不揮発性半導体記憶装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

50

本発明に係る不揮発性半導体記憶装置の一態様は、電気的書き換え可能な不揮発性メモリセルが配列され、それぞれが読み出し動作及び書き込み動作を含む各種動作のための初期設定データの集合であり、互いに同一の動作に関し異なる動作条件を規定する2組以上の初期設定データが格納されたメモリセルアレイと、前記メモリセルアレイのデータを検知し増幅するセンスアンプ回路と、前記メモリセルアレイから前記センスアンプ回路を介して読み出された初期設定データが転送保持される初期設定データラッチと、前記2組以上の初期設定データのうちのいずれか1つの初期設定データを選択する領域データに基づいて、前記2組以上の初期設定データのうちのいずれか1つを前記初期設定データラッチに記憶させる制御回路とを備えたことを特徴とする。

【発明の効果】

10

【0007】

本発明の不揮発性半導体記憶装置によれば、初期設定データ入力後に、用途・用法に応じて動作条件を選択することができる。

【発明を実施するための最良の形態】

【0008】

以下、添付した図面を参照して本発明の実施の形態について説明する。

【0009】

[第1の実施形態]

図1は、本発明の第1の実施形態に係るNAND型フラッシュメモリの構成を示すブロック図である。また、図2は、第1の実施形態に係るNAND型フラッシュメモリのメモリセルアレイの具体的な構成例を示す図である。

20

【0010】

このNAND型フラッシュメモリ(以下、メモリとする。)は、図2に示すように、NANDセルユニットを配列して構成されているメモリセルアレイ1を備えて構成されている。各NAND型セルユニットは、図2に示すように複数個の直列接続された電気的書き換え可能な不揮発性メモリセルと、その両端をそれぞれソース線SL及びビット線BLに接続するための選択ゲートトランジスタを有する。不揮発性メモリセルは、浮遊ゲートと制御ゲートが積層されたスタック・ゲート型のMOSトランジスタ構造を有する。また、1ワード線を共有するセルは、データ読み出し及び書き込みの単位となる1ページを構成し、同じ選択ゲートトランジスタにより選択される複数のページによりブロックBi(i=0~n)が構成される。ブロックは、通常、消去動作の単位となっている。なお、メモリセルアレイ1には、不良ロウ及び不良カラムを置換するための冗長ロウセルアレイ及び冗長カラムセルアレイが設けられている。

30

【0011】

ロウデコーダ2は、ロウアドレスに従ってワード線及び選択ゲート線を選択駆動するもので、ワード線及び選択ゲート線ドライバを含む。センスアンプ3は、ビット線に接続されてデータを検知し増幅する。また、メモリセルアレイ1のビット線は、センスアンプ3を介してデータレジスタ5に接続されている。

【0012】

センスアンプ回路3と、外部入力ピンI/O0-7との間のデータ授受は、I/Oバッファ6及びデータバスBUSを介して行われる。外部入力ピンI/O0-7を介して入力されるアドレスAddは、アドレスバッファ7を介してロウデコーダ2及びカラムデコーダ4に転送される。外部入力ピンI/O0-7を介して入力されるコマンドComは、コマンドバッファ8を介し、コマンドデコーダ9によってデコードされた後、制御回路15に転送される。制御回路15は、外部制御信号とコマンドに基づいて、データの書き込み及び消去の動作制御を行う。

40

【0013】

高電圧発生回路11は、制御回路15によって制御され、書き込み、消去及び読み出しの動作に必要な各種内部発生電圧を発生するものであり、電源電圧より高い内部電圧を発生するため昇圧回路が用いられている。パワーオンリセット回路12は、メモリへの電源

50

投入を検出して、制御回路15に初期化動作を行わせる。ステータスR/Bnは、メモリセルアレイ1が読み出し、書き込み又は消去のレディ状態にあるか、ビジー状態にあるのか外部に出力する。また、I/Oコントロール回路16には、低消費電力のスタンバイモードに設定するチップイネーブルピン/CE、データをシリアル出力させるリードイネーブルピン/RE、外部入力ピンI/O0-7からデータを取り込むライトイネーブルピン/WE、データ取り込み時にHの状態でのI/O0-7のデータをアドレスとして取り込むアドレスラッチイネーブルピン/ALE、外部入力ピンI/O0-7のデータをコマンドとして取り込むコマンドラッチイネーブル/CLEなどの信号が入力される。

#### 【0014】

メモリセルアレイ1には、図3に示すように、メモリの動作条件を規定する初期設定データを有する初期設定データ領域が設定されている。この初期設定データには、(1)不良セル置換のための不良アドレスデータ、(2)内部電圧発生回路11が発生する書き込み電圧などの電圧設定データ、(3)プロセスのバラつきに応じ、内部設定電圧を調整する電圧調整データ、(4)書き込みや消去の制御パラメータなどが含まれる。制御回路15は、初期動作において初期設定データ領域から電圧設定データや電圧調整データを読み出して初期設定データラッチ13に保存させると共に、初期設定データ領域から不良アドレス及びそれに置換される冗長アドレスを読み出してコード識別回路10に保存させる。判定回路14は、I/Oバッファ6から入力されるアドレスAddが、コード識別回路10が有する不良アドレスと一致するか判定し、一致すれば不良アドレスと冗長アドレスの置換を行うよう動作する。

#### 【0015】

初期設定データラッチ13は、図4に示すように、複数のラッチ回路LA1~LAMによって構成される。各ラッチ回路LA1~LAMは、ラッチ本体18と、データを取り込むためのクロック・インバータ19A、及び保持されているデータを入力側のデータバスに取り出すためのクロック・インバータ19Bとを有する。このデータラッチ13は、電源投入時やテストモードにおいて発生されるリセット信号RSTによってリセットされるが、通常のメモリ動作ではデータを保持する。

#### 【0016】

初期設定データ領域には、異なる動作条件に対応する2パターンの第1初期設定データ領域20及び第2初期設定データ領域21が設定されている。この第1初期設定データ領域20及び第2初期設定データ領域21には、例えば、以下のような動作条件に応じた初期設定データをそれぞれに格納することができる。

(動作条件1)メモリには、1セル当たり1ビットのデータを格納する2値セルのメモリと、1セル当たり2ビット以上のデータを格納する多値セルのメモリがある。そのため、2値セル用の電圧設定データを有する初期設定データと、多値セル用の電圧設定データを有する初期設定データをそれぞれの初期設定データ領域20、21に格納することができる。

(動作条件2)データの書き込み速度の向上と、書き込まれたデータの信頼性はトレードオフの関係にある。そのため、データの書き込みは低速であるが書き込まれたデータが高信頼性を有するように設定された初期設定データと、データの書き込みは高速であるが書き込まれたデータの信頼性が低い初期設定データとを、それぞれの初期設定データ領域20、21に格納することができる。

(動作条件3)同様に、信頼性を保証する上で、データ書き換え回数と、データの書き込み速度は、トレードオフの関係にある。そのため、データの書き換え回数は多いがデータの書き込み速度の遅い動作条件が規定された初期設定データと、書き換え可能な回数が少ないがデータの書き込み速度の速い初期設定データとを、それぞれの初期設定データ領域20、21に格納することができる。

#### 【0017】

なお、動作条件は以上のものに限定されず、異なる任意の動作条件を第1初期設定データ領域20及び第2初期設定データ領域21に格納することができる。また、例えば、2

10

20

30

40

50

値セル用でありデータの書き込み速度が早い動作条件など、複数の条件を組み合わせで初期設定データを規定することもできる。

【 0 0 1 8 】

初期設定領域選択ピン 17 には、電源投入前に第 1 初期設定データ領域又は第 2 初期設定データ領域のいずれかを選択する領域データが入力されている。領域データは、例えば、第 1 初期設定データ領域 20 を指定する場合は、初期設定領域選択ピン 17 は H とし、第 2 初期設定データ領域 21 を指定する場合は L に設定することで第 1 初期設定データ領域 20 又は第 2 初期設定データ領域 21 のいずれかを選択することができる。

【 0 0 1 9 】

図 5 は、初期設定動作のフローを示す図である。

10

【 0 0 2 0 】

電源投入が検出されると（ステップ S0）、制御回路 15 は、初期設定領域選択ピン 17 から領域データを取り込み（ステップ S1）、この領域データに従って、初期設定データ領域のアドレスが選択される（ステップ S2）。次に、選択された初期設定データ領域から初期設定データが読み出され（ステップ S3）、読み出された初期設定データが初期設定データラッチ 13 及びコード識別回路 10 などの各種設定レジスタに取り込まれ（ステップ S4）、初期化動作が終了する（ステップ S5）。

【 0 0 2 1 】

このように、初期設定データ領域として異なる動作条件に応じた 2 つの第 1 初期設定データ領域 20 及び第 2 初期設定データ領域 21 を入力しておき、その後使用・用途に応じていずれかの初期設定データを選択することができる。

20

【 0 0 2 2 】

これにより、動作条件の異なった複数種類のメモリ製品を生産する場合は、初期設定データを入力した後に、需要に応じて複数種類のメモリ製品の生産割合を調整することができる。

【 0 0 2 3 】

特に、従来では、1 セルあたりに 1 ビットのデータを格納する 2 値セル用のメモリと 1 セルあたりに 1 ビット以上のデータを格納する多値セル用のメモリは、初期設定データ以外のメモリ構成が同じであり、且つ多値セル用のメモリのテスト工程においては、2 値セル用のテスト工程を経るにも関わらず、メモリ製品出荷後は多値セルのメモリは多値セル用の初期設定データしか記憶していないため多値セルとしてしか機能しなかった。これに対し、本実施形態では、メモリセルアレイ内に 2 値セル用の初期設定データと多値セル用の初期設定データを設定し、2 値セル用のテスト工程を終えた後に、2 値又は多値セル用の初期設定データを選択することも可能となる。

30

【 0 0 2 4 】

本実施形態によれば、予め、2 値セル用テストと多値セル用テストの初期設定データの両方を、初期設定領域に格納しておくことにより、テスト毎に初期設定データを試験装置から入力してやる必要がなく、試験の TAT 向上、簡易な試験装置の使用が可能となる利点もある。

【 0 0 2 5 】

40

本実施形態では、動作条件の異なる初期設定データが格納された初期設定データ領域の数を 2 つとしたが、これは数を限定するものではなく、選択したい任意の初期設定データ領域の数に応じて、初期設定データ領域の数を設定することができる。その場合、初期設定領域選択ピン 17 を複数本備え、任意の初期設定データ領域を選択できるように構成すればよい。

【 0 0 2 6 】

[ 第 2 の実施形態 ]

図 6 は、本発明の第 2 の実施形態に係るメモリの構成を示すブロック図である。なお、以下同一機能を有するものについては同一符号を付すことによりその説明を省略する。

【 0 0 2 7 】

50

第2の実施形態の特徴は、初期設定データ領域を選択する領域データを、I/Oコントロール回路16が有する既存の入力ピンから取り込むように構成されているところにある。

【0028】

I/Oコントロール回路16は、データ、アドレス又はコマンドを入力するための入力ピンである、チップイネーブルピン/CE、リードイネーブルピン/RE、ライトイネーブルピン/WE、アドレスラッチイネーブルピン/ALE、コマンドラッチイネーブルピン/CLE、外部入力ピンI/O0-7等を有している。これら既存の入力ピンのうち電源投入時に使用しないピンをH/Lに設定し、電源投入時にその状態H/Lを読み取ることによって領域データを得る。また、複数の初期設定データ領域を設定する場合には、この既存の入力ピンから複数個の入力ピンの状態H/Lを読み取るように構成することもできる。また、入力ピンから入力された領域データは、設定領域データラッチ23に格納される。以降この設定領域データラッチ23に保存された領域データに基づき初期設定データ領域を読み出す。

10

【0029】

このように既存の入力ピンから領域データを設定することによって、第1の実施形態で用いた初期設定領域選択ピン17を省略することができる。特に、複数の初期設定データ領域を設定した場合には、第1の実施形態では領域データを取り込む複数のピンが必要となるが、第2の実施形態ではI/Oコントロール回路16が有する既存の入力ピンから領域データを取り込むので別途複数の入力ピンを用意する必要がない。

20

【0030】

[第3の実施形態]

図7は、本発明の第3の実施形態に係るメモリのメモリセルアレイ1Aの構成を示す図である。なお、第3の実施形態に係るメモリの全体は、図6に示されたものと同じであるためその説明を省略する。

【0031】

第3の実施形態の特徴は、初期設定データ領域を選択する領域データが初期設定データ領域内にプログラミングされているところにある。

【0032】

領域データ22は、第1初期設定データ領域20Aが記録されている同一ページ内に記憶されている。なお、この領域データ22は、メモリセルアレイ1Aに第1初期設定データ領域20A及び第2初期設定データ領域21が設定された後のメモリの動作試験の最終工程においてプログラミングされる。

30

【0033】

図8は、同メモリの初期設定動作のフローを示す図である。

【0034】

電源投入が検出されると(ステップS0)、第1初期設定データが読み出され(ステップS1)、領域データ22が取り込まれる(ステップS2)。次に、取り込まれた領域データ22が、第1初期設定データ20Aを指定するものであるか判定され(ステップS3)、領域データ22が第1初期設定データ20を選択するものであれば、第1初期設定データ20が初期設定データラッチ13及びコード識別回路10等の各種設定レジスタに取り込まれる(ステップS4)。一方、ステップS3において、領域データ22が第2初期設定データ領域21を選択するものであれば、第2初期設定データ21が改めて読み出された後(ステップS5)、初期設定データラッチ13及びコード識別回路10等の各種設定レジスタに取り込まれ(ステップS4)、初期化動作が終了する(ステップS6)。

40

【0035】

第3の実施形態では、メモリ製品出荷直前のテスト最終工程において、領域データ22がプログラミングされるため、他の実施形態と同様に製造メーカーが生産調整を行うことが可能である。一方、入力ピンを使用して領域データを設定する必要がないため、ユーザー側では初期設定データを複数プログラミングされていない従来品と同様の使用方法で本

50

実施形態に係るメモリを使うことができる。

【 0 0 3 6 】

[ 第 4 の実施形態 ]

図 9 は、本発明の第 4 の実施形態に係るメモリのメモリセルアレイ 1 B の構成を示す図である。なお、第 4 の実施形態に係るメモリの全体は、図 6 に示されたものと同じであるためその説明を省略する。

【 0 0 3 7 】

第 4 の実施形態の特徴は、領域データ 2 2 が第 1 初期設定データ領域 2 0 及び第 2 初期設定データ領域 2 1 とは別のページにプログラミングされているところにある。

【 0 0 3 8 】

図 1 0 は、同メモリの初期設定動作のフローを示す図である。

【 0 0 3 9 】

電源投入が検出されると(ステップ S 0)、領域データ 2 2 が読み出され(ステップ S 1)、初期設定データラッチ 1 3 に取り込まれる(ステップ S 2)。次に、読み出された領域データ 2 2 が第 1 初期設定データ 2 0 を指定しているか判定され(ステップ S 3)、領域データが第 1 初期設定データ 2 0 を指定していれば、第 1 初期設定データ 2 0 が読み出され(ステップ S 4)、初期設定データラッチ 1 3 及びコード識別回路 1 0 等の各種設定レジスタに第 1 初期設定データ領域 2 0 の初期設定データが取り込まれ(S 6)、初期化動作が終了する(S 7)。一方、ステップ S 3 において、領域データ 2 2 が第 2 初期設定データ領域 2 1 を指定するものであれば、第 2 初期設定データ領域 2 1 が読み出され(S 5)、初期設定データラッチ 1 3 及びコード識別回路 1 0 等の各種設定レジスタに第 2 初期データ領域 2 1 の初期設定データが取り込まれ(S 6)、初期化動作が終了する(S 7)。

【 0 0 4 0 】

このように、領域データ 2 2 を第 1 初期設定データ領域 2 0 及び第 2 初期設定データ領域 2 1 とは別のページにプログラミングし、はじめにこの領域データ 2 2 を読み出すことによって、第 1 初期設定データ領域 2 0 又は第 2 初期設定データ領域 2 1 を読み出す動作が 1 度で済む。これにより、初期設定動作時間の短縮を図ることができる。

【 0 0 4 1 】

[ 第 5 の実施形態 ]

図 1 1 は、本発明の第 5 の実施形態に係るメモリのメモリセルアレイ 1 C の構成を示す図である。なお、第 5 の実施形態に係るメモリの全体は、図 6 に示されたものと同じであるためその説明を省略する。

【 0 0 4 2 】

第 5 の実施形態の特徴は、第 1 初期設定データ領域 2 0、第 2 初期設定データ領域 2 1 及び領域データ 2 2 が格納された各ページは、メモリセルアレイ 1 C 内でページが連続しない任意の位置に配置されている。領域データ 2 2 C には、選択する第 1 初期設定データ 2 0 又は第 2 初期設定データ 2 1 が格納されている指定アドレスが記憶されている。

【 0 0 4 3 】

また、図 1 2 は、同メモリの初期設定動作のフローを示す図である。

【 0 0 4 4 】

電源投入が検出されると(ステップ S 0)、領域データ 2 2 が読み出され(ステップ S 1)、領域データ 2 2 が取り込まれる(ステップ S 2)。取り込まれた領域データ 2 2 から指定アドレスが読み出され(ステップ S 3)、この指定アドレス内に格納された第 1 初期データ領域 2 0 又は第 2 初期データ領域 2 1 が読み出され(ステップ S 4)、初期設定データラッチ 1 3 及びコード識別回路 1 0 等の各種レジスタに取り込まれ(ステップ S 5)、初期化動作が終了する(ステップ S 6)。

【 0 0 4 5 】

このように、メモリセルアレイ 1 C 内の任意の位置に第 1 初期設定データ領域 2 0、第 2 初期設定データ領域 2 1 及び領域データ 2 2 を格納することによって、メモリセルアレ

10

20

30

40

50

イ 1 C 内のレイアウトの自由度を向上させることができる。

[ 第 6 の実施形態 ]

図 1 3 は、本発明の第 6 の実施形態に係るメモリシステム 2 5 の構成を示すブロック図である。また、図 1 4 は、同メモリシステム 2 5 のメモリ 2 7 が有するメモリセルアレイ 1 D の構成を示す図である。

【 0 0 4 6 】

第 6 の実施形態の特徴は、メモリ 2 7 が半導体システム 2 5 に搭載され、このメモリシステム 2 5 内に設置されたコントローラ 2 6 から領域データが入力されることにある。

【 0 0 4 7 】

メモリセルアレイ 1 D は、第 1 初期設定データ領域 2 0 と第 2 初期設定データ領域 2 1 を有する。第 6 の実施形態では、領域データは、コントローラ 2 6 から各入力ピン（チップイネーブルピン / C E、リードイネーブルピン / R E、I / O、ライトイネーブルピン / W E、アドレスラッチイネーブルピン / A L E、コマンドラッチイネーブルピン / C L E、外部入力ピン I / O 0 - 7）に予め設定された初期設定コマンドを入力することにより設定される。

【 0 0 4 8 】

図 1 5 は、同メモリシステムの初期設定動作のフローを示す図である。

【 0 0 4 9 】

電源投入が検出されると（ステップ S 0）、電源及びポンプなどのアナログ機器の初期設定の動作が終了する（ステップ S 1）。コントローラ 2 6 から入力ピンを介して領域データを含む初期設定コマンドが出力されると（ステップ S 2）、この初期設定コマンドに含まれる指定アドレスに従ってメモリセルアレイ 1 D 内のアドレスが選択され（ステップ S 3）、この指定アドレス内に格納された第 1 初期データ領域 2 0 又は第 2 初期データ領域 2 1 が読み出されて（ステップ S 4）、初期設定データラッチ 1 3 及びコード識別回路 1 0 等の各種レジスタに取り込まれる（ステップ S 5）。

【 0 0 5 0 】

このように、コントローラ 8 から初期設定コマンドを入力することにより、メモリ製品の出荷後においても、メモリシステムの生産者が用途・用法に応じてメモリの動作条件を選択することができる。

[ 第 7 の実施形態 ]

図 1 6 は、本発明の第 7 の実施形態に係るメモリシステムのメモリが有するメモリセルアレイ 1 E の構成を示す図である。

【 0 0 5 1 】

第 7 の実施形態の特徴は、第 6 の実施形態において初期設定データ領域 2 0 E、2 1 E がメモリセルアレイ 1 E 内の任意の位置にレイアウトされていることにある。なお、本実施形態のメモリシステムの構成ブロック図は、第 6 の実施形態に示されている構成ブロック図と同様である（図 1 3）。

【 0 0 5 2 】

図 1 7 は、同メモリシステムの初期設定動作のフローを示す図である。

【 0 0 5 3 】

電源投入が検出され（ステップ S 0）、電源及びポンプなどのアナログ機器の初期設定の動作が終了すると（ステップ S 1）、コントローラ 2 6 から入力ピンを介して初期設定コマンドが入力される（ステップ S 2）。更に、設定したい初期設定データが格納された指定アドレスが入力されると（ステップ S 3）、この指定アドレスに格納された第 1 初期データ領域 2 0 又は第 2 初期データ領域 2 1 が読み出されて（ステップ S 4）、各種レジスタに取り込まれる（ステップ S 5）。

【 0 0 5 4 】

このように、メモリ製品出荷後にユーザーが動作条件を決定することにより、コントローラ 8 によってメモリセルアレイ 1 E を複数のアドレス空間に分割し、それぞれのアドレス空間に異なる動作条件を割り当てることも可能となる。つまり、第 1 のアドレス空間は

10

20

30

40

50



、第1初期設定データ領域に格納された初期設定データによって規定し、第2のアドレス空間は、第2初期設定データ領域に格納された初期設定データによって規定することができる。

【0055】

なお以上の実施形態では、NAND型フラッシュメモリを例としたが、本発明はこれに限定されるものではなく、NOR型、AND型、DINOR型フラッシュメモリにも同様に適用可能である。

【図面の簡単な説明】

【0056】

【図1】第1の実施形態に係るNAND型フラッシュメモリの構成を示すブロック図である。 10

【図2】第1の実施形態に係るNAND型フラッシュメモリのメモリセルの具体的構成を示す図である。

【図3】第1の実施形態に係るNAND型フラッシュメモリのメモリセルアレイの構成を示す図である。

【図4】第1の実施形態に係るNAND型フラッシュメモリの初期設定データラッチの構成を示す図である。

【図5】第1の実施形態に係るNAND型フラッシュメモリの初期設定動作の制御フローを示す図である。

【図6】第2の実施形態に係るNAND型フラッシュメモリの構成を示すブロック図である。 20

【図7】第3の実施形態に係るNAND型フラッシュメモリのメモリセルアレイの構成を示す図である。

【図8】第3の実施形態に係るNAND型フラッシュメモリの初期設定動作の制御フローを示す図である。

【図9】第4の実施形態に係るNAND型フラッシュメモリのメモリセルアレイの構成を示す図である。

【図10】第4の実施形態に係るNAND型フラッシュメモリの初期設定動作の制御フローを示す図である。

【図11】第5の実施形態に係るNAND型フラッシュメモリの構成のメモリセルアレイの構成を示す図である。 30

【図12】第5の実施形態に係るNAND型フラッシュメモリの初期設定動作の制御フローを示す図である。

【図13】第6の実施形態に係るNAND型フラッシュメモリの構成を示すブロック図である。

【図14】第6の実施形態に係るNAND型フラッシュメモリのメモリセルアレイの構成を示す図である。

【図15】第6の実施形態に係る不NAND型フラッシュメモリの初期設定動作の制御フローを示す図である。

【図16】第7の実施形態に係るNAND型フラッシュメモリのメモリセルアレイの構成を示す図である。 40

【図17】第7の実施形態に係るNAND型フラッシュメモリの初期設定動作の制御フローを示す図である。

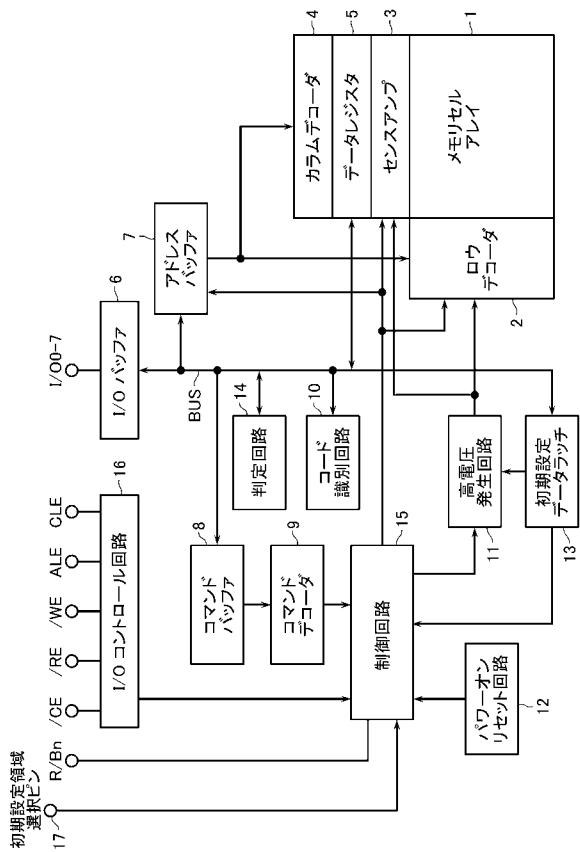
【符号の説明】

【0057】

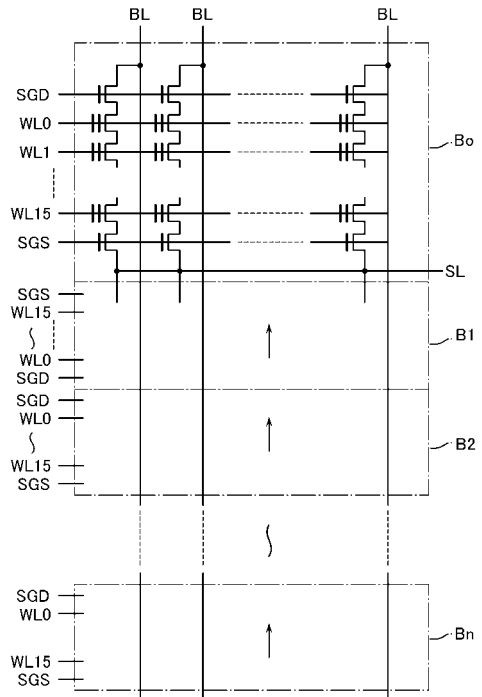
1 ...メモリセルアレイ、2 ...ロウデコーダ、3 ...センスアンプ、4 ...カラムデコーダ、5 ...データレジスタ、6 ...カラムデコーダ、7 ...アドレスバッファ、8 ...コマンドバッファ、9 ...コマンドデコーダ、10 ...コード識別回路、11 ...高電圧発生回路、12 ...パワーオンリセット回路、13 ...初期設定データラッチ、14 ...判定回路、15 ...制御回路、16 ...I/Oコントロール回路、17 ...初期設定領域選択ピン、18 ...ラッチ本体、19 50

...クロック・インバータ、20...第1初期設定データ領域、21...第2初期設定データ領域、23...設定領域データラッチ、25...メモリシステム、26...コントローラ。

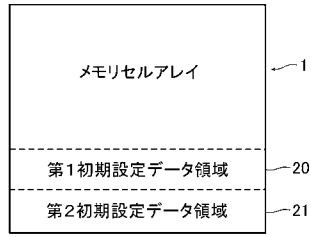
【図1】



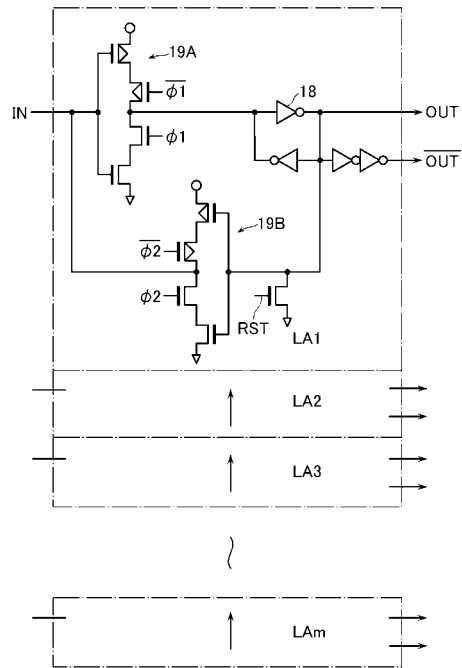
【図2】



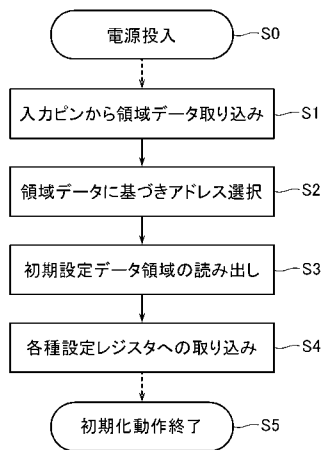
【図3】



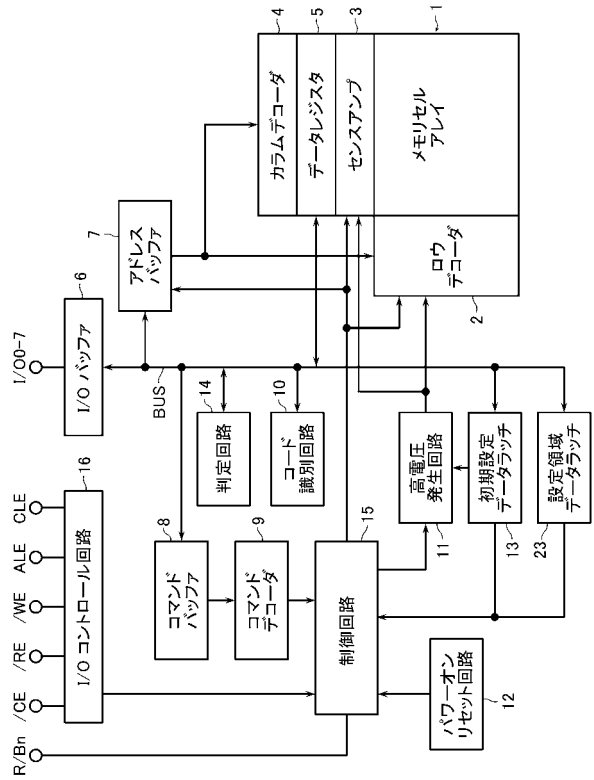
【図4】



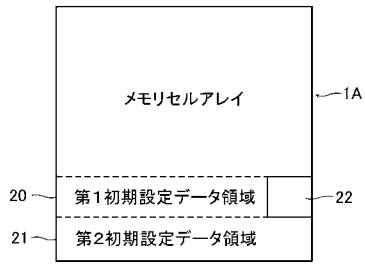
【図5】



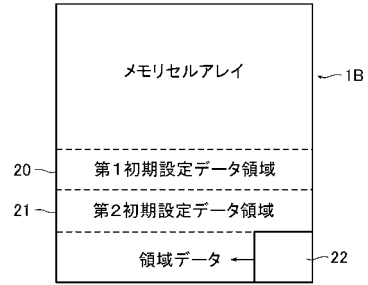
【図6】



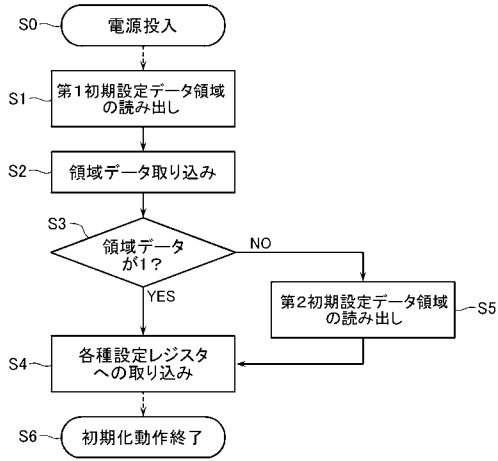
【図7】



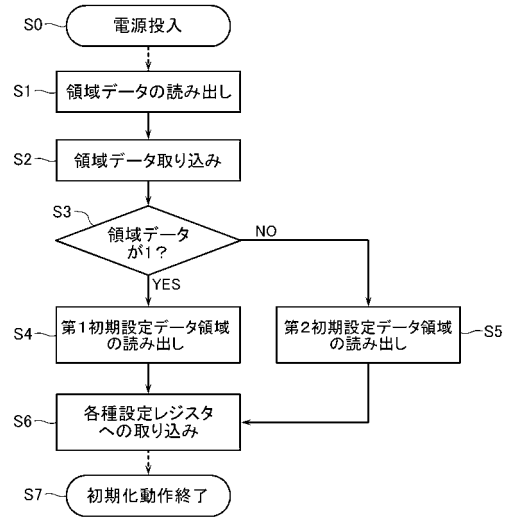
【図9】



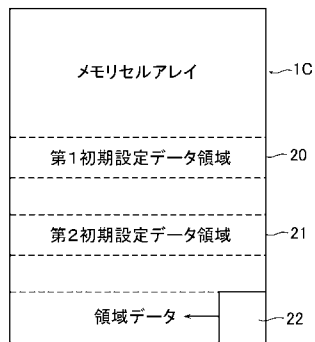
【図8】



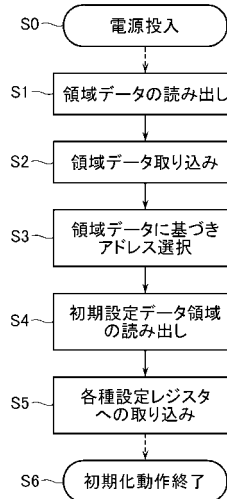
【図10】



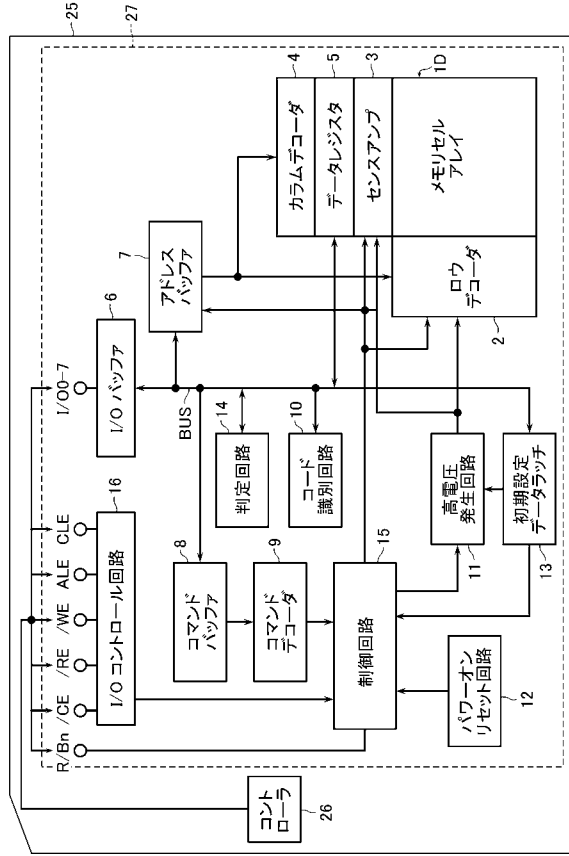
【図11】



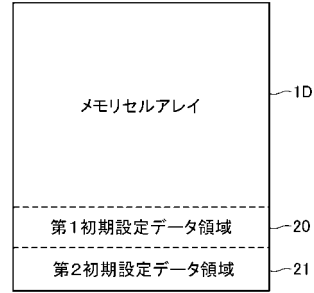
【図12】



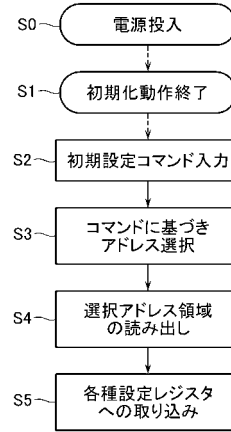
【図13】



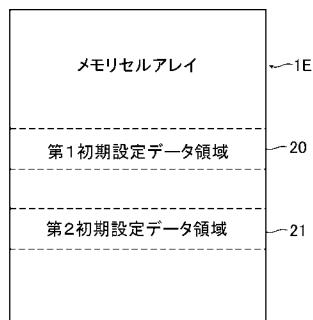
【図14】



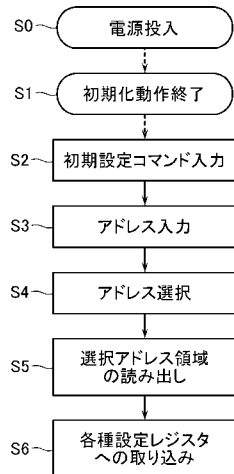
【図15】



【図16】



【図17】



---

フロントページの続き

- (56)参考文献 特開2004-227736(JP,A)  
米国特許第06614689(US,B1)  
特開2002-117692(JP,A)  
特開2005-293659(JP,A)  
特開2003-022687(JP,A)  
特開2004-055081(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/00 - 16/34