

双面影印

# 公告本

申請日期	89.12.4
案號	89125791
類別	Hall 23/8

A4  
C4

473955

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	用於製造一覆晶封裝體之方法
	英文	METHOD FOR PRODUCING A FLIP CHIP PACKAGE
二、發明人	姓名	(1)王鐵 (2)林振聲
	國籍	(1)中國大陸 (2)新加坡
	住、居所	(1)新加坡西梅街4號大牌233#11-154 (2)新加坡克里門堤街2號大牌358#08-289
三、申請人	姓名 (名稱)	新加坡商·奎士科技解決私人有限公司
	國籍	新加坡
	住、居所 (事務所)	新加坡馬西琳工業園區路3號 33,#03-01/03
	代表人名 姓名	王鐵

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

新加坡國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
2000,12,04 200007117-5

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

本發明係有關於製造倒裝晶片半導體封裝物者，尤有關於在製造該等封裝物時敷設填料的方法。

倒裝晶片半導體封裝物係為習知者。一倒裝晶片封裝體包含一半導體晶片或晶粒，其在一表面上具有一焊墊圖案；一基材具有一對應的導體圖案設在其第一表面上，並在相反於該第一表面的第二表面上具有一外導體圖案；而接點等可將該等焊墊連接於導接位置；及填料被填入於該晶片與基材之間的空隙中。

一種先前相當習知之製造該倒裝晶片封裝體的方法，係將該半導體晶片上之焊墊升高或凸起，然後將該晶片倒置，而使該等凸體覆蓋在導體圖案上。當該等凸體係由焊劑或焊球來沉積或層設時，該組合物會被加熱，俾使焊墊與導體之間的焊劑能被熔化，而在各焊墊與一對應的導體之間形成連接。

通常，該填料係為一環氧樹脂液體，其黏性會隨著溫度的上升而大大地降低。該填料會被敷設在該倒裝晶片的邊緣，而透過毛細作用該填料會被吸引入其間隙中。以填料來填入該間隙的過程會有各種困難，而其中最嚴重的是未能填滿該間隙。

第二種製造倒裝晶片封裝體的方法係意圖縮短其流程，而特別是利用所謂非流質填料來解決該敷設填料的問題。以此方法，該非流質填料將會在該晶片的凸體表面被置於基材上之前，先被敷設在該基材的第一表面上。此方法大體上可解決上述第一種方法中未能在基材與晶片之間

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(2)

的空隙內完全填滿填料的問題及困難。

但是，又發現此方法會有氣泡含陷在該非流質填料中。該等氣泡會使所完成之倒裝晶片半導體封裝物產生空隙，而空隙將會如第一種方法一般，對該倒裝晶片半導體封裝物之功能及可靠性有不良影響。

在產業上，該等封裝體的顧客會針對該等空隙的大小及分佈來限定在一封裝體中之可容許的空隙標準。具有超過所定標準之空隙量及分佈狀況的封裝體將不被接受。一種已知的標準係，不能有凸體完全地與填料隔離。換言之，不能有一凸體完全地被一氣隙所包圍。因此，必須控制在倒裝晶片半導體封裝物中之氣隙的形成，才能符合該等空隙標準並製成更可靠的封裝物。

本發明即為提供一種倒裝晶片半導體封裝物之製造方法，而能克服或至少減少前述習知技術之問題者。

依據本發明之一概念，乃在提供一種製造倒裝晶片半導體封裝物的方法，包含以下步驟：

a)提供：

i)一半導體晶片其上具有多數焊墊排列成一圖案，且至少有些該等焊墊上設有至少一導電凸體；

ii)一基材其上具有多數導電位置，且至少有些該等導電位置係排列成一對應圖案，而可承接前述之至少一些凸體；及

iii)填料；

b)將該基材加熱至一相對於該填料較高的溫度，而將

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明(3)

該填料佈設在基材上；及

c)將該半導體晶片置於該基材上，而使填料佈設其間，且該等至少一些焊墊係被對準於該等至少一些導電位置。

依據本發明另一概念所提供之製造倒裝晶片半導體封裝物的方法，係包含下列步驟：

a)提供：

i)一半導體晶片其上具有多數焊墊，且至少有些該等焊墊係排列成一圖案；

ii)一設有凸體的基材其上具有多數導電位置，而至少有些該等導電位置係排列成一對應圖案，且其上各具有至少一導電凸體，此等導電位置乃可連接於該等至少一些焊墊；及

iii)填料；

b)將該設有凸體的基材加熱至一相對於該填料較高的溫度，而將該填料佈設在該基材上；及

c)將該半導體晶片置於該設有凸體的基材上，而使填料佈設其間，且該等至少一些焊墊係被對準於該等至少一些導電位置。

圖式之簡單說明：

本發明之一實施例將配合所附圖式來完整說明，其中：

第1圖為習知技術之一晶片與一基材於組合之前的剖視圖；

第2圖為第1圖中之晶片與基材在組合之後的剖視圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明（4）

第3圖為第1圖之基材在佈設填料之後的照片；

第4圖為本發明之製造方法的流程圖；

第5圖為一晶片與一基材在經第4圖之方法組合後的剖視圖；及

第6圖為該基材依第4圖之方法來佈設填料之後的照片。

使用非流質填料來製造倒裝晶片半導體封裝物的習知方法將被示出，其在當敷設該非流質填料於一基材上時，空氣會被包陷於焊罩與接墊之間，而當設有凸體的晶片與基材接合在一起時，空氣亦會被含陷而包圍該等凸體，該等被包陷的空氣即形成氣隙。一種依據本發明以非流質填料來製造倒裝晶片半導體封裝物之方法嗣會被說明，其係可減少被含陷的空氣量，而能進一步地減少所產生的氣隙。

在第1圖中，有非流質或壓縮性流動填料5被敷設在一基材10上。該基材10乃如在該領域中所知，包含一不導電的底層12，其上設有形成圖案的罩部20及導體25層。當該等填料被敷設後，其即會覆蓋在該罩部20與導體25的頂面上。該等罩部20會相對地高於導體25，因為導體25係被設在罩部20的頂面底下。而且，在導體25的末端與罩部20之間會有空隙。由於該填料5之相對較高的黏度，以及該等導體25具相對較小之設在其底下的尺寸，故空氣會被納陷於該填料5底面51，導體25頂面52，及包圍該導體25之罩部20的側面53等之間的空隙50中。此外，空氣亦會被納陷於該導體25末端，填料5之底面61，罩部20之側面63，及底層12

## 五、發明說明(5)

頂面62等之間的空隙60中。

有一晶片40具有凸體45設在焊墊46上，將會被置於該基材10上方，而使該等凸體45抵接該導體25，並被加熱來熔化該等凸體45，俾使該等焊墊46與導體25互相連接。

在第2圖中，當該等凸體45被壓抵於導體25上的填料層5時，該填料5會被擠壓向上而圍繞該等凸體45，故會將空氣包陷於該填料5之頂面56，凸體45之側面57，及焊墊46的底面58等之間的空隙55中。

當空氣被納陷於空隙50、55、60內時，在習知使用非流質填料之倒裝晶片封裝製程中，一旦晶片40已被置放在該基材10上，則該等空氣即無法再逸出或被壓出。因此，當該包括晶片40、基材10、填料層5的組合體被加熱時，該等空氣仍會保留在空隙50、55、及60中。故而，當該組合體形成一倒裝晶片封裝體時，該等空隙50、55、60等即在填料5中形如氣泡，而在該晶片側與基材側兩邊皆包圍該等凸體45。

第3圖乃示出一照片，其係用掃描聲波顯微鏡所攝得，而示出在敷設填料5之後該基材10的平面。在該照片中，其白點的陣列係為導體25，即該晶片之焊墊46要以焊劑凸體45來固接者。乃可看出會有圓形而透明之物靠近於大部份的導體25。該等圓形透明物即為陷在填料5中的氣泡。

再請參閱第4圖，乃示出本發明之一製造倒裝晶片半導體封裝物的方法400，開始的步驟405係為提供設有凸體之半導體晶片40，及基材10與填料5以供組合(410)。該基材

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明（6）

10會在敷設填料之前被加熱(415)至一預定高溫，大約為80~120°C。在該基材表面被加溫之後，填料5將可更容易地流動覆蓋該基材10的頂面，尤其是罩部20與導體25等之表面。該填料5會填滿於空隙50與60中，故可減少被納陷於填料5、基材之導體25、及包圍該等導體25的罩部20等之間的空隙內之空氣。

此外，該非流質填料25本身係具有固化較慢的特點，故，在前述設定溫度時只會發生甚小的固化反應，故該填料5的材料性質受到的破壞會減至最低。

其可在將晶片4固接於基材10之前，經由設在一基材固持區(未示出)中的電熱元件(未示出)，來將該基材10加熱。電熱元件亦可被設在晶片裝接區或枱座上，在該處晶片40可被固裝於預熱的基材10上，且能確保該基材10保持於預定高溫。為能增進加熱效果，該填料在敷設(425)時亦會被加溫。此乃可使用該領域中習知的溫控技術來達成。

嗣，該晶片40會在其上之凸體對齊於基材10上的導體之後，被置放在該基材上(430)。又，當在將該晶片定位時，亦可將晶片40加熱來除去其凸體45之周圍的氣泡。其可在一用來將該晶片40夾持並放置於基材10上的連接頭中設置一加熱元件，以將該晶片40加熱。如在該領域中所習知者，當將該晶片40與基材10結合在一起時，將會施予壓力。

將該基材10、半導體晶片40、及填料5加熱，使該填料的黏度大致成為25釐泊(Centipoises)，俾可流入並填滿該等空隙50、55及60中。



## 五、發明說明(7)

該晶片40、填料5及基材10的組合體嗣會再被加熱(435)，以使各凸體45重流而在晶片40的焊墊46與基材的導體25之間形成電連接。當在加熱重流時亦會使該填料固化，如於該領域中所習知者。

因此，依據本發明之該方法400，乃可進一步地減少被填料所包陷的空氣量。其係藉敷設填料之前，將基材加熱至一高溫而來完成。此外，該方法亦可藉當填料被敷設在基材上之後將其加熱，及在當晶片被置放在基材上時將之加熱等來增進效果。

於第5圖中，有一半導體晶片505設有焊墊510，一基材515上設有導體520，及填料525等形成本發明之一倒裝晶片半導體封裝物530。接點540會連接晶片焊墊510與基材導體520，且填料525會填滿晶片505與基材515之間的空隙，而沒有任何可察覺的氣隙。

第6圖乃示出該基材515在敷設填料525之後的照片。其中之白點陣列係為各導體520，即該晶片焊墊510以形成接點540之凸體所要固接者。由其中觀察已沒有如第3圖中之可見的氣泡影像。因此，將該基材515加熱至一高溫，確可減少在該非流質填料層中圍繞該等接點與導體的氣隙數目。

亦可將凸體等設在一基材的導體上，將填料塗佈在該基材上，並有一將其焊墊對準該等凸體的倒裝晶片，會被置放在該基材上，而填料即佈設於其間。該半導體晶片、填料與基材等之組合體嗣會被重流，即加熱，而使凸體在

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明（ 8 ）

導體與焊墊之間形成接點。依據本發明，該基材與凸體在塗佈填料之前會被加熱至一高溫。嗣該填料會被佈設，再將該填料加熱，使其流動覆蓋該罩部並包圍該等凸體，而填滿該導體與罩部之間的空隙。因此，僅有甚少的空氣會被該填料層所包陷，此將使所完成的半導體封裝物中僅有甚少的氣隙。故而，如上所述本發明亦可使用於將該凸體設在基材上之倒裝晶片封裝體中。

本發明乃如上述，而可提供一倒裝晶片封裝體，其會在填料中具有較低的氣隙密度。

此係藉著在將填料敷設於基材之前，加熱該基材及/或填料，以減低該填料的黏度而來達成。該相對較不黏稠的填料會流動覆蓋基材的罩部，及遍佈底下的導體表面上，並流入導體與罩部之間的空隙中，而可避免空氣被包陷於該等空隙中。此外，該較不黏稠的填料層在該晶片被加熱而被置放於其上具有該填料的基材上時，將會迅速地流動來包圍設在晶片上的凸體，而避免空氣被包陷在凸體周圍。

本發明乃提供一種製造倒裝晶片半導體封裝物之方法，其可克服或至少減少習知技術之前述的問題。

應可瞭解雖僅有本發明之一特定實施例被詳細說明，但各種修正改良將可被專業人士所實施而不超出本發明之範疇。

## 五、發明說明(9)

## 元件標號對照

5... 填料	55... 空隙
10... 基材	56... 填料頂面
12... 底層	57... 凸體側面
20... 罩部	58... 焊墊底面
25... 導體	62... 底層頂面
40... 晶片	505... 晶片
45... 凸體	510... 焊墊
46... 焊墊	515... 基材
50、60... 空隙	520... 導體
51、61... 填料底面	525... 填料
52... 導體頂面	530... 倒裝晶片半導體封裝物
53、63... 罩部側面	

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 四、中文發明摘要(發明之名稱： 用於製造一覆晶封裝體之方法 )

於一非流質填料的佈設過程(400)中，有一基材(10)會在填料(5)被塗敷其上之前，先被加熱至一較高溫度。該填料(5)會更迅速地流動覆蓋該基材(10)上的罩部(20)與導體(25)，並填滿該等導體(25)與罩部(20)之間的空隙，而避免空氣被包陷於其中。此外，當一設有凸體的晶片(40)被置放在基材(10)上且有填料(5)佈設其間而被加熱時，該填料(5)亦會更迅速地流動來包圍凸體(45)等，而防止空氣被包陷於其中。因此，能使一倒裝晶片半導體封裝物具有較低的氣隙密度。

## 英文發明摘要(發明之名稱： METHOD FOR PRODUCING A FLIP CHIP PACKAGE)

In a no-flow underfill process 400, a substrate 10 is heated to an elevated temperature prior to dispensing underfill 5 thereon. The underfill 5 flows more readily over mask portions 20 and conductors 25 on the substrate 10, filling in spaces between the conductors 25 and the masking portions 20, thereby preventing air from being trapped thereabout. In addition, when a bumped die 40 is heated during placement on the substrate 10 with the underfill 5 therebetween, the underfill 5 flows around bumps 45 more readily thereby preventing air from being trapped thereabout. The result is a flip chip semiconductor package having a lower void density.

## 六、申請專利範圍

1. 一種製造倒裝晶片半導體封裝物的方法，包含下列步驟：
  - a)提供：
    - i) 一半導體晶片其上具有多數焊墊排列成一圖案，且至少有一些該等焊墊上設有至少一導電凸體；
    - ii) 一基材其上具有多數的導電位置，且至少有一些該等導電位置會排列成一對應圖案，而可承接至少一些該等凸體；及
    - iii) 填料；
  - b) 當將填料佈設於基材上時，將該基材加熱至一相對於該填料溫度之較高溫度；及
  - c) 將該半導體晶片置放在該基材上而使填料容納其間，且該等至少一些焊墊對準於該等至少一些導電位置。
2. 如申請專利範圍第1項之方法，其中(b)步驟乃包含：
 

將該基材加熱至該較高溫度；及

然後將填料佈設在該加熱之基材上。
3. 如申請專利範圍第2項之方法，其中佈設填料之步驟係僅在該基材已達該較高溫度之後才來進行。
4. 如申請專利範圍第3項之方法，更包含當佈設該填料時，將該基材保持在該較高溫度的步驟。
5. 如申請專利範圍第4項之方法，其中將該基材加熱並保持於該較高溫度的步驟乃包含：將該基材加熱並保持在一使該填料具有大約25釐泊(Centipoises)黏度的溫度。
6. 如申請專利範圍第4項之方法，其中將該基材加熱並保

## 六、申請專利範圍

持於該較高溫度的步驟乃包含：將該基材加熱並保持於大約80至100°C的溫度。

7. 如申請專利範圍第1項之方法，更包含在進行步驟(c)時將該半導體晶片加熱的步驟。
8. 如申請專利範圍第1項之方法，更包含在步驟(c)之前先將該半導體晶片加熱的步驟。
9. 如申請專利範圍第1項之方法，更包含在步驟(c)之後將該半導體晶片、基材與填料之組合物加熱的步驟。
10. 如申請專利範圍第9項之方法，其中將該半導體晶片、基材與填料之組合物加熱的步驟乃包含：使該等凸體形成該等至少一些導電位置與該等至少一些焊墊之間的接點之步驟。
11. 如申請專利範圍第10項之方法，其中將該半導體晶片、基材與填料之組合物加熱的步驟更包含使該填料固化之步驟。
12. 如申請專利範圍第2項之方法，更包含在佈設填料之前將該填料加熱的步驟。
13. 如申請專利範圍第12項之方法，更包含在佈設填料的時候將其加熱的步驟。
14. 如申請專利範圍第2項之方法，更包含在佈設填料的時候將其加熱的步驟。
15. 如申請專利範圍第1項之方法，其中在步驟(b)之佈設該填料的步驟乃包含印刷該填料的步驟。
16. 一種製造倒裝晶片半導體封裝物的方法，包含下列步

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

驟：

a)提供：

i) 一半導體晶片其上具有多數焊墊，而至少有一些該等焊墊排列成一圖案；

ii) 一設有凸體的基材其上具有多數導電位置，而至少有一些該等導電位置係排列成一對應圖案，且至少一些該等導電位置上具有至少一導電凸體，而可連接於至少一些該等焊墊；及

iii) 填料；

b) 當將填料佈設於該凸體基材上時，將該凸體基材加熱至一相對於該填料溫度之較高溫度；及

c) 將該半導體晶片置放在該凸體基材上而使填料容納其間，且該等至少一些焊墊對準於該至少一些導電位置。

17. 如申請專利範圍第16項之方法，其中(b)步驟乃包含：

將凸體基材加熱至該較高溫度；及

然後將填料佈設在該加熱之凸體基材上。

18. 如申請專利範圍第17項之方法，其中佈設填料之步驟係僅在該凸體基材已達該較高溫度之後才來進行。

19. 如申請專利範圍第18項之方法，更包含當佈設該填料時，將該凸體基材保持在該較高溫度的步驟。

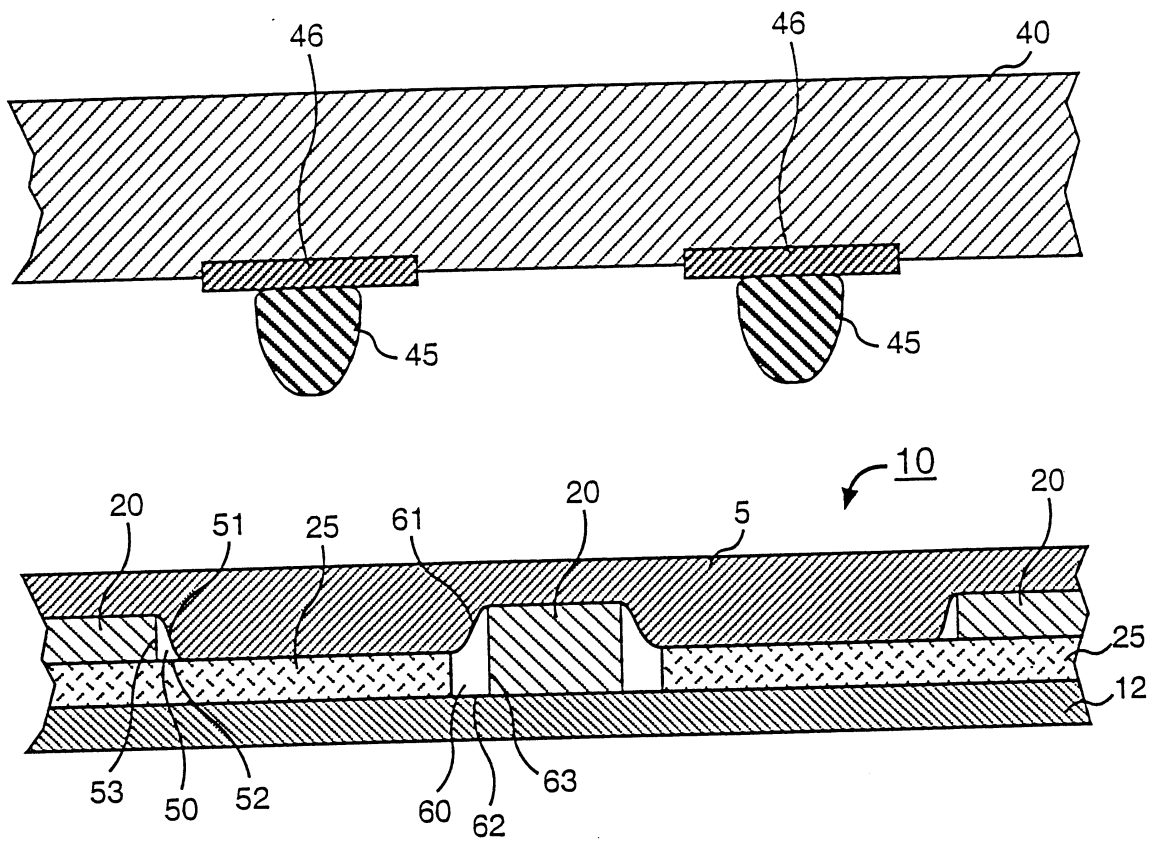
20. 如申請專利範圍第19項之方法，其中將該凸體基材加熱並保持於該較高溫度的步驟乃包含：將該凸體基材加熱並保持在一使該填料具有大約25釐泊(Centipoises)黏度的溫度。

訂  
線

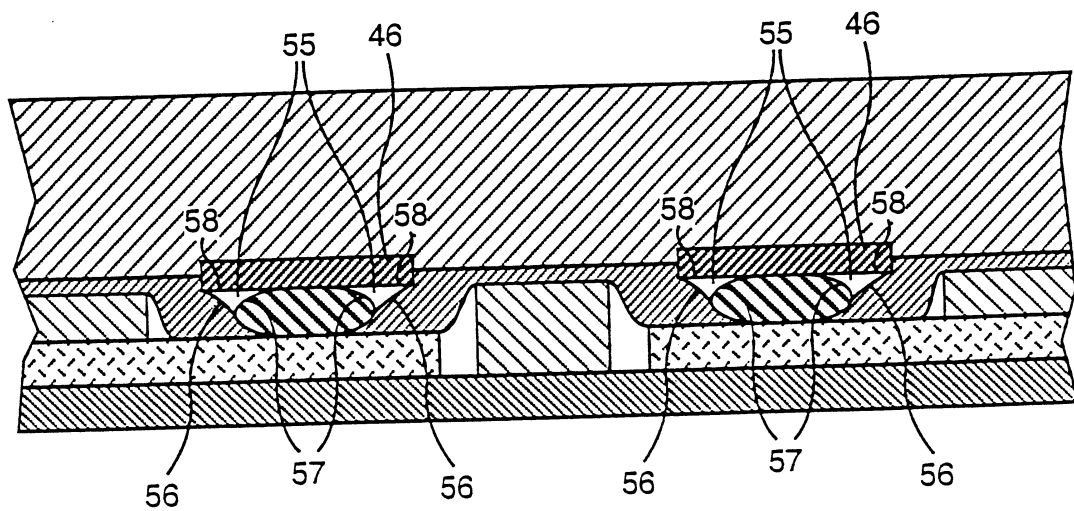
## 六、申請專利範圍

21. 如申請專利範圍第19項之方法，其中將該凸體基材加熱並保持於該較高溫度的步驟乃包含：將該凸體基材加熱並保持於大約80至100°C的溫度。
22. 如申請專利範圍第16項之方法，更包含在進行步驟(c)時將該半導體晶片加熱的步驟。
23. 如申請專利範圍第16項之方法，更包含在步驟(c)之前先將該半導體晶片加熱的步驟。
24. 如申請專利範圍第16項之方法，更包含在步驟(c)之後將該半導體晶片、基材與填料之組合物加熱的步驟。
25. 如申請專利範圍第24項之方法，其中將該半導體晶片、基材與填料之組合物加熱的步驟乃包含：使該等凸體形成該等至少一些導電位置與該等至少一些焊墊之間的接點之步驟。
26. 如申請專利範圍第24項之方法，其中將該半導體晶片、基材與填料之組合物加熱的步驟更包含使該填料固化之步驟。
27. 如申請專利範圍第17項之方法，更包含在佈設填料之前將該填料加熱的步驟。
28. 如申請專利範圍第27項之方法，更包含在佈設填料的時  
候將其加熱的步驟。
29. 如申請專利範圍第17項之方法，更包含在佈設填料的時  
候將其加熱的步驟。
30. 如申請專利範圍第16項之方法，其中在步驟(b)之佈設該  
填料的步驟乃包含印刷該填料的步驟。





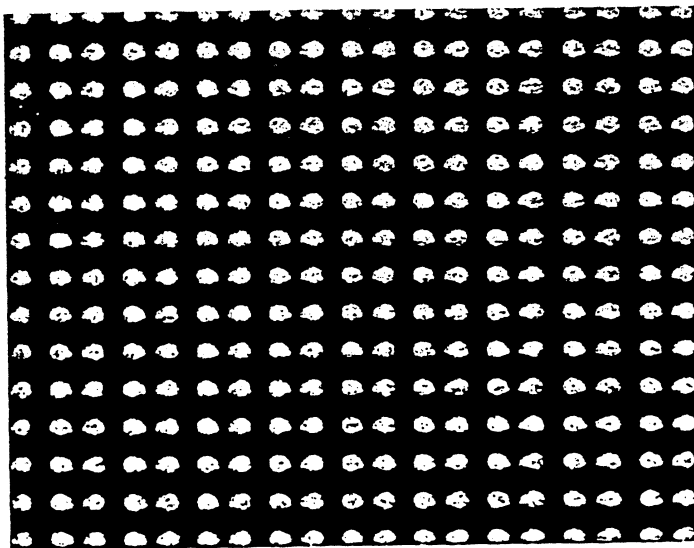
第 1 圖



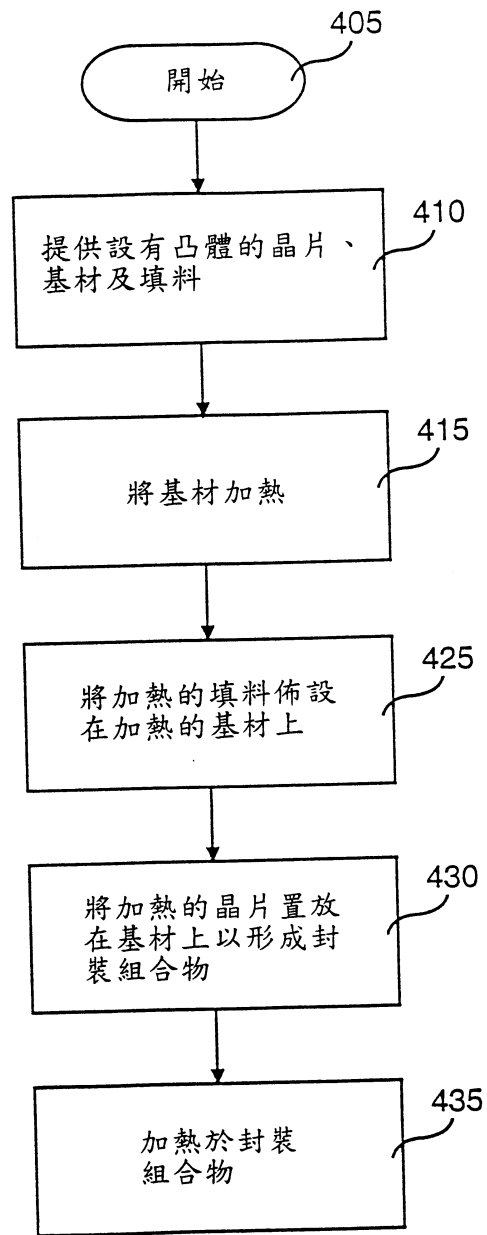
第 2 圖



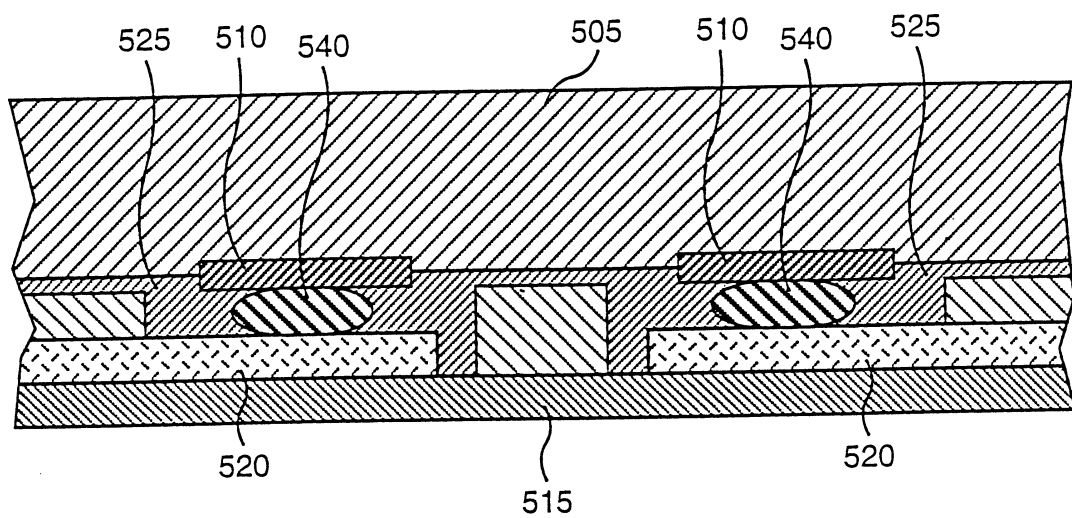
第 3 圖



第 6 圖



第 4 圖



第 5 圖