

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-277883

(P2009-277883A)

(43) 公開日 平成21年11月26日(2009.11.26)

(51) Int.Cl. F I テーマコード(参考)
 HO 1 L 27/14 (2006.01) HO 1 L 27/14 D 4 M 1 1 8
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 P

審査請求 未請求 請求項の数 29 O L (全 40 頁)

(21) 出願番号 特願2008-127767 (P2008-127767)
 (22) 出願日 平成20年5月14日 (2008.5.14)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100107489
 弁理士 大塩 竹志
 (72) 発明者 井田 徹
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 Fターム(参考) 4M118 BA06 CA32 GD04 GD07 HA02
 HA11 HA23 HA24 HA26 HA30
 HA31 HA33

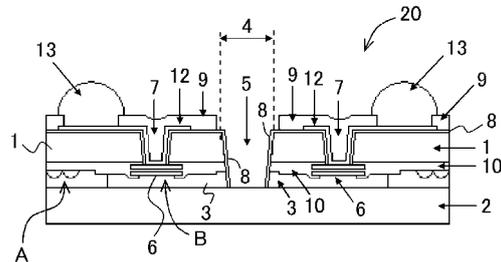
(54) 【発明の名称】 電子素子ウエハモジュールおよびその製造方法、電子素子モジュール、電子情報機器

(57) 【要約】

【課題】 信頼性、特に耐湿性の高い貫通電極とする。

【解決手段】 隣接する電子素子間のダイシング領域4に沿って電子素子ウエハ1の裏面から電子素子ウエハ1を貫通したダイシング用の溝5が形成されており、電子素子ウエハ1の裏面の半導体層と金属配線12とを絶縁するための絶縁膜8が、貫通孔7を含む電子素子ウエハ1の裏面側に形成されていると共に、ダイシング用の溝5内の少なくとも側壁側に形成されている。これによって、信頼性、特に耐湿性の高い貫通電極とすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の電子素子が表面側に配設され、該電子素子毎に、両面を貫通する貫通孔を通して該表面側の配線または端子部と導通された配線が裏面に設けられた電子素子ウエハと、該電子素子ウエハの表面側に対向して樹脂接着層により接着された支持基板とを有する電子素子ウエハモジュールにおいて、

隣接する電子素子間のダイシングラインに沿って該電子素子ウエハの裏面から該電子素子ウエハを貫通したダイシング用の溝が形成されており、該裏面の半導体層と該配線とを絶縁するための絶縁膜が、該貫通孔を含む該電子素子ウエハの裏面に形成されていると共に、該溝内の少なくとも側壁に形成されている電子素子ウエハモジュール。

10

【請求項 2】

前記電子素子の周辺部に前記配線または端子部として電極パッドが配設され、該電極パッドが、前記貫通孔を通して前記裏面の配線に接続されている請求項 1 に記載の電子素子ウエハモジュール。

【請求項 3】

前記絶縁膜は、前記電子素子の周辺部に配設された電極パッドと前記配線または外部接続用端子とを導通させるための前記貫通孔内の導電層と該貫通孔の内壁とを絶縁している請求項 1 に記載の電子素子ウエハモジュール。

【請求項 4】

裏面保護膜が少なくとも前記裏面の貫通孔および前記配線上に形成されている請求項 1 に記載の電子素子ウエハモジュール。

20

【請求項 5】

前記溝の底面は、前記絶縁膜が被覆されているかまたは取り除かれている請求項 1 ~ 4 のいずれかに記載の電子素子ウエハモジュール。

【請求項 6】

前記溝の底面は、前記支持基板上または該支持基板中に位置している請求項 5 に記載の電子素子ウエハモジュール。

【請求項 7】

前記裏面保護膜は、前記溝の側壁および底面のうちの少なくとも該側壁を被覆している請求項 4 に記載の電子素子ウエハモジュール。

30

【請求項 8】

前記裏面保護膜は、前記溝の内部を埋め込んでいる請求項 4 に記載の電子素子ウエハモジュール。

【請求項 9】

前記支持基板は、透明部材として透明樹脂基板または透明ガラス基板である請求項 1 ~ 4 のいずれかに記載の電子素子ウエハモジュール。

【請求項 10】

前記絶縁膜は、感光性樹脂膜、Si 酸化膜、ボロンまたはリン含有酸化膜、Si 窒化膜、Si 窒化膜、またはこれらのうちの少なくとも 2 種類からなる積層膜、あるいは電着材料によって形成される膜である請求項 1 または 3 に記載の電子素子ウエハモジュール。

40

【請求項 11】

前記感光性樹脂膜は、ポリイミド樹脂、エポキシ樹脂またはアクリル樹脂である請求項 10 に記載の電子素子ウエハモジュール。

【請求項 12】

前記電着材料は、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂、ポリアミン樹脂またはポリカルボン酸樹脂である請求項 10 に記載の電子素子ウエハモジュール。

【請求項 13】

前記配線または端子部と前記電子素子ウエハの表面の半導体層とを絶縁するための絶縁膜が別途設けられ、当該絶縁膜は、Si 酸化膜、ボロンまたはリン含有酸化膜、Si 窒化膜、Si 窒化膜、または、これらのうちの少なくとも 2 種類からなる積層膜である請求

50

項 1 または 2 に記載の電子素子ウエハモジュール。

【請求項 1 4】

前記裏面保護膜は、感光性樹脂膜からなっている請求項 4、7 および 8 のいずれかに記載の電子素子ウエハモジュール。

【請求項 1 5】

前記感光性樹脂膜は、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂、シリコン樹脂、またはこれらのうちの少なくとも 2 種類からなる混合樹脂である請求項 1 4 に記載の電子素子ウエハモジュール。

【請求項 1 6】

前記電子素子は、被写体からの画像光を光電変換して撮像する複数の受光部を有する撮像素子である請求項 1 に記載の電子素子ウエハモジュール。

10

【請求項 1 7】

前記電子素子は、出射光を発生させるための発光素子および入射光を受光するための受光素子を有している請求項 1 に記載の電子素子ウエハモジュール。

【請求項 1 8】

複数の電子素子が形成された電子素子ウエハの表面側に対向して、樹脂接着層により支持基板を貼り合わせる工程と、

該電子素子ウエハの両面を貫通する貫通孔を該電子素子毎に形成すると共に、隣接する電子素子間のダイシングラインに沿って該電子素子ウエハの裏面から該電子素子ウエハを貫通するダイシング用の溝を形成する貫通孔・溝形成工程と、

20

該貫通孔および該溝を含む該電子素子ウエハの裏面上に絶縁膜を形成する絶縁膜形成工程と、

該貫通孔を通して電子素子ウエハの表面側の配線または端子部と導通する配線層を該絶縁膜上に形成する配線層形成工程とを有する電子素子ウエハモジュールの製造方法。

【請求項 1 9】

少なくとも前記配線層および前記貫通孔上に裏面保護膜を形成する裏面保護膜形成工程を更に有する請求項 1 8 に記載の電子素子ウエハモジュールの製造方法。

【請求項 2 0】

前記絶縁膜形成工程後に、前記溝の底面上の絶縁膜を除去する絶縁膜除去工程を更に有する請求項 1 8 に記載の電子素子ウエハモジュールの製造方法。

30

【請求項 2 1】

前記貫通孔・溝形成工程は、前記溝の底面が前記支持基板上または該支持基板中に位置するように該溝を形成する請求項 1 8 に記載の電子素子ウエハモジュールの製造方法。

【請求項 2 2】

前記裏面保護膜形成工程は、前記裏面保護膜を、前記貫通孔を埋め込むと共に、前記溝上に形成するかまたは該溝上を除く領域に形成する請求項 1 9 に記載の電子素子ウエハモジュールの製造方法。

【請求項 2 3】

前記裏面保護膜形成工程は、前記裏面保護膜を、前記貫通孔および前記溝内を埋め込むように形成する請求項 1 9 に記載の電子素子ウエハモジュールの製造方法。

40

【請求項 2 4】

前記複数の電子素子のそれぞれに対応するように前記透明部材上に接着固定された一または、積層された複数枚のウエハ状光学装置を更に有する請求項 9 に記載の電子素子ウエハモジュール。

【請求項 2 5】

前記一または、積層された複数枚のウエハ状光学装置がレンズモジュールであり、前記電子素子が撮像素子である請求項 2 4 に記載の電子素子ウエハモジュール。

【請求項 2 6】

前記一または、積層された複数枚のウエハ状光学装置はプリズムモジュールおよびホログラム素子モジュールのいずれかであり、前記電子素子が発光素子および受光素子である

50

る請求項 24 に記載の電子素子ウエハモジュール。

【請求項 27】

請求項 1 ~ 17 および 24 ~ 26 のいずれかに記載の電子素子ウエハモジュールから、一または所定数の電子素子毎に切断されて個片化された電子素子モジュール。

【請求項 28】

請求項 25 に記載の電子素子ウエハモジュールから切断された電子素子モジュールをセンサモジュールとして撮像部に用いた電子情報機器。

【請求項 29】

請求項 26 に記載の電子素子ウエハモジュールから切断された電子素子モジュールを情報記録再生部に用いた電子情報機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の電子素子が設けられた電子素子ウエハの表面と支持基板とが貼り合わされた電子素子ウエハモジュールおよび、この電子素子ウエハモジュールの製造方法、この電子素子ウエハモジュールが電子素子毎に切断されて個片化された電子素子モジュール、この電子素子モジュールを画像入力デバイスとして撮像部に用いた例えばデジタルビデオカメラおよびデジタルスチルカメラなどのデジタルカメラや、画像入力カメラ、スキャナ装置、ファクシミリ装置、カメラ付き携帯電話装置などの電子情報機器に関する。

【背景技術】

【0002】

近年、ますます、複数の基板（例えば半導体基板、ガラス基板およびレンズ基板など）を積層した電子素子ウエハモジュールから切断して個片化したカメラモジュール（センサモジュール）などの電子素子モジュールの小型化・薄型化の要求が高まっている。それゆえ、複数の基板を積層することにより実装密度を高める手法が広く行なわれている。また、イメージセンサーではワイヤボンディングによるパッケージ底面積の平面方向の広がりを抑制してリアルチップサイズパッケージを実現するものとして、電子素子モジュールのチップ表面に形成された電極パッドから、半導体基板（電子素子ウエハ）を貫通し、半導体基板の裏面にまで配線接続するための貫通電極の形成技術が注目されている。これについて特許文献 1, 2 に示している。

【0003】

特許文献 1 には、貫通電極を有する BGA（Ball Grid Array）型の半導体装置およびその製造方法が開示されている。特許文献 1 では、半導体基板の裏面から、半導体基板（ ）の表面に形成されたパッド電極に達する貫通電極および配線層を形成した後、半導体基板と支持基板を貼り合わせ、最後に半導体基板と支持基板を電子素子毎（半導体装置毎）に切断して、複数の半導体チップに分離している。

【0004】

以下に、図 28 を用いて、貫通電極の形成後、半導体基板を分割して複数の半導体チップに個片化する方法を具体的に説明する。

【0005】

図 28 は、特許文献 1 に開示されている従来の貫通電極を備えた半導体ウエハモジュールの電極部付近およびダイシング領域の縦断面図である。

【0006】

図 28 に示すように、通常、半導体基板（半導体ウエハ）101 の基板表面（下面）には絶縁膜 102 が形成されており、その上に金属配線層 103 が形成されている。この金属配線層 103 には半導体装置の信号入出力を行うための電極パッドが形成されている。貫通電極はこの電極パッドの領域に形成される。さらに、金属配線層 103 上に、酸化膜や窒化膜からなる保護膜となっている接着層 104 が形成されている。その接着層 104 上には、半導体基板 101 を補強するための支持基板 105（例えばガラス基板）が貼り合わされている。

10

20

30

40

50

【0007】

この半導体基板101において、金属配線層103からなる電極パッド直下には貫通孔が形成され、この貫通孔の側面および底面の一部と、半導体基板101の基板裏面とを覆うように絶縁膜106が形成されている。また、貫通孔の底面の電極パッドから半導体基板101の裏面にかけて導電層107が形成され、貫通孔内の導電層107が貫通電極107aとして機能する。半導体基板101の裏面は保護膜108によって導電層107および貫通電極107aが被覆されて保護され、外部接続端子109のみが開口されている。これによって、半導体基板101の裏面における導電層107は、外部接続端子109と電気的に接続される。その結果、半導体基板101の表面に存在する電極パッド（金属配線103）と、裏面に存在する外部接続端子109とは、導電層107によって導通している。最後に、ダイシングライン領域の半導体基板101および支持板105を複数の半導体チップに分割して個片化する。

10

【0008】

一方、携帯電話装置に代表される小型のカメラモジュールにおいても、更なる小型・薄型化の要求が高まっている。例えば、貫通電極の製造方法と貫通電極とを適用した固体撮像素子が特許文献2に開示されている。

【0009】

特許文献2では、表面側中央部分に撮像領域が形成され、その周辺部分に電極パッドが形成された複数の固体撮像素子が配設された電子素子ウェハ（半導体基板；例えばシリコンウェハ）の表面側に支持基板としてガラス基板を接着する。次に、シリコンウェハの裏面から電極パッドに到着するビアホールを形成すると同時に、ダイシングラインの中心に沿って延び、かつシリコンウェハの裏面からシリコンウェハを貫通する溝を形成する。その後、加熱処理を伴う工程を含む各種工程により、緩衝層、配線層、ソルダーマスク、ハンダボールをシリコンウェハの裏面に形成する。最後に、ダイシングにより、支持基板に支持されたシリコンウェハを固体撮像素子毎の個々のシリコンチップに分割している。

20

【0010】

以上のように、貫通電極を備えた半導体装置、および貫通電極形成プロセスは、メモリだけでなく固体撮像素子など幅広いデバイスの小型・薄型化を実現するために注目されている。特許文献1、2共に、最後に電子素子ウェハ（半導体基板）を分割して電子素子毎に個片化する工程が含まれている。

30

【0011】

図29は、特許文献2に開示されている従来の貫通電極を備えた電子素子ウェハモジュールの電極部付近およびダイシング領域の縦断面図である。

【0012】

図29に示すように、電子素子ウェハモジュールから電子素子モジュールを切断して製造する場合、貫通孔201（＝ビアホール）と同時に、ダイシングラインに沿って溝202が形成される。その後、貫通孔201上の絶縁膜203が溝202の側壁にも形成される。

【0013】

最後に、ダイシングライン領域に沿って分割して複数の電子素子モジュールに個片化する。図29では、電子素子ウェハとしてのシリコンウェハ204の裏面からパッド電極205に到着するビアホール201を形成すると同時に、ダイシングライン中心DSに沿って延び、かつシリコンウェハ204の裏面からシリコンウェハ204を貫通する溝202を形成するため、樹脂接着層206とガラス基板207を切断することによって電子素子モジュール毎に個片化する。

40

【特許文献1】特開2006-32699号公報

【特許文献2】特開2005-235859号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

50

しかしながら、上記従来技術では、最後に半導体基板と支持基板の両方または支持基板を切断して半導体装置（電子素子）毎に個片化する必要がある、支持基板と半導体基板の金属配線を含む断面が露出するという問題がある。そのために信頼性、具体的には耐湿性が良好な貫通電極を有する半導体チップを製造するのが非常に困難であるという問題を有していた。

【0015】

特許文献1では、貫通電極107aを有する半導体装置（電子素子毎）毎に個片化するのに、半導体基板（半導体ウェハ）101と支持基板105の両方を切断して個片化する必要がある、半導体基板101用のダイシングブレードと支持基板105用のダイシングブレードを用いて別々に切断する必要がある。例えば、支持基板105がガラス基板で構成されている場合には、半導体基板101とガラス基板（支持基板105）を同じブレードで切断するのは非常に困難である。さらに、半導体基板101と支持基板105の断面に金属配線層103が露出するという問題もあり、ダイシングに手間がかかると共に、耐湿性が良好な半導体装置（電子素子モジュール）を実現するのが困難である。

10

【0016】

特許文献2では、電子素子ウェハ（半導体基板）であるシリコンウェハ204の裏面からパッド電極205に到着するビアホール201を形成すると同時に、ダイシングライン中心DSに沿って延び、かつシリコンウェハ204の裏面からシリコンウェハ204を貫通する溝202を形成する。このため、上記特許文献1による方法と比較して、支持基板であるガラス基板207だけを切断することによって電子素子モジュール毎に個片化が可能となるため、手間が低減されるというメリットがある。しかし、上記特許文献1による方法と同様に、シリコンウェハ204とガラス基板207の断面、特に、ビアホール201を埋め込んでいる導体に接続された金属配線層208が露出するという問題がある。したがって、上記特許文献1による方法と同様に、耐湿性が良好な電子素子モジュールを実現するのが困難であるという問題を有する。

20

【0017】

以上のように、貫通孔を有する半導体装置を個片化するためには、半導体基板と支持基板の両方または支持基板を切断することが必要であり、どちらの方法でも、半導体基板と支持基板の接着断面中に金属配線層が露出して腐食したり、表面の水分によってリークしたりする虞がある。

30

【0018】

本発明は、上記従来問題を解決するもので、信頼性、特に耐湿性の高い貫通電極とすることができる電子素子ウェハモジュールおよびその製造方法、この電子素子ウェハモジュールを個片化した電子素子モジュール、この電子素子モジュールを画像入力デバイスとして撮像部に用いた例えばカメラ付き携帯電話装置などの電子情報機器を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明の電子素子ウェハモジュールは、複数の電子素子が表面側に配設され、該電子素子毎に、両面を貫通する貫通孔を通して該表面側の配線または端子部（配線・端子部）と導通された配線が裏面に設けられた電子素子ウエハと、該電子素子ウエハの表面側に対向して樹脂接着層により接着された支持基板とを有する電子素子ウエハモジュールにおいて、

40

隣接する電子素子間のダイシングラインに沿って該電子素子ウエハの裏面から該電子素子ウエハを貫通したダイシング用の溝が形成されており、該裏面の半導体層と該配線とを絶縁するための絶縁膜が、該貫通孔を含む該電子素子ウエハの裏面に形成されていると共に、該溝内の少なくとも側壁に形成されているものであり、そのことにより上記目的が達成される。

【0020】

また、好ましくは、本発明の電子素子ウェハモジュールにおける電子素子の周辺部に前

50

記配線または端子部として電極パッドが配設され、該電極パッドが、前記貫通孔を通して前記裏面の配線に接続されている。

【0021】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける絶縁膜は、前記電子素子の周辺部に配設された電極パッドと前記配線または外部接続用端子とを導通させるための前記貫通孔内の導電層と該貫通孔の内壁とを絶縁している。

【0022】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける裏面保護膜が少なくとも前記裏面の貫通孔および前記配線上に形成されている。

【0023】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける溝の底面は、前記絶縁膜が被覆されているかまたは取り除かれている。

【0024】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける溝の底面は、前記支持基板上または該支持基板中に位置している。

【0025】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける裏面保護膜は、前記溝の側壁および底面のうちの少なくとも該側壁を被覆している。

【0026】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける裏面保護膜は、前記溝の内部を埋め込んでいる。

【0027】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける支持基板は、透明部材として透明樹脂基板または透明ガラス基板である。

【0028】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける絶縁膜は、感光性樹脂膜、Si酸化膜、ボロンまたはリン含有酸化膜、Si窒化膜、Si窒化膜、またはこれらのうちの少なくとも2種類からなる積層膜、あるいは電着材料によって形成される膜である。

【0029】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける感光性樹脂膜は、ポリイミド樹脂、エポキシ樹脂またはアクリル樹脂である。

【0030】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける電着材料は、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂、ポリアミン樹脂またはポリカルボン酸樹脂である。

【0031】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおいて、前記配線または端子部と前記電子素子ウェハの表面の半導体層とを絶縁するための絶縁膜が別途設けられ、当該絶縁膜は、Si酸化膜、ボロンまたはリン含有酸化膜、Si窒化膜、Si窒化膜、またはこれらのうちの少なくとも2種類からなる積層膜である。

【0032】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける裏面保護膜は、感光性樹脂膜からなっている。

【0033】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける感光性樹脂膜は、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、またはこれらのうちの少なくとも2種類からなる混合樹脂である。

【0034】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける電子素子は、被写体

10

20

30

40

50

からの画像光を光電変換して撮像する複数の受光部を有する撮像素子である。

【0035】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける電子素子は、出射光を発生させるための発光素子および入射光を受光するための受光素子を有している。

【0036】

本発明の電子素子ウェハモジュールの製造方法は、複数の電子素子が形成された電子素子ウェハの表面側に対向して、樹脂接着層により支持基板を貼り合わせる工程と、該電子素子ウェハの両面を貫通する貫通孔を該電子素子毎に形成すると共に、隣接する電子素子間のダイシングラインに沿って該電子素子ウェハの裏面から該電子素子ウェハを貫通するダイシング用の溝を形成する貫通孔・溝形成工程と、該貫通孔および該溝を含む該電子素子ウェハの裏面上に絶縁膜を形成する絶縁膜形成工程と、該貫通孔を通して電子素子ウェハの表面側の配線または端子部と導通する配線層を該絶縁膜上に形成する配線層形成工程とを有するものであり、そのことにより上記目的が達成される。

10

【0037】

また、好ましくは、本発明の電子素子ウェハモジュールの製造方法における少なくとも前記配線層および前記貫通孔上に裏面保護膜を形成する裏面保護膜形成工程を更に有する。

【0038】

さらに、好ましくは、本発明の電子素子ウェハモジュールの製造方法における絶縁膜形成工程後に、前記溝の底面上の絶縁膜を除去する絶縁膜除去工程を更に有する。

20

【0039】

さらに、好ましくは、本発明の電子素子ウェハモジュールの製造方法における貫通孔・溝形成工程は、前記溝の底面が前記支持基板上または該支持基板中に位置するように該溝を形成する。

【0040】

さらに、好ましくは、本発明の電子素子ウェハモジュールの製造方法における裏面保護膜形成工程は、前記裏面保護膜を、前記貫通孔を埋め込むと共に、前記溝上に形成するかまたは該溝上を除く領域に形成する。

【0041】

さらに、好ましくは、本発明の電子素子ウェハモジュールの製造方法における裏面保護膜形成工程は、前記裏面保護膜を、前記貫通孔および前記溝内を埋め込むように形成する。

30

【0042】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける複数の電子素子のそれぞれに対応するように前記透明部材上に接着固定された一または、積層された複数枚のウェハ状光学装置を更に有する。

【0043】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける一または、積層された複数枚のウェハ状光学装置がレンズモジュールであって、前記電子素子が撮像素子である。

40

【0044】

さらに、好ましくは、本発明の電子素子ウェハモジュールにおける一または、積層された複数枚のウェハ状光学装置はプリズムモジュールおよびホログラム素子モジュールのいずれかであり、前記電子素子が発光素子および受光素子である。

【0045】

本発明の電子素子モジュールは、本発明の上記電子素子ウェハモジュールから、一または所定数の電子素子毎に切断されて個片化されたものであり、そのことにより上記目的が達成される。

【0046】

本発明の電子情報機器は、本発明の上記電子素子ウェハモジュールから切断された電子

50

素子モジュールをセンサモジュールとして撮像部に用いたものであり、そのことにより上記目的が達成される。

【0047】

本発明の電子情報機器は、本発明の上記電子素子ウエハモジュールから切断された電子素子モジュールを情報記録再生部に用いたものであり、そのことにより上記目的が達成される。

【0048】

上記構成により、その作用効果を説明する。

【0049】

本発明においては、ダイシングライン領域の溝で分離される溝側壁は、絶縁膜および/または裏面保護膜によって覆われているので、電子素子ウエハや支持基板としてのガラス基板、それらの接着樹脂層が直接外部に露出することがない。つまり、電子素子ウエハや支持基板としてのガラス基板と、半導体基板とガラス基板を貼り合わせる接着樹脂層が露出して、外部の湿気が接着樹脂層から電子素子ウエハ内に侵入して内部の金属配線をリークさせたり金属配線を腐食させたりすることがなくなる。また、上記構成によれば、ガラス基板のみを切断して個片化が可能となるので、電子素子ウエハモジュールの個片化工程を簡便化することが可能となる。

10

【0050】

本発明では、半導体基板である電子素子ウエハに支持基板が貼りあわせられていることにより、電子素子ウエハの強度を増すことが可能となる。その結果、厚さの薄い電子素子ウエハを提供することが可能となる。例えば、研磨などによって半導体基板である電子素子ウエハを薄くする場合、ある程度まで研磨が進むと電子素子ウエハの強度が低下するので、それ以上は研磨することができなくなるが、支持基板を貼り合わせることによって電子素子ウエハの強度が増し、更に研磨を進めることができる。その結果、薄い電子素子ウエハを提供することが可能となる。電子素子ウエハが薄いと多くの利点がある。例えば、電子素子ウエハが厚いと、電子素子ウエハに貫通孔を形成する際、エッチング時間が長くなることでコストアップにつながると共に、貫通孔の形状をコントロールすることが困難となるが、電子素子ウエハを薄くすることにより、上記問題を容易に回避することが可能となる。

20

【0051】

支持基板を通して、光が画素領域（撮像領域）に効率よく照射されることが必要である。したがって、本発明の電子素子をCMOS固体撮像素子またはCCD固体撮像素子として構成した場合、上記支持基板は、画素領域への光の照射を妨げることなく透明度が高く、電子素子ウエハを補強することが必要である。

30

【発明の効果】

【0052】

以上のように、ダイシングライン領域の溝で分離される溝側壁は、絶縁膜および/または裏面保護膜によって覆われているので、電子素子ウエハや支持基板としてのガラス基板、それらの接着樹脂層が直接外部に露出することがない。つまり、電子素子ウエハや支持基板としてのガラス基板と、半導体基板とガラス基板を貼り合わせる接着樹脂層が露出して、外部の湿気が接着樹脂層から電子素子ウエハ内に侵入して内部の金属配線をリークさせたり金属配線を腐食させたりすることがなくなる。

40

貫通孔と同時に形成される、ダイシングライン領域の溝で分離される半導体装置側壁は、第二絶縁膜、又は第二絶縁膜と裏面保護膜の両方によって覆われており、半導体基板、ガラス基板、及び半導体基板とガラス基板の接着樹脂層が直接外部に露出することがない様に絶縁することができる。つまり、半導体基板とガラス基板と半導体基板とガラス基板の接着樹脂層が露出して、外部の湿気が半導体基板内に侵入してリークや腐食を生ずるといったことがない。また、上記構成によれば、ガラス基板のみを切断して個片化が可能となるので、半導体装置の個片化工程を簡便化することが可能となる。信頼性、特に耐湿性の高い貫通電極とすることができる

50

【発明を実施するための最良の形態】

【0053】

以下に、本発明の電子素子ウェハモジュールおよびその製造方法の実施形態1～12および、この電子素子ウェハモジュールから個片化されさらにレンズ基板を組み合わせた電子素子モジュールの実施形態13、この電子素子モジュールを画像入力デバイスとして撮像部に用いた例えばカメラ付き携帯電話装置などの電子情報機器の実施形態14について図面を参照しながら詳細に説明する。

【0054】

(実施形態1)

図1は、本発明の実施形態1に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

10

【0055】

図1に示すように、本実施形態1の電子素子ウェハモジュール20は、電子素子ウェハ1と支持基板としてのガラス基板2とが接着樹脂層3により貼り合わされている。電子素子ウェハ1のダイシング領域4に沿って裏面側から電子素子ウェハ1を貫通し、表面側の支持基板としてのガラス基板2に至る溝5が形成される。この溝5は、電子素子ウェハ1の各チップ中央部の電子素子領域Aの周辺部Bに形成された配線または端子部としての電極パッド6(端子部としてのパッドの他に配線部でもよい)に接続するための貫通孔7と同時に形成される。この溝5の側壁は電子素子ウェハ1の裏面側の絶縁膜8で被覆されている。この溝5の底面では絶縁膜8が除去されている。電子素子ウェハ1の裏面側の保護膜9はダイシング領域4で除去されており、保護膜9はダイシングラインエッジに沿って裏面の端縁部まで被覆されている。この溝5の底面ではガラス基板2の表面が露出している。

20

【0056】

本実施形態1の電子素子ウェハモジュール20の製造方法について、図2(a)～図2(i)を用いて詳細に説明する。

【0057】

図2(a)～図2(i)は、本実施形態1の電子素子ウェハモジュール20を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

30

【0058】

なお、図2(a)の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ1の表面上に電極パッド6を含む金属配線層(図示せず)が形成され、電極パッド6の中央部を開口した絶縁膜10が形成されている。

【0059】

まず、図2(a)に示すように、電子素子ウェハ1の表面上に、接着樹脂層3を用いて支持基板としてのガラス基板2が貼り合わされる。

【0060】

次に、図2(b)に示すように、貫通孔7、ダイシング用の溝5を形成するためのレジスト膜11となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔7およびダイシング用の溝5を形成するためのレジスト膜11として開口部がパターン形成される。

40

【0061】

上記電子素子ウェハ1の厚さは、特に限定するものではないが、裏面研磨などによって50 μ m～300 μ mに調節されていることが好ましい。これは、電子素子ウェハ1が厚過ぎると、後工程で電子素子ウェハ1に貫通孔7を形成する際に、貫通孔7が深くなりエッチング時間が長くなって処理能力が低下すると共に、コストアップを招くことや、貫通孔7の形状をコントロールすることが困難になるためである。このために、電子素子ウェハ1の厚さをある程度薄くすることで、エッチングの深さを浅くしている。また逆に、電子素子ウェハ1の厚さが薄過ぎると、破損の危険性が上昇したり、反りが発生しやすくな

50

るなど、後工程での取り扱いが難しくなる。したがって、上記電子素子ウェハ 1 の厚さは、 $50\ \mu\text{m} \sim 300\ \mu\text{m}$ に調節されていることが好ましい。

【0062】

図 2 (b) で上述したように、電子素子ウェハ 1 の裏面 (研磨面) にレジスト膜材料を塗布し、表面の電極パッド 6 に対応した位置を開口するようにレジスト膜 1 1 の露光・現像を行って、レジスト膜 1 1 としてパターン形成する。このレジスト膜 1 1 は、電子素子ウェハ 1 に貫通孔 5、ダイシング用の溝 5 を形成するためのドライエッチングにおいて、マスクとして機能する。なお、上記レジスト膜 1 1 の形成方法は、特に限定されず、適宜公知の方法を用いることができる。また、上記レジスト膜 1 1 の原料も特に限定されず、適宜公知のレジスト膜を用いることができる。

10

【0063】

その後、図 2 (c) に示すように、レジスト膜 1 1 をマスクとして、電子素子ウェハ 1 をドライエッチングして貫通孔 7、ダイシング用の溝 5 を形成する。ドライエッチングによって、電子素子ウェハ 1 および電極パッド 6 直下の絶縁膜 1 0 もエッチングされて、電極パッド 6 の裏面が露出する。なお、エッチング後は、図 2 (d) に示すように、上記レジスト膜 1 1 は剥離されて除去される。

【0064】

続いて、図 2 (e) に示すように、電子素子ウェハ 1 の裏面および貫通孔 7、ダイシング用の溝 5 の側壁およびその底面を被覆するように、電子素子ウェハ 1 の裏面上に絶縁膜 8 を形成する。この絶縁膜 8 は、プラズマ CVD 膜が望ましい。または、ポリイミド、エポキシ樹脂、アクリル樹脂であることが好ましい。

20

【0065】

さらに、図 2 (f) に示すように、上記絶縁膜 8 を反応性イオンエッチング装置を用いてエッチングし、電子素子ウェハ 1 の裏面、貫通孔 7 およびダイシング用の溝 5 の側壁における絶縁膜 8 は、後工程で形成する金属配線の絶縁性を保持できるように残し、貫通孔 7 の底面部の絶縁膜 8 は、後工程で形成する金属配線層 1 2 と電極パッド 6 との導通を取るために除去するようにエッチングを行う。この場合、電子素子ウェハ 1 の裏面に形成される絶縁膜 8 の膜厚は、貫通孔 7 の底面およびダイシング用の溝 5 の底面に形成される絶縁膜厚に比べて十分厚いために、貫通孔 7 や溝 5 の各底面の絶縁膜 8 をエッチング除去しても、電子素子ウェハ 1 の裏面の絶縁膜 8 の残膜は十分に厚く、電子素子ウェハ 1 と金属配線層 1 2 との間の絶縁性は十分に保たれる。

30

【0066】

貫通孔 7 の底面の電極パッド 6 下の酸化膜 (絶縁膜 1 0)、および裏面の絶縁膜 8 を、表面の電極パッド 6 と裏面の配線層 1 2 との導通を取るため、 C_4F_8 、 C_2F_6 、 CF_4 、 CHF_3 などのフロロカーボンガスを用いてエッチング除去する。

【0067】

その後、図示していないが、電子素子ウェハ 1 の裏面にバリアメタル層、および電解メッキのためのシードメタル層が形成される。上記バリアメタル層およびシードメタル層の形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、スパッタ法または CVD 法などによって形成することができる。

40

【0068】

次に、図 2 (g) に示すように、電極パッド 6 の裏面と、その後に形成される外部接続端子とを電氣的に接続する再配線パターンとして機能する金属配線層 1 2 (導電配線層) が、図示しないシードメタル層上に形成される。金属配線層 1 2 の形成方法は、特に限定されず、適宜公知の方法を用いることができる。例えば、電解銅メッキなどによって形成することができる。但し、ダイシング用の溝 5 については、電極パッド 6 は形成されていないため、導通を取る必要が全くなく、ここでは金属配線層 1 2 は形成されない。

【0069】

上記金属配線層 1 2 の具体的な形成方法としては、まず、電子素子ウェハ 1 の裏面にレジスト膜材料を塗布し、当該レジスト膜材料を通常の写真工工程にて露光・現像する

50

ことによって、再配線パターンに対応したレジスト膜の所定パターンが形成される。なお、貫通孔 7、ダイシング用の溝 5 が設けられた電子素子ウェハ 1 に対して、液状のレジスト膜材料を塗布することが困難である場合には、レジスト膜材料としてフィルム状レジスト膜材料などを用いることもできる。続いて、上記シードメタル層を陰極として電解銅メッキを行うことによって、上記レジスト膜材料の開口部分に当たる再配線パターンの膜厚が増加し、金属配線層 1 2 が形成される。このとき、金属配線層 1 2 の膜厚は、特に限定されない。例えば、後工程で外部入出力端子として半田バンプを搭載するためには、膜厚は 10 μm であることが好ましい。その後、レジスト膜材料が除去されると共に、不要なシードメタル層とバリアメタル層とが、エッチングによって除去される。なお、フォトリソ工程によって再配線パターンを形成する工程と、電解銅メッキを行う工程とは、行う順番を逆にすることもできる。即ち、まず、電子素子ウェハ 1 の裏面全面に形成されたシードメタル層上に、電解銅メッキなどによって導電配線層が形成される。次に、再配線パターンのレジスト膜材料を残し、かつ再配線パターン以外のレジスト膜材料が除去されるように、レジスト膜材料を通常フォトリソ工程にて露光・現像することによって、再配線パターンが形成される。その後、不要な銅メッキ層、シードメタル層およびバリアメタル層がエッチングによって除去される。

10

20

30

40

50

【0070】

続いて、図 2 (h) に示すように、電子素子ウェハ 1 の裏面全体に感光性樹脂膜によって保護膜 9 が形成される。上記感光性樹脂膜としては特に限定されず、適宜公知の感光性樹脂膜を用いることができる。本実施形態 1 では、この保護膜 9 は、貫通孔 7 の開口部内を埋め込むように形成される。次に、後述する外部接続端子の形成部およびダイシング用の溝 5 上については、この保護膜 9 が被覆しないように開口する。当該保護膜 9 の開口部の形成方法は、特に限定されず、適宜公知の方法によって形成することができる。例えば、フォトリソ工程において露光・現像することによって、この開口部を形成することができる。

【0071】

次に、図 2 (i) に示すように、上記外部接続端子が位置する保護膜 9 の開口領域に、外部入力端子となるはんだバンプ 1 3 を形成する。

【0072】

その後、ダイシング領域 4 の溝 5 に沿って、電子素子ウェハ 1 およびガラス基板 2 の複合体 (電子素子ウェハモジュール) のうち、ガラス基板 2 だけをダイシングブレードでダイシングすることによって、個別の半導体チップ (電子素子モジュール) に個片化することができる。本実施形態 1 では、個片化された個別の半導体チップ (電子素子モジュール) において、ダイシング領域 4 の溝 5 の側壁が絶縁膜 8 で被覆されているため、信頼性、特に耐湿性が優れた半導体チップ (電子素子モジュール) を完成させることができる。

【0073】

(実施形態 2)

以下に、本実施形態 2 の電子素子ウェハモジュール 2 1 について説明する。なお、本実施形態 2 において説明する以外の構成は、上記実施形態 1 の場合と同様である。また、説明の便宜上、上記実施形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【0074】

図 3 は、本発明の実施形態 2 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【0075】

図 3 に示すように、本実施形態 2 の電子素子ウェハモジュール 2 1 は、電子素子ウェハ 1 と支持基板としてのガラス基板 2 とが接着樹脂層 3 により貼り合わされている。電子素子ウェハ 1 のダイシング領域 4 に沿って裏面側から電子素子ウェハ 1 を貫通し、表面側の支持基板としてのガラス基板 2 に至る溝 5 が形成される。この溝 5 は、電子素子ウェハ 1 の各チップ中央部の電子素子領域 A の周辺部 B に形成された電極パッド 6 に接続するため

の貫通孔 7 と同時に形成される。この溝 5 の側壁は電子素子ウェハ 1 の裏面側の絶縁膜 8 で被覆されている。この溝 5 の底面は、上記実施形態 1 では絶縁膜 8 が除去されていたが、本実施形態 2 では溝 5 の底面の絶縁膜 8 が除去されていないことによって絶縁膜 8 の被覆性を良好にしている点が上記実施形態 1、2 の場合と異なっている。ダイシング領域 4 の裏面側の保護膜 9 は除去されており、この保護膜 9 はダイシングラインエッジに沿って裏面端縁部まで被覆されている。

【 0 0 7 6 】

本実施形態 2 の電子素子ウェハモジュール 2 1 の製造方法について、図 4 (a) ~ 図 4 (j) を用いて詳細に説明する。

【 0 0 7 7 】

図 4 (a) ~ 図 4 (j) は、本実施形態 2 の電子素子ウェハモジュール 2 1 を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【 0 0 7 8 】

なお、図 4 (a) の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ 1 の表面上に電極パッド 6 を含む金属配線層 (図示せず) が形成され、電極パッド 6 の中央部を開口した絶縁膜 1 0 が形成されている。

【 0 0 7 9 】

まず、図 4 (a) に示すように、電子素子ウェハ 1 の表面上に、接着樹脂層 3 を用いて支持基板としてのガラス基板 2 が貼り合わせられる。

【 0 0 8 0 】

次に、図 4 (b) に示すように、貫通孔 7、ダイシング用の溝 5 を形成するためのレジスト膜 1 1 となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔 7 および溝 5 を形成するためのレジスト膜 1 1 として開口部がパターン形成される。

【 0 0 8 1 】

以下、図 4 (c) の工程から、図 4 (e) の工程まで、上記実施形態 1 (図 2) の場合と同様である。したがって、これらの工程についての説明は、ここでは省略する。

【 0 0 8 2 】

図 4 (e) に示すように、電子素子ウェハ 1 の裏面および貫通孔 7、ダイシング用の溝 5 の側壁およびその底面を被覆するように、電子素子ウェハ 1 の裏面上に絶縁膜 8 を形成する。この絶縁膜 8 は、プラズマ CVD 膜が望ましい。または、ポリイミド、エポキシ樹脂、アクリル樹脂であることが好ましい。

【 0 0 8 3 】

さらに、図 4 (f) に示すように、貫通孔 7 の底面の絶縁膜 8 を除去し、ダイシング用の溝 5 の底面の絶縁膜 8 を除去しないためのレジスト膜 1 4 となるレジスト膜材料を塗布またはラミネートする。これにフォトリソ工程にて露光、現像を行い、貫通孔 7 のみレジスト膜材料を開口するようにパターンニングする。この後、貫通孔 7 の底面を被覆している絶縁膜 8 を反応性イオンエッチング装置を用いてエッチング除去する。但し、ダイシング用の溝 5 上はレジスト膜 1 4 で覆われているため、ダイシング用の溝 5 の底面の絶縁膜 8 は除去されない。このとき、上記実施形態 1 の場合と同様に、電子素子ウェハ 1 の裏面に形成される絶縁膜 8 の膜厚は貫通孔 7 の底面およびダイシング用の溝 5 の底面に形成される絶縁膜 8 の膜厚に比べて十分厚いために、貫通孔 7 の底面の絶縁膜 8 をエッチング除去しても、電子素子ウェハ 1 の裏面の絶縁膜 8 の残膜は十分厚く、電子素子ウェハ 1 の金属配線層 1 2 との間の絶縁性は十分に保たれる。

【 0 0 8 4 】

続いて、レジスト膜 1 4 を除去後、ここでは図示していないが、電子素子ウェハ 1 の裏面に、バリアメタル層および電解メッキのためのシードメタル層を形成する。上記バリアメタル層およびシードメタル層の形成方法は特に限定されず、適宜公知の方法によって形成され得る。上記バリアメタル層およびシードメタル層は、例えばスパッタ法または C V

10

20

30

40

50

D法などによっても形成することができる。

【0085】

以下、図4(g)~図4(j)は、図2(f)~図2(i)の場合と同様である。したがって、これらの各工程についての説明についてはここでは省略する。

【0086】

その後、ダイシング領域4の溝5に沿って、電子素子ウェハ1およびガラス基板2の複合体(電子素子ウェハモジュール)のうち、ガラス基板2だけをダイシングブレードでダイシングすることによって、個別の半導体チップ(電子素子モジュール)に個片化することができる。本実施形態2では、個片化された個別の半導体チップ(電子素子モジュール)において、ダイシング領域4の溝5の側壁が絶縁膜8で被覆されているため、信頼性、特に耐湿性が優れた半導体チップ(電子素子モジュール)を完成させることができる。

10

【0087】

(実施形態3)

以下に、本実施形態3の電子素子ウェハモジュール22について説明する。なお、本実施形態3において説明する以外の構成は、上記実施形態1の場合と同様である。また、説明の便宜上、上記実施形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【0088】

図5は、本発明の実施形態3に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

20

【0089】

図5に示すように、本実施形態3の電子素子ウェハモジュール22は、電子素子ウェハ1と支持基板としてのガラス基板2とが接着樹脂層3により貼り合わされている。電子素子ウェハ1のダイシング領域4の溝5Aに沿って裏面側から電子素子ウェハ1を貫通して、表面側の支持基板としてのガラス基板2の表面部に至る溝5Aが形成されている。この溝5Aは、電子素子ウェハ1の各チップ中央部の電子素子領域Aの周辺部Bに形成された電極パッド6に接続するための貫通孔7と同時に形成される。この溝5Aの側壁は電子素子ウェハ1の裏面側の絶縁膜8で被覆されている。この溝5Aの底面(ガラス基板2の溝の底面)は絶縁膜8が除去されている。ダイシング領域4の裏面側の保護膜9は除去されており、この保護膜9はダイシングラインエッジに沿って裏面端縁部まで被覆されている。要するに、本実施形態3では、この溝5Aが電子素子ウェハ1を貫通した後に支持基板としてのガラス基板2まで達し、エッチングを追加してガラス基板2に浅い溝(凹部)が形成されており、溝5Aの底面はガラス基板2の基板中に位置して絶縁膜8の被覆性を良好にしている点が上記実施形態1、2の場合と異なっている。

30

【0090】

本実施形態3の電子素子ウェハモジュール22の製造方法について、図6(a)~図6(k)を用いて詳細に説明する。

【0091】

図6(a)~図6(k)は、本実施形態3の電子素子ウェハモジュール22を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

40

【0092】

なお、図6(a)の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ1の表面上に電極パッド6を含む金属配線層(図示せず)が形成され、電極パッド6の中央部を開口した絶縁膜10が形成されている。

【0093】

まず、図6(a)に示すように、電子素子ウェハ1の表面上に、接着樹脂層3を用いて支持基板としてのガラス基板2が貼り合わされる。

【0094】

次に、図6(b)に示すように、貫通孔7、ダイシング用の溝5を形成するためのレジ

50

スト膜 11 となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔 7 および溝 5 を形成するためのレジスト膜 11 として開口がパターン形成される。

【0095】

さらに、図 6 (c) に示すように、レジスト膜 11 をマスクとして、電子素子ウェハ 1 をドライエッチングして貫通孔 7 およびダイシング用の溝 5 を形成する。

【0096】

その後、図 6 (d) に示すように、ドライエッチングによって、ダイシング用の溝 5 の底面、および電極パッド 6 の直下の絶縁膜 10 もエッチングされて、ダイシング用の溝 5 の底面のガラス基板 2 および電極パッド 6 の裏面がそれぞれ露出する。

10

【0097】

続いて、図 6 (e) に示すように、貫通孔 7 およびダイシング用の溝 5 上を覆うようにレジスト膜材料を塗布またはラミネートする。上記レジスト膜材料に対してフォトリソ工程にて露光、現像を行って、レジスト膜 15 として、ダイシング用の溝 5 を深さ方向に更にエッチングするための開口部をパターン形成する。

【0098】

さらに、図 6 (f) に示すように、レジスト膜 15 をマスクとして反応性イオンエッチング装置を用いてエッチングし、溝 5 の底面がガラス基板 2 中に位置するまで所定深さだけ掘り下げる。但し、貫通孔 7 はレジスト膜 15 で覆われているため、電極パッド 6 のメタル層までエッチングが進行することがないように考慮されている。なお、支持基板としては、ここではガラス基板 2 としている。

20

【0099】

さらに、レジスト膜 15 を除去後、図 6 (g) に示すように、半導体基板である電子素子ウェハ 1 の裏面や、貫通孔 7 およびダイシング用の溝 5 A の各側壁、底面上を被覆するように絶縁膜 8 を形成する。この絶縁膜 8 は、プラズマ CVD 膜が望ましい。または、ポリイミド、エポキシ樹脂、アクリル樹脂であることが好ましい。

【0100】

さらに、図 6 (h) に示すように、反応性イオンエッチング装置を用いて絶縁膜 8 をエッチングする。この場合、電子素子ウェハ 1 の裏面や、貫通孔 7 およびダイシング用の溝 5 の各側壁における絶縁膜 8 は、後工程で形成する導電配線（金属配線層）と電子素子ウェハ 1 との電氣的絶縁性を保持できるように残し、貫通孔 7 の底面の絶縁膜 8 は、後工程で形成する金属配線層と電極パッド 6 との導通を取るために除去するようにエッチングを行う。電子素子ウェハ 1 の裏面に形成される絶縁膜 8 の膜厚は、貫通孔 7 の底面およびダイシング用の溝 5 A の底面にそれぞれ形成される絶縁膜厚に比べて十分厚いために、貫通孔 7 の底面の絶縁膜 8 をエッチング除去しても、電子素子ウェハ 1 の裏面の絶縁膜 8 の残膜は十分厚く、電子素子ウェハ 1 と金属配線層 12 の間の絶縁性は十分に保たれる。

30

【0101】

さらに、電子素子ウェハ 1 の裏面にバリアメタル層および電解メッキのためのシードメタル層が形成される。上記バリアメタル層およびシードメタル層の形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、スパッタ法または CVD 法などによって形成することができる。

40

【0102】

以下、図 6 (i) ~ 図 6 (k) は、上記実施形態 1 の図 2 (g) ~ 図 2 (i) の場合と同様である。したがって、これらの各工程についての説明は、ここでは省略することにする。

【0103】

この後、ダイシング用の溝 5 A に沿って、電子素子ウェハモジュール 22 をダイシングすることによって、個別の半導体チップ（電子素子モジュール）に個片化することができる。本実施形態 3 では、ダイシングライン溝（ダイシング用の溝 5）の側壁が絶縁膜 8 で被覆されると共に、溝 5 A の底面が支持基板のガラス基板 2 中に位置するため、上記実施

50

形態 1 の場合よりも絶縁膜 8 の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール（半導体装置）が完成する。

（実施形態 4）

以下に、本実施形態 4 の電子素子ウェハモジュール 2 3 について説明する。なお、本実施形態 4 において説明する以外の構成は、上記実施形態 1 の場合と同様である。また、説明の便宜上、上記実施形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【0104】

図 7 は、本発明の実施形態 4 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

10

【0105】

図 7 に示すように、本実施形態 4 の電子素子ウェハモジュール 2 3 は、電子素子ウェハ 1 と支持基板としてのガラス基板 2 とが接着樹脂層 3 により貼り合わされている。電子素子ウェハ 1 のダイシング領域 4 の溝 5 A に沿って裏面側から電子素子ウェハ 1 を貫通して、表面側の支持基板としてのガラス基板 2 の表面部に至る溝 5 A が形成されている。この溝 5 A は、電子素子ウェハ 1 の各チップ中央部の電子素子領域 A の周辺部 B に形成された電極パッド 6 に接続するための貫通孔 7 と同時に形成される。この溝 5 A の側壁は電子素子ウェハ 1 の裏面側の絶縁膜 8 で被覆されている。この溝 5 A の底面（ガラス基板 2 の溝の底面）も絶縁膜 8 で被覆されている。ダイシング領域 4 の裏面側の保護膜 9 は除去されており、この保護膜 9 はダイシングラインエッジに沿って裏面端縁部まで被覆されている。

20

【0106】

本実施形態 4 の電子素子ウェハモジュール 2 3 の製造方法について、図 8（a）～図 8（m）を用いて詳細に説明する。

【0107】

図 8（a）～図 8（m）は、本実施形態 4 の電子素子ウェハモジュール 2 3 を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

30

【0108】

なお、図 8（a）の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ 1 の表面上に電極パッド 6 を含む金属配線層（図示せず）が形成され、電極パッド 6 の中央部を開口した絶縁膜 10 が形成されている。

【0109】

まず、図 8（a）に示すように、電子素子ウェハ 1 の表面上に、接着樹脂層 3 を用いて支持基板としてのガラス基板 2 が貼り合わされる。

【0110】

次に、図 8（b）に示すように、貫通孔 7、ダイシング用の溝 5 を形成するためのレジスト膜 11 となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔 7 および溝 5 を形成するためのレジスト膜 11 として開口がパターン形成される。

40

【0111】

その後の図 8（c）～図 8（g）は、上記実施形態 3 の図 6（c）～図 6（g）の場合と同様であるので、ここではその説明を省略する。

【0112】

図 8（h）に示すように、貫通孔 7 およびダイシング用の溝 5 A 上を覆うようにレジスト膜材料を塗布またはラミネートする。このレジスト膜材料に対してフォトリソ工程にて

50

露光、現像を行い、レジスト膜 16 として、貫通孔 7 の底面の絶縁膜 8 をエッチング除去するための開口をパターン形成する。

【0113】

続いて、図 8 (i) に示すように、貫通孔 7 の底面を被覆する絶縁膜 8 を、反応性イオンエッチング装置を用いてエッチング除去する。但し、ダイシング用の溝 5 A 上はレジスト膜 16 で覆われるため、ダイシング用の溝 5 A の底面の絶縁膜 8 は除去されない。このとき、上記実施形態 1 の場合と同様に、電子素子ウェハ 1 の裏面に形成される絶縁膜 8 の膜厚は貫通孔 7 の底面および溝 5 A の底面に形成される絶縁膜 8 の膜厚に比べて十分厚いために、貫通孔 7 の底面の絶縁膜 8 をエッチング除去しても、電子素子ウェハ 1 の裏面の絶縁膜 8 の残膜は十分厚く、これによって、電子素子ウェハ 1 と金属配線の間の絶縁性は十分に保たれる。

10

【0114】

さらに、レジスト膜 16 を除去後、電子素子ウェハ 1 の裏面にバリアメタル層および電解メッキのためのシードメタル層が形成される (図示せず) 。上記バリアメタル層およびシードメタル層の形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、スパッタ法または CVD 法などによって形成することができる。

【0115】

以下、図 8 (k) ~ 図 8 (m) は、上記実施形態 3 の図 6 (i) ~ 図 6 (k) の場合と同様である。したがって、これらの各工程についての説明は、ここでは省略することとする。

20

【0116】

この後、ダイシング用の溝 5 A に沿って、電子素子ウェハモジュール 23 をダイシングすることによって、個別の半導体チップ (電子素子モジュール) に個片化することができる。本実施形態 4 では、ダイシングライン溝 (ダイシング用の溝 5 A) の側壁および底面が絶縁膜 8 で被覆されると共に、溝 5 A の底面が支持基板のガラス基板 2 中に位置するため、上記実施形態 3 の場合よりも絶縁膜 8 の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール (半導体装置) が完成する。

(実施形態 5)

以下に、本実施形態 5 の電子素子ウェハモジュール 24 について説明する。なお、本実施形態 5 において説明する以外の構成は、上記実施形態 1 の場合と同様である。また、説明の便宜上、上記実施形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

30

【0117】

図 9 は、本発明の実施形態 5 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【0118】

図 9 に示すように、本実施形態 5 の電子素子ウェハモジュール 24 は、電子素子ウェハ 1 と支持基板としてのガラス基板 2 とが接着樹脂層 3 により貼り合わされている。電子素子ウェハ 1 のダイシング領域 4 の溝 5 に沿って裏面側から電子素子ウェハ 1 を貫通して、表面側の支持基板としてのガラス基板 2 の表面部に至る溝 5 が形成されている。この溝 5 は、電子素子ウェハ 1 の各チップ中央部の電子素子領域 A の周辺部 B に形成された電極パッド 6 に接続するための貫通孔 7 と同時に形成される。この溝 5 の側壁は電子素子ウェハ 1 の裏面側の絶縁膜 8 で被覆されている。溝 5 の底面は、電子素子ウェハ 1 の絶縁膜 8 は除去されている。ダイシング領域 4 の裏面側の保護膜 9 は、溝 5 の側壁および底面上を被覆して、ガラス基板 2 の表面と接している。要するに、本実施形態 5 では、この溝 5 が電子素子ウェハ 1 を貫通して、溝 5 の底面はガラス基板 2 の表面に位置し、絶縁膜 8 および保護膜 9 の 2 層構造により溝 5 の側壁が被覆されて溝 5 の側壁の被覆性を良好にしている点が上記実施形態 1 の場合と異なっている。

40

【0119】

本実施形態 5 の電子素子ウェハモジュール 24 の製造方法について、図 10 (a) ~ 図

50

10 (i) を用いて詳細に説明する。

【 0 1 2 0 】

図 10 (a) ~ 図 10 (i) は、本実施形態 5 の電子素子ウェハモジュール 2 3 を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【 0 1 2 1 】

なお、図 10 (a) の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ 1 の表面上に電極パッド 6 を含む金属配線層 (図示せず) が形成され、電極パッド 6 の中央部を開口した絶縁膜 1 0 が形成されている。

【 0 1 2 2 】

まず、図 10 (a) に示すように、電子素子ウェハ 1 の表面上に、接着樹脂層 3 を用いて支持基板としてのガラス基板 2 が貼り合わされる。

【 0 1 2 3 】

次に、図 10 (b) に示すように、貫通孔 7、ダイシング用の溝 5 を形成するためのレジスト膜 1 1 となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔 7 および溝 5 を形成するためのレジスト膜 1 1 として開口がパターン形成される。

【 0 1 2 4 】

その後の図 10 (c) ~ 図 10 (g) は、上記実施形態 1 の図 2 (c) ~ 図 2 (g) の場合と同様であるので、ここではその説明を省略する。

【 0 1 2 5 】

図 10 (h) に示すように、電子素子ウェハ 1 の裏面側に保護膜 9 A が形成される。保護膜 9 A を形成する際に、一般のレジストコートではダイシングラインの溝 5 の側壁および底面にレジストをコートすることは困難であるため、いわゆるスプレイコートが用いられる。図 10 (h) では、ダイシングライン領域 4 の保護膜 9 A は、溝 5 の側壁および底面にレジスト厚がおおよそ同等な状態で形成されており、貫通孔 7 の領域は保護膜 9 A によって埋め込まれている。貫通孔 7 の側壁および底面が表面とおおよそ同等の膜厚で形成されていても、なんら支障はない。

【 0 1 2 6 】

最後に、図 10 (i) に示すように、外部接続電極としてはんだバンプ 1 3 を、金属配線層 1 2 が露出した保護膜 9 A の開口部上に形成する。

【 0 1 2 7 】

この後、ダイシング用の溝 5 に沿って、電子素子ウェハモジュール 2 4 をダイシングすることによって、個別の半導体チップ (電子素子モジュール) に個片化することができる。本実施形態 5 では、ダイシングライン溝 (ダイシング用の溝 5) の側壁が絶縁膜 8 および保護膜 9 A の両方で被覆されるため、上記実施形態 1 の場合よりも溝 5 の側壁の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール (半導体装置) が完成する。

(実施形態 6)

以下に、本実施形態 6 の電子素子ウェハモジュール 2 5 について説明する。なお、本実施形態 6 において説明する以外の構成は、上記実施形態 1 の場合と同様である。また、説明の便宜上、上記実施形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【 0 1 2 8 】

図 1 1 は、本発明の実施形態 6 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【 0 1 2 9 】

図 1 1 に示すように、本実施形態 6 の電子素子ウェハモジュール 2 5 は、電子素子ウェハ 1 と支持基板としてのガラス基板 2 とが接着樹脂層 3 により貼り合わされている。電子素子ウェハ 1 のダイシング領域 4 に沿って裏面側から電子素子ウェハ 1 を貫通し、表面側

10

20

30

40

50

の支持基板としてのガラス基板 2 に至る溝 5 が形成される。この溝 5 は、電子素子ウェハ 1 の各チップ中央部の電子素子領域 A の周辺部 B に形成された電極パッド 6 に接続するための貫通孔 7 と同時に形成される。この溝 5 の側壁は電子素子ウェハ 1 の裏面側の絶縁膜 8 で被覆されている。この溝 5 の底面は、上記実施形態 1、5 では絶縁膜 8 が除去されていたが、本実施形態 6 では、上記実施形態 2 の場合と同様に、溝 5 の底面の絶縁膜 8 が除去されていない。ダイシング領域 4 の裏面側の保護膜 9 A は、溝 5 の側壁および底面上を被覆している。要するに、本実施形態 6 では、この溝 5 が電子素子ウェハ 1 を貫通して、溝 5 の底面はガラス基板 2 の表面に位置し、絶縁膜 8 および保護膜 9 A の 2 層構造により溝 5 の側壁および底面が共に被覆されて溝 5 の側壁の被覆性をより良好にしている点が上記実施形態 2、5 の場合と異なっている。

10

【0130】

本実施形態 6 の電子素子ウェハモジュール 2 5 の製造方法について、図 1 2 (a) ~ 図 1 2 (j) を用いて詳細に説明する。

【0131】

図 1 2 (a) ~ 図 1 2 (j) は、本実施形態 6 の電子素子ウェハモジュール 2 5 を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【0132】

なお、図 1 2 (a) の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ 1 の表面上に電極パッド 6 を含む金属配線層 (図示せず) が形成され、電極パッド 6 の中央部を開口した絶縁膜 1 0 が形成されている。

20

【0133】

まず、図 1 2 (a) に示すように、電子素子ウェハ 1 の表面上に、接着樹脂層 3 を用いて支持基板としてのガラス基板 2 が貼り合わせられる。

【0134】

次に、図 1 2 (b) に示すように、貫通孔 7、ダイシング用の溝 5 を形成するためのレジスト膜 1 1 となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔 7 および溝 5 を形成するためのレジスト膜 1 1 として開口部がパターン形成される。

【0135】

その後の図 1 2 (a) ~ 図 1 2 (h) は、上記実施形態 2 の図 1 2 (c) ~ 図 1 2 (h) の場合と同様であるので、ここでは説明を省略する。

30

【0136】

レジスト膜 1 4 を除去後、半導体基板である電子素子ウェハ 1 の裏面にバリアメタル層および電解メッキのためのシードメタル層が形成される (図示せず)。上記バリアメタル層およびシードメタル層の形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、スパッタ法または C V D 法などによって形成することができる。

【0137】

図 1 2 (i) に示すように、電子素子ウェハ 1 の裏面側に保護膜 9 A が形成される。この保護膜 9 A を形成する際に、一般のレジストコートではダイシングラインの溝 5 の側壁および底面にレジストをコートすることは困難であるため、いわゆるスプレイコートが用いられる。図 1 2 (i) では、ダイシングライン領域 4 の保護膜 9 A は、溝 5 の側壁および底面にレジスト厚がおおよそ同等な状態で形成されており、貫通孔 7 の領域は保護膜 9 A によって埋め込まれている。貫通孔 7 の側壁および底面が表面とおおよそ同等の膜厚で形成されていても、なんら支障はない。

40

【0138】

最後に、図 1 2 (i) に示すように、外部接続電極としてのはんだバンプ 1 3 を、金属配線層 1 2 が露出した保護膜 9 A の開口部上に形成する。

【0139】

この後、ダイシング用の溝 5 に沿って、電子素子ウェハモジュール 2 5 をダイシングす

50

ることによって、個別の半導体チップ（電子素子モジュール）に個片化することができる。本実施形態6では、ダイシングライン溝（ダイシング用の溝5）の側壁および底面が絶縁膜8および保護膜9Aの両方で被覆されるため、上記実施形態2、5の場合よりも溝5の側壁の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール（半導体装置）が完成する。

（実施形態7）

以下に、本実施形態7の電子素子ウェハモジュール26について説明する。なお、本実施形態7において説明する以外の構成は、上記実施形態1の場合と同様である。また、説明の便宜上、上記実施形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

10

【0140】

図13は、本発明の実施形態7に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【0141】

図13に示すように、本実施形態7の電子素子ウェハモジュール26は、電子素子ウェハ1と支持基板としてのガラス基板2とが接着樹脂層3により貼り合わされている。電子素子ウェハ1のダイシング領域4の溝5Aに沿って裏面側から電子素子ウェハ1を貫通して、表面側の支持基板としてのガラス基板2の表面部に至る溝5Aが形成されている。この溝5Aは、電子素子ウェハ1の各チップ中央部の電子素子領域Aの周辺部Bに形成された電極パッド6に接続するための貫通孔7と同時に形成される。この溝5Aの側壁は電子素子ウェハ1の裏面側の絶縁膜8で被覆されている。この溝5Aの底面（ガラス基板2の浅い溝の底面）は絶縁膜8が除去されている。ダイシング領域4の裏面側の保護膜9Aは、溝5Aの側壁および底面上を被覆している。要するに、本実施形態7では、この溝5Aが電子素子ウェハ1を貫通した後に支持基板としてのガラス基板2まで達し、さらに、エッチングを追加してガラス基板2に浅い溝（凹部）が形成されており、溝5Aの底面はガラス基板2の基板中に位置して、絶縁膜8および保護膜9Aの2層構造により溝5Aの側壁が共に被覆されて溝5Aの側壁の被覆性をより良好にしている点が上記実施形態3の場合と異なっている。

20

【0142】

本実施形態7の電子素子ウェハモジュール26の製造方法について、図14(a)～図14(k)を用いて詳細に説明する。

30

【0143】

図14(a)～図14(k)は、本実施形態7の電子素子ウェハモジュール26を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【0144】

なお、図14(a)の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ1の表面上に電極パッド6を含む金属配線層（図示せず）が形成され、電極パッド6の中央部を開口した絶縁膜10が形成されている。

【0145】

まず、図14(a)に示すように、電子素子ウェハ1の表面上に、接着樹脂層3を用いて支持基板としてのガラス基板2が貼り合わされる。

40

【0146】

次に、図14(b)に示すように、貫通孔7、ダイシング用の溝5を形成するためのレジスト膜11となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔7および溝5を形成するためのレジスト膜11として開口がパターン形成される。

【0147】

その後の図14(c)～図14(i)は、上記実施形態3の図6(c)～図6(i)の場合と同様であるので、ここでは説明を省略する。

50

【0148】

さらに、図14(j)に示すように、ダイシング用の溝5Aに沿って、電子素子ウェハモジュール26をダイシングすることによって、個別の半導体チップ(電子素子モジュール)に個片化することができる。本実施形態7では、ダイシングライン溝(ダイシング用の溝5)の側壁が絶縁膜8および保護膜9Aの両方で被覆されており、ダイシング用の溝5Aがガラス基板2にまで掘り込まれているため、上記実施形態3の場合よりも溝5Aの側壁の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール(半導体装置)が完成する。なお、ダイシングライン領域の保護膜9Aは、溝5Aの側壁および底面にレジスト厚がおおよそ同等な状態で形成されており、貫通孔7の領域は埋め込まれている。貫通孔7の側壁および底面がその裏面側とおおよそ同等の膜厚で形成されてい

10

【0149】

最後に、図14(k)に示すように、外部接続電極としてはんだバンプ13を、金属配線層12が露出した保護膜9Aの開口部上に形成する。

【0150】

この後、ダイシング用の溝5Aに沿って、電子素子ウェハモジュール26をダイシングすることによって、個別の半導体チップ(電子素子モジュール)に個片化することができる。本実施形態7では、ダイシングライン溝(ダイシング用の溝5A)の側壁が絶縁膜8および保護膜9Aの両方で被覆されるため、上記実施形態3の場合よりも溝5Aの側壁の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール(半導体装置)

20

(実施形態8)

以下に、本実施形態8の電子素子ウェハモジュール27について説明する。なお、本実施形態8において説明する以外の構成は、上記実施形態1の場合と同様である。また、説明の便宜上、上記実施形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【0151】

図15は、本発明の実施形態8に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【0152】

図15に示すように、本実施形態8の電子素子ウェハモジュール27は、電子素子ウェハ1と支持基板としてのガラス基板2とが接着樹脂層3により貼り合わされている。電子素子ウェハ1のダイシング領域4の溝5Aに沿って裏面側から電子素子ウェハ1を貫通して、表面側の支持基板としてのガラス基板2の表面部に至る溝5Aが形成されている。この溝5Aは、電子素子ウェハ1の各チップ中央部の電子素子領域Aの周辺部Bに形成された電極パッド6に接続するための貫通孔7と同時に形成される。この溝5Aの側壁は電子素子ウェハ1の裏面側の絶縁膜8で被覆されている。この溝5Aの底面(ガラス基板2の溝の底面)も絶縁膜8で被覆されている。ダイシング領域4の裏面側の保護膜9Aは、溝5Aの側壁および底面上を被覆している。要するに、本実施形態8では、この溝5Aが電子素子ウェハ1を貫通した後に支持基板としてのガラス基板2まで達し、さらに、エッチングを追加してガラス基板2に浅い溝(凹部)が形成されており、溝5Aの底面はガラス基板2の基板中に位置して、絶縁膜8および保護膜9Aの2層構造により溝5Aの側壁および底面が共に被覆されて溝5Aの側壁の被覆性をより良好にしている点が上記実施形態4の場合と異なっている。

30

40

【0153】

本実施形態8の電子素子ウェハモジュール27の製造方法について、図8(a)~図8(m)を用いて詳細に説明する。

【0154】

図16(a)~図16(m)は、本実施形態8の電子素子ウェハモジュール27を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要

50

部縦断面図である。

【0155】

なお、図16(a)の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ1の表面上に電極パッド6を含む金属配線層(図示せず)が形成され、電極パッド6の中央部を開口した絶縁膜10が形成されている。

【0156】

まず、図16(a)に示すように、電子素子ウェハ1の表面上に、接着樹脂層3を用いて支持基板としてのガラス基板2が貼り合わされる。

【0157】

次に、図16(b)に示すように、貫通孔7、ダイシング用の溝5を形成するためのレジスト膜11となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔7および溝5を形成するためのレジスト膜11として開口がパターン形成される。

10

【0158】

その後の図16(c)~図16(k)は、上記実施形態4の図8(c)~図8(k)の場合と同様であるので、ここではその説明を省略する。

【0159】

さらに、図16(l)に示すように、電子素子ウェハ1の裏面側に保護膜9Aが形成される。この保護膜9Aを形成する際に、一般のレジストコートではダイシングラインの溝5Aの側壁および底面にレジストをコートすることは困難であるため、いわゆるスプレイコートが用いられる。図16(l)では、ダイシングライン領域4の保護膜9Aは、溝5の側壁および底面にレジスト厚がおおよそ同等な状態で形成されており、貫通孔7の領域は保護膜9Aによって埋め込まれている。貫通孔7の側壁および底面が裏面とおおよそ同等の膜厚で形成されていても、なんら支障はない。

20

【0160】

最後に、図16(i)に示すように、外部接続電極としてはんだバンプ13を、金属配線層12が露出した保護膜9Aの開口部上に形成する。

【0161】

この後、ダイシング用の溝5Aに沿って、電子素子ウェハモジュール27をダイシングすることによって、個別の半導体チップ(電子素子モジュール)に個片化することができる。本実施形態8では、ダイシングライン溝(ダイシング用の溝5A)の側壁および底面が絶縁膜8および保護膜9Aの両方で被覆され、かつ支持基板としてのガラス基板2の表面から掘り込まれたガラス基板2中に溝5Aの底面が位置するため、上記実施形態4の場合よりも溝5Aの側壁の被覆性が優れており、信頼性、特に耐湿性がより優れた電子素子モジュール(半導体装置)が完成する。

30

(実施形態9)

以下に、本実施形態9の電子素子ウェハモジュール28について説明する。なお、本実施形態9において説明する以外の構成は、上記実施形態1の場合と同様である。また、説明の便宜上、上記実施形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

40

【0162】

図17は、本発明の実施形態9に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【0163】

図17に示すように、本実施形態9の電子素子ウェハモジュール28は、電子素子ウェハ1と支持基板としてのガラス基板2とが接着樹脂層3により貼り合わされている。電子素子ウェハ1のダイシング領域4に沿って裏面側から電子素子ウェハ1を貫通し、表面側の支持基板としてのガラス基板2に至る溝5が形成される。この溝5は、電子素子ウェハ1の各チップ中央部の電子素子領域Aの周辺部Bに形成された電極パッド6に接続するための貫通孔7と同時に形成される。この溝5の側壁は電子素子ウェハ1の裏面側の絶縁膜

50

8で被覆されている。この溝5の底面では絶縁膜8が除去されている。ダイシング領域4の保護膜9Bは、貫通孔7内を埋め込んでいると共に溝5内をも埋め込んでいる。この点が上記実施形態1の場合とは異なっている。この保護膜9Bは、この溝5の底面ではガラス基板2の表面と接している。

【0164】

本実施形態9の電子素子ウェハモジュール28の製造方法について、図18(a)~図18(i)を用いて詳細に説明する。

【0165】

図18(a)~図18(i)は、本実施形態9の電子素子ウェハモジュール28を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

10

【0166】

なお、図18(a)の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ1の表面上に電極パッド6を含む金属配線層(図示せず)が形成され、電極パッド6の中央部を開口した絶縁膜10が形成されている。

【0167】

まず、図18(a)に示すように、電子素子ウェハ1の表面上に、接着樹脂層3を用いて支持基板としてのガラス基板2が貼り合わされる。

【0168】

次に、図18(b)に示すように、貫通孔7、ダイシング用の溝5を形成するためのレジスト膜11となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔7およびダイシング用の溝5を形成するためのレジスト膜11として開口部がパターン形成される。

20

【0169】

その後の図18(c)~図18(g)は、上記実施形態1の図2(c)~図2(g)の場合と同様であるので、ここでは説明を省略する。

【0170】

さらに、図18(h)に示すように、電子素子ウェハ1の裏面側に保護膜9Bが溝5内にも埋め込むように形成される。この保護膜9Bを形成する形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、塗布、および真空中での脱泡、真空ラミネータ、または印刷法(真空)を用いて、貫通孔7およびダイシング用の溝5への保護膜9Bの埋め込みが可能である。

30

【0171】

最後に、図18(i)に示すように、外部接続電極としてのはんだバンプ13を、金属配線層12が露出した保護膜9Bの開口部上に形成する。

【0172】

この後、ダイシング用の溝5に沿って、電子素子ウェハモジュール28をダイシングすることによって、個別の半導体チップ(電子素子モジュール)に個片化することができる。本実施形態9では、ダイシングライン溝(ダイシング用の溝5)内が保護膜9Bで埋め込まれているため、ダイシングによる個片化後のパッケージ側壁面(ダイシング用の溝5の側壁面)が、絶縁膜8と厚い保護膜9Bの両方で被覆されることになり、上記実施形態5の場合と同様に絶縁膜8の被覆性が、厚い保護膜9Bも追加されることにより優れており、信頼性、特に耐湿性が優れた電子素子モジュール(半導体装置)が完成する。

40

(実施形態10)

以下に、本実施形態10の電子素子ウェハモジュール29について説明する。なお、本実施形態10において説明する以外の構成は、上記実施形態1の場合と同様である。また、説明の便宜上、上記実施形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【0173】

図19は、本発明の実施形態10に係る電子素子ウェハモジュールの貫通電極およびダ

50

イシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【0174】

図19に示すように、本実施形態10の電子素子ウェハモジュール29は、電子素子ウェハ1と支持基板としてのガラス基板2とが接着樹脂層3により貼り合わされている。電子素子ウェハ1のダイシング領域4に沿って裏面側から電子素子ウェハ1を貫通し、表面側の支持基板としてのガラス基板2に至る溝5が形成される。この溝5は、電子素子ウェハ1の各チップ中央部の電子素子領域Aの周辺部Bに形成された電極パッド6に接続するための貫通孔7と同時に形成される。この溝5の側壁は電子素子ウェハ1の裏面側の絶縁膜8で被覆されている。この溝5の底面は、上記実施形態9では絶縁膜8が除去されていたが、本実施形態10では溝5の底面の絶縁膜8が除去されていないことによって絶縁膜8の被覆性を良好にする。ダイシング領域4の保護膜9Bは、貫通孔7内を埋め込んでると共に溝5内をも埋め込んでいる。この点が上記実施形態2の場合と異なっている。

10

【0175】

本実施形態10の電子素子ウェハモジュール29の製造方法について、図20(a)~図20(j)を用いて詳細に説明する。

【0176】

図20(a)~図20(j)は、本実施形態10の電子素子ウェハモジュール29を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【0177】

なお、図20(a)の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ1の表面上に電極パッド6を含む金属配線層(図示せず)が形成され、電極パッド6の中央部を開口した絶縁膜10が形成されている。

20

【0178】

まず、図20(a)に示すように、電子素子ウェハ1の表面上に、接着樹脂層3を用いて支持基板としてのガラス基板2が貼り合わせられる。

【0179】

次に、図20(b)に示すように、貫通孔7、ダイシング用の溝5を形成するためのレジスト膜11となるレジスト膜材料が塗布またはラミネートされる。このレジスト膜材料に対してフォトリソ工程にて露光、現像を行い、後の工程において貫通孔7および溝5を形成するためのレジスト膜11として開口部がパターン形成される。

30

【0180】

その後の図20(c)~図20(h)は、上記実施形態2の図4(c)~図4(h)の場合と同様であるので、ここでは説明を省略する。

【0181】

さらに、図20(i)に示すように、電子素子ウェハ1の裏面側に保護膜9Bが溝5内にも埋め込むように形成される。この保護膜9Bを形成する形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、塗布、および真空中での脱泡、真空ラミネータ、または印刷法(真空)を用いて、貫通孔7およびダイシング用の溝5への保護膜9Bの埋め込みが可能である。

40

【0182】

最後に、図20(j)に示すように、外部接続電極としてのはんだバンプ13を、金属配線層12が露出した保護膜9Bの開口部上に形成する。

【0183】

この後、ダイシング用の溝5に沿って、電子素子ウェハモジュール29をダイシングすることによって、個別の半導体チップ(電子素子モジュール)に個片化することができる。本実施形態10では、ダイシングライン溝(ダイシング用の溝5)内の絶縁膜8上に保護膜9Bが成膜されて埋め込まれているため、ダイシングによる個片化後のパッケージ側壁面(ダイシング用の溝5の側壁面)が、絶縁膜8と厚い保護膜9Bの2層構造で被覆されることにより、上記実施形態6の場合よりも、絶縁膜8に厚い保護膜9Bも追加される

50

ことによりその被覆性が優れており、信頼性、特に耐湿性が優れた電子素子モジュール（半導体装置）が完成する。

（実施形態 11）

以下に、本実施形態 11 の電子素子ウェハモジュール 30 について説明する。なお、本実施形態 11 において説明する以外の構成は、上記実施形態 1 の場合と同様である。また、説明の便宜上、上記実施形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【0184】

図 21 は、本発明の実施形態 11 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

10

【0185】

図 21 に示すように、本実施形態 11 の電子素子ウェハモジュール 30 は、電子素子ウェハ 1 と支持基板としてのガラス基板 2 とが接着樹脂層 3 により貼り合わされている。電子素子ウェハ 1 のダイシング領域 4 の溝 5 A に沿って裏面側から電子素子ウェハ 1 を貫通して、表面側の支持基板としてのガラス基板 2 の表面部に至る溝 5 A が形成されている。この溝 5 A は、電子素子ウェハ 1 の各チップ中央部の電子素子領域 A の周辺部 B に形成された電極パッド 6 に接続するための貫通孔 7 と同時に形成される。この溝 5 A の側壁は電子素子ウェハ 1 の裏面側の絶縁膜 8 で被覆されている。この溝 5 A の底面（ガラス基板 2 の溝の底面）は絶縁膜 8 が除去されている。ダイシング領域 4 の保護膜 9 B は、貫通孔 7 内を埋め込んでいると共に溝 5 内をも埋め込んでいる。この点が上記実施形態 3 の場合と異なっている。

20

【0186】

本実施形態 11 の電子素子ウェハモジュール 30 の製造方法について、図 22 (a) ~ 図 22 (k) を用いて詳細に説明する。

【0187】

図 22 (a) ~ 図 22 (k) は、本実施形態 3 の電子素子ウェハモジュール 22 を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【0188】

なお、図 22 (a) の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ 1 の表面上に電極パッド 6 を含む金属配線層（図示せず）が形成され、電極パッド 6 の中央部を開口した絶縁膜 10 が形成されている。

30

【0189】

図 22 (a) ~ 図 22 (i) は、上記実施形態 3 の図 6 (a) ~ 図 6 (i) の場合と同様であるので、ここでは説明を省略する。

【0190】

次に、図 22 (j) に示すように、電子素子ウェハ 1 の裏面に保護膜 9 B が形成される。この形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、塗布、および真空中での脱泡、真空ラミネータまたは印刷法（真空）を用いて貫通孔 7 およびダイシングライン溝 5 A への保護膜 9 B の埋め込みが可能である。

40

【0191】

さらに、図 22 (k) に示すように、この上にはんだパンプ 13 が形成される。

【0192】

その後、ダイシングライン溝 5 A に沿って、電子素子ウェハ 1 をダイシングすることによって、個別の半導体チップに個片化される。本実施形態 11 では、ダイシングライン溝 5 A が保護膜 9 B で埋め込まれている。このため、ダイシングによる個片化後のパッケージ側壁面、および底面が、絶縁膜 8 と裏面保護膜 9 B の両方で被覆される。更に、ダイシングライン溝 5 A の底面は、支持基板としてのガラス基板 2 中に位置するため、上記実施形態 9 よりも絶縁膜 8 の被覆性が優れており、信頼性、特に耐湿性が優れた電子素子ウェハモジュール 30 が完成する。

50

【 0 1 9 3 】

(実施形態 1 2)

以下に、本実施形態 1 2 の電子素子ウェハモジュール 3 1 について説明する。なお、本実施形態 1 2 において説明する以外の構成は、上記実施形態 1 の場合と同様である。また、説明の便宜上、上記実施形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付してその説明を省略する。

【 0 1 9 4 】

図 2 3 は、本発明の実施形態 1 2 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【 0 1 9 5 】

図 2 3 に示すように、本実施形態 1 2 の電子素子ウェハモジュール 3 1 は、電子素子ウェハ 1 と支持基板としてのガラス基板 2 とが接着樹脂層 3 により貼り合わされている。電子素子ウェハ 1 のダイシング領域 4 の溝 5 A に沿って裏面側から電子素子ウェハ 1 を貫通して、表面側の支持基板としてのガラス基板 2 の表面部に至る溝 5 A が形成されている。この溝 5 A は、電子素子ウェハ 1 の各チップ中央部の電子素子領域 A の周辺部 B に形成された電極パッド 6 に接続するための貫通孔 7 と同時に形成される。この溝 5 A の側壁は電子素子ウェハ 1 の裏面側の絶縁膜 8 で被覆されている。この溝 5 A の底面（ガラス基板 2 の溝の底面）も絶縁膜 8 で被覆されている。ダイシング領域 4 の保護膜 9 B は、貫通孔 7 内を埋め込んでいると共に溝 5 内をも埋め込んでいる。この点が上記実施形態 4 の場合と異なっている。

【 0 1 9 6 】

本実施形態 1 2 の電子素子ウェハモジュール 3 1 の製造方法について、図 2 4 (a) ~ 図 2 4 (m) を用いて詳細に説明する。

【 0 1 9 7 】

図 2 4 (a) ~ 図 2 4 (m) は、本実施形態 1 2 の電子素子ウェハモジュール 3 1 を製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【 0 1 9 8 】

なお、図 2 4 (a) の断面構造に至る前に、半導体領域形成の前半工程を経て、電子素子ウェハ 1 の表面上に電極パッド 6 を含む金属配線層（図示せず）が形成され、電極パッド 6 の中央部を開口した絶縁膜 1 0 が形成されている。

【 0 1 9 9 】

図 2 4 (a) ~ 図 2 4 (k) は、上記実施形態 4 の図 8 (a) ~ 図 8 (k) の場合と同様であるので、ここでは説明を省略する。

【 0 2 0 0 】

次に、図 2 4 (l) に示すように、電子素子ウェハ 1 の裏面に保護膜 9 B が形成される。この形成方法は特に限定されず、適宜公知の方法によって形成され得る。例えば、塗布、および真空中での脱泡、真空ラミネータまたは印刷法（真空）を用いて貫通孔 7 およびダイシングライン溝 5 A への保護膜 9 B の埋め込みが可能である。

【 0 2 0 1 】

さらに、図 2 4 (m) に示すようにこの上に、はんだバンプ 1 3 が形成される。

【 0 2 0 2 】

その後、ダイシングライン溝 5 A に沿って、電子素子ウェハ 1 をダイシングすることによって、個別の半導体チップに個片化される。本実施形態 1 2 では、ダイシングライン溝 5 A が保護膜 9 B で埋め込まれている。このため、ダイシングによる個片化後のパッケージ側壁面および底面が、絶縁膜 8 と裏面保護膜 9 B の両方で被覆され、かつダイシングライン溝 5 A の底面が支持基板としてのガラス基板 2 中に位置するため、上記実施形態 1 1 の場合よりも絶縁膜 8 の被覆性が優れており、信頼性、特に耐湿性が優れた半導体装置が完成する。

【 0 2 0 3 】

10

20

30

40

50

さらに、図 2 5 に示すように、上記実施形態 1 2 の図 2 4 (m) の工程後、電子素子ウエハ 1 をダイシングする前に、ダイシングライン溝 5 A に被覆または埋め込まれた保護膜 9 B をフォトリソにより、露光、現像して開口部 9 C とすることも可能である。この方法によれば、保護膜 9 B をダイシングする際の衝撃を回避し、保護膜 9 B とダイシングライン溝 5 A の側壁の絶縁膜 8 との密着性を保持することが可能となる。同様のことは、ダイシングライン溝 5 または 5 A に保護膜 9 B を埋め込んでいる上記実施形態 9 ~ 1 1 にも適用できる。更に、ダイシングライン溝 5 または 5 A に保護膜 9 A を被覆している実施例 4 ~ 8 にも適用できる。

【 0 2 0 4 】

なお、本発明は、上述した各実施形態 1 ~ 1 2 に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態 1 ~ 1 2 にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

10

【 0 2 0 5 】

さらに、透明なガラス基板 2 上に一または複数のレンズ板としてのレンズモジュールなどの光学素子モジュールが積層してもよい。

【 0 2 0 6 】

即ち、電子素子モジュールとして、電子素子としての撮像素子が配設された電子素子チップ（電子素子ウエハモジュールから切断された単位チップ）と、電子素子チップ上の所定領域に形成された接着樹脂層 3 と、電子素子チップ上を覆い、電子素子としての撮像素子に対応するように接着樹脂層 3 上に固定された一または複数枚の光学素子（例えばレンズ板）とを有している。

20

【 0 2 0 7 】

以上の場合に、電子素子としては、被写体からの画像光を光電変換して撮像する複数の受光部を有する撮像素子であってもよいし、出射光を発生させるための発光素子および入射光を受光するための受光素子などであってもよい。

【 0 2 0 8 】

この電子素子モジュールの実施形態 1 3 として、被写体からの画像光を光電変換して撮像する複数の受光部を有する撮像素子と、入射光を撮像素子上に結像するための一または複数枚のレンズモジュールとが積層された電子素子モジュールとしてのセンサモジュールの事例について、図 2 6 を参照しながら詳細に説明する。

30

【 0 2 0 9 】

（実施形態 1 3 ）

図 2 6 は、本発明の実施形態 1 3 に係るセンサモジュールの要部構成例を示す縦断面図である。

【 0 2 1 0 】

図 2 6 において、本実施形態 1 3 のセンサモジュール 5 0 は、チップ表面に、複数の画素に対応した各光電変換部（フォトダイオード）である複数の受光部からなる電子素子としての撮像素子 5 1 a が設けられ、貫通孔 5 1 b が表面と裏面間に設けられて配線として導通した貫通ウエハ 5 1 （上記実施形態 1 ~ 1 2 の電子素子ウエハモジュールから個片化された各チップに対応）と、この貫通ウエハ 5 1 の撮像素子 5 1 a の周囲上に形成された樹脂接着層 5 2 （上記実施形態 1 ~ 1 2 の接着樹脂 3 に対応）と、この樹脂接着層 5 2 上を覆い、その表面に I R カット層がコーティングされたカバーガラスとして個片化されたガラス板 5 3 （上記実施形態 1 ~ 1 2 では支持基板としての透明ガラス基板 2 に対応）と、このガラス板 5 3 上に設けられ、撮像素子 5 1 a に入射光を集光させるための光学素子としての複数のレンズ板 5 4 1 ~ 5 4 3 が積層されたレンズ板 5 4 （レンズモジュール）と、これらのレンズ板 5 4 1 ~ 5 4 3 を接着して固定するためのレンズ接着層 5 5 および 5 6 と、各レンズ板 5 4 1 ~ 5 4 3 のうちの最上位置のレンズ板 5 4 1 の中央部を円形の光取入口として開口すると共に、それ以外の表面部分および、各レンズ板 5 4 1 ~ 5 4 3 およびガラス板 5 3 の側面部分を遮光する遮光部材 5 7 とを有しており、貫通ウエハ 5 1 上に、ガラス板 5 3 およびレンズ板 5 4 がこの順に互いにアライメントをとって樹脂接着

40

50

層 5 2 およびレンズ接着層 5 5 および 5 6 などにより上下に貼り合わされている。要するに、本実施形態 1 3 の電子素子モジュールとしてのセンサモジュール 5 0 は、上記実施形態 1 ~ 1 2 の電子素子ウェハモジュールを個片化したものに、複数のレンズ板 5 4 1 ~ 5 4 3 がレンズ接着層 5 5 および 5 6 などにより貼り合わせ、さらにこれに遮光部材 5 7 を上側から装着したものである。これによって本実施形態 1 3 のセンサモジュール 5 0 が製造されている。

【 0 2 1 1 】

レンズ板 5 4 は、透明樹脂製または透明ガラス製のレンズ板である。このレンズ板 5 4 において、レンズ機能を有するレンズ領域と、スペーサ機能を有するスペーサ部としての周囲のレンズこぼ部とで構成され、全体は同じ種類のガラスまたは樹脂材料で形成されている。これにより、所定のレンズ形状、所定のレンズ厚さのレンズ板 5 4 1 ~ 5 4 3 を形成することが可能である。

10

【 0 2 1 2 】

本実施形態 1 3 では、形成されたレンズ板 5 4 1 ~ 5 4 3 が 3 枚、レンズこぼ部分で貼り合わされた構造となっている。これらの貼り合わせには、接着部材 5 5 および 5 6 を用いるが、接着部材 5 5 および 5 6 は、遮光機能を有していてもよい。

【 0 2 1 3 】

光学素子としての複数枚のレンズ板 5 4 は、収差補正レンズ 5 4 3、拡散レンズ 5 4 2 および集光レンズ 5 4 1 であり（1枚の場合は集光レンズ）、レンズ板 5 4 は、中央部分にレンズ領域が設けられ、そのレンズ領域の外周側に所定厚さを持つスペーサ部である周囲部分としてのレンズこぼ部分が設けられているが、それらのレンズ板 5 4 の各外周側にそれぞれ設けられた所定厚さを持つ各スペーサ部が下からこの順に積層されて配置されている。このスペーサ部は位置決め機能を有しており、その位置決め機能は、テーパの付いた凹部と凸部またはアライメントマークで構成されている。3枚のレンズ板 5 4 1 ~ 5 4 3 を接着する接着層 5 5 および / または 5 6 は、遮光機能を兼ねていてもよく、接着層 5 5 および 5 6 は、スペースを決定する固体が含有されていてもよい。

20

【 0 2 1 4 】

次に、この電子素子モジュールとしてのセンサモジュール 5 0 を用いた完成品を実施形態 1 4 として、本実施形態 1 3 のセンサモジュール 5 0 を撮像部に用いた電子情報機器を図面を参照しながら詳細に説明する。

30

（実施形態 1 4）

図 2 7 は、本発明の実施形態 1 4 として、本発明の実施形態 1 3 のセンサモジュール 5 0 を撮像部に用いた電子情報機器の概略構成例を示すブロック図である。

【 0 2 1 5 】

図 2 7 において、本実施形態 1 4 の電子情報機器 9 0 は、上記実施形態 1 3 のセンサモジュール 5 0 からの撮像信号を各種信号処理してカラー画像信号を得る固体撮像装置 9 1 と、この固体撮像装置 9 1 からのカラー画像信号を記録用に所定の信号処理した後にデータ記録可能とする記録メディアなどのメモリ部 9 2 と、この固体撮像装置 9 1 からのカラー画像信号を表示用に所定の信号処理した後に液晶表示画面などの表示画面上に表示可能とする液晶表示装置などの表示手段 9 3 と、この固体撮像装置 9 1 からのカラー画像信号を通信用に所定の信号処理をした後に通信処理可能とする送受信装置などの通信手段 9 4 とを有している。なお、この電子情報機器 9 0 として、これに限らず、固体撮像装置 9 1 の他に、メモリ部 9 2 と、表示手段 9 3 と、通信手段 9 4 と、プリンタなどの画像出力手段 9 5 とのうちの少なくともいずれかを有していてもよい。

40

【 0 2 1 6 】

この電子情報機器 9 0 としては、前述したように例えばデジタルビデオカメラ、デジタルスチルカメラなどのデジタルカメラや、監視カメラ、ドアホンカメラ、車載用後方監視カメラなどの車載用カメラおよびテレビジョン電話用カメラなどの画像入力カメラ、スキャナ、ファクシミリ、カメラ付き携帯電話装置および携帯端末装置（PDA）などの画像入力デバイスを有した電子機器が考えられる。

50

【 0 2 1 7 】

したがって、本実施形態 1 4 によれば、この固体撮像装置 9 1 からのカラー画像信号に基づいて、これを表示画面上に良好に表示したり、これを紙面にて画像出力装置 9 5 により良好にプリントアウト（印刷）したり、これを通信データとして有線または無線にて良好に通信したり、これをメモリ部 9 2 に所定のデータ圧縮処理を行って良好に記憶したり、各種データ処理を良好に行うことができる。

【 0 2 1 8 】

なお、上記実施形態 2 の電子情報機器 9 0 に限らず、本発明の電子素子モジュールを情報記録再生部に用いたピックアップ装置などの電子情報機器であってもよい。この場合のピックアップ装置の光学素子としては、出射光を直進させて出射させると共に、入射光を曲げて所定方向に入射させる光学機能素子（ウエハ状光学装置；例えばプリズムモジュールおよびホログラム素子モジュール、即ちホログラム光学素子やプリズム光学素子）である。また、ピックアップ装置の電子素子としては、出射光を発生させるための発光素子（例えば半導体レーザ素子またはレーザチップ）および入射光を受光するための受光素子（例えばフォト IC）を有している。

10

【 0 2 1 9 】

以上のように、本発明の好ましい実施形態 1 ~ 1 4 を用いて本発明を例示してきたが、本発明は、この実施形態 1 ~ 1 4 に限定して解釈されるべきものではない。本発明は、特許請求の範囲によってのみその範囲が解釈されるべきであることが理解される。当業者は、本発明の具体的な好ましい実施形態 1 ~ 1 4 の記載から、本発明の記載および技術常識に基づいて等価な範囲を実施することができることが理解される。本明細書において引用した特許、特許出願および文献は、その内容自体が具体的に本明細書に記載されているのと同様にその内容が本明細書に対する参考として援用されるべきであることが理解される。

20

【 産業上の利用可能性 】

【 0 2 2 0 】

本発明は、複数の電子素子が設けられた電子素子ウェハの表面と支持基板とが貼り合わされた電子素子ウェハモジュールおよび、この電子素子ウェハモジュールの製造方法、この電子素子ウェハモジュールが電子素子毎に切断されて個片化された電子素子モジュール、この電子素子モジュールを画像入力デバイスとして撮像部に用いた例えばデジタルビデオカメラおよびデジタルスチルカメラなどのデジタルカメラや、画像入力カメラ、スキャナ装置、ファクシミリ装置、カメラ付き携帯電話装置などの電子情報機器の分野において、信頼性、特に耐湿性の高い貫通電極とすることができる。

30

【 図面の簡単な説明 】

【 0 2 2 1 】

【 図 1 】本発明の実施形態 1 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【 図 2 】本実施形態 1 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【 図 3 】本発明の実施形態 2 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

40

【 図 4 】本実施形態 2 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【 図 5 】本発明の実施形態 3 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【 図 6 】本実施形態 3 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【 図 7 】本発明の実施形態 4 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【 図 8 】本実施形態 4 の電子素子ウェハモジュールを製造するときの各工程における電極

50

部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 9】本発明の実施形態 5 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 10】本実施形態 5 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 11】本発明の実施形態 6 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 12】本実施形態 6 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 13】本発明の実施形態 7 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 14】本実施形態 7 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 15】本発明の実施形態 8 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 16】本実施形態 8 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 17】本発明の実施形態 9 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 18】本実施形態 9 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 19】本発明の実施形態 10 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 20】本実施形態 10 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 21】本発明の実施形態 11 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 22】本実施形態 11 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 23】本発明の実施形態 12 に係る電子素子ウェハモジュールの貫通電極およびダイシング領域近傍の断面構造を模式的に示す要部縦断面図である。

【図 24】本実施形態 12 の電子素子ウェハモジュールを製造するときの各工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 25】本実施形態 12 の電子素子ウェハモジュールを製造するときの最終工程における電極部およびダイシング領域付近の断面構造を模式的に示す要部縦断面図である。

【図 26】本発明の実施形態 13 に係るセンサモジュールの要部構成例を示す縦断面図である。

【図 27】本発明の実施形態 14 として、本発明の実施形態 13 のセンサモジュールを撮像部に用いた電子情報機器の概略構成例を示すブロック図である。

【図 28】特許文献 1 に開示されている従来の貫通電極を備えた半導体ウェハモジュールの電極部付近およびダイシング領域の縦断面図である。

【図 29】特許文献 2 に開示されている従来の貫通電極を備えた電子素子ウェハモジュールの電極部付近およびダイシング領域の縦断面図である。

【符号の説明】

【0222】

- 1 電子素子ウェハ
- 2 支持基板（ガラス基板）
- 3 接着樹脂層
- 4 ダイシング領域
- 5、5A ダイシング用の溝

10

20

30

40

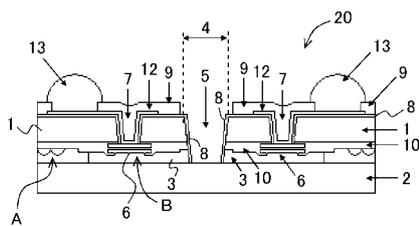
50

- 6 電極パッド
- 7 貫通孔
- 8、10 絶縁膜
- 9、9 A、9 B 裏面保護膜
- 12 金属配線層（導電配線）
- 13 はんだバンプ
- 20 ~ 32 電子素子ウェハモジュール
- 50 センサモジュール
- 51 貫通ウエハ
- 51 a 撮像素子 51 a（電子素子）
- 51 b 貫通孔
- 52 樹脂接着層
- 53 ガラス板
- 54、54 1 ~ 54 3 レンズ板
- 55、56 レンズ接着層
- 57 遮光部材
- 90 電子情報機器
- 91 固体撮像装置
- 92 メモリ部
- 93 表示手段
- 94 通信手段
- 95 画像出力手段

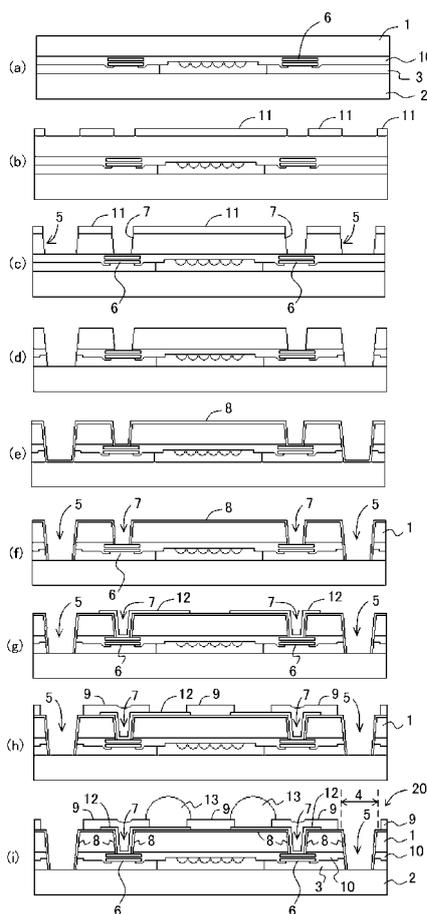
10

20

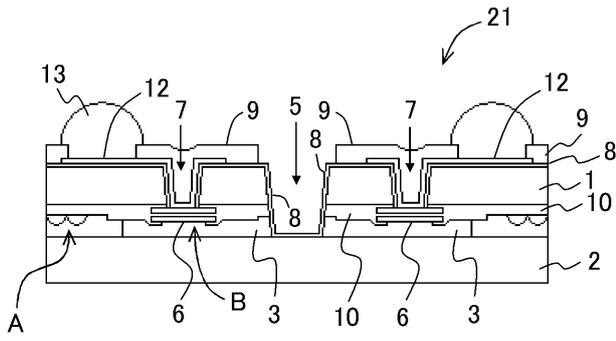
【 図 1 】



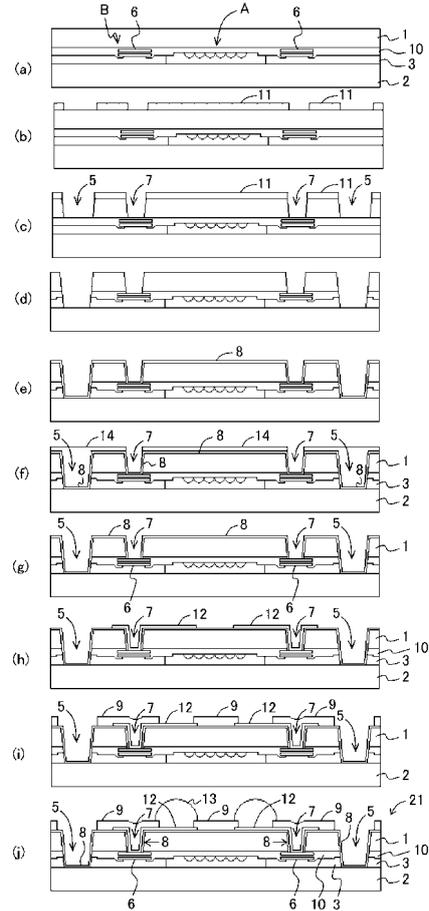
【 図 2 】



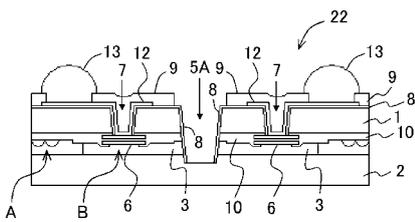
【 図 3 】



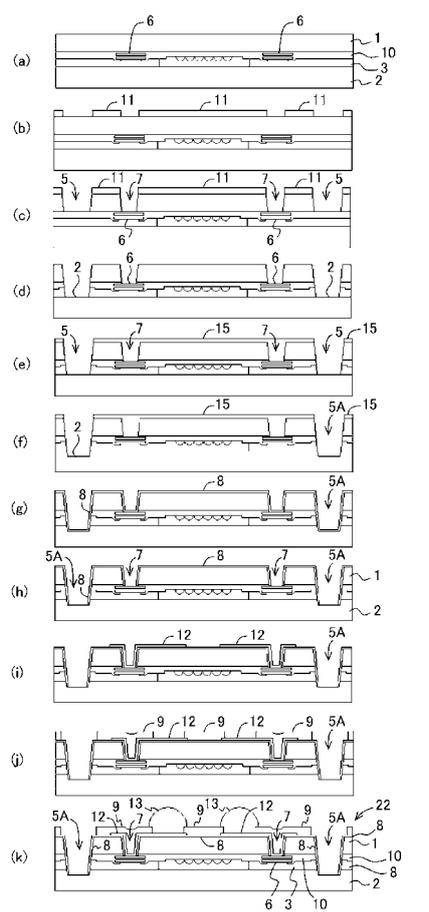
【 図 4 】



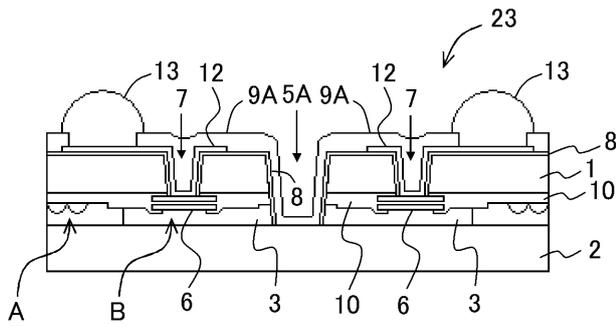
【 図 5 】



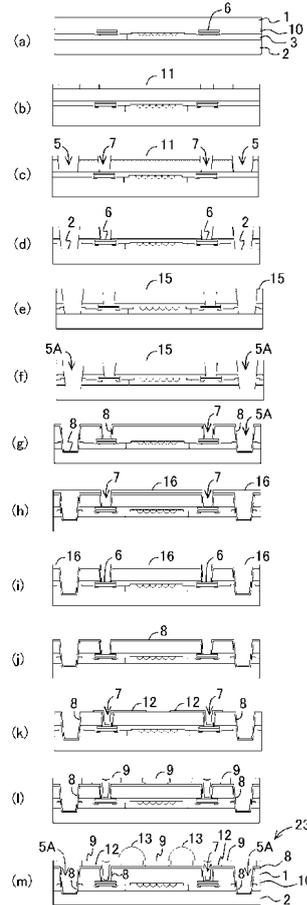
【 図 6 】



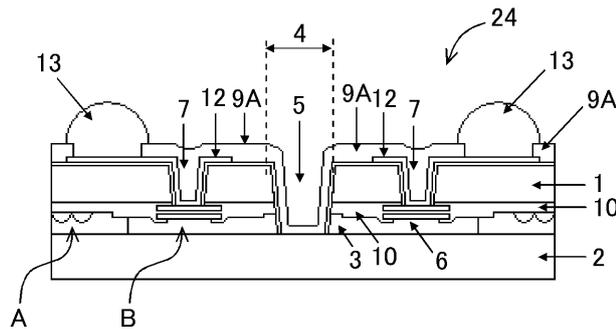
【 図 7 】



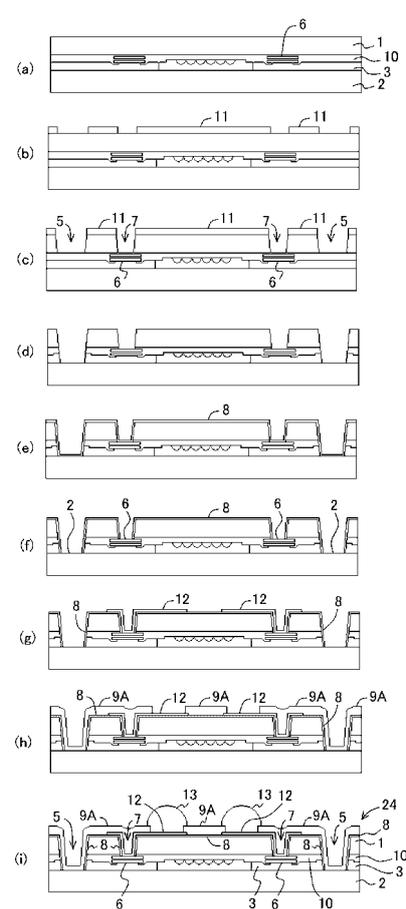
【 図 8 】



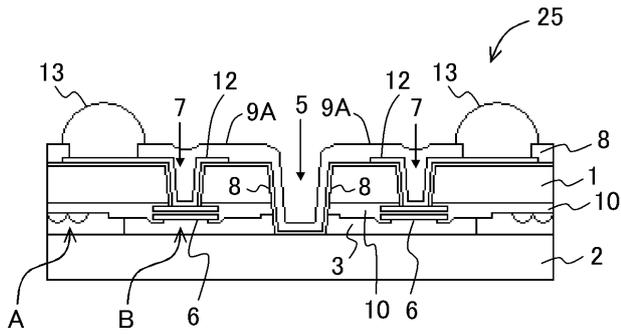
【 図 9 】



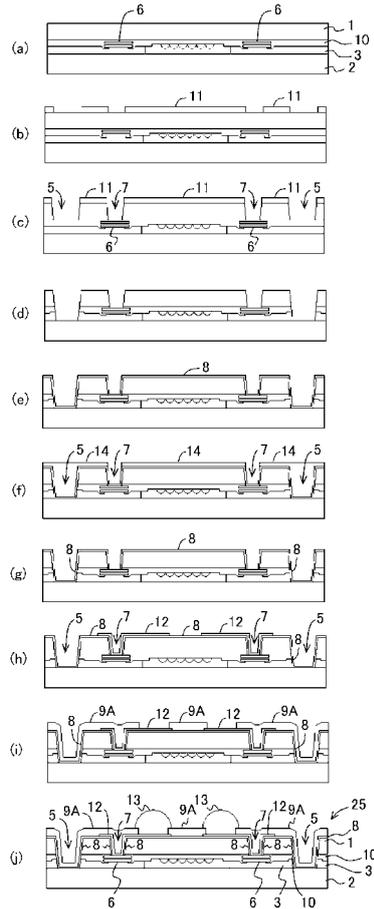
【 図 10 】



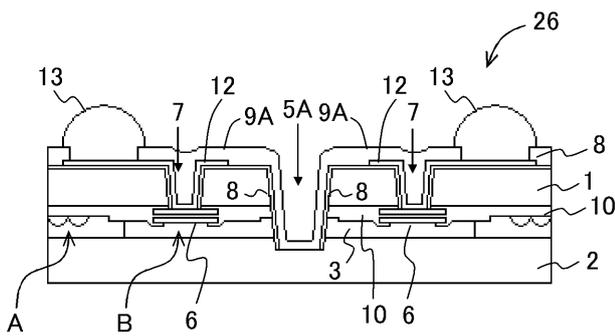
【 図 1 1 】



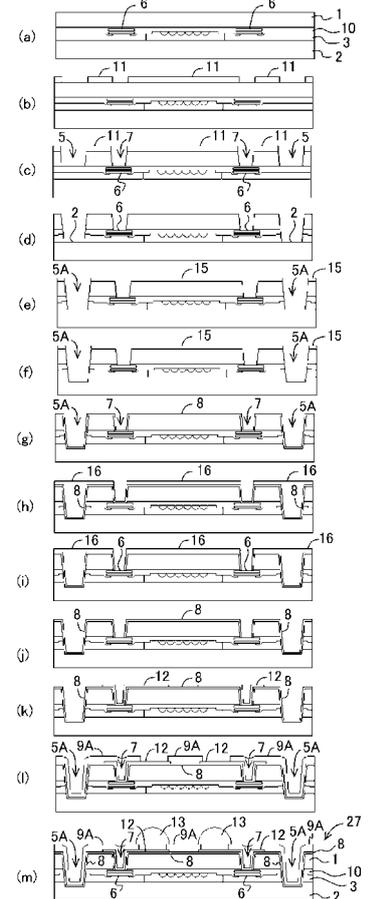
【 図 1 2 】



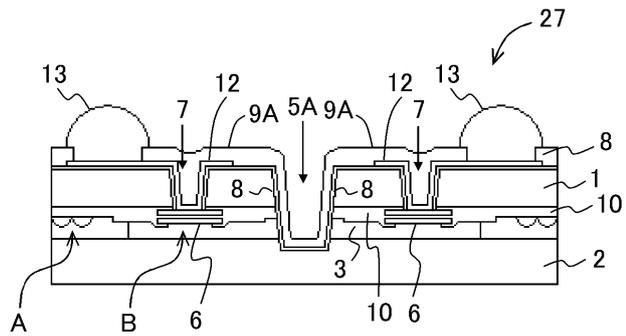
【 図 1 3 】



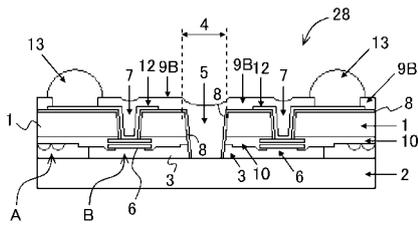
【 図 1 6 】



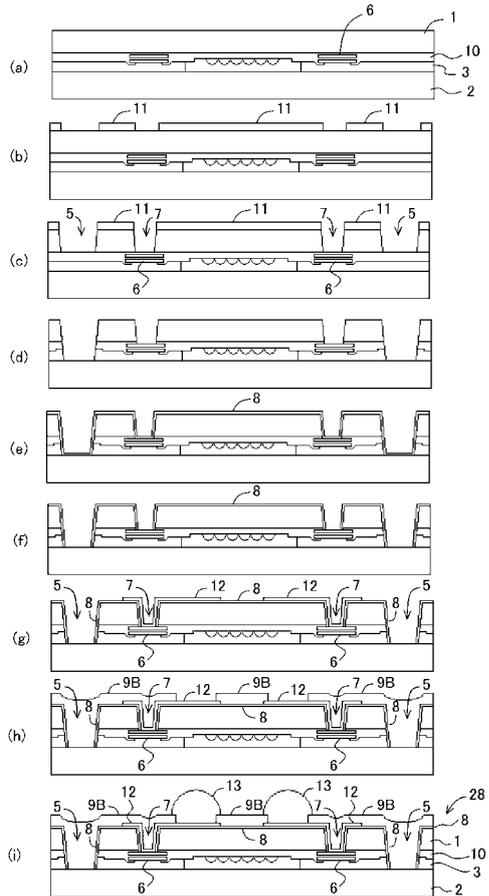
【 図 1 5 】



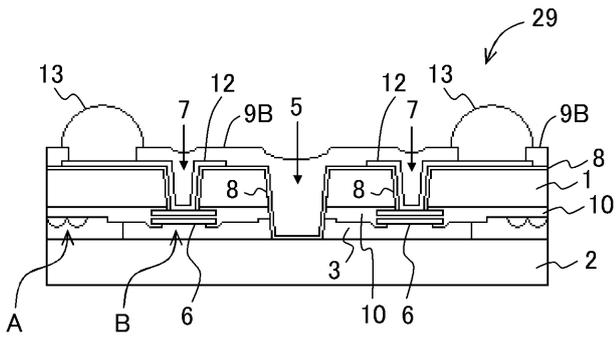
【 図 1 7 】



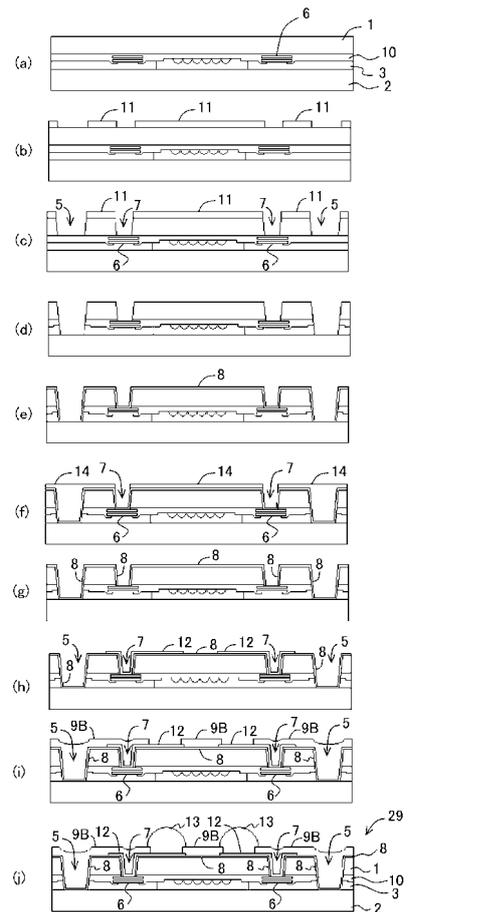
【 図 1 8 】



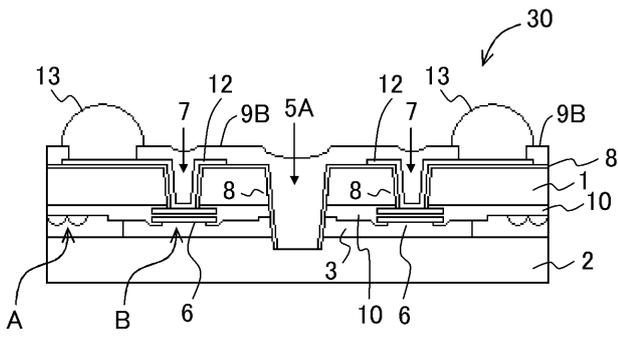
【 図 1 9 】



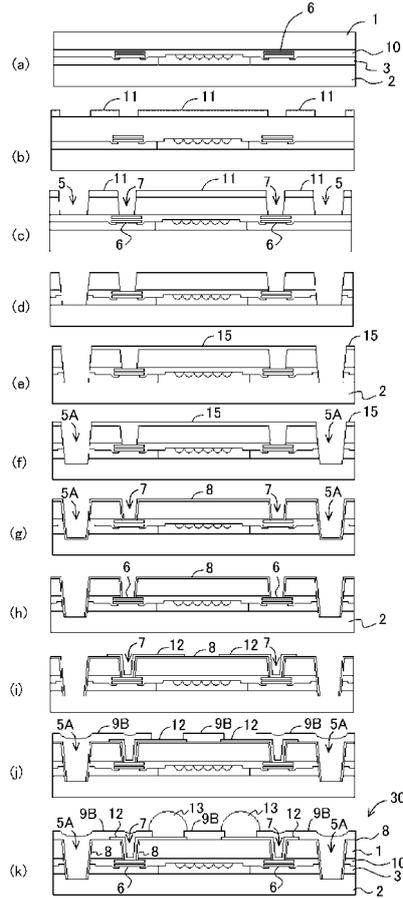
【 図 2 0 】



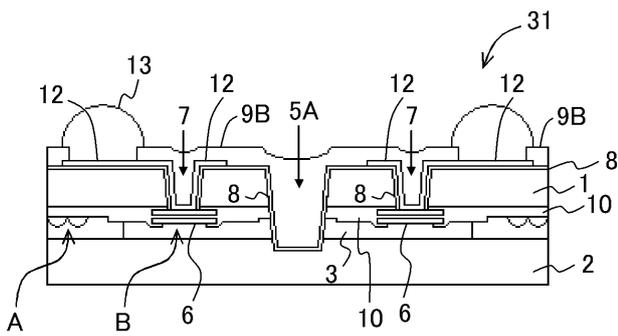
【図 2 1】



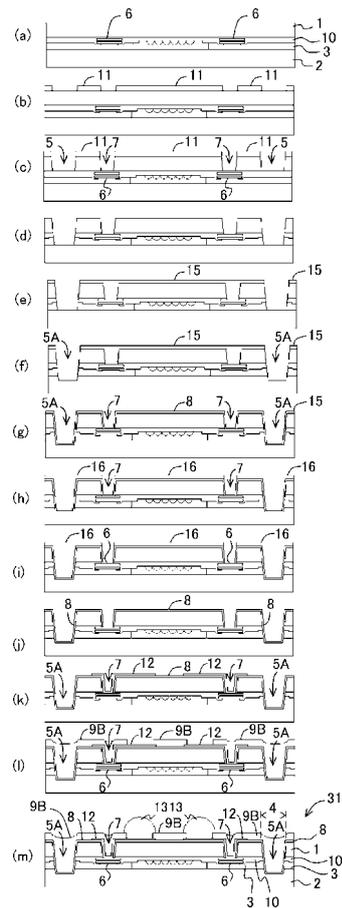
【図 2 2】



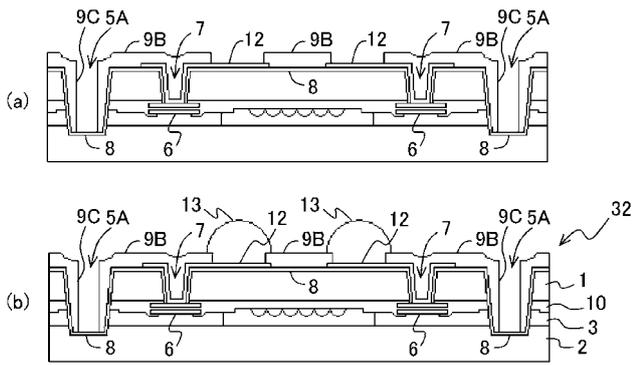
【図 2 3】



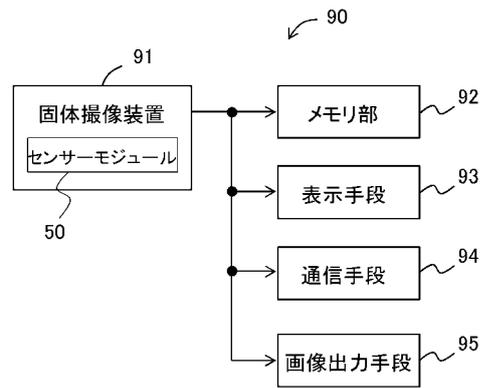
【図 2 4】



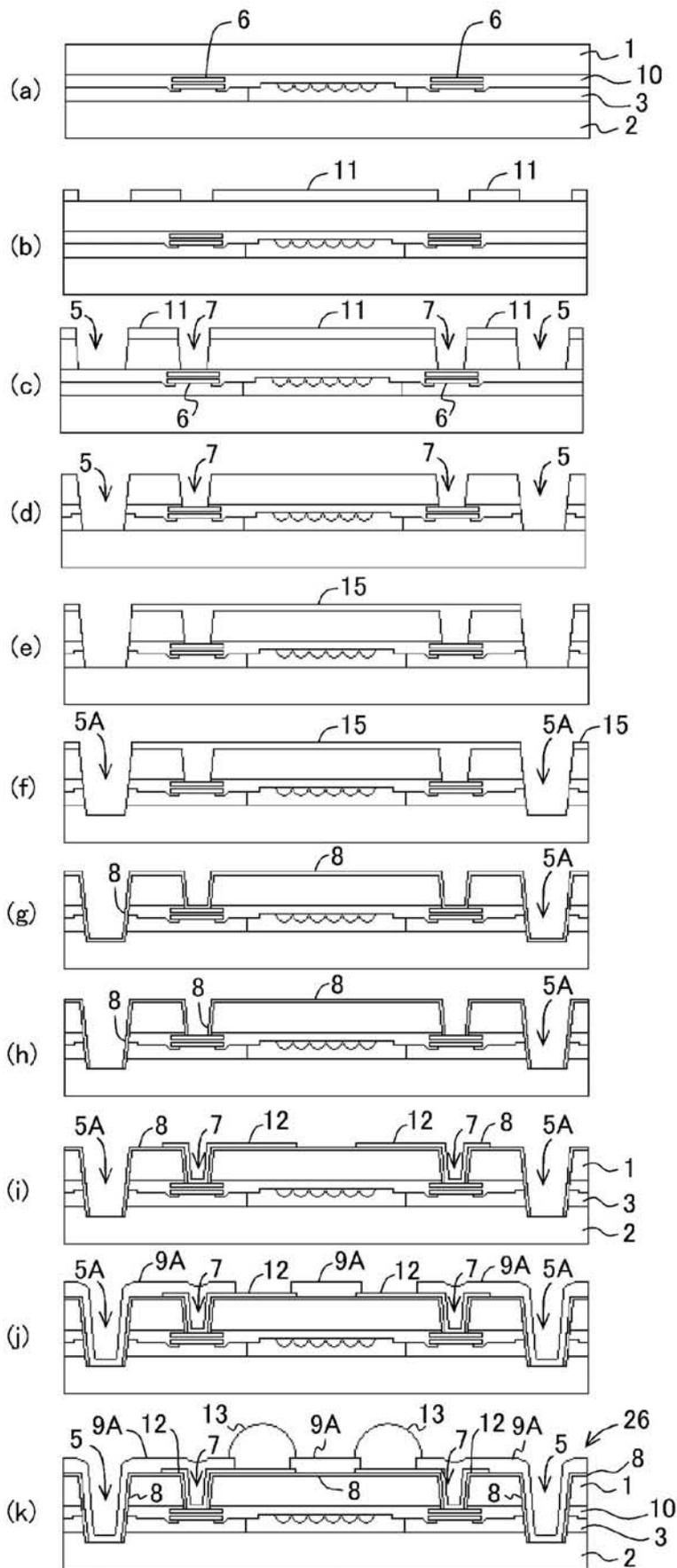
【図25】



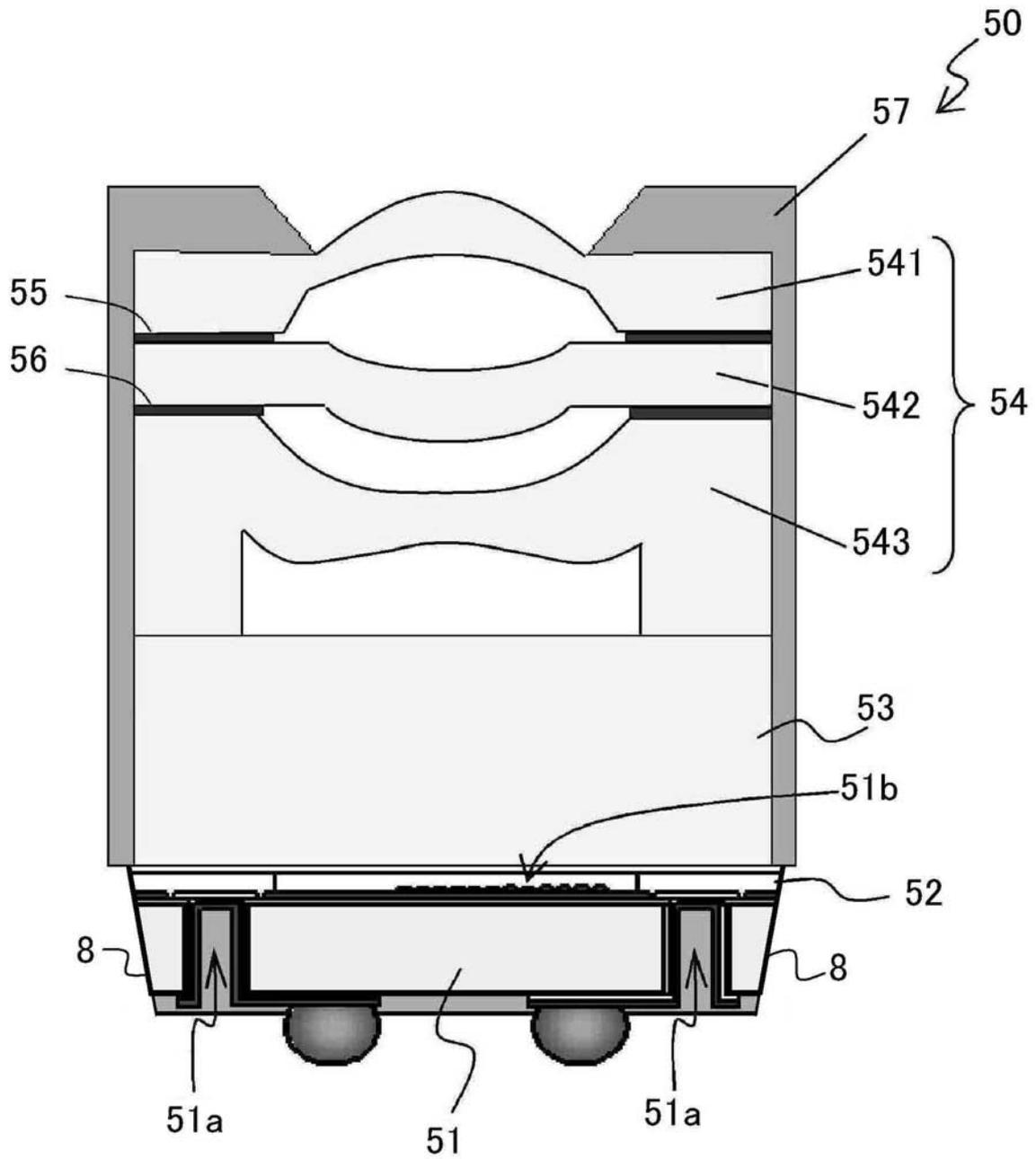
【図27】



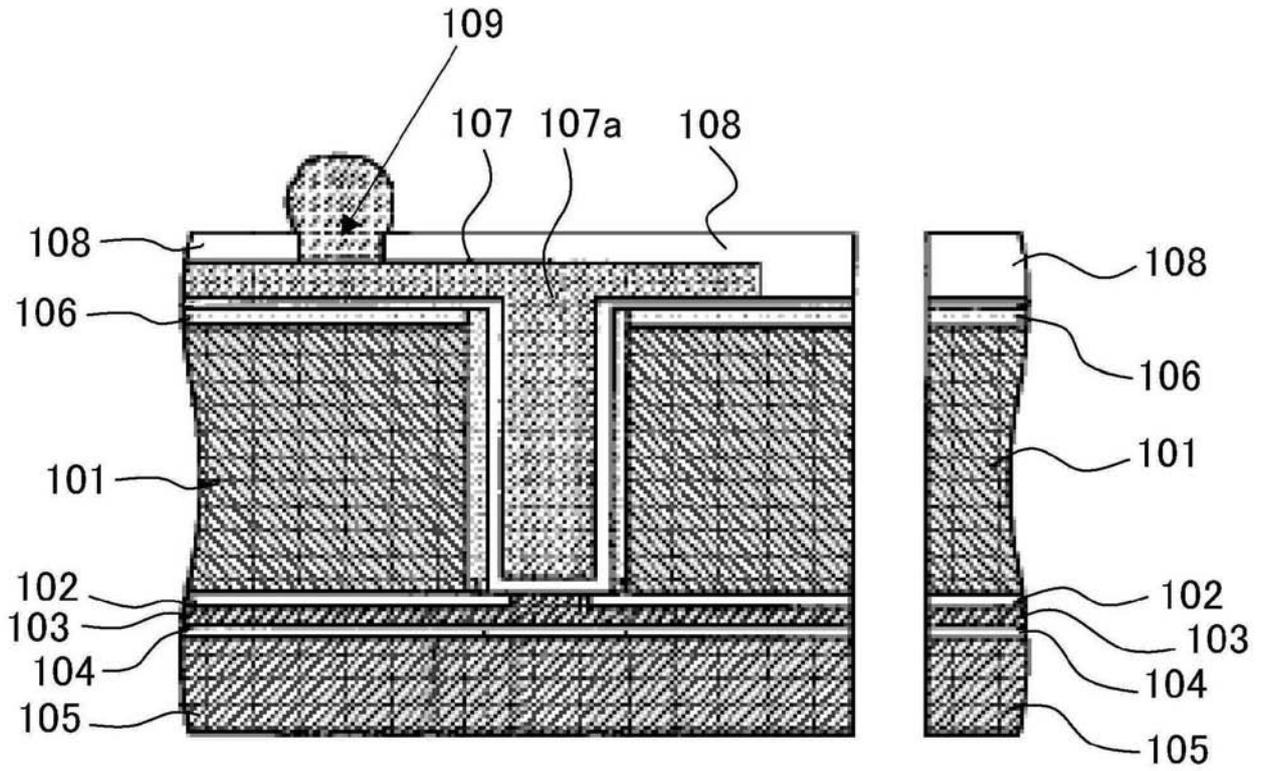
【 図 1 4 】



【図 26】



【図28】



【図29】

