

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5795513号
(P5795513)

(45) 発行日 平成27年10月14日(2015.10.14)

(24) 登録日 平成27年8月21日(2015.8.21)

(51) Int.Cl.		F I			
G 1 1 C	11/4076	(2006.01)	G 1 1 C	11/34	3 5 4 C
G 1 1 C	11/407	(2006.01)	G 1 1 C	11/34	3 6 2 T
G 1 1 C	11/4093	(2006.01)	G 1 1 C	11/34	3 5 4 P

請求項の数 13 (全 19 頁)

(21) 出願番号	特願2011-212142 (P2011-212142)	(73) 特許権者	513192281
(22) 出願日	平成23年9月28日 (2011.9.28)		ピーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2013-73652 (P2013-73652A)		PS4 Luxco S. a. r. l.
(43) 公開日	平成25年4月22日 (2013.4.22)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成26年9月25日 (2014.9.25)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

所定の周期を有する同期信号が外部から供給されるクロック端子と、
 該半導体装置を選択するチップ選択信号が外部から供給されるチップ選択端子と、
 前記チップ選択端子に接続され、前記チップ選択信号に基づいて第1の内部チップ選択
 信号を生成するチップ選択レシーバと、
 コマンド信号が外部から供給されるコマンド端子と、
 前記コマンド端子に接続され、第1の制御信号によって活性及び非活性が制御され、前
 記コマンド信号に基づいて第1の内部コマンド信号を生成するコマンドレシーバと、
 前記第1の内部チップ選択信号に前記同期信号に同期した第1のレイテンシを加えて第
 2の内部チップ選択信号を生成するとともに、前記第1のレイテンシよりも大きな第2の
 レイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給され
 ないことに対応して、前記第2のレイテンシ後に第2の制御信号を生成するレイテンシ制
 御回路と、
 前記第1の内部チップ選択信号に応答して前記第1の制御信号を活性化させ、前記第2
 の制御信号に応答して前記第1の制御信号を非活性化させるレシーバコントロール回路と
 、を備える半導体装置。

【請求項 2】

前記レイテンシ制御回路は、前記第1の内部チップ選択信号の活性化に応答して前記同
 期信号をカウントすることにより前記第2の制御信号を生成するビットカウンタを含む、

請求項 1 に記載の半導体装置。

【請求項 3】

前記レイテンシ制御回路は、更に、前記ビットカウンタのカウンタ値が前記第 2 のレイテンシを示したことに応答して検知信号を出力する検知回路を含み、

前記第 2 の制御信号は、前記検知信号に基づいて生成される、請求項 2 に記載の半導体装置。

【請求項 4】

前記レイテンシ制御回路は、前記第 2 の内部チップ選択信号を生成するシフトレジスタ及び前記第 2 の制御信号を生成するビットカウンタを含む、請求項 1 に記載の半導体装置。

10

【請求項 5】

前記ビットカウンタの入力ノードは、前記シフトレジスタを構成する複数のフリップフロップ回路のいずれかの出力ノードに接続されている、請求項 4 に記載の半導体装置。

【請求項 6】

更に、前記第 1 及び第 2 の内部チップ選択信号のいずれか一方を選択し、第 3 の内部チップ選択信号として出力するセレクタを備える、請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

【請求項 7】

更に、前記第 3 の内部チップ選択信号に基づいて活性化され、前記第 1 の内部コマンド信号が示すコマンドの種類を判定するコマンドデコーダを備える、請求項 6 に記載の半導体装置。

20

【請求項 8】

更に、

アドレス信号が外部から供給されるアドレス端子と、

前記アドレス端子に接続され、前記第 1 の制御信号によって活性及び非活性が制御され、前記アドレス信号に基づいて第 1 の内部アドレス信号を生成するアドレスレシーバと、

前記第 3 の内部チップ選択信号に基づいて活性化され、前記第 1 の内部アドレス信号をラッチするアドレスラッチ回路と、を備える請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

前記半導体装置は、第 1 及び第 2 のモードを備え、

30

前記セレクタは、前記第 1 のモードが選択されている場合には前記第 1 の内部チップ選択信号を選択し、前記第 2 のモードが選択されている場合には前記第 2 の内部チップ選択信号を選択する、請求項 6 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

更に、前記第 1 及び第 2 の内部チップ選択信号のいずれか一方を選択し、第 3 の内部チップ選択信号として出力するセレクタと、

前記第 3 の内部チップ選択信号に基づいて活性化され、前記第 1 の内部コマンド信号が示すコマンドの種類を判定することによって第 2 の内部コマンド信号を出力するコマンドデコーダと、

前記第 2 の内部コマンド信号の出力を基準として、前記同期信号に同期した第 3 のレイテンシが経過した後に第 3 の内部コマンド信号を生成するレイテンシシフトと、を備える請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

40

【請求項 11】

更に、前記第 1 の制御信号及び前記同期信号が供給され、前記第 1 の制御信号が活性している期間、前記同期信号を内部同期信号として出力する同期制御回路を備え、

前記レイテンシシフトは、前記内部同期信号に同期して前記第 3 の内部コマンド信号を生成する、請求項 10 に記載の半導体装置。

【請求項 12】

前記第 3 のレイテンシは、

前記コマンド端子にリードコマンドが供給された後、前記半導体装置が備えるデータ端

50

子からデータが出力されるまでの期間を示すリードレイテンシ、及び

前記コマンド端子にライトコマンドが供給された後、前記データ端子にデータが供給されるまでの期間を示すライトレイテンシの少なくともいずれか一方を示す、請求項 10 又は 11 に記載の半導体装置。

【請求項 13】

前記リードレイテンシ及び前記ライトレイテンシの少なくともいずれか一方は、対応する前記リードコマンド及びライトコマンドが前記半導体装置へ先行して供給される付加的なレイテンシを示すアディティブレイテンシを含む、請求項 12 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は半導体装置及びこれを備える情報処理システムに関し、特に、コマンド信号などをチップ選択信号と異なるタイミングで発行することが可能な半導体装置及びこれを備える情報処理システムに関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) に代表される半導体メモリデバイスは、コントローラから供給されるアドレス信号及びコマンド信号を受け、これら信号に基づいてメモリセルアレイへのアクセスを実行する。これらアドレス信号及びコマンド信号は、コントローラから供給されるチップ選択信号が活性化している場合に有効となるため、原則として、コントローラは、チップ選択信号を活性化させた状態でアドレス信号及びコマンド信号を発行する必要がある。

20

【0003】

近年、D D R 3 (Double Data Rate 3) 仕様の D R A M よりもさらに高速な D R A M として、D D R 4 (Double Data Rate 4) 仕様の D R A M が提案されている。D D R 4 仕様の D R A M では「C A L レイテンシ (CS_to Command Address Latency)」と呼ばれる新機能がサポートされている。C A L レイテンシとは、コントローラがチップ選択信号を半導体装置へ供給した所定時間 (所定のレイテンシ) 後に、コントローラがアドレス信号及びコマンド信号を半導体装置へ供給する。半導体装置は、チップ選択信号を受信した所定時間 (所定のレイテンシ) 後にアドレス信号及びコマンド信号を受信する。つまり、半導体装置を基準として、チップ選択信号の受信から所定のレイテンシが経過してからアドレス信号及びコマンド信号を入力することができる機能である。この機能を用いれば、アドレス信号及びコマンド信号が入力されるタイミングを半導体装置 (半導体メモリデバイス) 側において把握することができることから、アドレス信号及びコマンド信号が入力されない期間においてアドレスレシーバ及びコマンドレシーバを非活性化させることができる。これにより、消費電力を削減することが可能となる。

30

【0004】

コマンド信号などをチップ選択信号と異なるタイミングで発行することが可能な半導体装置は、特許文献 1 にも記載されている。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】特開 2000 - 285674 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

C A L レイテンシと消費電力に関連して、チップ選択信号が活性化した後、C A L レイテンシが経過した時点においてアドレスレシーバ及びコマンドレシーバをどのタイミングで非活性状態から活性状態に遷移させ、或いは、どのタイミングで活性状態から非活性状態に遷移させるかについては、レシーバの消費電力、レシーバの活性 / 非活性を制御する

50

制御信号の消費電力、並びに、C A L レイテンシの値との3者の関連が重要である。

【0007】

例えば、特許文献1においては、チップ選択信号が活性化してから1/2クロックサイクルが経過したタイミングでイネーブル信号を活性化させ、その後1クロックサイクルが経過したタイミングでイネーブル信号を非活性化させている。しかしながら、特許文献1に記載の半導体装置では、イネーブル信号がチップ選択信号と連動した波形となることから、チップ選択信号が短期間で何度も変化するとイネーブル信号も短期間で何度も変化することになり、イネーブル信号の充放電電流を含めた消費電力の低減効果が十分に得られない。イネーブル信号は、多くの数のアドレスレシーバ及びコマンドレシーバに供給される負荷が大きな半導体装置内の内部信号であるからである。

10

【課題を解決するための手段】

【0008】

本発明の一側面による半導体装置は、所定の周期を有する同期信号が外部から供給されるクロック端子と、該半導体装置を選択するチップ選択信号が外部から供給されるチップ選択端子と、前記チップ選択端子に接続され、前記チップ選択信号に基づいて第1の内部チップ選択信号を生成するチップ選択レシーバと、コマンド信号が外部から供給されるコマンド端子と、前記コマンド端子に接続され、第1の制御信号によって活性及び非活性が制御され、前記コマンド信号に基づいて第1の内部コマンド信号を生成するコマンドレシーバと、前記第1の内部チップ選択信号に前記同期信号に同期した第1のレイテンシを加えて第2の内部チップ選択信号を生成するとともに、前記第1のレイテンシよりも大きな第2のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第2のレイテンシ後に第2の制御信号を生成するレイテンシ制御回路と、前記第1の内部チップ選択信号に応答して前記第1の制御信号を活性化させ、前記第2の制御信号に応答して前記第1の制御信号を非活性化させるレシーバコントロール回路と、を備える。

20

【0009】

本発明の他の側面による半導体装置は、外部からコマンド端子に供給されるコマンド信号に基づいて内部コマンド信号を生成するコマンドレシーバと、外部からチップ選択端子に供給されるチップ選択信号に第1のレイテンシを加えて内部チップ選択信号を生成するとともに、前記チップ選択信号の活性化から前記コマンドレシーバを活性化させ、前記チップ選択信号の非活性化から同期信号を基準として前記第1のレイテンシよりも長い第2のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第2のレイテンシ後に前記コマンドレシーバを非活性化させる制御回路と、を備える。

30

【0010】

本発明による情報処理システムは、チップ選択信号及びコマンド信号を出力するコントローラと、前記チップ選択信号及び前記コマンド信号を受ける前記半導体装置と、を備え、前記半導体装置は、外部からコマンド端子に供給されるコマンド信号に基づいて内部コマンド信号を生成するコマンドレシーバと、外部からチップ選択端子に供給されるチップ選択信号に第1のレイテンシを加えて内部チップ選択信号を生成するとともに、前記チップ選択信号の活性化から前記コマンドレシーバを活性化させ、前記チップ選択信号の非活性化から同期信号を基準として前記第1のレイテンシよりも長い第2のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第2のレイテンシ後に前記コマンドレシーバを非活性化させる制御回路と、を備える。

40

【発明の効果】

【0011】

本発明によれば、チップ選択信号が短期間で何度も変化する場合であっても、コマンドレシーバの活性状態が維持される。これにより、コマンドレシーバの活性化と非活性化を頻繁に繰り返すことによる充放電電流が削減されることから、半導体装置の消費電力を低

50

減することが可能となる。

【図面の簡単な説明】

【0012】

【図1】本発明の原理を説明するためのブロック図である。

【図2】本発明の好ましい第1の実施形態による半導体装置10aを示すブロック図である。

【図3】レイテンシ制御回路100の回路図である。

【図4】レシーバコントロール回路200の回路図である。

【図5】コマンドデコーダ80bの動作を説明するための真理値表の一例である。

【図6】半導体装置10aの動作を説明するためのタイミング図である。

10

【図7】本発明の好ましい第2の実施形態による半導体装置10bを示すブロック図である。

【図8】半導体装置10bの動作を説明するためのタイミング図である。

【発明を実施するための形態】

【0013】

本発明の課題を解決する技術思想（コンセプト）の代表的な一例は、以下に示される。但し、本願の請求内容はこの技術思想に限られず、本願の請求項に記載の内容であることは言うまでもない。すなわち、本発明は、チップ選択信号の活性化にตอบสนองしてコマンドレシーバを非活性状態から活性状態に遷移させるとともに、CALレイテンシ（第1のレイテンシ）よりも長い時間（第2のレイテンシ）に亘ってチップ選択信号が非活性状態を維持したことを条件として、コマンドレシーバを活性状態から非活性状態に遷移させる。言い換えれば、半導体装置へ供給された一回目のチップ選択信号に対応する第2のレイテンシ期間に、2回目のチップ選択信号が供給されなかった（つまり、チップ選択信号が非活性状態を維持した）ことを条件として、一回目のチップ選択信号に対応するコマンドレシーバの活性状態を非活性状態に遷移させる。これにより、チップ選択信号が短期間で何度も変化する場合であっても、コマンドレシーバの活性状態が維持されることから、コマンドレシーバの制御に伴う充放電電流が削減される。

20

【0014】

図1は、本発明の原理を説明するためのブロック図である。

【0015】

図1には、1個のコントローラ50と1個の半導体装置10からなる情報処理システムが示されている。図1に示す半導体装置10は、クロック同期型のDRAMなどの半導体メモリデバイスであり、メモリセルアレイ11を備えている。メモリセルアレイ11には、互いに交差する複数のワード線WLと複数のビット線BLが設けられており、それらの交点にメモリセルMCが配置されている。ワード線WLの選択はロウデコーダ12によって行われ、ビット線BLの選択はカラムデコーダ13によって行われる。ビット線BLは、センス回路14内の対応するセンスアンプSAにそれぞれ接続されており、カラムデコーダ13により選択されたビット線BLは、センスアンプSAを介してアンプ回路15に接続される。

30

【0016】

ロウデコーダ12、カラムデコーダ13、センス回路14及びアンプ回路15の動作は、アクセス制御回路20によって制御される。アクセス制御回路20には、端子21～24を介してアドレス信号ADD、コマンド信号CMD、チップ選択信号CS及びクロック信号CKなどが供給される。アクセス制御回路20は、これらの信号に基づいてロウデコーダ12、カラムデコーダ13、センス回路14、アンプ回路15及びデータ入出力回路30を制御する。

40

【0017】

具体的には、コマンド信号CMDがアクティブコマンドである場合、アドレス信号ADDはロウデコーダ12に供給される。これにตอบสนองして、ロウデコーダ12はアドレス信号ADDが示すワード線WLを選択し、これにより対応するメモリセルMCがそれぞれピッ

50

ト線 B L に接続される。その後、アクセス制御回路 20 は、所定のタイミングでセンス回路 14 を活性化させる。

【0018】

一方、コマンド信号 C M D がリードコマンド又はライトコマンドである場合、アドレス信号 A D D はカラムデコーダ 13 に供給される。これにตอบสนองして、カラムデコーダ 13 はアドレス信号 A D D が示すビット線 B L をアンプ回路 15 に接続する。これにより、リード動作時においては、センスアンプ S A を介してメモリセルアレイ 11 から読み出されたリードデータ D Q がアンプ回路 15 及びデータ入出力回路 30 を介してデータ端子 31 から外部に出力される。また、ライト動作時においては、データ端子 31 及びデータ入出力回路 30 を介して外部から供給されたライトデータ D Q が、アンプ回路 15 及びセンスアンプ S A を介してメモリセル M C に書き込まれる。

10

【0019】

図 1 に示すように、アクセス制御回路 20 には、アドレスレシーバ 90 a、コマンドレシーバ 90 b、レイテンシ制御回路 100、レシーバコントロール回路 200 が含まれている。

【0020】

アドレスレシーバ 90 a は、アドレス端子 21 を介してコントローラ 50 から供給されるアドレス信号 A D D を受け付ける回路である。アドレス信号 A D D は複数のビットで構成され、アドレス端子 21 及びアドレスレシーバ 90 a のそれぞれは、複数のビットに対応して複数備えられる。コマンドレシーバ 90 b は、コマンド端子 22 を介してコントローラ 50 から供給されるコマンド信号 C M D を受け付ける回路である。コマンド信号 C M D は複数のビットで構成され、コマンド端子 22 及びコマンドレシーバ 90 b のそれぞれは、複数のビットに対応して複数備えられる。アドレスレシーバ 90 a 及びコマンドレシーバ 90 b は、イネーブル信号 R E N に基づいて活性化される。したがって、イネーブル信号 R E N が非活性状態である場合にはアドレスレシーバ 90 a 及びコマンドレシーバ 90 b も非活性化され、これにより消費電力が削減される。本発明においては、イネーブル信号 R E N を「第 1 の制御信号」と呼ぶことがある。

20

【0021】

レイテンシ制御回路 100 は、チップ選択端子 23 を介してコントローラ 50 から供給されるチップ選択信号 C S を受け、これを予め定められたレイテンシだけ遅延させる回路である。レイテンシ制御回路 100 による遅延動作は、クロック信号 C K に同期して行われる。クロック信号 C K は、所定の周期を有する同期信号であり、クロック端子 24 を介してコントローラ 50 から供給される。レイテンシ制御回路 100 は 2 種類の遅延動作を実行する。1 つ目の動作は、チップ選択信号 C S が活性化した後、第 1 のレイテンシが経過したことにตอบสนองしてアドレスレシーバ 90 a 及びコマンドレシーバ 90 b から出力される内部アドレス信号や内部コマンド信号を有効化する動作である。2 つ目の動作は、チップ選択信号 C S が活性化した後、第 1 のレイテンシよりも長い第 2 のレイテンシに亘ってチップ選択信号 C S が非活性状態を維持したことにตอบสนองして、レシーバコントロール回路 200 をリセットする動作である。本発明においては、第 1 のレイテンシを「第 1 の時間」と呼ぶことがある。

30

40

【0022】

レシーバコントロール回路 200 は、チップ選択信号 C S の活性化にตอบสนองしてセットされ、セット状態である場合にはイネーブル信号 R E N を活性化させる。そして、チップ選択信号 C S が活性化した後、上記の第 2 のレイテンシが経過したことにตอบสนองしてレシーバコントロール回路 200 がリセットされ、これによりイネーブル信号 R E N が非活性化される。

【0023】

これら各回路ブロックは、それぞれ所定の内部電圧を動作電源として使用する。これら内部電源は、図 1 に示す電源回路 40 によって生成される。電源回路 40 は、電源端子 41, 42 を介してそれぞれ供給される外部電位 V D D 及び接地電位 V S S を受け、これら

50

に基づいて内部電圧 V_{PP} 、 V_{PERI} 、 V_{ARY} などを生成する。内部電位 V_{PP} は外部電位 V_{DD} を昇圧することによって生成され、内部電位 V_{PERI} 、 V_{ARY} は外部電位 V_{DD} を降圧することによって生成される。

【0024】

内部電圧 V_{PP} は、主にロウデコーダ12において用いられる電圧である。ロウデコーダ12は、アドレス信号 ADD に基づき選択したワード線 WL を V_{PP} レベルに駆動し、これによりメモリセル MC に含まれるセルトランジスタを導通させる。内部電圧 V_{ARY} は、主にセンス回路14において用いられる電圧である。センス回路14が活性化すると、ビット線対の一方を V_{ARY} レベル、他方を V_{SS} レベルに駆動することにより、読み出されたリードデータの増幅を行う。内部電圧 V_{PERI} は、アクセス制御回路20などの大部分の周辺回路の動作電圧として用いられる。これら周辺回路の動作電圧として外部電圧 V_{DD} よりも電圧の低い内部電圧 V_{PERI} を用いることにより、半導体装置10の低消費電力化が図られている。

10

【0025】

一方、コントローラ50は、出力回路60及びデータ処理回路70を備えている。出力回路60は、端子61～64を介してアドレス信号 ADD 、コマンド信号 CMD 、チップ選択信号 CS 及びクロック信号 CK を半導体装置10に供給するための回路である。また、データ処理回路70は、データ端子71を介して入出力されるリードデータ DQ 及びライトデータ DQ を処理する回路である。コントローラ50は、半導体装置10にアクセスする際、チップ選択信号 CS を活性化させてから第1のレイテンシが経過した後に、アドレス信号 ADD 及びコマンド信号 CMD を供給する。

20

【0026】

以上により、コントローラ50からアドレス信号 ADD 及びコマンド信号 CMD が供給されない期間においては、半導体装置10に設けられたアドレスレシーバ90a及びコマンドレシーバ90bが非活性化されることから、これらレシーバ90a、90bによる消費電力が削減される。しかも、チップ選択信号 CS が活性化してから第1のレイテンシが経過した後、直ちにアドレスレシーバ90a及びコマンドレシーバ90bが非活性化されるのではなく、第1のレイテンシよりも長い第2のレイテンシが経過してからアドレスレシーバ90a及びコマンドレシーバ90bが非活性化されることから、チップ選択信号 CS の活性化及び非活性化が短期間で何度も繰り返される場合であっても、これらレシーバ90a、90bの活性状態が維持される。これにより、チップ選択信号 CS の活性化及び非活性化が短期間で何度も繰り返される場合であっても、レシーバ90a、90bの制御に伴う大きな負荷を有するイネーブル信号 REN の充放電電流を削減することが可能となる。

30

【0027】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0028】

図2は、本発明の好ましい第1の実施形態による半導体装置10aを示すブロック図であり、主に図1に示したアクセス制御回路20に属する回路ブロックを詳細に示している。

40

【0029】

図2に示すように、アクセス制御回路20にはアドレスレシーバ90a及びコマンドレシーバ90bの他に、チップ選択レシーバ91及びクロックレシーバ92を備える。チップ選択レシーバ91は、コントローラ50から供給されるチップ選択信号 CS を受けて、内部チップ選択信号 $ICS1$ を生成する。また、クロックレシーバ92は、コントローラ50から供給されるクロック信号 CK を受けて、内部クロック信号 $ICKL$ を生成する。内部チップ選択信号 $ICS1$ 及び内部クロック信号 $ICKL$ は、レイテンシ制御回路100に供給される。

【0030】

50

図3は、レイテンシ制御回路100の回路図である。

【0031】

図3に示すように、レイテンシ制御回路100は、縦続接続された3段のフリップフロップ回路FF1～FF3からなるシフトレジスタ110を有している。初段のフリップフロップ回路FF1には内部チップ選択信号ICS1が供給され、最終段のフリップフロップ回路FF3からは内部チップ選択信号ICS2が出力される。これらフリップフロップ回路FF1～FF3の動作は内部クロック信号ICKに同期するため、シフトレジスタ110は内部チップ選択信号ICS1が活性化した後、3クロックサイクル後に内部チップ選択信号ICS2を出力することになる。シフトレジスタ110の段数は上述した第1のレイテンシに相当する。内部チップ選択信号ICS2は、セクタ141の一方の入力ノードに供給される。

10

【0032】

尚、図3においては、第1のレイテンシが3クロックサイクルである場合を示しているが、第1のレイテンシが固定的である必要はなく、第1のレイテンシの数はモード設定によって可変とすることが好ましい。モード設定は、図2に示すモードレジスタ25に所定のモード信号を設定することにより行う。モードレジスタ25の設定値には、CALレイテンシ動作を有効とするか無効とするかの設定値も含まれる。CALレイテンシ動作を有効とする動作モード(CALONモード)が設定されている場合にはモード信号CALENが例えばハイレベルに活性化し、CALレイテンシ動作を無効とする動作モード(CALOFFモード)が設定されている場合にはモード信号CALENが例えばローレベルに非活性化する。

20

【0033】

レイテンシ制御回路100は、さらにビットカウンタ120を備えている。ビットカウンタ120は、内部クロック信号ICKに同期してカウントダウン動作を行う回路であり、そのカウント値COUNTはORゲート回路からなる検知回路G0に供給される。ビットカウンタ120にはカウント値COUNTを初期値にセットするセットノードsetが設けられており、セットノードsetがハイレベルに活性化されるとカウント値COUNTは最大値にプリセットされる。図3に示すように、ビットカウンタ120のセットノードsetには、フリップフロップ回路FF1の出力信号CALm2が供給されている。このことは、内部チップ選択信号ICS1が活性化すると、1クロックサイクル後にビットカウンタ120が最大値にプリセットされることを意味する。

30

【0034】

検知回路G0は、ビットカウンタ120のカウント値COUNTが最小値に達したことを検出する回路である。本例ではカウント値COUNTが3ビットのバイナリ信号であり、したがって、最大値「111(=7)」から7回カウントダウンされると、最小値である「000(=0)」に到達する。つまり、内部チップ選択信号ICS1が活性化してから合計で8クロックサイクルが経過すると、検知回路G0の出力信号RSTaがハイレベルに活性化する。但し、内部チップ選択信号ICS1が活性化してから8クロックサイクル以内に再び内部チップ選択信号ICS1が活性化された場合には、カウント値COUNTが最大値に戻るため、最後に内部チップ選択信号ICS1が活性化した後、8クロックサイクル連続で内部チップ選択信号ICS1が活性化しなかったことを条件として出力信号RSTaがローレベルに活性化することになる。当該クロック数は、上述した第2のレイテンシに相当する。本発明においては、第2のレイテンシ(チップ選択信号CSが非活性化してからイネーブル信号RENがローレベルに非活性化するまでの時間)を「第2の時間」と呼ぶことがある。

40

【0035】

図3においては、第2のレイテンシが8クロックサイクルである場合を示しているが、本発明がこれに限定されるものではない。しかしながら、第2のレイテンシの長さは、少なくとも第1のレイテンシよりも長い必要がある。これは、第2のレイテンシが第1のレイテンシよりも短いと、アドレス信号ADDやコマンド信号CMDが入力されるタイミン

50

グでレシーバ90a, 90bが非活性化されてしまうからである。

【0036】

検知回路G0の出力信号RSTaは、パルス生成回路130に供給される。パルス生成回路130は、検知回路G0の出力信号RSTaがハイレベルからローレベルに変化したことに応答してワンショットパルスであるリセット信号RSTを活性化させる回路である。本発明においては、リセット信号RSTを「第2の制御信号」と呼ぶことがある。第2の制御信号は、レシーバコントロール回路200に供給される。

【0037】

図4は、レシーバコントロール回路200の回路図である。

【0038】

図4に示すように、レシーバコントロール回路200はSRラッチ回路Lを備えている。SRラッチ回路LのセットノードSには、モード信号CALENの反転信号と内部チップ選択信号ICS1を受けるNORゲート回路G1の出力が供給される。また、SRラッチ回路LのリセットノードRにはリセット信号RSTの反転信号が供給される。かかる構成により、モード信号CALENがハイレベルに活性化している状態、つまり、CALONモードに設定されている場合において、内部チップ選択信号ICS1が活性化すると、イネーブル信号RENは直ちにハイレベルに活性化する。本発明においては、チップ選択信号CSが活性化してからイネーブル信号RENがハイレベルに活性化するまでの時間を「第3の時間」と呼ぶことがある。その後、リセット信号RSTが活性化すると、イネーブル信号RENはローレベルに非活性化する。リセット信号RSTが活性化するタイミングについては、図3を用いて説明したとおりである。一方、モード信号CALENがローレベルに非活性化している場合、つまり、CALOFFモードに設定されている場合には、イネーブル信号RENは常にハイレベルに活性化される。

【0039】

イネーブル信号RENは、図2に示すレシーバ90に供給される。レシーバ90は、アドレスレシーバ90a及びコマンドレシーバ90bを含む回路ブロックである。レシーバ90は、イネーブル信号RENがハイレベルである期間に活性化され、イネーブル信号RENがローレベルになると非活性化される。これに対し、チップ選択信号CSを受けるチップ選択レシーバ91については常時活性化される。

【0040】

図2に示すように、内部チップ選択信号ICS1と、レイテンシ制御回路100を通過した内部チップ選択信号ICS2は、セクタ141に供給される。セクタ141は、内部チップ選択信号ICS1及びICS2のいずれかをモード信号CALENに基づいて選択し、これを内部チップ選択信号ICS3として回路ブロック80に供給する。具体的には、モード信号CALENがローレベルに非活性化している場合、つまり、CALOFFモードに設定されている場合には内部チップ選択信号ICS1が選択され、モード信号CALENがハイレベルに活性化している場合、つまり、CALONモードに設定されている場合には内部チップ選択信号ICS2が選択される。

【0041】

回路ブロック80は、アドレスラッチ回路80a及びコマンドデコーダ80bを含み、内部チップ選択信号ICS3が活性化している場合に内部アドレス信号IADD1及び内部コマンド信号ICMD1を有効化する。内部アドレス信号IADD1とは、アドレスレシーバ90aの出力信号である。また、内部コマンド信号ICMD1とは、コマンドレシーバ90bの出力信号である。

【0042】

アドレスラッチ回路80aは、内部チップ選択信号ICS3が活性化している場合、アドレスレシーバ90aから出力される内部アドレス信号IADD1をラッチし、内部アドレス信号IADD2として出力する。また、コマンドデコーダ80bは、内部チップ選択信号ICS3が活性化している場合、コマンドレシーバ90bから出力される内部コマンド信号ICMD1をデコードし、内部コマンド信号ICMD2として出力する。アドレ

10

20

30

40

50

スラッチ回路 80 a にラッチされた内部アドレス信号 I A D D 2 は、内部コマンド信号 I C M D 2 の内容に応じて、ロウデコーダ 1 2、カラムデコーダ 1 3 又はモードレジスタ 2 5 などに供給される。

【 0 0 4 3 】

図 5 は、コマンドデコーダ 80 b の動作を説明するための真理値表の一例である。図 5 に示す例では、チップ選択信号 C S 及びコマンド信号 C M D の組み合わせによって生成される内部コマンドには、D E S E L コマンド、N O P コマンド、アクティブコマンド I A C T、プリチャージコマンド I P R E、ライトコマンド I W R 1、リードコマンド I R D 1、モードレジスタセットコマンド M R S が含まれる。

【 0 0 4 4 】

D E S E L コマンドは、チップ選択信号 C S が非活性状態である場合に生成されるコマンドである。D E S E L コマンドが発行されると、アクセス制御回路 20 はコマンド信号 C M D の組み合わせによって生成される D E S E L コマンド以外の内部コマンドを認識しない。言い換えれば、D E S E L コマンド以外の内部コマンドの新たな生成をプリVENTする。よって、アクセス制御回路 20 は、後段の回路（ロウデコーダ 1 2 等）に新たなコマンド（新たな制御）を発行しない。故に、後段の回路は、直前のコマンドに対応する状態を維持する。N O P コマンドは、チップ選択信号 C S は活性状態であるものの、コマンド信号 C M D を構成する各ビット（A C T, R A S, C A S, W E）が全てローレベルである場合に生成されるコマンドである。N O P コマンドが発行された場合も、アクセス制御回路 20 は、後段の回路（ロウデコーダ 1 2 等）に新たなコマンド（新たな制御）を発行しない。故に、後段の回路は、直前のコマンドに対応する状態を維持する。図 5 から理解できるように、D E S E L コマンドは、N O P コマンドの上位のコマンドである。

【 0 0 4 5 】

アクティブコマンド I A C T、ライトコマンド I W R 1、リードコマンド I R D 1 が発生した場合の動作については上述の通りであり、それぞれロウアクセス、ライトアクセス、リードアクセスが行われる。プリチャージコマンド I P R E は、アクティブコマンド I A C T によって活性化されたメモリセルアレイ 1 1 を非活性化させるためのコマンドである。また、モードレジスタセットコマンド M R S は、モードレジスタ 2 5 の設定値を書き換えるための内部コマンドである。

【 0 0 4 6 】

以上が第 1 の実施形態による半導体装置 10 a の構成である。次に、本実施形態による半導体装置 10 a の動作について説明する。

【 0 0 4 7 】

図 6 は、本実施形態による半導体装置 10 a の動作を説明するためのタイミング図であり、C A L O N モードにおける動作が示されている。

【 0 0 4 8 】

図 6 に示すように、C A L O N モードに設定されている場合は、コントローラ 50 からチップ選択信号 C S が発行されるタイミングと、コマンド信号 C M D 及びアドレス信号 A D D が発行されるタイミングは同時ではなく、チップ選択信号 C S が発行されてから第 1 のレイテンシが経過した後にコマンド信号 C M D 及びアドレス信号 A D D が発行される。図 6 には、第 1 のレイテンシが 3 クロックサイクルに設定されている場合を例示している。

【 0 0 4 9 】

図 6 に示すように、時刻 t 1 1 にてチップ選択信号 C S が発行されると、内部チップ選択信号 I C S 1 がハイレベルに変化するため、イネーブル信号 R E N がハイレベルに活性化する。これにより、非活性化されていたアドレスレシーバ 90 a 及びコマンドレシーバ 90 b が活性化され、アドレス信号 A D D 及びコマンド信号 C M D の受信が可能となる。但し、これらレシーバ 90 a, 90 b の入力初段を非活性状態から活性状態に変化させるためにはある程度の時間が必要である。図 6 においてイネーブル信号 R E N の変化を緩やかとしているのは、これを意味している。レシーバ 90 a, 90 b に含まれる入力初段の

10

20

30

40

50

数は、アドレス端子 2 1 及びコマンド端子 2 2 の数に等しく約 2 0 個程度存在するため、オフ状態であるこれら入力初段をオン状態に切り替えるためには、当該回路を構成するゲート電極を全て充電する必要があり、比較的大きな充放電電流が発生するからである。このことは、レシーバ 9 0 a , 9 0 b を非活性状態から活性状態に切り替える際、或いは、活性状態から非活性状態に切り替える際には、ある程度大きな電力が消費されることを意味する。

【 0 0 5 0 】

内部チップ選択信号 I C S 1 は、レイテンシ制御回路 1 0 0 に含まれるフリップフロップ回路 F F 1 ~ F F 3 を経由し、3クロックサイクル後に内部チップ選択信号 I C S 2 として出力される。内部チップ選択信号 I C S 2 が活性化するタイミングは、コントローラ 5 0 からコマンド信号 C M D 及びアドレス信号 A D D が発行されるタイミングと同期しており、これにより、当該コマンド信号 C M D 及びアドレス信号 A D D がアドレスラッチ回路 8 0 a 及びコマンドデコーダ 8 0 b によって処理される。図 6 においては、時刻 t 1 1 に対応するコマンドやアドレスを A と表記している。

10

【 0 0 5 1 】

一方、フリップフロップ回路 F F 1 の出力信号 C A L 2 m が活性化すると、ビットカウンタ 1 2 0 のカウント値 C O U N T が最大値 = 7 にプリセットされる。ビットカウンタ 1 2 0 のカウント値 C O U N T は、内部クロック信号 I C L K に同期してカウントダウンされる。しかしながら、図 6 に示す例では、ビットカウンタ 1 2 0 のカウント値 C O U N T が 0 に到達する前の時刻 t 1 2 において再びチップ選択信号 C S が活性化している。時刻 t 1 2 は、時刻 t 1 1 から 7 クロックサイクルが経過したタイミングである。このため、ビットカウンタ 1 2 0 のカウント値 C O U N T は 0 に到達する前に、最大値 = 7 に戻されるため、この時点ではリセット信号 R S T は活性化しない。

20

【 0 0 5 2 】

図 6 に示す例では、時刻 t 1 2 から 2 クロックサイクル後の時刻 t 1 3 においてもチップ選択信号 C S が活性化している。時刻 t 1 2 及び時刻 t 1 3 にて入力されたチップ選択信号 C S に基づく動作は、時刻 t 1 1 にて入力されたチップ選択信号 C S に基づく動作と同じである。したがって、この間イネーブル信号 R E N はハイレベルを保持し続け、アドレス信号 A D D 及びコマンド信号 C M D の受信が可能となる。図 6 においては、時刻 t 1 2、t 1 3 に対応するコマンドやアドレスをそれぞれ B、C と表記している。

30

【 0 0 5 3 】

そして、時刻 t 1 3 から 8 クロックサイクルが経過すると、ビットカウンタ 1 2 0 のカウント値 C O U N T が 0 に到達し、これによりリセット信号 R S T が活性化する。これにตอบสนองしてレシーバコントロール回路 2 0 0 に含まれる S R ラッチ回路 L がリセットされるため、イネーブル信号 R E N はローレベルに非活性化する。この時点においては、少なくとも 8 クロックサイクルに亘ってチップ選択信号 C S が活性化してないことが保証されるため、コントローラ 5 0 からアドレス信号 A D D 及びコマンド信号 C M D が供給されることはない。

【 0 0 5 4 】

このように、本実施形態による半導体装置 1 0 a は、チップ選択信号 C S が活性化してから第 1 のレイテンシが経過した後、すぐにアドレスレシーバ 9 0 a 及びコマンドレシーバ 9 0 b を非活性化させるのではなく、第 1 のレイテンシよりも長い第 2 のレイテンシの経過を待ってアドレスレシーバ 9 0 a 及びコマンドレシーバ 9 0 b を非活性化させていることから、チップ選択信号 C S の活性化及び非活性化が短期間で何度も繰り返される場合であっても、レシーバ 9 0 a , 9 0 b が活性状態に維持される。これにより、レシーバ 9 0 a , 9 0 b の制御に伴う充放電電流を削減することが可能となる。しかも、チップ選択信号 C S が活性化した後、第 1 のレイテンシの経過を待つことなく直ちにアドレスレシーバ 9 0 a 及びコマンドレシーバ 9 0 b を活性化させていることから、レシーバ 9 0 a , 9 0 b の活性化に時間がかかる場合であっても、アドレス信号 A D D 及びコマンド信号 C M D を正しく受信することが可能となる。

40

50

【 0 0 5 5 】

次に、本発明の第 2 の実施形態について説明する。

【 0 0 5 6 】

図 7 は、本発明の好ましい第 2 の実施形態による半導体装置 1 0 b を示すブロック図であり、主に図 1 に示したアクセス制御回路 2 0 に属する回路ブロックを詳細に示している。

【 0 0 5 7 】

図 7 に示すように、本実施形態においては、レイテンシシフタ 3 1 0 と、NDゲート回路からなる同期制御回路 3 2 0 とが追加されている点において、図 2 に示した半導体装置 1 0 a と相違している。その他の点については図 2 に示した半導体装置 1 0 a と同一であることから、同一の要素には同一の符号を付し、重複する説明は省略する。

10

【 0 0 5 8 】

レイテンシシフタ 3 1 0 は、コマンドデコーダ 8 0 b によって生成される内部コマンド信号 I C M D 2 のうち、カラム系のコマンド（ライトコマンドやリードコマンド）のレイテンシをカウントするカウンタである。レイテンシシフタ 3 1 0 は、カラム系の内部コマンド信号 I C M D 2 を所定のレイテンシだけカウントした後、内部コマンド信号 I C M D 3 として出力する。レイテンシシフタ 3 1 0 がカウントするレイテンシとしては、ライトコマンドに対するレイテンシであるライトレイテンシ W L や、リードコマンドに対するレイテンシであるリードレイテンシ R L が挙げられる。

【 0 0 5 9 】

ライトレイテンシ W L とは、コントローラ 5 0 からライトコマンドが発行された後、最初のライトデータ D Q が入力されるまでのレイテンシを指す。ライトコマンドの発行タイミングは、本来の発行タイミングよりもアディティブレイテンシ（A L）分だけ先行して発行されることがある。したがって、ライトコマンドの本来の発行タイミングから最初のライトデータ D Q が入力されるまでのレイテンシを C A S ライトレイテンシ（C W L）とした場合、ライトレイテンシ W L = A L + C W L で定義される。

20

【 0 0 6 0 】

また、リードレイテンシ R L とは、コントローラ 5 0 からリードコマンドが発行された後、最初のリードデータ D Q が出力されるまでのレイテンシを指す。リードコマンドの発行タイミングは、本来の発行タイミングよりもアディティブレイテンシ（A L）分だけ先行して発行されることがある。したがって、リードコマンドの本来の発行タイミングから最初のリードデータ D Q が出力されるまでのレイテンシを C A S レイテンシ（C L）とした場合、リードレイテンシ R L = A L + C L で定義される。ライトレイテンシ W L、リードレイテンシ R L 及びアディティブレイテンシ A L は、コントローラ 5 0 が半導体装置 1 0 に予め発行し、半導体装置 1 0 は、図 2 に示すモードレジスタ 2 5 にライトレイテンシ W L、リードレイテンシ R L 及びアディティブレイテンシ A L のそれぞれの値をストアする。

30

【 0 0 6 1 】

レイテンシシフタ 3 1 0 の動作は、同期制御回路 3 2 0 から出力される内部クロック信号 I C L K 2 に同期して行われる。同期制御回路 3 2 0 は、内部クロック信号 I C L K とイネーブル信号 R E N を受ける 2 入力の A N D ゲート回路であり、したがってイネーブル信号 R E N がハイレベルに活性化している期間だけクロッキングされる。本実施形態においては、第 2 のレイテンシがライトレイテンシ W L 及びリードレイテンシ R L 以上に設定される。

40

【 0 0 6 2 】

図 8 は、本実施形態による半導体装置 1 0 b の動作を説明するためのタイミング図であり、C A L O N モードにおける動作が示されている。本例においては、ビットカウンタ 1 2 0 のカウント値 C O U N T が最大値 = 1 1 にプリセットされる。

【 0 0 6 3 】

図 8 に示すように、時刻 t 2 1 にてチップ選択信号 C S が発行されると、内部チップ選

50

択信号 ICS1 がハイレベルに変化し、イネーブル信号 REN がハイレベルに活性化する。これにより、非活性化されていたアドレスレシーバ 90a 及びコマンドレシーバ 90b が活性化され、アドレス信号 ADD 及びコマンド信号 CMD の受信が可能となる。この点は、第 1 の実施形態と同様である。

【0064】

イネーブル信号 REN がハイレベルに活性化すると、内部クロック信号 ICLK2 のクロッキングが開始される。内部クロック信号 ICLK2 がクロッキングされると、レイテンシシフタ 310 が動作可能な状態となる。そして、チップ選択信号 CS が活性化してから 3 クロックサイクルが経過すると、コントローラ 50 からコマンド信号 CMD 及びアドレス信号 ADD が発行される。本例では、コントローラ 50 から発行されたコマンド信号 CMD がライトコマンドである場合を示している。かかるコマンド信号 CMD はコマンドレシーバ 90b によって受け付けられ、且つ、コマンドデコーダ 80b によってデコードされて内部コマンド信号 ICMD2 となる。内部コマンド信号 ICMD2 は、レイテンシシフタ 310 に入力される。

10

【0065】

この時点においては、レイテンシシフタ 310 が動作可能な状態となっている。このため、レイテンシシフタ 310 に入力された内部コマンド信号 ICMD2 は、レイテンシシフタ 310 によってライトレイテンシ WL 分の遅延が与えられた後、内部コマンド信号 ICMD3 として出力される。本発明においては、レイテンシシフタ 310 によって与えられるライトレイテンシ WL やリードレイテンシ RL を示すレイテンシを「第 3 のレイテンシ」と呼ぶことがある。

20

【0066】

そして、時刻 t21 から 12 クロックサイクルが経過すると、ビットカウンタ 120 のカウント値 COUNT が 0 に到達し、イネーブル信号 REN がローレベルに非活性化する（時刻 t22）。これに回答して内部クロック信号 ICLK2 のクロッキングも停止する。この時点においては、少なくとも 12 クロックサイクルに亘ってチップ選択信号 CS が活性化してないため、レイテンシシフタ 310 にコマンドが貯留されていないことが保証される。これは、第 2 のレイテンシがライトレイテンシ WL 及びリードレイテンシ RL 以上に設定されているからである。

【0067】

尚、上記の特許文献、非特許文献の各開示を、本書に引用をもって繰り込むものとする。

30

【0068】

このように、本実施形態による半導体装置 10b では、イネーブル信号 REN が非活性状態である期間において内部クロック信号 ICLK2 のクロッキングを停止していることから、コマンドがレイテンシシフタ 310 に貯留されていない期間において無駄なクロッキングが行われない。これにより、上述した第 1 の実施形態による効果に加え、消費電力をより低減することが可能となる。

【0069】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

40

【0070】

例えば、本願のメモリセルは、揮発性、不揮発性、及びそれらの混合でも構わない。

【0071】

また、本願の技術思想は、信号伝送回路を有する半導体装置に適用できる。更に、図面で開示した各回路ブロック内の回路形式、その他の制御信号を生成する回路は、実施例が開示する回路形式に限られない。

【0072】

本発明の半導体装置の技術思想は、様々な半導体装置に適用することができる。例えば

50

、CPU (Central Processing Unit)、MCU (Micro Control Unit)、DSP (Digital Signal Processor)、ASIC (Application Specific Integrated Circuit)、ASSP (Application Specific Standard Product)、メモリ (Memory) 等の半導体装置全般に、本発明を適用することができる。このような本発明が適用された半導体装置の製品形態としては、例えば、SOC (システムオンチップ)、MCP (マルチチップパッケージ) やPOP (パッケージオンパッケージ) などが挙げられる。これらの任意の製品形態、パッケージ形態を有する半導体装置に対して本発明を適用することができる。

【0073】

また、論理ゲート等を構成するトランジスタとして電界効果トランジスタ (Field Effect Transistor; FET) を用いる場合、MOS (Metal Oxide Semiconductor) 以外にもMIS (Metal-Insulator Semiconductor)、TFT (Thin Film Transistor) 等の様々なFETを用いることができる。更に、装置内に一部のバイポーラ型トランジスタを有しても良い。

10

【0074】

更に、NMOSTランジスタ (N型チャネルMOSTランジスタ) は、第1導電型のトランジスタ、PMOSTランジスタ (P型チャネルMOSTランジスタ) は、第2導電型のトランジスタの代表例である。

【0075】

また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

20

【0076】

さらに、本発明による情報処理システムは、以下の特徴を有している。

【0077】

[付記1]

外部からコマンド端子に供給されるコマンド信号に基づいて内部コマンド信号を生成するコマンドレシーバと、

外部からチップ選択端子に供給されるチップ選択信号に第1のレイテンシを加えて内部チップ選択信号を生成するとともに、前記チップ選択信号の活性化から前記コマンドレシーバを活性化させ、前記チップ選択信号の非活性化から同期信号を基準として前記第1のレイテンシよりも長い第2のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第2のレイテンシ後に前記コマンドレシーバを非活性化させる制御回路と、を備える半導体装置。

30

[付記2]

前記制御回路は、前記チップ選択信号が供給された回数をカウントし、前記第2のレイテンシに関連するカウンタの値が所定の値に到達することに対応して前記コマンドレシーバを非活性化させるビットカウンタを含む、付記1に記載の半導体装置。

[付記3]

更に、前記内部コマンド信号をデコードし、第1の内部コマンド信号を生成するコマンドデコーダと、

40

前記チップ選択信号及び前記内部チップ選択信号のいずれか一方を選択し、前記コマンドデコーダに供給するセレクトと、を備える、付記1または2に記載の半導体装置。

[付記4]

更に、外部から供給されるアドレス信号に基づいて内部アドレス信号を生成するアドレスレシーバを備え、

前記制御回路は、前記チップ選択信号の活性化から前記アドレスレシーバを活性化させ、前記第2のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第2のレイテンシ後に前記アドレスレシーバを非活性化させる、付記1乃至3のいずれかに記載の半導体装置。

[付記5]

50

更に、前記第 1 の内部コマンド信号を基準として、第 3 のレイテンシが経過した後に第 2 の内部コマンド信号を生成するレイテンシシフト、を備える付記 3 に記載の半導体装置。

[付記 6]

更に、前記コマンドレシーバの活性及び非活性を制御する第 1 の制御信号及び外部から供給される同期信号が供給され、前記第 1 の制御信号が活性している期間、前記同期信号を内部同期信号として出力する同期制御回路を備え、

前記レイテンシシフトは、前記内部同期信号に同期して前記第 2 の内部コマンド信号を生成する、付記 5 に記載の半導体装置。

[付記 7]

前記第 3 のレイテンシは、

前記コマンド端子にリードコマンドが供給された後、前記半導体装置が備えるデータ端子からデータが出力されるまでの期間を示すリードレイテンシ、及び

前記コマンド端子にライトコマンドが供給された後、前記データ端子にデータが供給されるまでの期間を示すライトレイテンシの少なくともいずれか一方を示す、付記 5 又は 6 に記載の半導体装置。

[付記 8]

前記リードレイテンシ及び前記ライトレイテンシの少なくともいずれか一方は、対応する前記リードコマンド及びライトコマンドが前記半導体装置へ先行して供給される付加的なレイテンシを示すアディティブレイテンシを含む、付記 7 に記載の半導体装置。

[付記 9]

チップ選択信号及びコマンド信号を出力するコントローラと、

前記チップ選択信号及び前記コマンド信号を受ける前記半導体装置と、を備え、

前記半導体装置は、

外部からコマンド端子に供給されるコマンド信号に基づいて内部コマンド信号を生成するコマンドレシーバと、

外部からチップ選択端子に供給されるチップ選択信号に第 1 のレイテンシを加えて内部チップ選択信号を生成するとともに、前記チップ選択信号の活性化から前記コマンドレシーバを活性化させ、前記チップ選択信号の非活性化から同期信号を基準として前記第 1 のレイテンシよりも長い第 2 のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第 2 のレイテンシ後に前記コマンドレシーバを非活性化させる制御回路と、を備える情報処理システム。

[付記 10]

前記半導体装置は、更に、

前記内部コマンド信号をデコードし、第 1 の内部コマンド信号を生成するコマンドデコーダと、

前記チップ選択信号及び前記内部チップ選択信号のいずれか一方を選択し、前記コマンドデコーダに供給するセレクタと、を備える付記 9 に記載の情報処理システム。

[付記 11]

前記半導体装置は、更に、

外部から供給されるアドレス信号に基づいて内部アドレス信号を生成するアドレスレシーバを備え、

前記制御回路は、前記チップ選択信号の活性化から前記アドレスレシーバを活性化させ、前記第 2 のレイテンシの期間に亘って前記チップ選択信号が連続して前記チップ選択端子に供給されないことに対応して、前記第 2 のレイテンシ後に前記アドレスレシーバを非活性化させる、を備える付記 9 に記載の情報処理システム。

【符号の説明】

【 0 0 7 8 】

1 0 , 1 0 a , 1 0 b 半導体装置

1 1 メモリセルアレイ

10

20

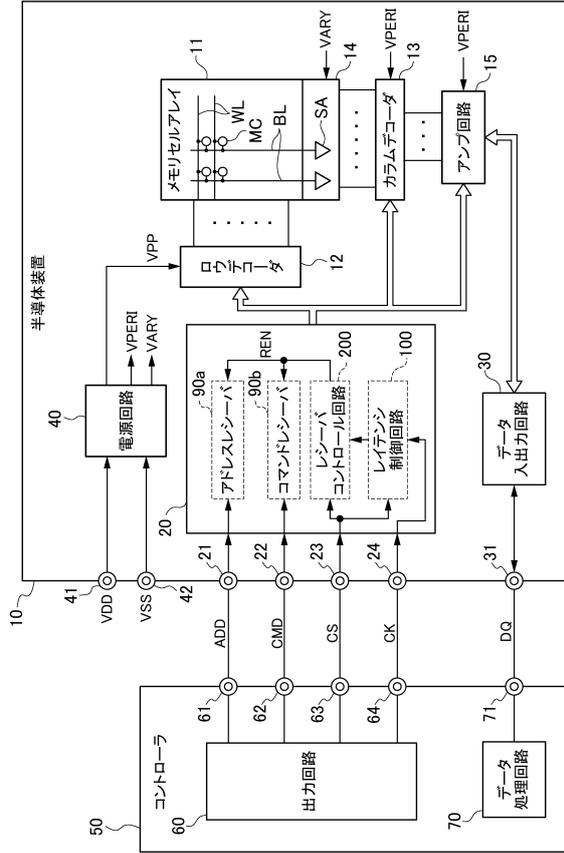
30

40

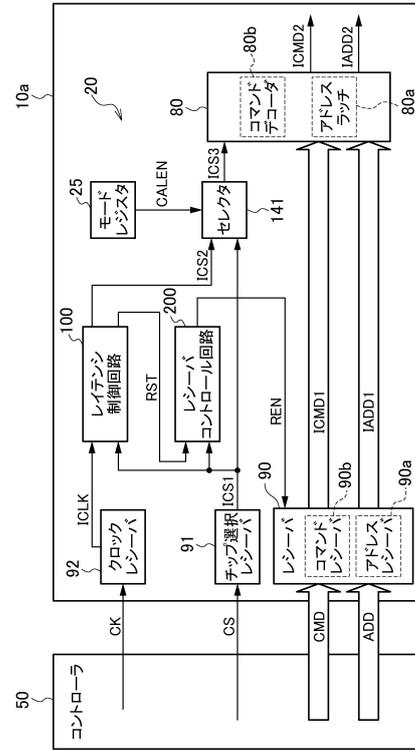
50

1 2	ロウデコーダ	
1 3	カラムデコーダ	
1 4	センス回路	
1 5	アンプ回路	
2 0	アクセス制御回路	
2 1 , 6 1	アドレス端子	
2 2 , 6 2	コマンド端子	
2 3 , 6 3	チップ選択端子	
2 4 , 6 4	クロック端子	
2 5	モードレジスタ	10
3 0	データ入出力回路	
3 1 , 7 1	データ端子	
4 0	電源回路	
4 1 , 4 2	電源端子	
5 0	コントローラ	
6 0	出力回路	
7 0	データ処理回路	
8 0	回路ブロック	
8 0 a	アドレスラッチ回路	
8 0 b	コマンドデコーダ	20
9 0	レシーバ	
9 0 a	アドレスレシーバ	
9 0 b	コマンドレシーバ	
9 1	チップ選択レシーバ	
9 2	クロックレシーバ	
1 0 0	レイテンシ制御回路	
1 1 0	シフトレジスタ	
1 2 0	ビットカウンタ	
1 3 0	パルス生成回路	
1 4 1	セレクタ	30
2 0 0	レシーバコントロール回路	
3 1 0	レイテンシシフタ	
3 2 0	同期制御回路	
C A L E N	モード信号	
C S	チップ選択信号	
G 0	検知回路	
R E N	イネーブル信号	

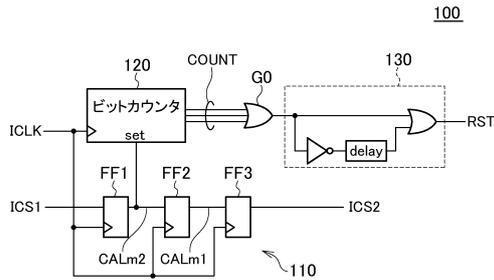
【図1】



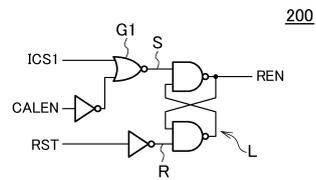
【図2】



【図3】



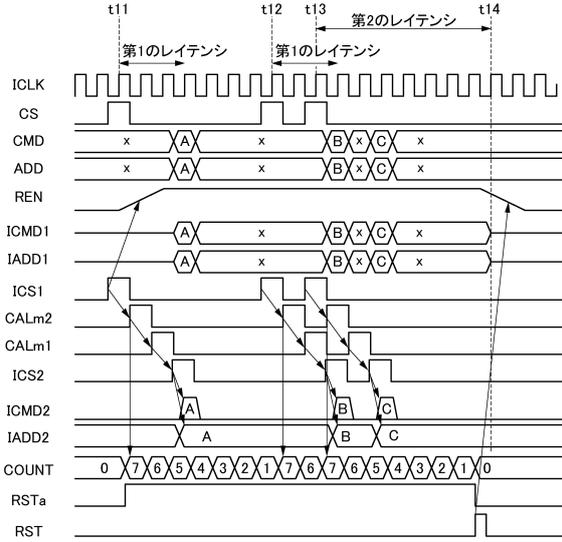
【図4】



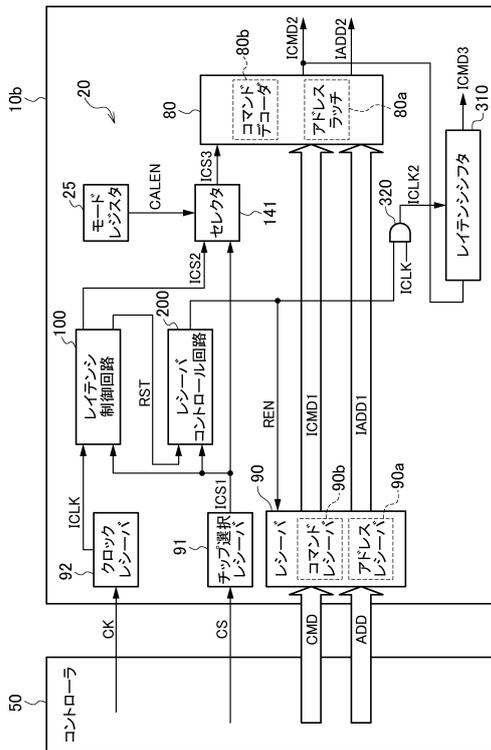
【図5】

CS	CMD				ICMD2
	ACT	RAS	CAS	WE	
0	X	X	X	X	DESEL
1	0	0	0	0	NOP
1	1	0	0	0	IACT
1	0	1	0	1	IPRE
1	0	0	1	1	IWR1
1	0	0	1	0	IRD1
1	0	1	1	1	MRS

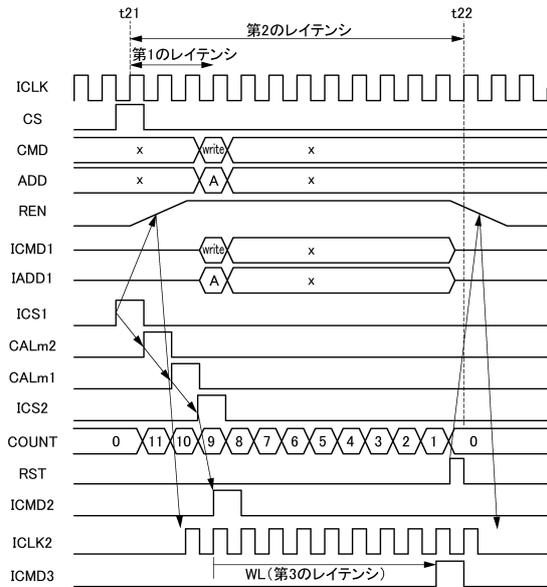
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 近藤 力
東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

審査官 滝谷 亮一

(56)参考文献 特開2001-67877(JP,A)
特開2009-20953(JP,A)
特開2000-285674(JP,A)
特開2007-12128(JP,A)
特開平7-230688(JP,A)
特開2000-156082(JP,A)
特開2000-163967(JP,A)
特開2011-146123(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4076
G11C 11/407
G11C 11/4093