



---

(21)申請案號：100103026

(22)申請日：中華民國 100 (2011) 年 01 月 27 日

(51)Int. Cl. : *H01L27/06 (2006.01)*

*H01L21/822 (2006.01)*

(71)申請人：大中積體電路股份有限公司(中華民國) SINOPOWER SEMICONDUCTOR INC.  
(TW)

新竹市新竹科學工業園區篤行一路 6 號 7 樓

(72)發明人：林偉捷 LIN, WEI CHIEH (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 7511357B2

US 2009/0212354A1

審查人員：何立璋

申請專利範圍項數：20 項 圖式數：12 共 0 頁

---

(54)名稱

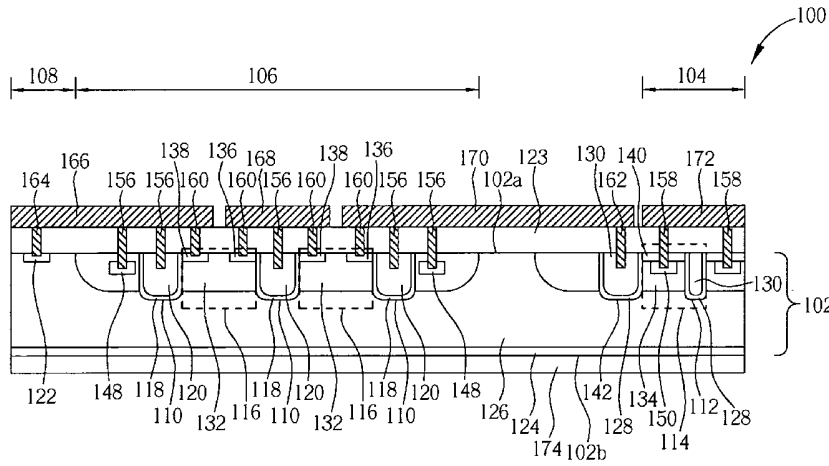
具有防靜電結構之功率半導體元件及其製作方法

POWER SEMICONDUCTOR DEVICE WITH ELECTROSTATIC DISCHARGE STRUCTURE AND MANUFACTURING METHOD

(57)摘要

一種具有防靜電結構之功率半導體元件包含有一 N 型半導體基底、至少一防靜電元件以及至少一溝渠式電晶體元件。N 型半導體基底具有至少二溝渠，且防靜電元件設於溝渠之間之 N 型半導體基底中。防靜電元件包含有一 P 型第一摻雜區以及設於 P 型第一摻雜區中之一 N 型第二摻雜區與一 N 型第三摻雜區。N 型第二摻雜區電性連接至溝渠式電晶體元件之閘極，且 N 型第三摻雜區電性連接至溝渠式電晶體元件之汲極。

A power semiconductor device with an electrostatic discharging (ESD) structure includes an N-type semiconductor substrate, at least one ESD device, and at least one trench transistor device. The N-type semiconductor has at least two trenches, and the ESD device is disposed in the N-type semiconductor substrate between the trenches. The ESD device includes a P-type first doped region, and an N-type second doped region and an N-type third doped region disposed in the P-type first doped region. The N-type second doped region is electrically connected to a gate of the trench transistor device, and the N-type third doped region is electrically connected to a drain of the trench transistor device.



第5圖

- 100 . . . 功率半導體元件
- 102 . . . 半導體基底
- 102a . . . 上表面
- 102b . . . 下表面
- 104 . . . 第一元件區
- 106 . . . 第二元件區
- 108 . . . 汲極連接區
- 110 . . . 第一溝渠
- 112 . . . 第三溝渠
- 114 . . . 溝渠式電晶體元件
- 116 . . . 第一防靜電元件
- 118 . . . 絕緣層
- 120 . . . 導電層
- 122 . . . 汲極摻雜區
- 123 . . . 層間介電層
- 124 . . . 基材
- 126 . . . 磊晶層
- 128 . . . 閘極絕緣層
- 130 . . . 閘極導電層
- 132 . . . 第一摻雜區
- 134 . . . 基體摻雜區
- 136 . . . 第二摻雜區
- 138 . . . 第三摻雜區
- 140 . . . 源極摻雜區
- 142 . . . 第四溝渠
- 148 . . . 第一接觸摻雜區
- 150 . . . 第二接觸摻雜區
- 156 . . . 第一接觸插塞
- 158 . . . 源極接觸插塞
- 160 . . . 第二接觸插塞

162 . . . 第三接觸插  
塞

164 . . . 第四接觸插  
塞

166 . . . 第一汲極金  
屬層

168 . . . 第一連接金  
屬層

170 . . . 閘極金屬層

172 . . . 源極金屬層

174 . . . 第二汲極金  
屬層

如第 4 圖所示，然後，利用一第二遮罩，於各 N 型第二摻雜區 136 與各 N 型第三摻雜區 138 上形成一第二接觸洞 152，以及於 N 型汲極摻雜區 122 上形成一第四接觸洞 154，其中第二接觸洞 152 貫穿層間介電層 123，並暴露出 N 型第二摻雜區 136 與 N 型第三摻雜區 138，且第四接觸洞 154 貫穿層間介電層 123，並暴露出 N 型汲極摻雜區 122。並且，第二接觸洞 152 係與第四接觸洞 154 具有相同深度，且第二接觸洞 152 與第四接觸洞 154 之深度小於第一接觸洞 144 與第三接觸洞 146 之深度。值得注意的是，各第二接觸洞 152 並未貫穿各 N 型第二摻雜區 136 與各 N 型第三摻雜區 138，使後續形成於第二接觸洞 152 中之第二接觸插塞不會與各 P 型第一摻雜區 132 相接觸，而造成第一防靜電元件 116 無法運作。於本發明之其他實施例中，形成第一接觸洞 144 與第三接觸洞 146 之步驟並不限於進行於形成第二接觸洞 152 與第四接觸洞 154 之步驟之前，亦可進行於形成第二接觸洞 152 與第四接觸洞 154 之步驟之後。

如第 5 圖所示，接下來於第二元件區 106 之各第一接觸洞 144 中形成一第一接觸插塞 156、於第一元件區 104 之各第一接觸洞 144 中形成一源極接觸插塞 158、於各第二接觸洞 152 中形成一第二接觸插塞 160、於各第三接觸洞 146 中形成一第三接觸插塞 162 以及於第四接觸洞 154 中形成一第四接觸插塞 164。然後，於 N 型半導體基底 102 上形成一第一汲極金屬層 166、至少一第一連接金屬層 168、一閘極金屬層 170 以及一源極金屬層 172，其中第一連接金屬

層 168 設於第一汲極金屬層 166 與閘極金屬層 170 之間，且閘極金屬層 170 設於第一連接金屬層 168 與源極金屬層 172 之間。接著，於 N 型半導體基底 102 之下表面 102b 形成一第二汲極金屬層 174。至此已完成本實施例之功率半導體元件 100。由於第二汲極金屬層 174 係形成於 N 型半導體基底 102 之下表面 102b，因此其步驟進行的時間並不限定於此，而可於其他適當之時間點進行，例如於進行 N 型半導體基底 102 之上表面 102a 製程之前或之後進行。由於第二接觸洞 152 係與第四接觸洞 154 之深度小於第一接觸洞 144 與第三接觸洞 146 之深度，因此第一接觸插塞 156、第三接觸插塞 162 與源極接觸插塞 158 之一深度係深於第二接觸插塞 160 與第四接觸插塞 164 之一深度。

於本實施例中，第一連接金屬層 168 設於任二相鄰之第一防靜電元件 116 之間的第一溝渠 110 上，以與位於此第一溝渠 110 上之第一接觸插塞 156 相接觸，進而電性連接位於第一溝渠 110 中之導電層 120。此外，第一連接金屬層 168 更延伸至部分重疊二相鄰之第一防靜電元件 116，以與位於鄰近相對應之第一接觸插塞 156 之第二接觸插塞 160 相接觸，進而電性連接鄰接同一第一溝渠 110 之 N 型第二摻雜區 136 與 N 型第三摻雜區 138。亦即，位於各第一溝渠 110 鄰近第一元件區 104 之一側的第一防靜電元件 116 之 N 型第三摻雜區 138 可電性連接位於第一溝渠 110 遠離第一元件區 104 之一側的第一防靜電元件 116 之 N 型第二摻雜區 136，使任二相鄰之第一防靜電元件 116 得以串聯方式彼此電性連接。並且，本實施例之

第一連接金屬層 168 之數量不限為單一個，而可根據第一防靜電元件 116 之數量來決定，以將第一防靜電元件 116 串聯在一起。此外，第一汲極金屬層 166 設於汲極連接區 108 之 N 型半導體基底 102 上，且與第四接觸插塞 164 相接觸，以電性連接 N 型汲極摻雜區 122 與作為溝渠式電晶體元件 114 之一汲極的 N 型半導體基底 102。並且，第一汲極金屬層 166 另延伸至部分重疊最遠離第一元件區 104 之第一防靜電元件 116 的 N 型第三摻雜區 138，而與此 N 型第三摻雜區 138 上之第二接觸插塞 160 相接觸，進而電性連接最遠離第一元件區 104 之第一防靜電元件 116 的 N 型第三摻雜區 138。因此，溝渠式電晶體元件 114 之汲極可電性連接最遠離第一元件區 104 之第一防靜電元件 116。另外，閘極金屬層 170 係與第三接觸插塞 162 相接觸，以電性連接至作為溝渠式電晶體元件 114 之一閘極的閘極導電層 130，並且閘極金屬層 170 另與最鄰近第一元件區 104 之第二接觸插塞 160 相接觸，以電性連接至最鄰近第一元件區 104 之第一防靜電元件 116 的 N 型第二摻雜區 136，使溝渠式電晶體元件 114 之閘極可電性連接最鄰近第一元件區 104 之第一防靜電元件 116。因此，第一防靜電元件 116 可以串聯方式電性連接於溝渠式電晶體元件 114 之閘極與汲極之間。並且，源極金屬層 172 係與位於第一元件區 104 之源極接觸插塞 158 相接觸，以電性連接至作為溝渠式電晶體元件 114 之一源極的各 N 型源極摻雜區 140。值得注意的是，導電層 120 係藉由其上之第一接觸插塞 156 與第一連接金屬層 168 電性連接至與其相對應之第一溝渠 110 鄰接之 N 型第二摻雜區 136 與 N 型第三摻雜區 138，使導電層 120 係與其相鄰之 N 型第二摻雜

區 136 與 N 型第三摻雜區 138 具有相同電位。

由上述可知，本實施例之功率半導體元件 100 之製作方法於形成具有不同深度之第一接觸洞 144 與第二接觸洞 152 時需使用不同之遮罩，以避免因第二接觸插塞 160 貫穿 N 型第二摻雜區 136 與 N 型第三摻雜區 138 而造成 P 型第一摻雜區 132 直接電性連接至溝渠式電晶體元件 114 之閘極或汲極。此外，本實施例之第一防靜電元件 116 係於製作溝渠式電晶體元件 114 之步驟中同時形成，可有效避免額外製作第一防靜電元件 116 所增加之成本。

為了更清楚說明本實施例之功率半導體元件之結構，請參考第 6 圖，且一併參考第 5 圖。第 6 圖為本發明第一實施例之功率半導體元件之上視示意圖。第 5 圖為沿著第 6 圖之剖面線 AA' 之剖面示意圖。如第 5 圖與第 6 圖所示，第一防靜電元件 116 設於二相鄰之第一溝渠 110 間之 N 型半導體基底 102 中，且第一防靜電元件 116 包含有一 P 型第一摻雜區 132、一 N 型第二摻雜區 136 以及一 N 型第三摻雜區 138，其中 P 型第一摻雜區 132 設於 N 型半導體基底 102 中，N 型第二摻雜區 136 設於鄰近第一元件區 104 之 P 型第一摻雜區 132 中，且 N 型第三摻雜區 138 設於遠離第一元件區 104 之 P 型第一摻雜區 132 中。N 型半導體基底 102 之 N 型基材 124 與 N 型磊晶層 126 係由單晶矽所構成，且其晶體結構較多晶矽之晶體結構有規律的排列，因此 N 型半導體基底 102 所產生之電阻較多晶矽小。藉此，本實施例於 N 型半導體基底 102 中形成之第一防靜電元件 116

可較於多晶矽中所形成之防靜電元件具有較小之電阻，進而提升釋放靜電的能力。在各第一防靜電元件 116 中，P 型第一摻雜區 132 與 N 型第二摻雜區 136 構成一具有 PN 接面之二極體元件，例如：齊納二極體（Zener diode），而 P 型第一摻雜區 132 與 N 型第三摻雜區 138 亦構成另一具有 PN 接面之二極體元件，並且由於此兩二極體元件之 P 接面係屬同一摻雜區，因此對於正常操作狀態下之溝渠式電晶體元件 114 來說，第一防靜電元件 116 係為雙向不導通。當溝渠式電晶體元件 114 之閘極或汲極有大量靜電產生，且靜電電壓大於二極體元件之反向崩潰電壓時，可透過第一防靜電元件 116 的導通來釋放靜電電流。此外，本實施例之第一汲極金屬層 166 係圍繞閘極金屬層 170、源極金屬層 172 以及第一連接金屬層 168，且第一連接金屬層 168 亦圍繞閘極金屬層 170 與源極金屬層 172，而閘極金屬層 170 亦圍繞源極金屬層 172。

另外，本發明功率半導體元件並不限利用連接金屬層電性連接各第一防靜電元件，亦可直接形成可電性連接各第一防靜電元件之接觸插塞。然為了簡化說明並突顯其他實施例或變化形與上述實施例之間的差異，下文中使用相同標號標注相同元件，且不再對重覆部分作贅述。請參考第 7 圖與第 8 圖。第 7 圖為本發明第二實施例之功率半導體元件之上視示意圖，且第 8 圖為沿著第 7 圖之剖面線 BB' 之剖面示意圖。如第 7 圖與第 8 圖所示，相較於第一實施例，本實施例之功率半導體元件 200 並未具有第一連接金屬層來電性連接位於第一溝渠 110 兩側之 N 型第二摻雜區 136 與 N 型第三摻雜區 138，



而是位於任二相鄰之第一防靜電元件 116 間之各第一接觸插塞 156 另具有複數個第一延伸部 202，延伸至與其相鄰之第二接觸插塞 160 相接觸，以電性連接位於第一溝渠 110 兩側之 N 型第二摻雜區 136 與 N 型第三摻雜區 138。並且，本實施例之功率半導體元件 200 另包含有一保護層 204，設於閘極金屬層 170、第一汲極金屬層 166 與源極金屬層 172 上。此外，本發明之各第一接觸插塞 156 並不限於具有複數個第一延伸部 202，亦可僅具有至少一第一延伸部 202，以電性連接位於第一溝渠 110 兩側之 N 型第二摻雜區 136 與 N 型第三摻雜區 138。值得注意的是，第一實施例之第一連接金屬層的寬度係大於 4 微米，且第一連接金屬層與閘極金屬層 170 以及第一汲極金屬層 166 之間距分別需大於 4 微米，因此利用第一連接金屬層來電性連接 N 型第二摻雜區 136 以及 N 型第三摻雜區 138 需大於 12 微米。然而，本實施例之第一接觸插塞 156 與第二接觸插塞 160 之寬度僅需大於 0.3 微米，第一接觸插塞 156 與相鄰第二接觸插塞 160 之間距亦僅需大於 0.5 微米，且第一溝渠 110 之寬度需大於 0.8 微米，因此相較於第一實施例，本實施例利用第一接觸插塞 156 之第一延伸部 202 來連接導電層 120 與 N 型第二摻雜區 136 以及 N 型第三摻雜區 138 更可有效降低相鄰第一防靜電元件 116 間之間距，進而縮小功率半導體元件 200 之尺寸。

本發明之功率半導體元件並不限僅具有防靜電元件電性連接於閘極與汲極之間，亦可另具有防靜電元件電性連接於閘極與源極之間，以防止閘極與源極之間產生靜電破壞。請參考第 9 圖與第 10

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100103026 (2006.01)

※申請日：100.1.27 ※IPC 分類：H01L 27/06 (2006.01)

## 一、發明名稱：(中文/英文)

具有防靜電結構之功率半導體元件及其製作方法/POWER  
SEMICONDUCTOR DEVICE WITH ELECTROSTATIC DISCHARGE  
STRUCTURE AND MANUFACTURING METHOD

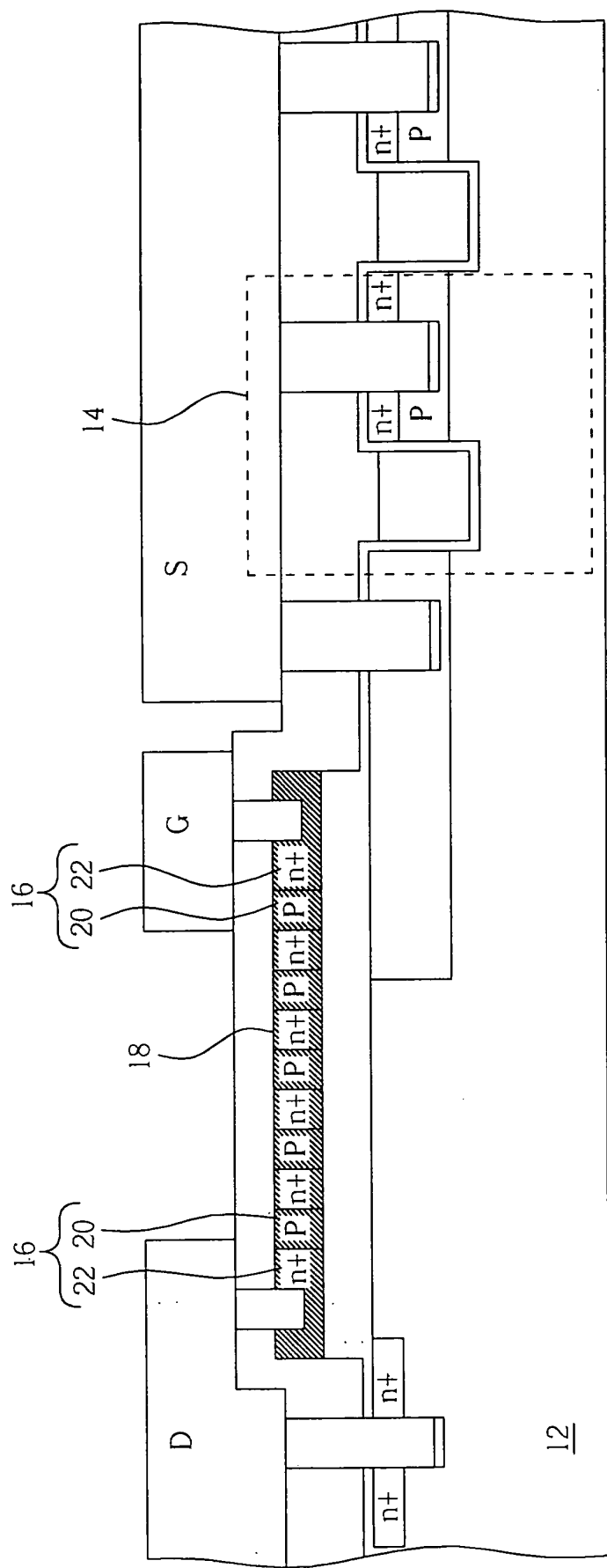
## 二、中文發明摘要：

一種具有防靜電結構之功率半導體元件包含有一 N 型半導體基底、至少一防靜電元件以及至少一溝渠式電晶體元件。N 型半導體基底具有至少二溝渠，且防靜電元件設於溝渠之間之 N 型半導體基底中。防靜電元件包含有一 P 型第一摻雜區以及設於 P 型第一摻雜區中之一 N 型第二摻雜區與一 N 型第三摻雜區。N 型第二摻雜區電性連接至溝渠式電晶體元件之閘極，且 N 型第三摻雜區電性連接至溝渠式電晶體元件之汲極。

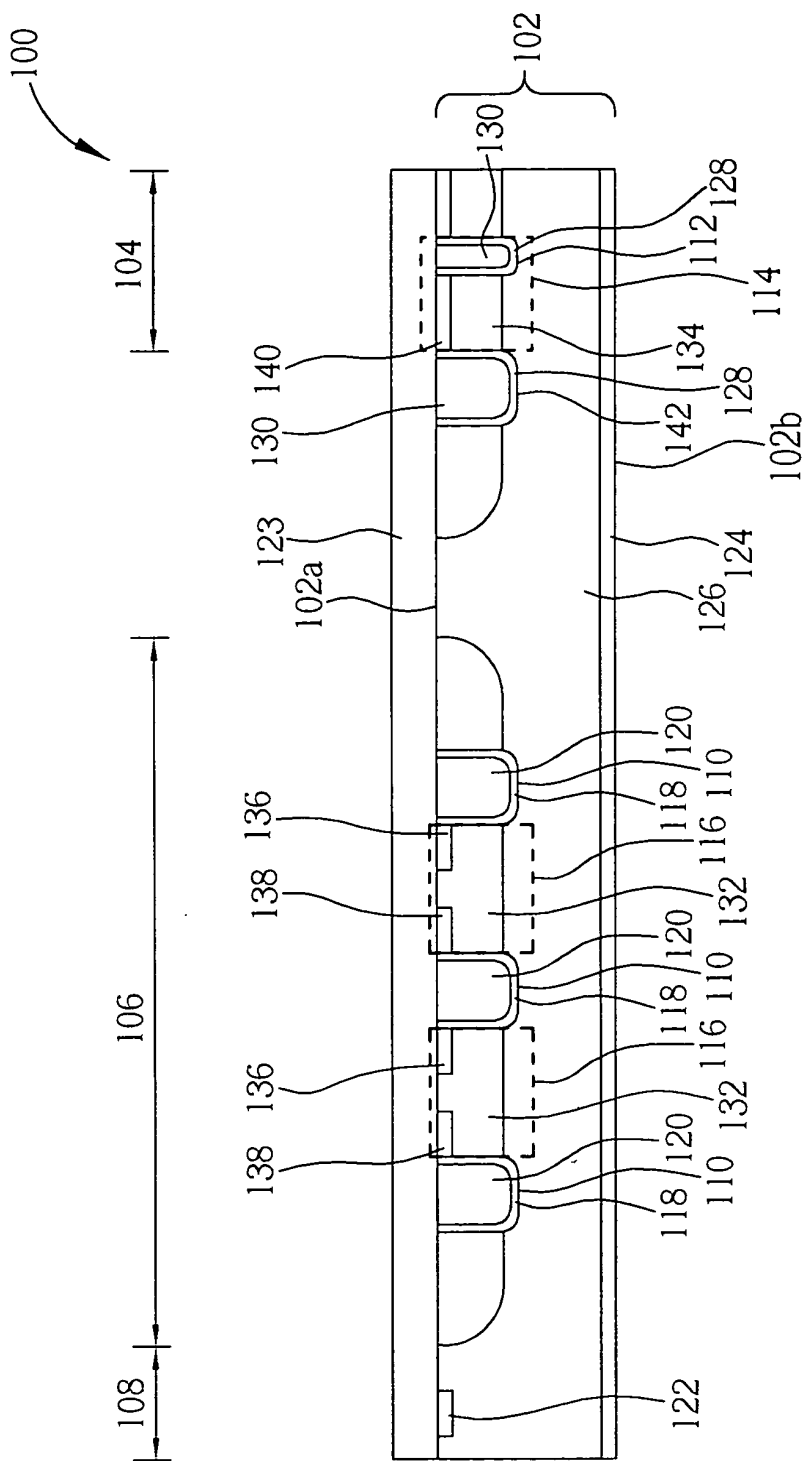
## 三、英文發明摘要：

A power semiconductor device with an electrostatic discharging (ESD) structure includes an N-type semiconductor substrate, at least one ESD device, and at least one trench transistor device. The N-type semiconductor has at least two trenches, and the ESD device is disposed in the N-type semiconductor substrate between the trenches. The ESD device includes a P-type first doped region, and an N-type second doped

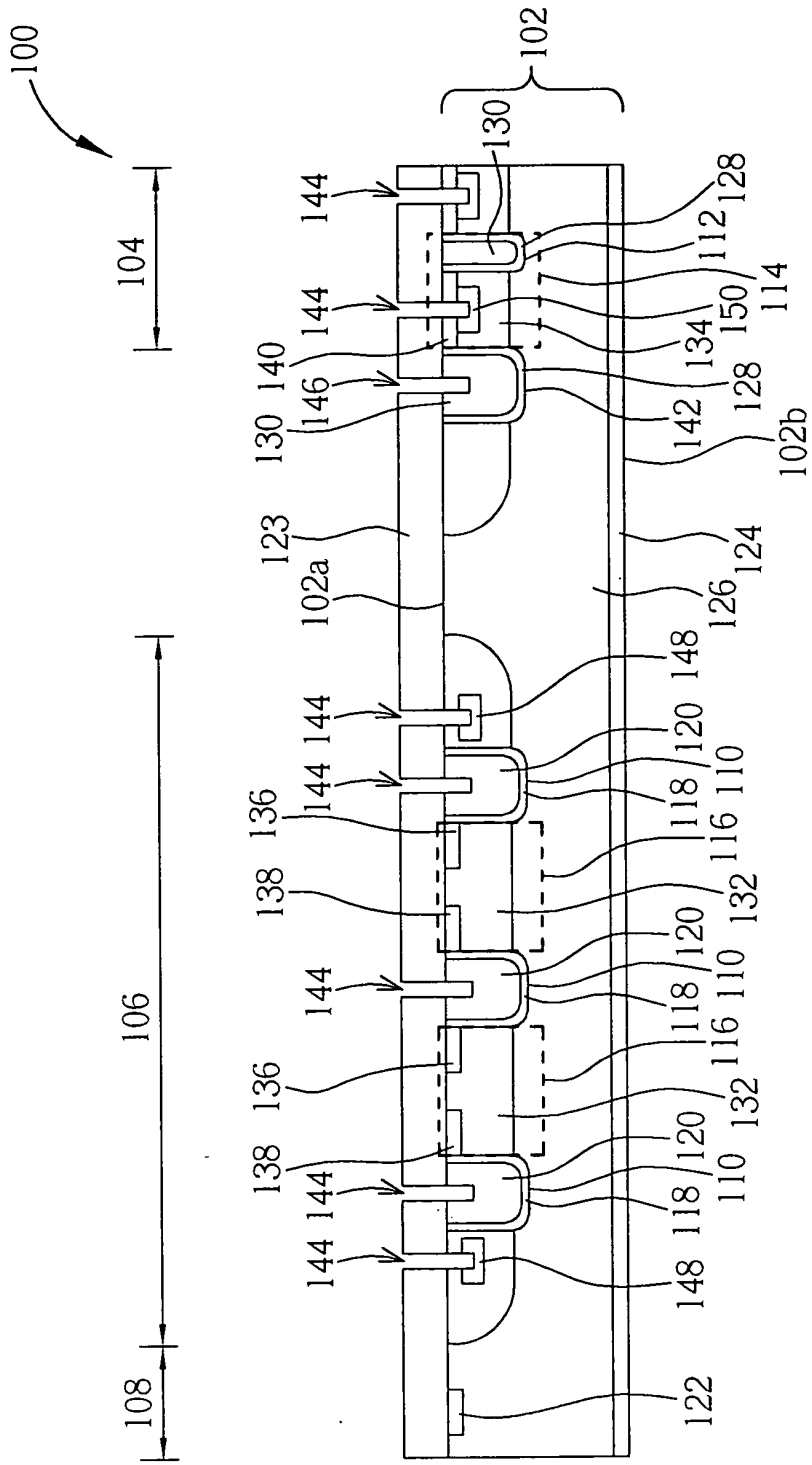
region and an N-type third doped region disposed in the P-type first doped region. The N-type second doped region is electrically connected to a gate of the trench transistor device, and the N-type third doped region is electrically connected to a drain of the trench transistor device.



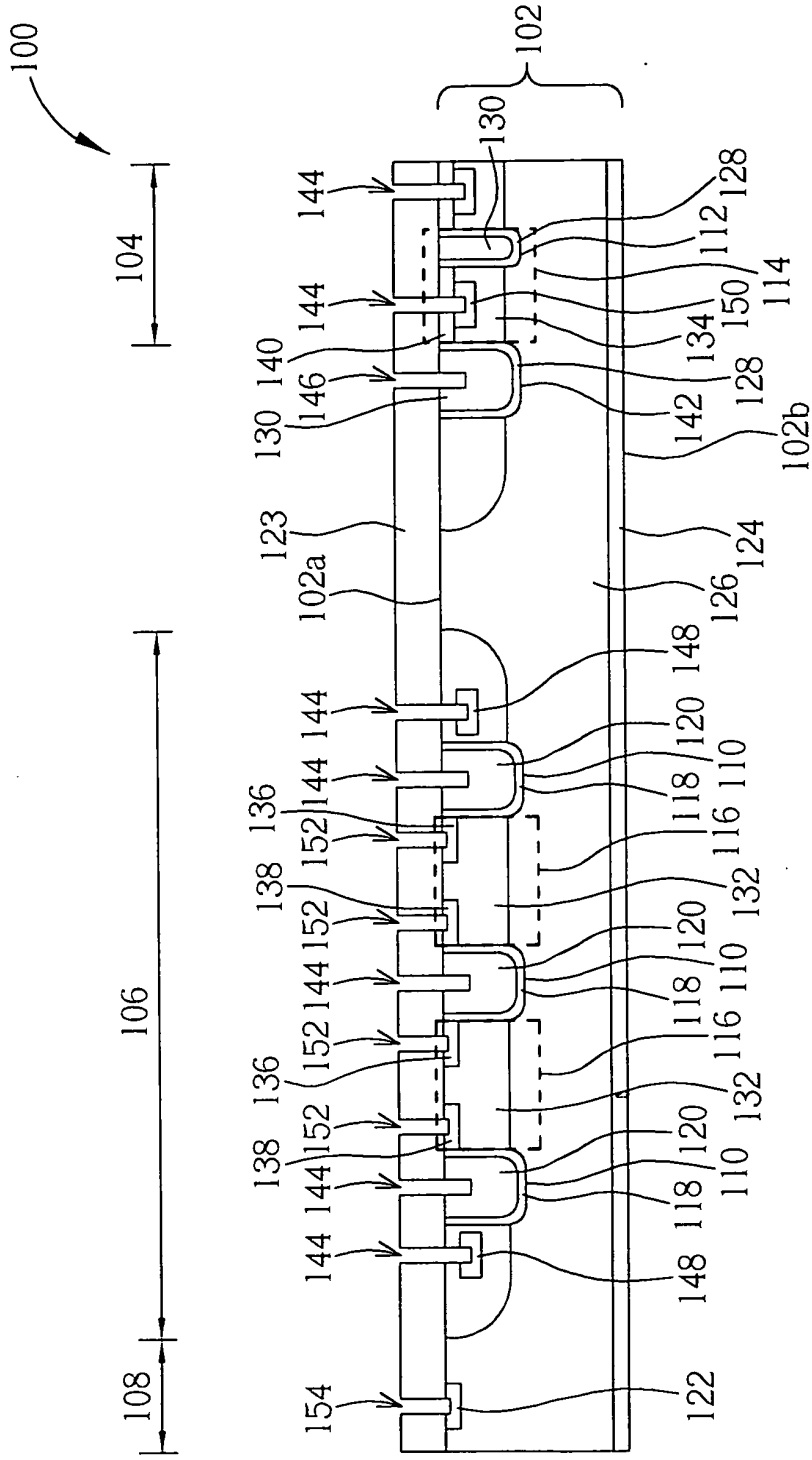
第1圖



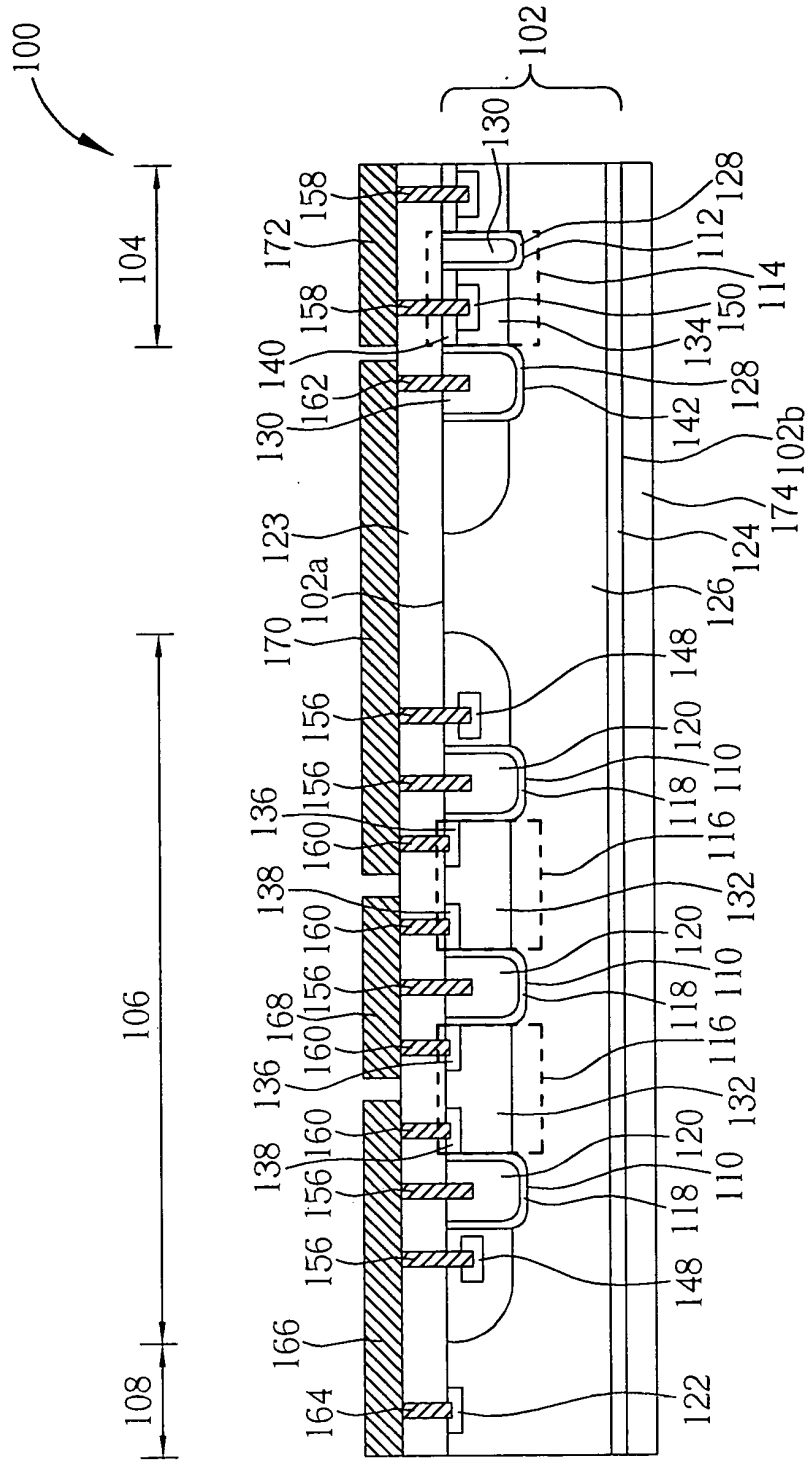
第2圖



第3圖

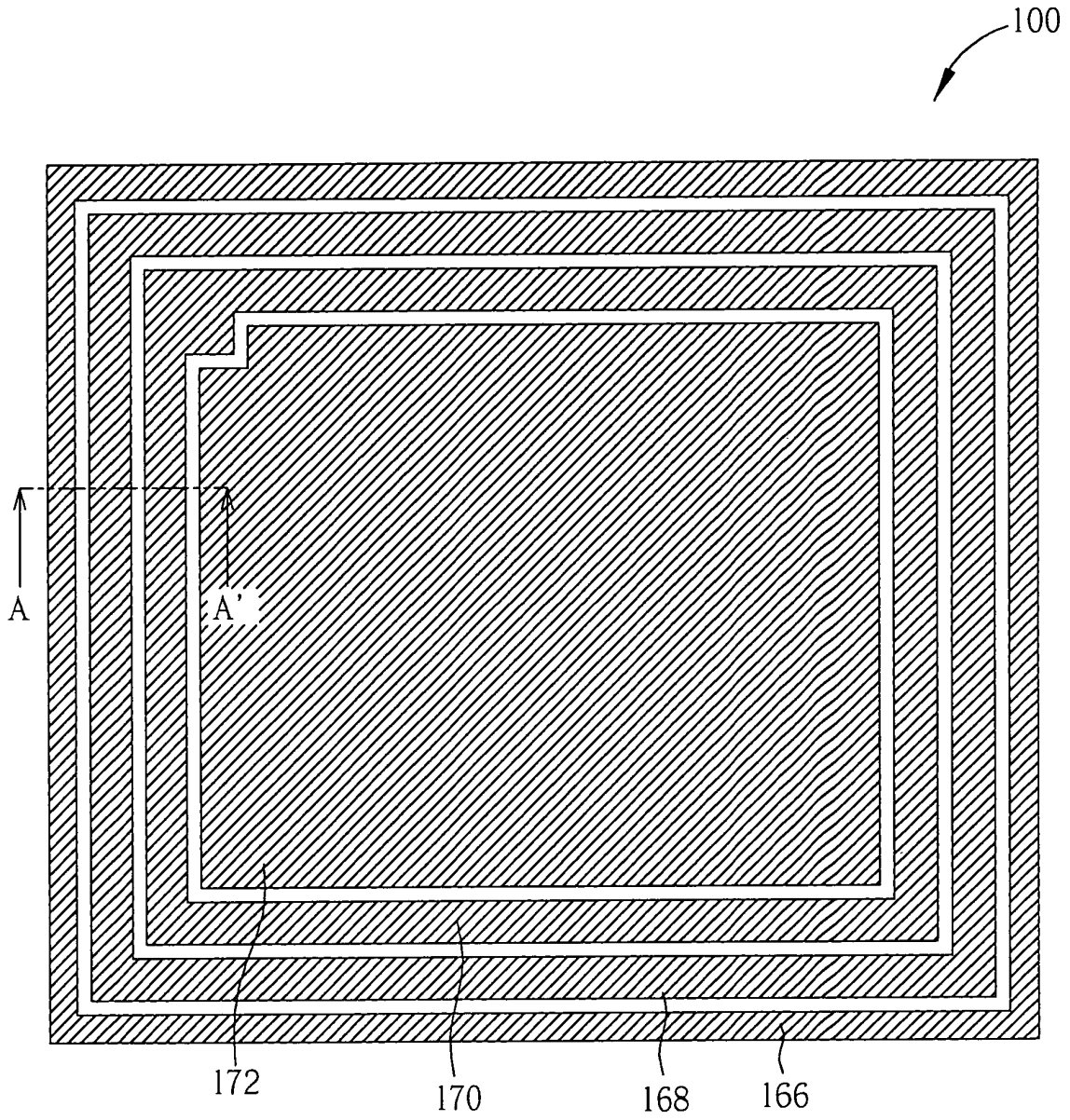


第4圖



第5圖





第6圖

#### 四、指定代表圖：

(一)本案指定代表圖為：第(5)圖。

(二)本代表圖之元件符號簡單說明：

100	功率半導體元件	102	半導體基底
102a	上表面	102b	下表面
104	第一元件區	106	第二元件區
108	汲極連接區	110	第一溝渠
112	第三溝渠	114	溝渠式電晶體元件
116	第一防靜電元件	118	絕緣層
120	導電層	122	汲極摻雜區
123	層間介電層	124	基材
126	磊晶層	128	閘極絕緣層
130	閘極導電層	132	第一摻雜區
134	基體摻雜區	136	第二摻雜區
138	第三摻雜區	140	源極摻雜區
142	第四溝渠	148	第一接觸摻雜區
150	第二接觸摻雜區	156	第一接觸插塞
158	源極接觸插塞	160	第二接觸插塞
162	第三接觸插塞	164	第四接觸插塞
166	第一汲極金屬層	168	第一連接金屬層

170 閘極金屬層

172 源極金屬層

174 第二汲極金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種功率半導體元件及其製作方法，尤指一種具有防靜電元件之功率半導體元件及其製作方法。

### 【先前技術】

功率金氧半導體電晶體(Power MOS transistor)元件由於具有高電壓高電流的導通特性，因此特別容易受到靜電放電脈衝(ESD pulse)的傷害。特別是由於現今的積體電路製程中為了獲得較低起始電壓，功率金氧半導體電晶體元件的閘極氧化層的厚度必須加以薄化，在此要求下，功率金氧半導體電晶體元件極易受到因摩擦或其它無法控制的因素所產生的靜電放電脈衝的傷害而受損。因此，在功率金氧半導體電晶體元件的應用上，必須搭配靜電防護電路的使用以避免功率金氧半導體電晶體元件受損。在現行的功率金氧半導體電晶體元件技術中，通常是在功率金氧半導體電晶體元件製作完成後，再進行靜電防護電路的製作，然而此作法會增加額外的製程與成本。

請參考第 1 圖，第 1 圖為習知功率半導體元件之剖面示意圖。如第 1 圖所示，習知功率半導體元件 10 係於半導體基底 12 上形成包含複數個溝渠式電晶體元件 14 以及複數個防靜電元件 16。形成防靜電元件 16 之方式係先形成一多晶矽層 18，並且對多晶矽層 18 依

序進行一 P 型離子佈植製程以及一 N 型離子佈植製程，以形成複數個 P 型摻雜區 20 與複數個 N 型摻雜區 22 呈彼此交錯且依序接合在一起，其中任一 P 型摻雜區 20 與其相鄰之 N 型摻雜區 22 係構成一具有 PN 接面之防靜電元件 16，且各防靜電元件 16 係串聯於溝渠式電晶體元件 14 之閘極與汲極之間。

然而，習知防靜電元件係以多晶矽層作為本體來進行摻雜而形成，且多晶矽層之晶體結構會限制其中傳遞的電流大小，因此防靜電元件之靜電釋放能力會受到多晶矽層之晶體結構的影響而有所限制。有鑑於此，提升功率半導體元件中防靜電元件之釋放靜電的能力，實為業界努力之目標。

### 【發明內容】

本發明之主要目的之一在於提供一種具有防靜電元件之功率半導體元件及其製作方法，以提升功率半導體元件中防靜電元件之釋放靜電的能力。

為達上述之目的，本發明提供一種具有防靜電元件之功率半導體元件。功率半導體元件包含有一半導體基底、至少一第一防靜電元件以及至少一溝渠式電晶體元件。半導體基底具有一第一導電類型，且半導體基底具有一第一元件區與一第二元件區。半導體基底之一上表面具有至少二第一溝渠，且第一溝渠位於第二元件區中。第一防靜電元件設於第一溝渠之間之半導體基底中，且第一防靜電

元件包含有一第一摻雜區、一第二摻雜區以及一第三摻雜區。第一摻雜區具有一第二導電類型，且第二導電類型不同於第一導電類型。第二摻雜區具有第一導電類型，且設於鄰近第一元件區之第一摻雜區中。第三摻雜區具有第一導電類型，且設於遠離第一元件區之第一摻雜區中。溝渠式電晶體元件，設置於第一元件區中，且溝渠式電晶體元件具有一閘極、一源極以及一汲極，其中第二摻雜區電性連接至閘極，且第三摻雜區電性連接至汲極。

為達上述之目的，本發明另提供一種具有防靜電元件之功率半導體元件。功率半導體元件包含有一半導體基底、至少一第二防靜電元件以及至少一溝渠式電晶體元件。半導體基底具有一第一導電類型，且半導體基底具有一第一元件區與一第三元件區。半導體基底之一上表面具有至少二第二溝渠，且第二溝渠位於第三元件區中。第二防靜電元件設於第二溝渠之間之半導體基底中，且第二防靜電元件包含有一第四摻雜區、一第五摻雜區以及一第六摻雜區。第四摻雜區具有一第二導電類型，且第二導電類型不同於第一導電類型。第五摻雜區具有第一導電類型，且設於鄰近第一元件區之第四摻雜區中。第六摻雜區具有第一導電類型，且設於遠離第一元件區之第四摻雜區中。溝渠式電晶體元件設置於第一元件區中，且溝渠式電晶體元件具有一閘極、一源極以及一汲極，其中第五摻雜區電性連接至源極，且第六摻雜區電性連接至閘極。

為達上述之目的，本發明提供一種具有防靜電元件之功率半導體

元件之製作方法。首先，提供一半導體基底，其具有一第一導電類型，半導體基底具有一第一元件區以及一第二元件區，其中位於第二元件區中之半導體基底之一上表面具有至少二第一溝渠。然後，於第一元件區中形成至少一溝渠式電晶體元件以及於第二元件區之半導體基底中形成至少一第一防靜電元件，其中第一防靜電元件包含有一設於第一溝渠之間的第一摻雜區、一設於鄰近第一元件區之第一摻雜區中之第二摻雜區以及一設於遠離第一元件區之第一摻雜區中之第三摻雜區，且溝渠式電晶體元件具有一閘極、一汲極與一源極。接著，於半導體基底上形成一層間介電層。隨後，於第一元件區中形成至少一第一接觸洞以及於第二摻雜區與第三摻雜區上分別形成一第二接觸洞，其中各第二接觸洞分別暴露出第二摻雜區與第三摻雜區，並貫穿層間介電層，且第一接觸洞貫穿源極與層間介電層。然後，於第一元件區之第一接觸洞中形成一源極接觸插塞，且於各第二接觸洞中分別形成一第二接觸插塞。

本發明於N型半導體基底中形成第一防靜電元件，以降低第一防靜電元件之電阻，進而提升釋放靜電的能力。

### 【實施方式】

請參考第2圖至第5圖，第2圖至第5圖為本發明第一實施例之具有防靜電元件之功率半導體元件之製作方法示意圖。如第2圖所示，首先，提供一半導體基底102，其具有一第一導電類型，且半導體基底102上具有一第一元件區104、一第二元件區106以及一

汲極連接區 108，其中半導體基底 102 之上表面 102a 具有複數個第一溝渠 110 與一第三溝渠 112，第一溝渠 110 位於第二元件區 106 中，且第三溝渠 112 位於第一元件區 104 中。接著，於第一元件區 104 中形成一溝渠式電晶體元件 114、於第二元件區 106 中形成複數個第一防靜電元件 116、分別於第二元件區 106 之各第一溝渠 110 中形成一絕緣層 118 與一導電層 120 以及於汲極連接區 108 之半導體基底 102 中形成一汲極摻雜區 122，其中各第一防靜電元件 116 係位於任二相鄰之第一溝渠 110 之間，且汲極摻雜區 122 具有第一導電類型。然後，於半導體基底 102 上覆蓋一層間介電層 123。於本實施例中，第一導電類型係為 N 型，但不限於此。並且，N 型半導體基底 102 包含一 N 型基材 124 以及一設置於 N 型基材 124 上之 N 型磊晶層 126，其中 N 型基材 124 可為矽晶圓，但不限於此。此外，本發明第一防靜電元件 116 之數量亦不限為複數個，而亦可僅為一個，且第一防靜電元件 116 之數量可根據所需之防靜電能力來決定。由於第一溝渠 110 係用於將各第一防靜電元件 116 與溝渠式電晶體元件 114 區隔開，因此本發明之第一溝渠 110 之數量根據第一防靜電元件 116 之數量來做調整，且本發明第一溝渠 110 之數量可為至少兩個。於僅有兩個第一溝渠 110 之情況下，功率半導體元件 100 僅包含一第一防靜電元件 116，而不需連接金屬層來加以串聯。再者，本發明第三溝渠 112 之數量亦不限於一個，且第三溝渠 112 係用於形成溝渠式電晶體元件 114 之閘極，因此第三溝渠 112 之數量可根據溝渠式電晶體元件 114 之數量來決定。本發明溝渠式電晶體元件 114 之數量亦可為複數個，所以第三溝渠 112 之數量亦



可為複數個。本實施例係以兩個第一防靜電元件 116、三個第一溝渠 110、一個溝渠式電晶體元件 114 以及一個第三溝渠 112 為例來做說明，但不限於此。

以下將進一步描述本實施例形成溝渠式電晶體元件 114、第一防靜電元件 116、絕緣層 118、導電層 120 以及 N 型汲極摻雜區 122 之步驟。先於 N 型半導體基底 102 上依序覆蓋一氧化物層，例如氧化矽，與一多晶矽層，然後進行回蝕刻或研磨製程，同時於第二元件區 106 之各第一溝渠 110 中形成絕緣層 118 與導電層 120，並於第三溝渠 112 中形成一閘極絕緣層 128 與一閘極導電層 130。隨後，進行一第二導電類型之一離子佈植製程，以於各第一溝渠 110 兩側之 N 型半導體基底 102 中分別形成一第一摻雜區 132，且於第三溝渠 112 兩側之 N 型半導體基底 102 中分別形成一基體摻雜區 134，其中第一摻雜區 132 與基體摻雜區 134 係具有第二導電類型。本實施例之第二導電類型係為不同於第一導電類型之 P 型，但不限於此，本發明之第一導電類型與第二導電類型亦可互換。並且，各絕緣層 118 覆蓋各第一溝渠 110 之側壁，且各導電層 120 設於各第一溝渠 110 中之絕緣層 118 上。此外，閘極絕緣層 128 覆蓋第三溝渠 112 之側壁，且閘極導電層 130 設於第三溝渠 112 中之閘極絕緣層 128 上。

接著，進行 N 型之一離子佈植製程，於任二相鄰之第一溝渠 110 間之各 P 型第一摻雜區 132 中形成一 N 型第二摻雜區 136 與一 N 型

第三摻雜區 138，並於各 P 型基體摻雜區 134 中形成一 N 型源極摻雜區 140，且同時於汲極連接區 108 之 N 型半導體基底 102 中形成 N 型汲極摻雜區 122。其中，每一組相對應之 P 型第一摻雜區 132、N 型第二摻雜區 136 與 N 型第三摻雜區 138 可構成一 NPN 結構之雙向二極體元件，以作為本實施例之第一防靜電元件 116，且各第一防靜電元件 116 位於二相鄰之第一溝渠 110 之間的 N 型半導體基底 102 中。於本實施例中，各 N 型第二摻雜區 136 係與位於其鄰近第一元件區 104 之一側的第一溝渠 110 相接觸，且各 N 型第三摻雜區 138 則與位於其遠離第一元件區之一側之第一溝渠 110 相接觸。換句話說，各第一溝渠 110 之兩側的 P 型第一摻雜區 132 中設有不同第一防靜電元件 116 之 N 型第二摻雜區 136 與 N 型第三摻雜區 138。此外，閘極導電層 130、閘極絕緣層 128、N 型半導體基底 102、各 P 型基體摻雜區 134 與各 N 型源極摻雜區 140 係構成一 N 型金氧半導體 (NMOS) 電晶體元件，作為本實施例之溝渠式電晶體元件 114。然而，本發明形成溝渠式電晶體元件 114、第一防靜電元件 116、絕緣層 118 與導電層 120 之步驟並不限於上述之步驟。於本發明之其他實施例中，半導體基底 102 可為 P 型，且溝渠式電晶體元件 114 可為 P 型。亦即第一導電類型與第二導電類型可彼此互換，且第一導電類型為 P 型，而第二導電類型為 N 型。此時，第一防靜電元件 116 則為 PNP 結構之雙向二極體元件。

此外，位於最鄰近第一元件區 104 之 P 型第一摻雜區 132 係位於第一溝渠 110 鄰近第一元件區 104 之一側，且未具有 N 型第二摻雜

區 136 與 N 型第三摻雜區 138 設於其中。並且，位於最遠離第一元件區 104 之 P 型第一摻雜區 132 係位於第一溝渠 110 遠離第一元件區 104 之一側，且未具有 N 型第二摻雜區 136 與 N 型第三摻雜區 138 設於其中。另外，本實施例於形成第一溝渠 110 與第三溝渠 112 之步驟中另於第一元件區 104 與第二元件區 106 之間的 N 型半導體基底 102 中形成一第四溝渠 142，且第四溝渠 142 係與第三溝渠 112 相通，使第四溝渠 142 中亦填有閘極絕緣層 128 與閘極導電層 130。

如第 3 圖所示，在形成溝渠式電晶體元件 114、第一防靜電元件 116、絕緣層 118、導電層 120 以及 N 型汲極摻雜區 122 之步驟之後，接著利用一第一遮罩，同時於各導電層 120 上與於第一元件區 104 中之各 P 型基體摻雜區 134 上分別形成一第一接觸洞 144 以及於位於第四溝渠 142 中之閘極導電層 130 上形成一第三接觸洞 146，使第一接觸洞 144 與第三接觸洞 146 具有相同深度。並且，位於各導電層 120 上之各第一接觸洞 144 與第三接觸洞 146 貫穿層間介電層 123，且位於各 P 型基體摻雜區 134 上之各第一接觸洞 144 貫穿 N 型源極摻雜區 140 與層間介電層 123。於本實施例中，位於最鄰近第一元件區 104 之 P 型第一摻雜區 132 上以及位於最遠離第一元件區 104 之 P 型第一摻雜區 132 上亦分別同時形成一第一接觸洞 144。然後，進行一 P 型離子佈植製程，以分別於最鄰近第一元件區 104 之 P 型第一摻雜區 132 中與最遠離第一元件區 104 之 P 型第一摻雜區 132 中形成一 P 型第一接觸摻雜區 148，並同時於各 P 型基體摻雜區 134 中形成一 P 型第二接觸摻雜區 150。

圖，第 9 圖為本發明第三實施例之功率半導體元件之上視示意圖，第 10 圖為沿著第 9 圖之剖面線 CC' 之剖面示意圖。如第 9 圖與第 10 圖所示，相較於第一實施例，本實施例功率半導體元件 300 之 N 型半導體基底 102 另具有一第三元件區 302，且 N 型半導體基底 102 之上表面 102a 另具有複數個第二溝渠 304，其中第二溝渠 304 位於第三元件區 302 中。並且，本實施例之功率半導體元件 300 另包含有複數個第二防靜電元件 306，設於任二相鄰之第二溝渠 304 之間之 N 型半導體基底 102 中，且各第二防靜電元件 306 包含有一 P 型第四摻雜區 308、一 N 型第五摻雜區 310 以及一 N 型第六摻雜區 312，其中 N 型第五摻雜區 310 設於鄰近第一元件區 104 之 P 型第四摻雜區 308 中，且 N 型第六摻雜區 312 設於遠離第一元件區 104 之 P 型第四摻雜區 308 中。此外，本實施例之功率半導體元件 300 另包含至少一第二連接金屬層 314，設於任二相鄰之第二防靜電元件 306 之間的第二溝渠 304 上，且位於各第二溝渠 304 鄰近第一元件區 104 之一側的第二防靜電元件 306 之 N 型第六摻雜區 312 可藉由第二連接金屬層 314 電性連接位於第二溝渠 304 遠離第一元件區 104 之一側的第二防靜電元件 306 之 N 型第五摻雜區 310。亦即，於任二相鄰之第二防靜電元件 306 中，遠離第一元件區 104 之第二防靜電元件 306 之 N 型第五摻雜區 310 可藉由第二連接金屬層 314 電性連接至鄰近第一元件區 104 之另一第二防靜電元件 306 之 N 型第六摻雜區 312。並且，最遠離第一元件區 104 之第二防靜電元件 306 之 N 型第六摻雜區 312 電性連接閘極金屬層 170，以與作為溝渠式電晶體元件 114 之閘極的閘極導電層 130 電性連接，且最鄰近

第一元件區 104 之第二防靜電元件 306 之 N 型第五摻雜區 310 電性連接至源極金屬層 172，以與作為溝渠式電晶體元件 114 之源極的 N 型源極摻雜區 140 電性連接。因此，第二防靜電元件 306 可以串聯方式電性連接於溝渠式電晶體元件 114 之源極與閘極之間。本發明之功率半導體元件不限於僅具有第二防靜電元件 306 或僅具有第一防靜電元件 116，亦可同時具有第一防靜電元件 116 與第二防靜電元件 306。

此外，本發明之各第二防靜電元件亦不限於利用連接金屬層來電性連接，亦可形成橫跨兩相鄰之第二防靜電元件的接觸插塞。請參考第 11 圖與第 12 圖，第 11 圖為本發明第四實施例之功率半導體元件之上視示意圖，第 12 圖為沿著第 11 圖之剖面線 DD' 之剖面示意圖。如第 11 圖與第 12 圖所示，相較於第三實施例，本實施例之功率半導體元件 400 並未具有第二連接金屬層來電性連接位於第二溝渠 304 兩側之 N 型第五摻雜區 310 與 N 型第六摻雜區 312，而是位於任二相鄰之第二防靜電元件 306 間之各第一接觸插塞 156 另具有複數個第二延伸部 402，延伸至與其相鄰之第二接觸插塞 160 相接觸，以電性連接位於第二溝渠 304 兩側之 N 型第五摻雜區 310 與 N 型第六摻雜區 312。

綜上所述，本發明於由單晶矽所構成之 N 型半導體基底中形成第一防靜電元件，使第一防靜電元件較於多晶矽中所形成之防靜電元件具有較小之電阻，進而提升釋放靜電的能力。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖為習知功率半導體元件之剖面示意圖。

第 2 圖至第 5 圖為本發明第一實施例之具有防靜電元件之功率半導體元件之製作方法示意圖。

第 6 圖為本發明第一實施例之功率半導體元件之上視示意圖。

第 7 圖為本發明第二實施例之功率半導體元件之上視示意圖。

第 8 圖為沿著第 7 圖之剖面線 BB' 之剖面示意圖。

第 9 圖為本發明第三實施例之功率半導體元件之上視示意圖。

第 10 圖為沿著第 9 圖之剖面線 CC' 之剖面示意圖。

第 11 圖為本發明第四實施例之功率半導體元件之上視示意圖。

第 12 圖為沿著第 11 圖之剖面線 DD' 之剖面示意圖。

### 【主要元件符號說明】

10	功率半導體元件	12	半導體基底
14	溝渠式電晶體元件	16	靜電防護元件
18	多晶矽層	20	P 型摻雜區
22	N 型摻雜區	100	功率半導體元件
102	半導體基底	102a	上表面
102b	下表面	104	第一元件區

- |     |          |     |         |
|-----|----------|-----|---------|
| 106 | 第二元件區    | 108 | 汲極連接區   |
| 110 | 第一溝渠     | 112 | 第三溝渠    |
| 114 | 溝渠式電晶體元件 | 116 | 第一防靜電元件 |
| 118 | 絕緣層      | 120 | 導電層     |
| 122 | 汲極摻雜區    | 123 | 層間介電層   |
| 124 | 基材       | 126 | 磊晶層     |
| 128 | 閘極絕緣層    | 130 | 閘極導電層   |
| 132 | 第一摻雜區    | 134 | 基體摻雜區   |
| 136 | 第二摻雜區    | 138 | 第三摻雜區   |
| 140 | 源極摻雜區    | 142 | 第四溝渠    |
| 144 | 第一接觸洞    | 146 | 第三接觸洞   |
| 148 | 第一接觸摻雜區  | 150 | 第二接觸摻雜區 |
| 152 | 第二接觸洞    | 154 | 第四接觸洞   |
| 156 | 第一接觸插塞   | 158 | 源極接觸插塞  |
| 160 | 第二接觸插塞   | 162 | 第三接觸插塞  |
| 164 | 第四接觸插塞   | 166 | 第一汲極金屬層 |
| 168 | 第一連接金屬層  | 170 | 閘極金屬層   |
| 172 | 源極金屬層    | 174 | 第二汲極金屬層 |
| 200 | 功率半導體元件  | 202 | 第一延伸部   |
| 204 | 保護層      | 300 | 功率半導體元件 |
| 302 | 第三元件區    | 304 | 第二溝渠    |
| 306 | 第二防靜電元件  | 308 | 第四摻雜區   |

310 第五摻雜區

312 第六摻雜區

314 第二連接金屬層

400 功率半導體元件

402 第二延伸部



## 七、申請專利範圍：

### 1. 一種具有防靜電元件之功率半導體元件，包含有：

一半導體基底，具有一第一導電類型，該半導體基底具有一第一元件區與一第二元件區，且該半導體基底之一上表面具有至少二第一溝渠，其中該等第一溝渠位於該第二元件區中；

至少一第一防靜電元件，設於該等第一溝渠之間之該半導體基底中，該第一防靜電元件包含有：

一第一摻雜區，具有一第二導電類型，且該第二導電類型不同於該第一導電類型；

一第二摻雜區，具有該第一導電類型，且設於鄰近該第一元件區之該第一摻雜區中；以及

一第三摻雜區，具有該第一導電類型，且設於遠離該第一元件區之該第一摻雜區中；以及

至少一溝渠式電晶體元件，設置於該第一元件區中，且該溝渠式電晶體元件具有一閘極、一源極以及一汲極，其中該第二摻雜區電性連接至該閘極，且該第三摻雜區電性連接至該汲極。

### 2. 如請求項 1 所述之具有防靜電元件之功率半導體元件，其中該至少一第一防靜電元件包含有複數個第一防靜電元件，且該至少二第一溝渠包含有複數個第一溝渠，使各該第一防靜電元件位於二相鄰之該等第一溝渠間之該半導體基底中。

3. 如請求項 2 所述之具有防靜電元件之功率半導體元件，其中位於各該第一溝渠鄰近該第一元件區之一側的該第一防靜電元件之該第三摻雜區係電性連接位於該第一溝渠遠離該第一元件區之一側的該第一防靜電元件之該第二摻雜區。
4. 如請求項 3 所述之具有防靜電元件之功率半導體元件，另包含有至少一第一連接金屬層，設於任二相鄰之該等第一防靜電元件之間的該第一溝渠上，且電性連接鄰接同一該第一溝渠之該第二摻雜區與該第三摻雜區，使該等第一防靜電元件以串聯方式電性連接。
5. 如請求項 3 所述之具有防靜電元件之功率半導體元件，其中最遠離該第一元件區之該第一防靜電元件之該第三摻雜區電性連接該汲極，且最鄰近該第一元件區之該第一防靜電元件之該第二摻雜區電性連接至該閘極，使該等第一防靜電元件電性連接於該閘極與該汲極之間。
6. 如請求項 2 所述之具有防靜電元件之功率半導體元件，另包含有：  
複數個絕緣層，分別覆蓋各該第一溝渠之側壁；以及  
複數個導電層，分別設於各該第一溝渠中，且各該導電層係分別電性連接至與其相對應之該第一溝渠鄰接之該第二摻雜區與該第三摻雜區。

7. 如請求項 6 所述之具有防靜電元件之功率半導體元件，另包含有複數個第一接觸插塞，分別位於各該導電層上。
8. 如請求項 7 所述之具有防靜電元件之功率半導體元件，另包含有複數個第二接觸插塞，分別設於各該第二摻雜區與各該第三摻雜區上。
9. 如請求項 8 所述之具有防靜電元件之功率半導體元件，其中各該第一接觸插塞之一深度深於各該第二接觸插塞之一深度。
10. 如請求項 9 所述之具有防靜電元件之功率半導體元件，其中位於任二相鄰之該等第一防靜電元件間之該第一接觸插塞另具有至少一延伸部，延伸至與其相鄰之該等第二接觸插塞相接觸。
11. 如請求項 1 所述之具有防靜電元件之功率半導體元件，另包含有：
  - 一汲極金屬層，設於該半導體基底上，且電性連接該汲極與該第三摻雜區；以及
  - 一閘極金屬層，設於該半導體基底上，且電性連接該閘極與該第二摻雜區。
12. 如請求項 1 所述之具有防靜電元件之功率半導體元件，其中該半導體基底另具有一第三元件區，位於該第一元件區與該第二元

件區之間，且該半導體基底之一上表面另具有至少二第二溝渠，位於該第三元件區中，而該功率半導體元件另包含有：

至少一第二防靜電元件，設於該等第二溝渠之間之該半導體基底中，且該第二防靜電元件包含有：

一第四摻雜區，具有該第二導電類型；

一第五摻雜區，具有該第一導電類型，且設於鄰近該第一元件區之該第四摻雜區中；以及

一第六摻雜區，具有該第一導電類型，且設於遠離該第一元件區之該第四摻雜區中。

13. 一種具有防靜電元件之功率半導體元件，包含有：

一半導體基底，具有一第一導電類型，該半導體基底具有一第一元件區與一第三元件區，且該半導體基底之一上表面具有至少二第二溝渠，其中該等第二溝渠位於該第三元件區中；

至少一第二防靜電元件，設於該等第二溝渠之間之該半導體基底中，該第二防靜電元件包含有：

一第四摻雜區，具有一第二導電類型，且該第二導電類型不同於該第一導電類型；

一第五摻雜區，具有該第一導電類型，且設於鄰近該第一元件區之該第四摻雜區中；以及

一第六摻雜區，具有該第一導電類型，且設於遠離該第一元件區之該第四摻雜區中；以及

至少一溝渠式電晶體元件，設置於該第一元件區中，且該溝渠式

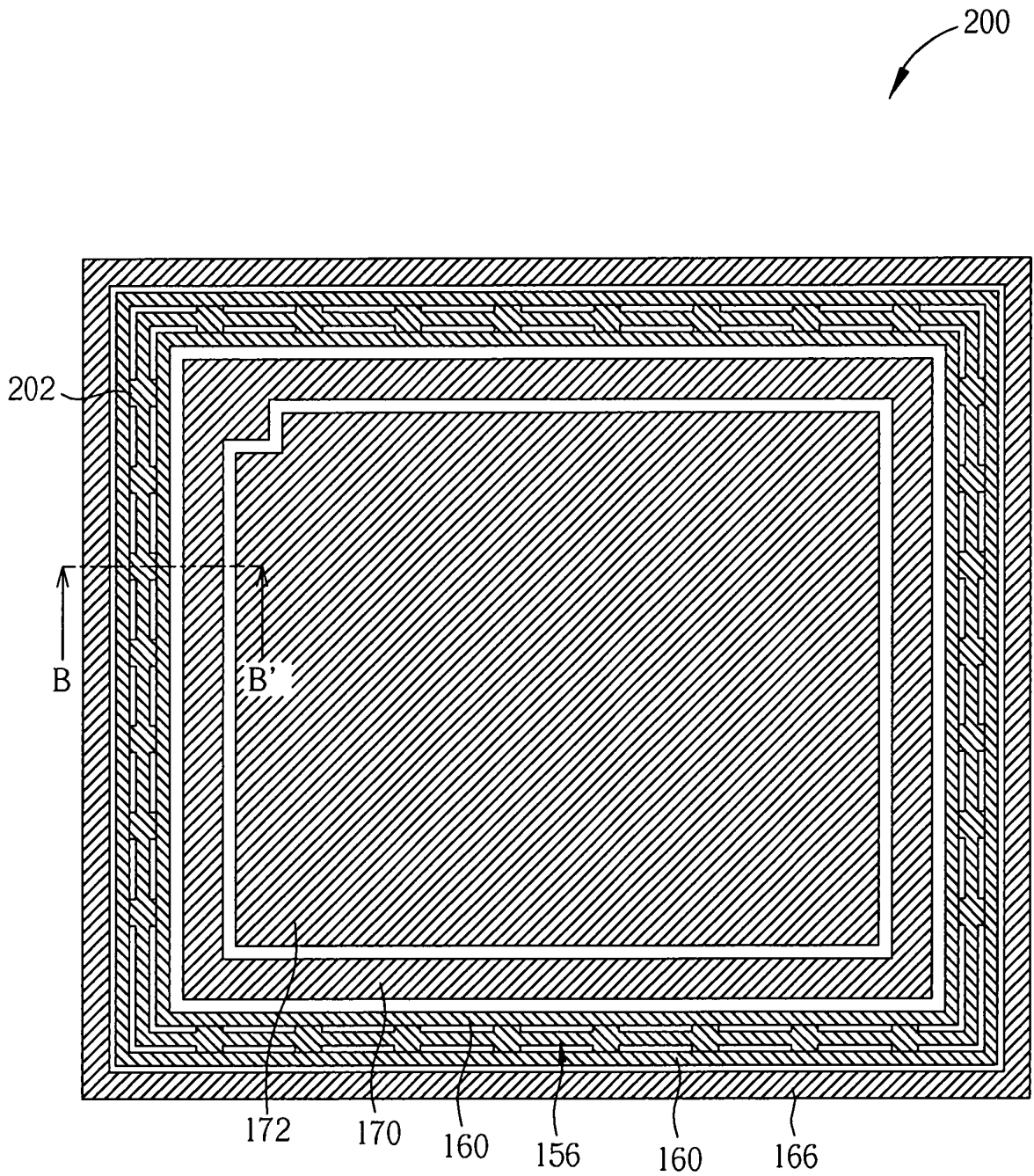
電晶體元件具有一閘極、一源極以及一汲極，其中該第五摻雜區電性連接至該源極，且該第六摻雜區電性連接至該閘極。

14. 如請求項 13 所述之具有防靜電元件之功率半導體元件，其中該至少一第二防靜電元件包含有複數個第二防靜電元件，且該等第二防靜電元件係以串聯方式電性連接於該源極與該閘極之間。
15. 如請求項 14 所述之具有防靜電元件之功率半導體元件，其中位於各該第二溝渠鄰近該第一元件區之一側的該第二防靜電元件之該第六摻雜區係電性連接位於該第二溝渠遠離該第一元件區之一側的該第二防靜電元件之該第五摻雜區。
16. 如請求項 15 所述之具有防靜電元件之功率半導體元件，另包含有至少一第二連接金屬層，設於任二相鄰之該等第二防靜電元件之間的該第二溝渠上，且電性連接鄰接同一該第二溝渠之該第五摻雜區與該第六摻雜區，使該等第二防靜電元件以串聯方式電性連接。
17. 如請求項 14 所述之具有防靜電元件之功率半導體元件，其中最遠離該第一元件區之該第二防靜電元件之該第六摻雜區電性連接該汲極，且最鄰近該第一元件區之該第二防靜電元件之該第五摻雜區電性連接至該閘極。

18. 一種具有防靜電元件之功率半導體元件之製作方法，包含有：
- 提供一半導體基底，其具有一第一導電類型，該半導體基底具有一第一元件區以及一第二元件區，其中位於該第二元件區中之該半導體基底之一上表面具有至少二第一溝渠；
- 於該第一元件區中形成至少一溝渠式電晶體元件以及於該第二元件區之該半導體基底中形成至少一第一防靜電元件，其中該第一防靜電元件包含有一設於該等第一溝渠之間的第一摻雜區、一設於鄰近該第一元件區之該第一摻雜區中之第二摻雜區以及一設於遠離該第一元件區之該第一摻雜區中之第三摻雜區，且該溝渠式電晶體元件具有一閘極、一汲極與一源極；
- 於該半導體基底上形成一層間介電層；
- 於該第一元件區中形成至少一第一接觸洞以及於該第二摻雜區與該第三摻雜區上分別形成一第二接觸洞，其中各該第二接觸洞分別暴露出該第二摻雜區與該第三摻雜區，並貫穿該層間介電層，且該第一接觸洞貫穿該源極與該層間介電層；以及
- 於該第一元件區之該第一接觸洞中形成一源極接觸插塞，且於各該第二接觸洞中分別形成一第二接觸插塞。
19. 如請求項 18 之具有防靜電元件之功率半導體元件之製作方法，其中形成該溝渠式電晶體元件之步驟另包含有分別於該第二元件區之各該第一溝渠中形成一絕緣層與一導電層。

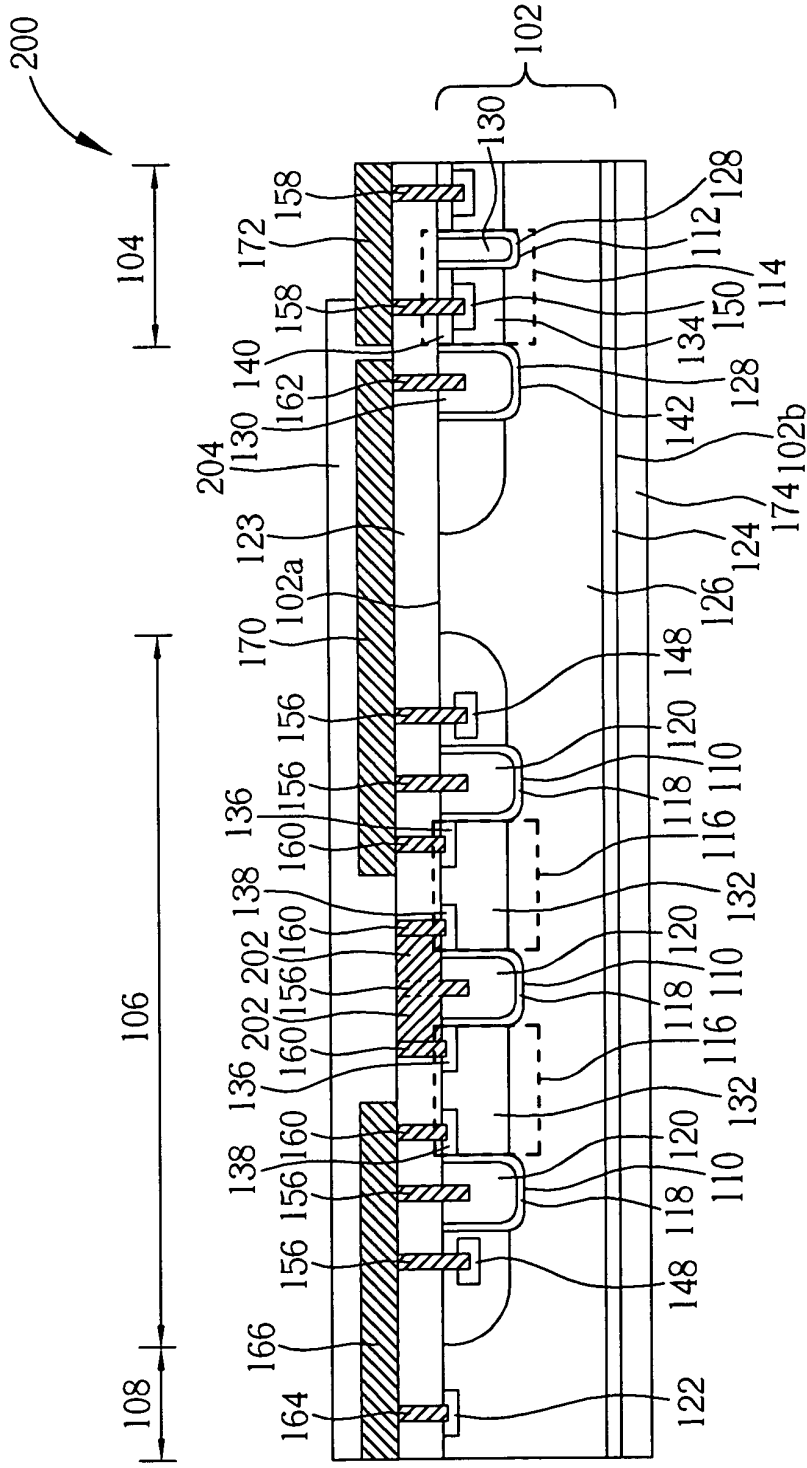
20. 如請求項 18 之具有防靜電元件之功率半導體元件之製作方法，  
其中該第二接觸洞之深度小於該第一接觸洞之深度。

八、圖式：

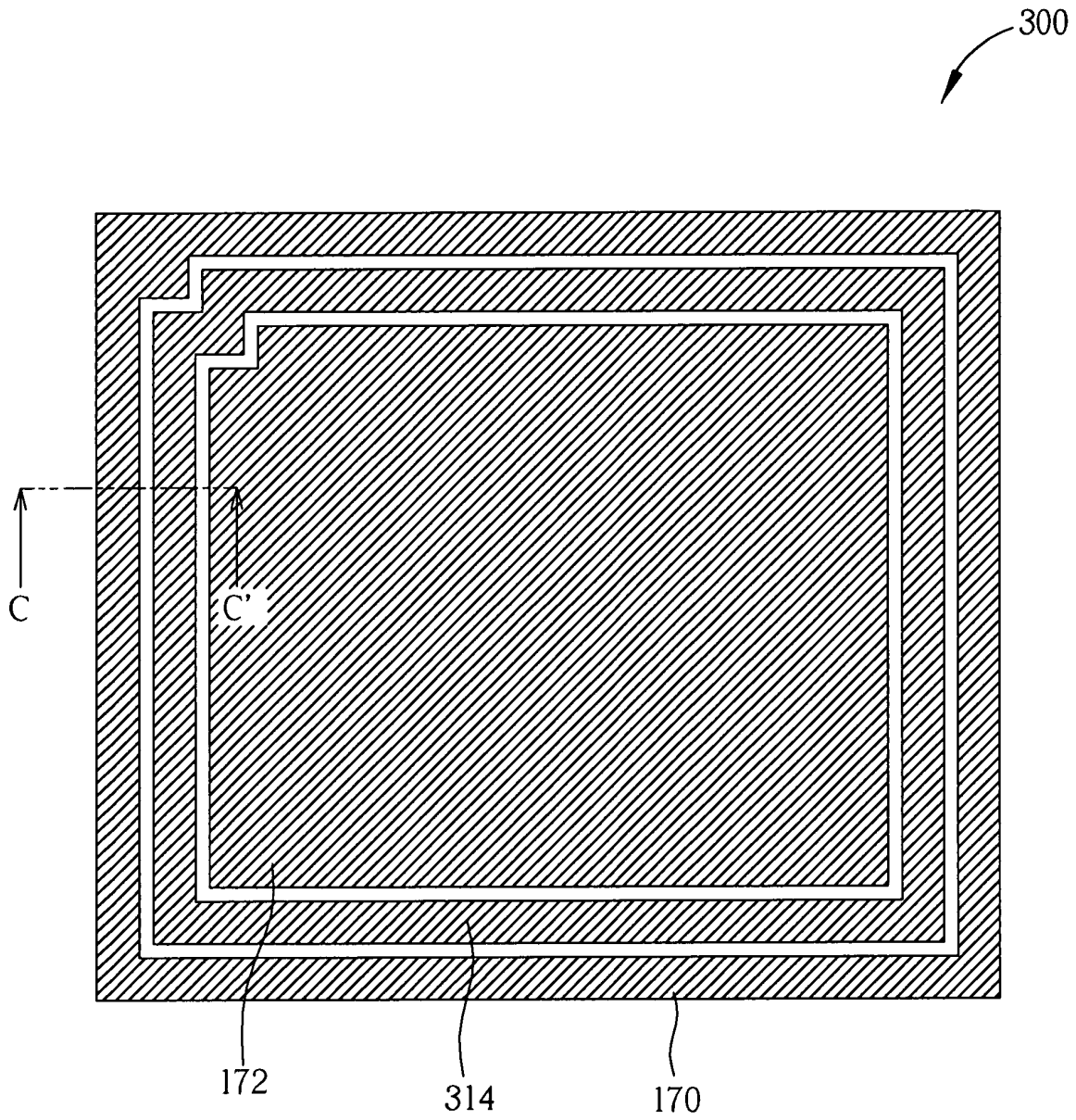


第7圖

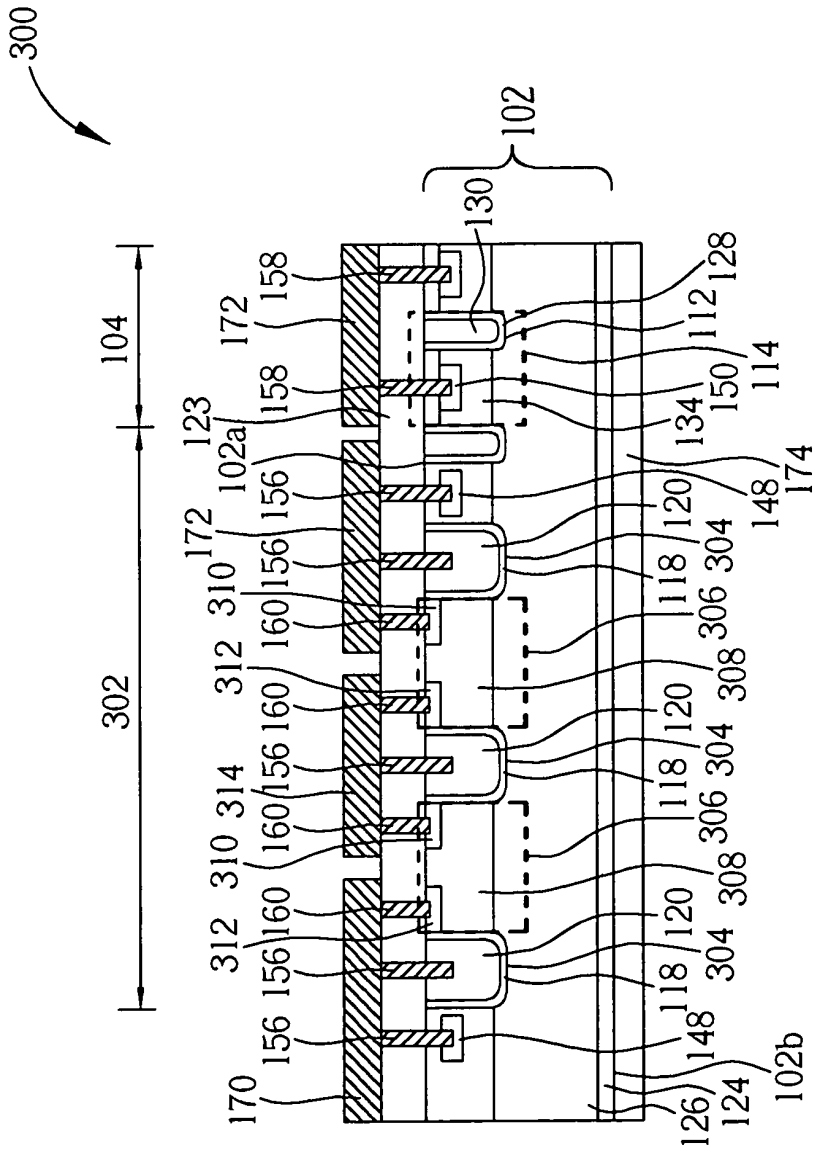




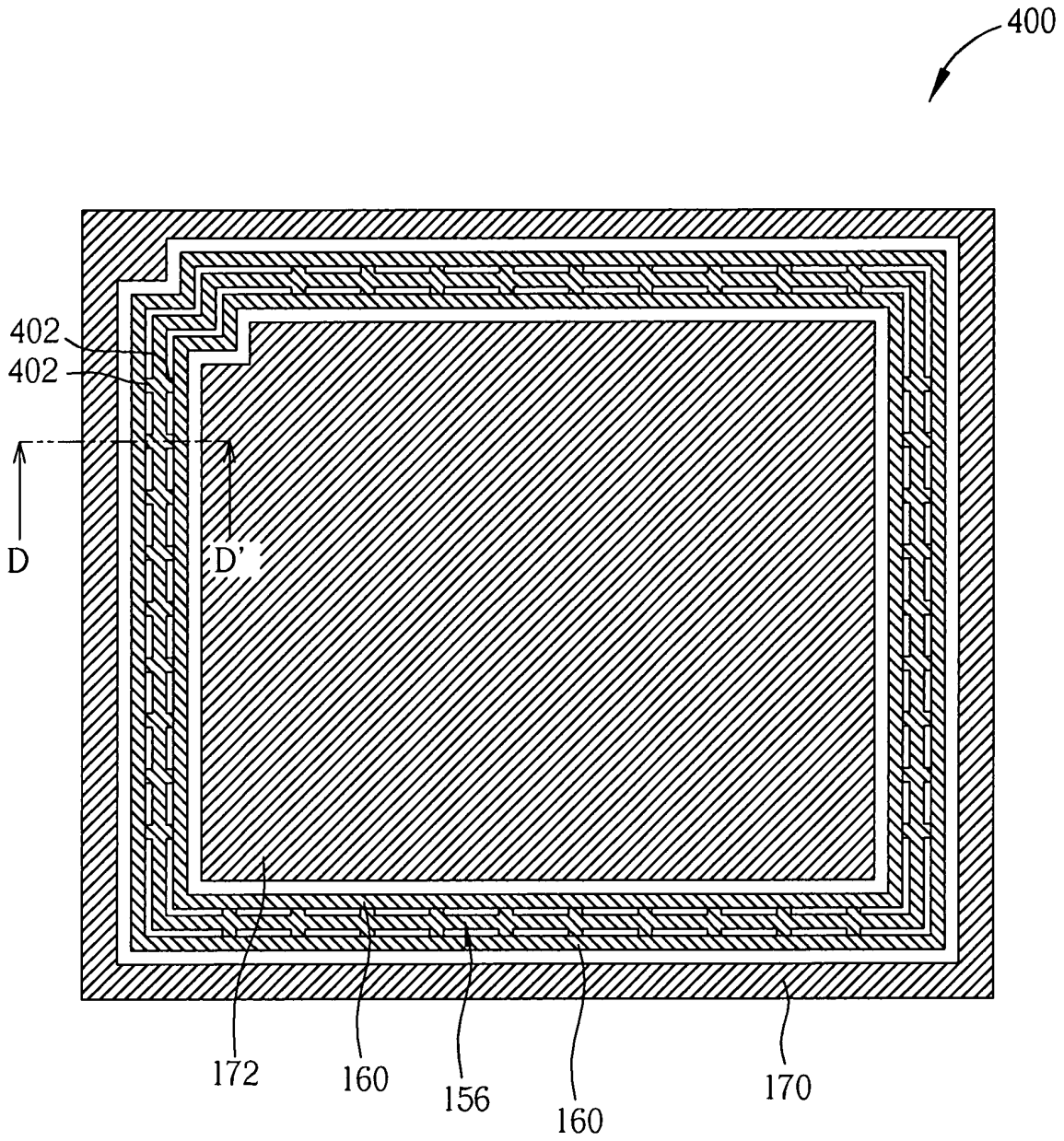
第8圖



第9圖



第10圖



第11圖

