



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년04월24일  
 (11) 등록번호 10-1138682  
 (24) 등록일자 2012년04월16일

(51) 국제특허분류(Int. Cl.)  
*H01P 1/18* (2006.01)  
 (21) 출원번호 10-2008-0003607  
 (22) 출원일자 2008년01월11일  
 심사청구일자 2008년01월11일  
 (65) 공개번호 10-2008-0066615  
 (43) 공개일자 2008년07월16일  
 (30) 우선권주장  
 JP-P-2007-00004588 2007년01월12일 일본(JP)  
 (56) 선행기술조사문헌  
 JP18019823 A\*  
 KR1019990006532 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**르네사스 일렉트로닉스 가부시키키가이샤**  
 일본 가나가와켄 가와사키시 나카하라쿠 시모누마  
 베 1753  
 (72) 발명자  
**아츠모 다카오**  
 일본 가나가와켄 가와사키시 나카하라쿠 시모누마  
 베 1753 엔이씨일렉트로닉스 가부시키키가이샤 나이  
**미즈타니 히로시**  
 일본 가나가와켄 가와사키시 나카하라쿠 시모누마  
 베 1753 엔이씨일렉트로닉스 가부시키키가이샤 나이  
 (74) 대리인  
**특허법인코리아나**

전체 청구항 수 : 총 8 항

심사관 : 안병일

(54) 발명의 명칭 **이상기 및 이를 구비한 반도체 장치**

**(57) 요약**

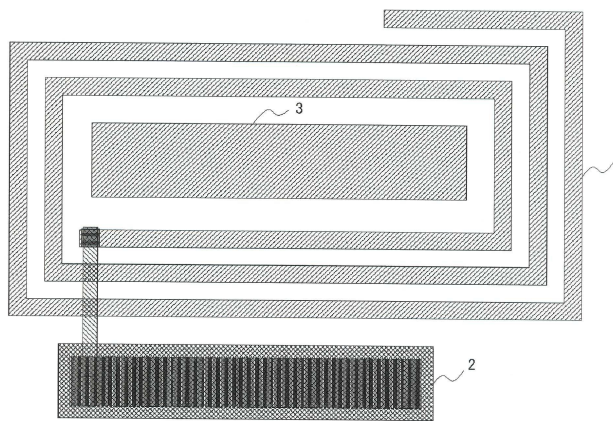
(과제)

RMS 이상 오차를 향상시키는 이상기를 제공하는 것이다.

(해결 수단)

FET의 오프 용량과 거기에 병렬 접속된 인덕터의 공진을 이용하는 스위치와, LPF와 HPF를 포함하는 마이크로파 이상기에 있어서, 상기 공진부는, 상기 FET와 병렬로, 인덕터(1)와 MIM 커패시터(2)의 직렬 회로가 배치되고, LC 직렬 접속 회로의 레이아웃에 있어서, 인덕터는 비최밀 구조이나, 인덕터 중앙부의 빈 공간에 금속 부재(3) 또는 유전체 기판의 비유전율 보다 높은 유전체가 배치된다.

**대표도** - 도1



**특허청구의 범위**

**청구항 1**

유전체 기판과,

FET의 오프 용량과, 상기 FET의 오프 용량에 병렬 접속된 인덕터의 공진을 이용하는 제 1, 제 2 쌍의 스위치와,

상기 제 1 쌍의 스위치간에 접속된 저역 통과 필터 및 상기 제 2 쌍의 스위치간에 접속된 고역 통과 필터를 포함하는 이상기로서,

상기 스위치 각각은,

상기 유전체 기판의 표면에 상기 FET와 병렬로, 2차원 배치된, 상기 인덕터와 MIM (Metal Insulator Metal) 커패시터의 LC 직렬 회로를 포함하고,

상기 LC 직렬 회로에 있어서,

비최밀 구조로 레이아웃된 상기 인덕터 중앙부의 빈 영역에, 금속 부재 또는 상기 유전체 기판의 비유전율보다 높은 유전체 재료가 배치되어 있는 것을 특징으로 하는 이상기.

**청구항 2**

유전체 기판과,

FET의 오프 용량과, 상기 FET의 오프 용량에 병렬 접속된 인덕터의 공진을 이용하는 제 1, 제 2 쌍의 스위치와,

상기 제 1 쌍의 스위치간에 접속된 저역 통과 필터 및 상기 제 2 쌍의 스위치간에 접속된 고역 통과 필터를 포함하는 이상기로서,

상기 스위치 각각은,

상기 유전체 기판의 표면에 상기 FET와 병렬로, 2차원 배치된, 상기 인덕터와 MIM (Metal Insulator Metal) 커패시터의 LC 직렬 회로를 포함하고,

상기 LC 직렬 회로에 있어서,

비최밀 구조로 레이아웃된 상기 인덕터 중앙부의 빈 영역에, 상기 MIM 커패시터가 배치되어 있는 것을 특징으로 하는 이상기.

**청구항 3**

FET와 병렬로, 인덕터와 커패시터의 직렬 회로가 유전체 기판 상에 배치되어 이루어지는 공진형 스위치를 구비하고, 저역 통과 필터/고역 통과 필터 전환형 이상기로서,

중앙부에 빈 영역을 갖는 평면형 인덕터의 상기 빈 영역에, 금속 부재, 또는 상기 유전체 기판의 비유전율보다 높은 비유전율의 유전 부재가 배치되어 있는 것을 특징으로 하는 이상기.

**청구항 4**

중앙부에 빈 영역을 갖는 평면형 인덕터와 커패시터의 LC 공진 회로가 공진형 스위치를 구성하고,

상기 인덕터의 빈 영역에, 다른 도전 부재와 접속되지 않는 상태의 금속 부재가 배치되어 있는 것을 특징으로 하는 이상기.

**청구항 5**

중앙부에 빈 영역을 갖는 평면형 인덕터와 커패시터의 LC 공진 회로가 공진형 스위치를 구성하고,

상기 인덕터의 빈 영역에, 상기 커패시터가 배치되어 있는 것을 특징으로 하는 이상기.

**청구항 6**

제 1 항에 기재된 이상기를 구비한, 반도체 장치.

**청구항 7**

제 2 항에 기재된 이상기를 구비한, 반도체 장치.

**청구항 8**

제 1 항에 있어서,

상기 금속 부재 또는 상기 유전체 재료의 상기 배치는 상기 LC 직렬 회로의 Q 값이 낮아지도록 하는 것이며,

상기 금속 부재는 다른 도전 부재와 접촉되지 않은 상태인 것을 특징으로 하는 이상기.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 장치에 관한 것으로, 특히 마이크로파 이상기 (移相器) 에 관한 것이다.

**배경기술**

[0002] 이상기에는 몇 개의 종류가 존재하는데, 길이가 상이한 50Ω 선로를 SPDT (Single-Pole Dual Throw) 스위치 (단극 2 접점 스위치) 2 개로 접속하고, 스위치 전환에 의해 얻어지는 양 선로의 전기장 차를 이상량으로 사용하는 선로 전환형, 집중 정수의 L 이나 C, 및 SPDT 스위치를 복수 개 조합하여, 전기적으로 LC 형 저역 통과 필터 (LPF) 와 고역 통과 필터 (HPF) 를 전환하는 것에 의한 위상차를 이용하는 HPF/LPF 전환형 등이 있다. 또한, 스위치부도 시리즈의 FET (Field Effect Transistor) 와 셉트의 FET 병용한 시리즈 셉트 타입, FET 와 병렬로 인덕터를 접속한 공진 타입 등의 종류가 있다. 이들 중에서, 후술하는 바와 같이, 본 발명에서는 공진 타입의 스위치와 HPF/LPF 전환형을 이용하고 있다.

[0003] 도 9 에 나타내는 바와 같은 필터의 경우, LPF 가 온일 때,

$$S_{21} = \frac{2}{2(1 - B_N X_N) + j(B_N + 2X_N - B_N X_N^2)} \dots (1)$$

[0004] 상기 식 (1) 에 있어서,  $X_N$  과  $B_N$  은 정규화된 리액턴스와 서셉턴스이다.  
 [0005] 통과 특성  $S_{21}$  의 위상은 지연되며, 이것을  $\phi_1$  로 하면, 다음 식 (2) 에 의해 부여된다.

$$\Phi_1 = \tan^{-1} \left[ -\frac{B_N + 2X_N - B_N X_N^2}{2(1 - B_N X_N)} \right] \dots (2)$$

[0007] 반대로 SPDT 스위치부의 HPF 측의 FET 가 온일 때,  $X_N$  에  $-X_N$ ,  $B_N$  에  $B_N$  을 대입하여,

$$S_{21} = \frac{2}{2(1 - B_N X_N) + j(-B_N - 2X_N + B_N X_N^2)} \dots (3)$$

[0009]

[0010] 을 얻는다.

[0011] 이 때 통과 특성 S21 의 위상은 진행되며, 이것은  $\phi_2$  로 한다.

$$\Phi_2 = \tan^{-1} \left[ -\frac{-B_N - 2X_N + B_N X_N^2}{2(1 - B_N X_N)} \right]$$

. . . (4)

[0012]

[0013] 이상량은, 이상  $\phi_1$  과  $\phi_2$  의 차이로 정의되며, 다음 식 (5) 로 나타내어진다.

$$\Delta \Phi = \Phi_1 - \Phi_2 = -\tan^{-1} \left[ -\frac{B_N + 2X_N - B_N X_N^2}{2(1 - B_N X_N)} \right]$$

. . . (5)

[0014]

[0015] 이와 같은 이상기에 있어서, HPF 측이 온되고, LPF 측이 오프된 경우에, 스위치부의 인덕터가 저저항 배선에 의해 형성되어 기생 저항이 작으면, 이상량의 주파수 특성에 공진에서 기인하는 기복 (요철?혹) 이 발생한다.

[0016] 이것이

$$RMS \text{ 이상오차} = \sqrt{\frac{\sum_{i=1}^n (\Delta \Phi - \Phi_0)^2}{n}}$$

. . . (6)

[0017]

[0018] (단, n 은 주파수 포인트수,  $\Phi_0$  은 규정된 이상량) 으로 표시되는 RMS 이상 오차를 열화시켰다.

[0019] 도 10 은, 특허문헌 1 에 개시된 이상기의 구성을 나타내는 도면이다. 도 10 에 나타내는 바와 같이, 종래의 이상기는, FET 에 인덕터를 병렬 접속한 2 개의 SPDT 스위치 (11c, 11d) 를 입력부와 출력부에 배치하고, 하이패스 필터 (HPF) (12) 및 로우패스 필터 (LPF) (13) 를 그 사이에 접속하여 구성된다. HPF (12) 측의 2 개의 FET (Q1, Q3) 와 LPF 측 (13) 의 2 개의 FET (Q5, Q7) 는, 게이트 바이어스에 의해 일방의 2 개가 온일 때에는 다른 일방의 2 개는 오프되지만, 오프 측의 FET 의 차단 특성을 보다 향상시키고, 온 측의 통과 특성을 향상시키기 위해서, 인덕터 (L21, L22, L23, L24) 를 각각 FET (Q1, Q5, Q3, Q7) 에 병렬 접속하여, 원하는 대역에서 병렬 공진을 일으키도록 되어 있다.

[0020] 그리고, FET 의 DC 특성을 측정하기 위해, 인덕터에 직렬로 커패시터를 넣는 것이 필요한데, 직렬 접속의 인덕터와 커패시터의 레이아웃 구성은, 통상, 도 11 에 나타내는 바와 같이, Q 값을 높이기 위해 인덕터를 비최밀 (非最密) 구조로 하고, 또한 MIM (Metal Insulator Metal) 커패시터 (21) 를 인덕터 (스파이럴 인덕터) (22) 의 밖에 배치하는 레이아웃이다. 도 11 은, 특허문헌 2 에 종래예로서 기재되어 있는, LC 직렬 접속 모놀리식 필터 레이아웃이다. 커패시터 (21) 와 인덕터 (스파이럴 인덕터) (22) 는 반도체 기판 상에 평면적으로 배치되어 있다.

[0021] 특허문헌 1 일본 공개특허공보 2006-19823호

[0022] 특허문헌 2 일본 공개특허공보 평7-66043호

[0023] 비특허문헌 1 Shibani K.Koul and Bharathi Bhat, "Microwave and Millimeter Wave Phase Shifters Volume II Semiconductor and Delay Line Phase Shifters", pp412-413, Artech House, 1991

**발명의 내용**

**해결 하고자하는 과제**

[0024] 도 10 의 구성에서는, HPF (12) 측의 2 개의 FET (Q1, Q3) 와 LPF (13) 측의 2 개의 FET (Q5, Q7) 는, 게이트

바이어스에 의해, HPF (12) 측과 LPF (13) 측 중 일방의 2 개가 온일때에는, 타방의 2 개는 오프시켜, 전환하여 사용한다. 온 측의 통과 특성을 향상시키기 위해서, 오프 측의 FET 에 인덕터를 병렬 접속하고, 원하는 대역에서 병렬 공진을 일으키게 함으로써, 고임피던스 상태로 하여, 차단 특성을 보다 향상시키고 있다. 이로 인해 원하는 삽입 손실, 이상량을 얻을 수 있다.

[0025] 도 11 의 구성에서는, 반도체 기판 상에 형성된 비최밀 인덕터 (스파이럴 인덕터) (22) 와, 원하는 대역에서는 임피던스가 거의 0 이 되는 정도의 면적의 MIM (Metal Insulator Metal) 커패시터 (21) 가 직렬 접속되어 있다. DC 에 있어서는, 인덕터에 흐르는 전류를 차단하여, FET 의 DC 특성을 측정할 수 있다. 온 시의 FET 는 저항으로 근사시킬 수 있고, 오프시의 FET 는 용량으로 근사시킬 수 있다.

[0026] 또한, 인덕터의 기생 저항을 고려하여 인덕터와 직렬로 배치하는 것으로 하고, HPF 측이 온되고, LPF 측이 오프 되는 경우의 이상기는, 등가 회로로 표시하면, 도 12 와 같다. 온 시의 FET 를 등가적으로 표시한 저항 (R1) 과, 저항 (R1) 에 병렬로 접속된 인덕터 (L1) 와 그 기생 저항 (R2) 을 갖는, 2 세트의 온 시 스위치부 사이에, 2 개의 시리즈 커패시터 (C2) 와, 이들 사이에 션트 인덕터 (L2) 를 배치하는 HPF 를 접속한 회로와, 오프시의 FET 를 등가적으로 표시한 커패시터 (C1) 와, 커패시터 (C1) 와 병렬로 접속된 인덕터 (L1) 와 그 저항 성분 (R2) 을 갖는, 2 세트의 오프시 스위치부 사이에, 2 개의 시리즈 인덕터 (L3) 와, 이들 사이에 션트 커패시터 (C3) 를 배치하는 LPF 를 접속한 회로가 입력부 및 출력부에 연결되어 있다.

[0027] LPF 측을 입력측에서 본 임피던스를 계산한다. 이 회로는, 필터에 대해 대조되기 때문에, 도 12 는, 도 13 에 나타내는 바와 같은 등가 회로로 대응 가능하다. 인덕터는 저저항이며, R2 = 0 과 근사하면,

$$Z = j\left(\frac{\omega L_1}{1 - \omega^2 L_1 C_1} + \omega L_3 - \frac{2}{\omega C_3}\right) \dots (7)$$

[0028] 에서  
[0029]

$$|Z| = \frac{\omega L_1}{1 - \omega^2 L_1 C_1} + \omega L_3 - \frac{2}{\omega C_3} \dots (8)$$

[0030] 여기에서, 용량 (C1) 과, 직렬 접속된 L1 과 R2 가 병렬 접속된 병렬 공진 회로 (도 14 참조) 에 있어서, 공진 주파수  $\omega_0$  을 계산한다.

[0032] 어드미턴스 (Y) 는,

$$Y = \frac{1}{R_2 + j\omega L_1} + j\omega C_1 = \frac{R_2}{R_2^2 + \omega^2 L_1^2} + j\omega\left(C_1 - \frac{L_1}{R_2^2 + \omega^2 L_1^2}\right) \dots (9)$$

[0033] 이며, 허부가 0 일 때가 공진시이기 때문에,  
[0034]

$$\omega_0 = \sqrt{\frac{1}{L_1 C_1} - \frac{R_2^2}{L_1^2}} \dots (10)$$

[0035] 이 된다.  
[0036]

[0037] 이 관계에서,  $\omega_0$  을 일정하게 하는 조건은,

$$C_1 = \frac{L_1}{R_2^2 + \omega_0^2 L_1^2}$$

... (11)

[0038]

[0039] 이것을  $|Z|$  의 식에 대입하여 계산한다.

[0040]  $f_0 = 10\text{GHz}$  ( $= \omega_0/2\pi$ ),  $L_1 = 1\text{nH}$ ,  $R_2 = 0\Omega$ ,  $L_3 = 0.03\text{nH}$ ,  $C_3 = 0.2\text{pF}$  인 경우, 도 15 에 나타내는 바와 같이, 8.4GHz 에서 쇼트되는 것을 알 수 있다.

[0041] 본래, 오프 측, 즉, 도 12 에 있어서, LPF 측은, 높은 임피던스이어야 하지만, 이와 같이 쇼트되기 때문에, 온 측, 즉, HPF 측의 통과 특성이 열화되고, 이상량도 공진에서 기인하는 미소 기복 (요철?혹) 을 갖는 것을 본원 발명자들은 처음으로 알아내었다. 이 사실은, 우리가 검색한 어느 문헌에도 기재되어 있지 않다. 그리고, 이것이 RMS 이상 오차를 열화시키는 원인이다.

[0042] FET 의 DC 특성을 측정 가능하게 하기 위해, 인덕터에 직렬로 커패시터를 접속하는 레이아웃은, 도 16 에 나타내는 바와같이, 비최밀 인덕터 (1) 에 커패시터 (2) 를 외측에 레이아웃하였다.

[0043] 이 레이아웃 구성에서는, 도 8 의 비교예에서 「중래예」로서 나타내는 바와 같이, Q 값이 높기 때문에, 이상량의 주파수 특성에 공진 기인의 불필요한 기복이 발생되었다.

**과제 해결수단**

[0044] 본원에 개시되는 발명은, 상기 과제를 해결하기 위해, 개략 이하와 같은 구성이다.

[0045] 본 발명의 제 1 측면 (어스펙트) 에 관련된 반도체 장치는, FET 의 오프 용량과 거기에 병렬 접속된 인덕터의 공진을 이용하는 스위치와, 저역 통과 필터와 고역 통과 필터를 포함하는 마이크로파 이상기에 있어서, 상기 공진부는, 상기 FET 와 병렬로, 인덕터와 MIM 커패시터의 직렬 회로가 배치되고, LC 직렬 접속 회로의 레이아웃에 있어서, 인덕터는 비최밀 구조인데, 인덕터 중앙부의 빈 공간에 금속 또는 유전체 기판의 비유전율보다 높은 유전체가 배치되어 있다.

[0046] 본 발명의 제 2 측면에 관련된 반도체 장치는, FET 의 오프 용량과 거기에 병렬 접속된 인덕터의 공진을 이용하는 스위치와, 저역 통과 필터와 고역 통과 필터를 포함하는 마이크로파 이상기에 있어서, 공진부는 FET 와 병렬로, 인덕터와 MIM 커패시터의 직렬 회로가 배치되고, LC 직렬 접속 회로의 레이아웃에 있어서, 인덕터는 비최밀 구조이며, 상기 인덕터 중앙부의 빈 공간에 MIM 커패시터가 배치되어 있다.

[0047] 본 발명에 의하면, 인덕터와 커패시터를 직렬 접속하는 레이아웃에 있어서, 인덕터는 최밀 구조로 하고, 커패시터를 외측에 배치하거나, 혹은 인덕터가 비최밀이어도 그 내측 영역에 커패시터를 배치하는 구성의 반도체 장치가 제공된다.

**효과**

[0048] 본 발명에 의하면, LC 직렬 공진의 Q 값이 작아지고, LPF 측 (오프 측) 의 쇼트를 저지할 수 있기 때문에, 온 측의 통과 특성 mag (S21) 가 열화되지 않고, phase (S21) 에 발생하는 공진 기인의 미소 기복 (요철?혹) 도 축소되어, RMS 이상 오차를 향상시킨다.

**발명의 실시를 위한 구체적인 내용**

[0049] 상기한 본 발명에 대해서 한층 더 상세히 서술하기 위해 첨부 도면을 참조하여 이하에 설명한다. 본 발명은, FET 의 오프 용량과 거기에 병렬 접속된 인덕터의 공진을 이용하는 스위치와, LPF 와 HPF 를 포함하는 마이크로파 이상기 (예를 들어, 도 10 참조) 에 있어서, 공진부는, FET 와 병렬로, 인덕터와 커패시터의 직렬 회로가 배치되고, LC 직렬 접속 회로의 레이아웃에 있어서, 비최밀 구조로 된 인덕터 중앙부의 빈 공간에 금속 또는 유전체 기판의 비유전율보다 높은 유전체가 배치되어 있다.

[0050] 이상기에 있어서의 위상의 주파수 특성의 불연속점 발생은, HPF 측이 온, LPF 측이 오프시에, LPF 측의 FET 의

오프 용량 (도 12 의 C1), 스위치부의 인덕터의 인덕턴스 (L1), LPF 의 MIM (Metal Insulator Metal) 셉트 커패시터 (도 12 의 C3) 와, LPF 의 시리즈 인덕터 (L3) 로 형성되는 공진 회로에 의해, LPF 측이 쇼트 되는 것이 원인이다. 본 발명은, 이것을 해소하기 위한 수단으로서 스위치부 인덕터의 저항을 크게 하고, 이상기에 있어서의 FET 의 DC 특성을 측정할 수 있게 하기 위해, FET 와 병렬 접속되어 있는 인덕터 (예를 들어, 도 10 의 Q1, Q5, Q3, Q7 에 각각 병렬로 접속되는 인덕터 L21, L22, L23, L24) 에, DC 컷용 MIM 커패시터를 접속하고, Q 값을 내리기 위해서 인덕터의 레이아웃을 내측의 빈 공간을 없애도록 하고 있다. 이하 몇 가지의 실시예에 의거하여 설명한다.

[0051] 실시예

[0052] 실시예 1

[0053] 도 1 에 나타내는 바와 같이, 본 실시예에 있어서는, 비취밀 인덕터 (1) 의 외측에 커패시터 (2) 를 배치하는 레이아웃 구성에 있어서, 인덕터 (1) 의 중앙부의 빈 공간에 전기적으로 어디에도 접속되어 있지 않은 금속 부재 (3) (또는, 비유전율이 큰 유전체) 가 배치되어 있다.

[0054] 「비취밀」이란, 인덕터 (1) 의 가장 내측의 세그먼트의 길이는 배선할 수 있는 최대의 길이보다는 짧고, 그 세그먼트의 양측에 있는 배선과의 간격이 동일하거나, 또는 인덕터의 가장 내측의 세그먼트의 양측에 있는 배선 중, 전류의 방향이 인덕터의 가장 내측의 세그먼트의 전류 방향과 반대인 배선과의 간격이 넓고, 전류의 방향이 인덕터의 가장 내측의 세그먼트의 전류 방향과 동일한 배선과의 간격은 좁게 하는 레이아웃을 말한다.

[0055] 또한, 도 1 에 있어서, 인덕터 (1) 의 중앙부의 빈 공간에 배치되는 금속 부재 (3) 는, 평면형 박막 인덕터에 대응시켜, 박막 금속으로 이루어지고, 그 평면 형상은, 인덕터 (1) 의 중앙부의 빈 공간의 내측 형상에 대응시켜 직사각형 형상으로 되어 있는데, 본 발명은 물론 이러한 형상 등에 제한되지 않는다.

[0056] 비취밀 구조의 인덕터 (1) 는, 중앙에 빈 영역이 있는데, 이 면적을 S 로 한다.

[0057] 인덕터 (1) 의 일방으로부터 전력이 공급된 경우를 전압 일정으로 전류 (I) 가 흘러들어 온 경우로 생각한다. 인덕터 내측의 빈 영역 (S) 에는, 패러데이의 전자 유도의 법칙으로부터, 자속  $\phi$  로서

$$V = - \frac{d\Phi}{dt} \dots (12)$$

[0058] 의 기전력이 발생한다.  
 [0059]

[0060] 여기에서,  $\phi$  는 자속 밀도를 B (=  $\mu H$ , H 는 자계,  $\mu$  는 투자율) 로 하고, 자속  $\phi = BS$  이기 때문에,

$$V = - \frac{d(BS)}{dt} \dots (13)$$

[0061] 이다.  
 [0062]

[0063] 이 기전력에 의한 인덕터의 저항의 증감을  $\Delta R$  로 하면

$$\Delta R = \frac{V}{I} = - \frac{1}{I} \frac{d\Phi}{dt} \dots (14)$$

[0064] 이고, ? 는 원래의 저항값보다 내려가는 것을 의미한다.  
 [0065]

[0066] 한편, Q 값은

$$Q = \frac{\omega L}{R + \Delta R} = \frac{\omega L}{R - \frac{1}{I} \frac{d\Phi}{dt}}$$

· · · (15)

[0067]

[0068] 이 되어, 원래의 값보다 커지는 것을 알 수 있다.

[0069] 따라서, 도 8 의 「종래예」의 데이터에 나타내는 바와 같이, Q 값이 높아진다.

[0070] 본 발명은, 도 1 에 나타내는 바와 같이, 면적 (S) 이 거의 없기 때문에, 자속  $\Phi = BS$  가 감축되고, 식 (14) 에서,  $\Delta R$  은 거의 0 이 되고, 식 (15) 에 있어서 분모  $R + \Delta R$  은 감소되지 않고, Q 값은 낮은 그대로이다.

[0071] 실시예 1 로서,

[0072] 도 2 에는 이상기의 LPF 측이 온 시의 통과 특성의 크기,

[0073] 도 3 에는 이상기의 HPF 측이 온 시의 통과 특성의 크기,

[0074] 도 4 에는 이상기의 LPF 측이 온 시의 통과 특성의 위상,

[0075] 도 5 에는 이상기의 HPF 측이 온 시의 통과 특성의 위상,

[0076] 도 6 에는 도 4 와 도 5 의 차이, 즉, 이상량을 나타낸다.

[0077] 도 2 내지 도 6 에는, 종래예 (마름모꼴), 실시예 1 (■), 실시예 2 (▲) 의 특성이 기재되어 있다.

[0078] 도 3 으로부터, 종래예에 비해, 실시예 1 에서는, 7.5GHz 부근에서의 손실이 적어지고, 이 때문에, 도 5 의 위상도 실시예 1 에서는 개선되어 있다.

[0079] 이 때문에, 도 6 의 이상량도 개선되고, 7GHz 내지 10GHz 의 대역에서는, RMS 이상 오차도 종래의 3.4 도가 2.9 도로 개선되어 있다.

[0080] Q 값을 낮게 하는 것은, 인덕터 내측의 빈 공간의 면적 (S) 을 작게 하고, 또한 인덕터의 길이 (l) 를 길게 하거나, 또는 저항률  $\rho$  이 큰 재료로 하여 저항 (R) 을 크게 함으로써, 보다 효과적이게 된다.

[0081] 실시예 2

[0082] 다음으로, 본 발명의 실시예 2 에 대해서 설명한다. 도 7 은, 실시예 2의 레이아웃을 나타내는 도면이다.

도 1 의 실시예 1 에는, 비최밀 인덕터 (1)의 중앙부의 빈 공간에 금속 부재 (3), 외측에 커패시터 (2) 를 레이아웃하여, 직렬 접속하고 있으나, 중앙부 빈 공간의 금속 부재 (3) 대신에, 외측에 배치되어 있던 MIM 커패시터 (2) 를 레이아웃한다. 또한, 도 7 의 레이아웃 패턴의 치수 (수치) 는, 도 16 에 대응시켜 예시한 것으로, 본 발명은 물론 이러한 치수에 한정되지 않는다.

[0083] 상기 실시예 1 과 동일하게, 인덕터 (1) 의 내측에 빈 공간이 있는데, 여기에 MIM 커패시터 (2) 를 배치하기 때문에, 자계가 생기지만, 그 면적 (S) 이 거의 0 이다.

[0084] 따라서, 도 2 내지 도 5 의 실시예 2 의 데이터에 나타내는 바와 같이, 종래예보다 개선된 상태인 것을 알 수 있다. 7GHz 내지 10GHz 의 대역에서는, RMS 이상 오차는 종래의 3.4 도가 2.3 도로 개선되어 있다.

[0085] 실시예 1 과 동일하고, 자계가 관통하는 면적 (S) 이 거의 0 이기 때문에, 유도 기전력도 거의 0 이 되고, 저항의 증감분  $\Delta R$  이 거의 0 이기 때문에, Q 값은 커지지 않는다.

[0086] 실시예 2 는, 상기 실시예 1 과 회로적으로는 동일하지만, 레이아웃으로서 인덕터 (1) 내측 중앙부의 빈 공간에, 어디에도 접속되지 않는 금속 부재를 배치하거나, MIM 커패시터를 배치하는 레이아웃 상의 상이가 있다.

[0087] 이상, 본 발명을 상기 실시예에 의거하여 설명하였으나, 본 발명은 상기 실시예의 구성에만 제한되는 것이 아니라, 본 발명의 범위 내에서 당업자라면 이를 수 있는 각종 변형, 수정을 포함하는 것은 말할 것도 없다.

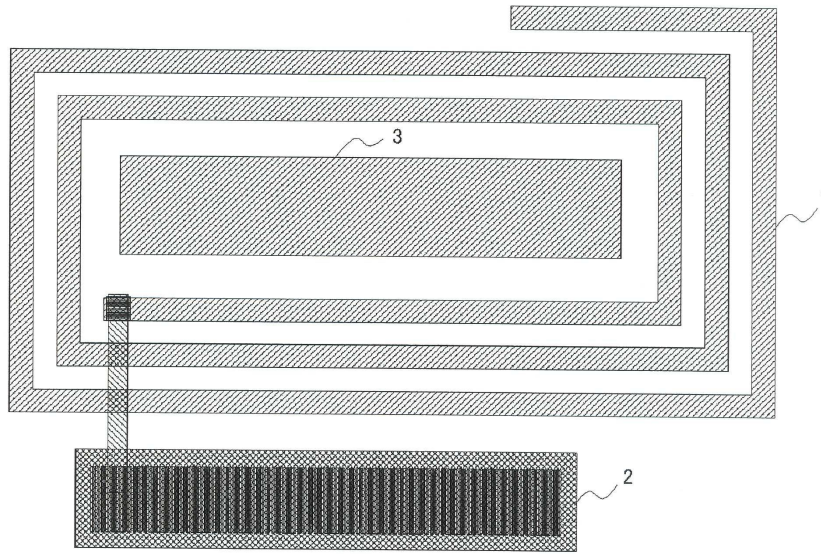


**도면의 간단한 설명**

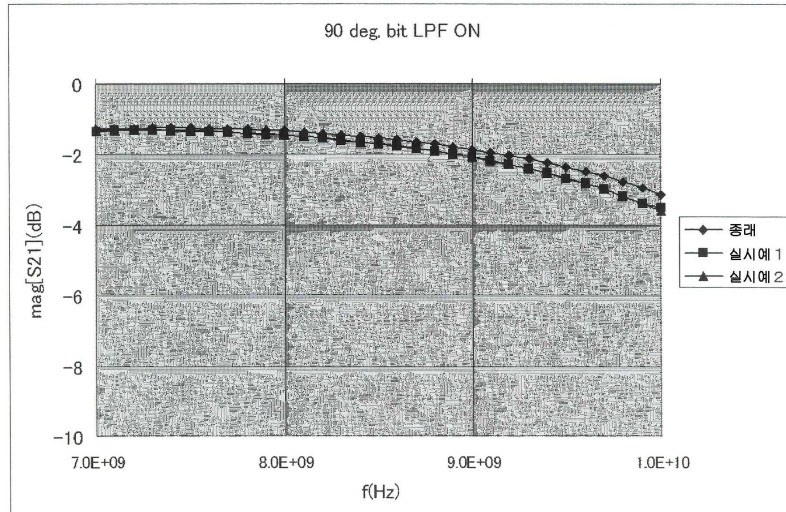
- [0088] 도 1 은 본 발명의 실시예 1 의 레이아웃을 나타내는 도면.
- [0089] 도 2 는 실시예 1 의 계산 결과 (LPF 측이 온일 때의 mag [S21] (통과 특성)) 를 나타내는 도면.
- [0090] 도 3 은 실시예 1 의 계산 결과 (HPF 측이 온일 때의 mag [S21] (통과 특성)) 을 나타내는 도면.
- [0091] 도 4 는 실시예 1 의 계산 결과 (LPF 측이 온일 때의 phase [S21] (통과 특성)) 를 나타내는 도면.
- [0092] 도 5 는 실시예 1 의 계산 결과 (HPF 측이 온일 때의 phase [S21] (통과 특성)) 를 나타내는 도면.
- [0093] 도 6 은 실시예 1 의 계산 결과 (도 12 와 도 13 의 차이이며, 이상량) 를 나타내는 도면.
- [0094] 도 7 은 본 발명의 실시예 2 의 레이아웃을 나타내는 도면.
- [0095] 도 8 은 직렬 접속의 인덕터와 커패시터의 레이아웃 차이에 의한 Q 값 계산 결과를 나타내는 도면.
- [0096] 도 9 는 HPF/LPF 전환형 이상기의 필터부 회로를 나타내는 도면.
- [0097] 도 10 은 종래 이상기의 회로의 일례를 나타내는 도면.
- [0098] 도 11 은 종래 이상기의 레이아웃을 나타내는 도면.
- [0099] 도 12 는 종래 이상기의 등가 회로를 나타내는 도면.
- [0100] 도 13 은 종래의 이상기의 등가 회로를 나타내는 도면.
- [0101] 도 14 는 용량 (C) 에 인덕터 (L) 와 저항 (R) 이 직렬 접속된 것이 병렬 접속된 회로를 나타내는 도면.
- [0102] 도 15 는 도 13 의 회로에 대해서 임피던스의 주파수 특성을 계산한 결과를 나타내는 도면.
- [0103] 도 16 은 종래예의 레이아웃을 나타내는 도면.
- [0104] 부호의 설명
- [0105] 1 인덕터
- [0106] 2 커패시터 (MIM 커패시터)
- [0107] 3 금속 부재
- [0108] 10a 입력부
- [0109] 10b 출력부
- [0110] 11c, 11d 스위치부 (SPDT 스위치)
- [0111] 12 HPF
- [0112] 13 LPF
- [0113] 21 커패시터 (MIM 커패시터)
- [0114] 22 인덕터

도면

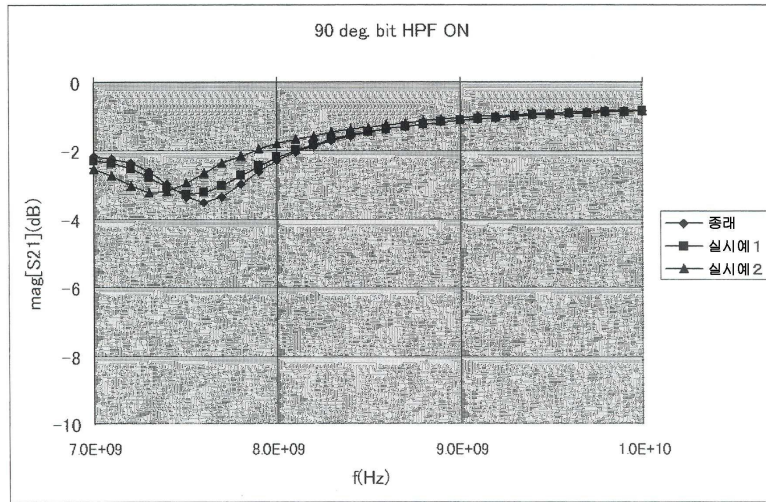
도면1



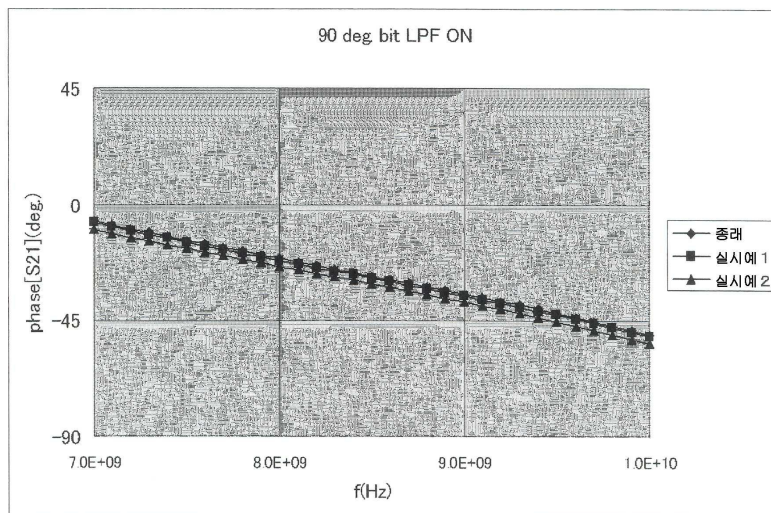
도면2



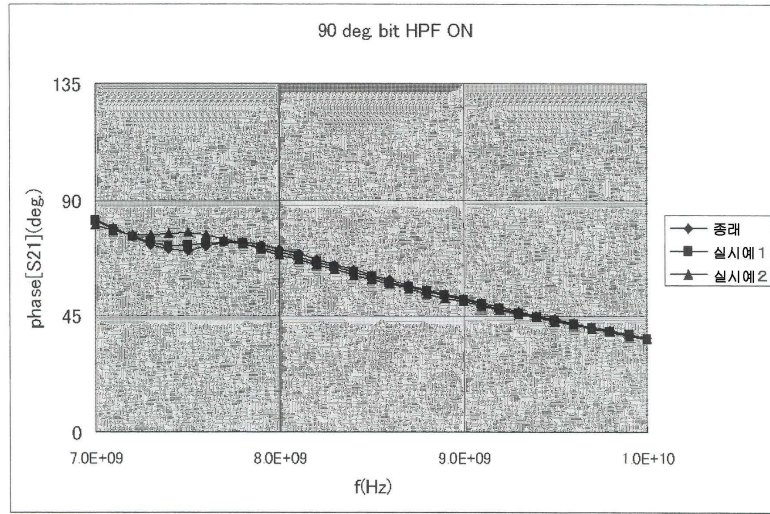
도면3



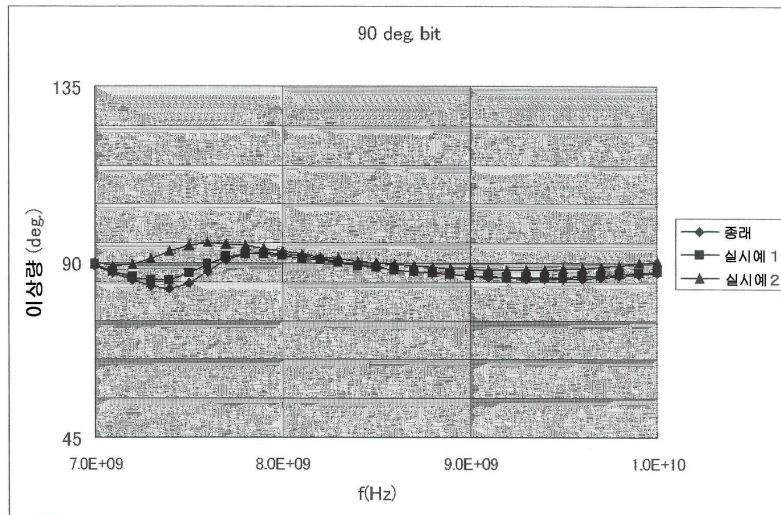
도면4



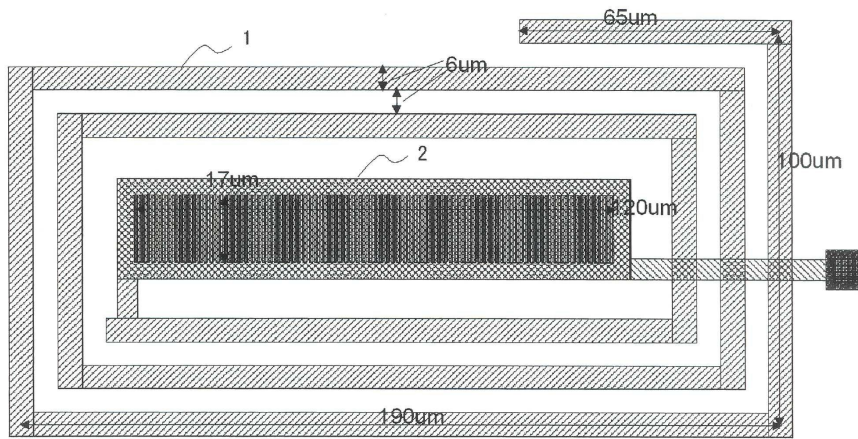
도면5



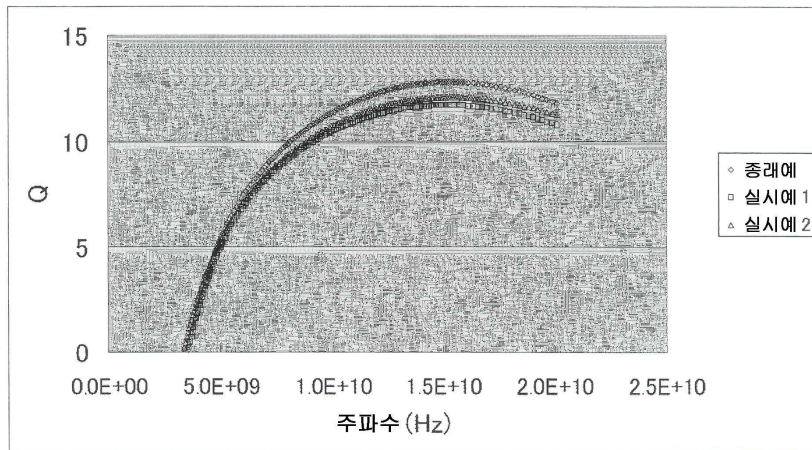
도면6



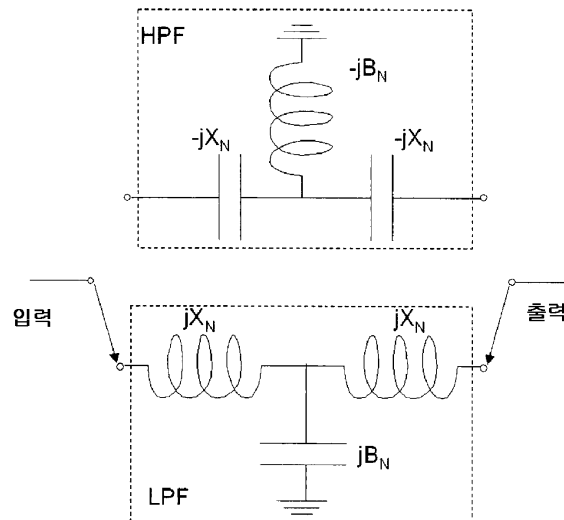
도면7



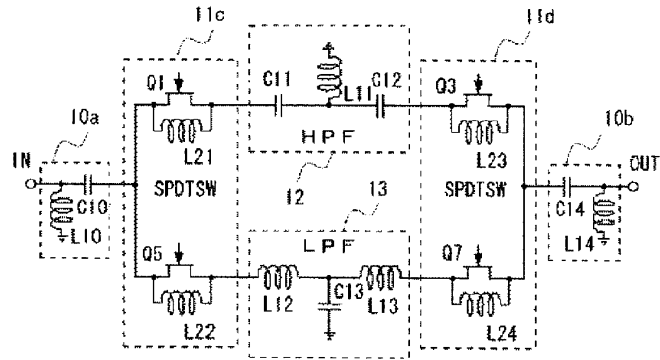
도면8



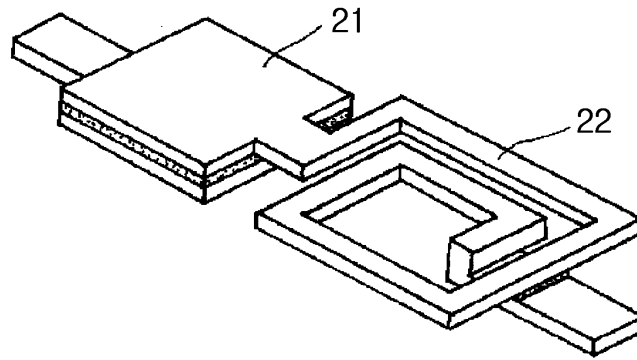
도면9



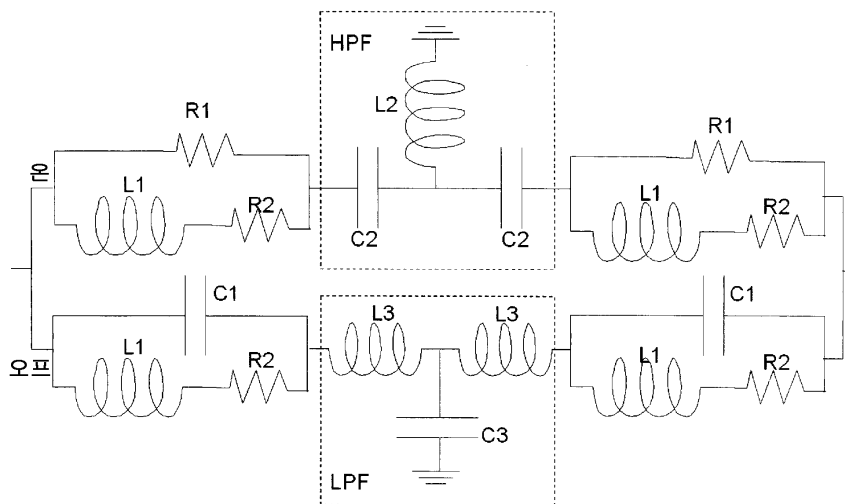
도면10



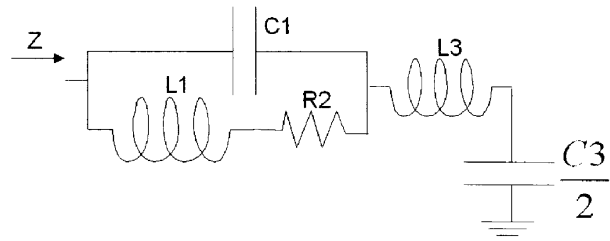
도면11



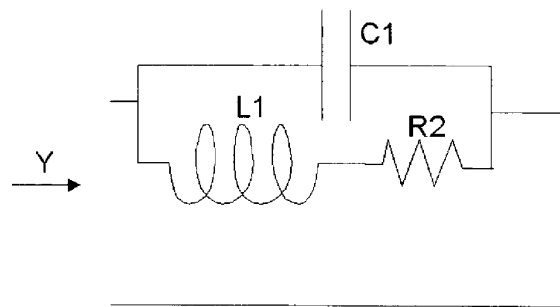
도면12



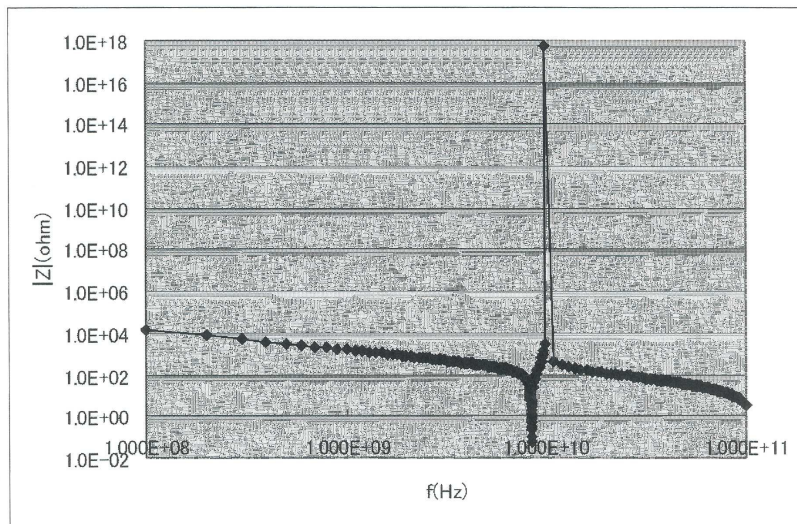
도면13



도면14



도면15



도면16

