



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월07일
(11) 등록번호 10-2153041
(24) 등록일자 2020년09월01일

(51) 국제특허분류(Int. Cl.)
H01L 23/34 (2006.01) H01L 23/48 (2006.01)
(21) 출원번호 10-2013-0149995
(22) 출원일자 2013년12월04일
심사청구일자 2018년11월30일
(65) 공개번호 10-2015-0064991
(43) 공개일자 2015년06월12일
(56) 선행기술조사문헌
JP2007518282 A*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김재홍
경기 용인시 수지구 진산로66번길 10, 525동 140
2호 (풍덕천동, 진산마을삼성5차아파트)
(74) 대리인
리엔특허법인

전체 청구항 수 : 총 32 항

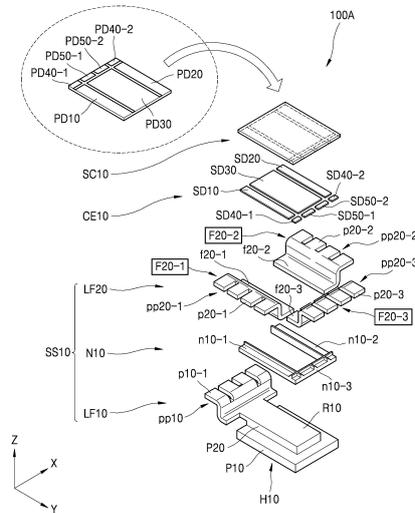
심사관 : 오순영

(54) 발명의 명칭 **반도체소자 패키지 및 그 제조방법**

(57) 요약

반도체소자 패키지 및 그 제조방법에 관해 개시되어 있다. 개시된 반도체소자 패키지는 방열요소를 포함하는 제1 리드프레임, 상기 제1 리드프레임과 결합된 제2 리드프레임 및 이들 사이에 구비된 절연체를 포함할 수 있다. 상기 제1 및 제2 리드프레임이 결합된 구조체는 탑재영역을 제공할 수 있고, 상기 탑재영역 상에 반도체칩 요소가 구비될 수 있다. 상기 반도체칩 요소는 상기 탑재영역에 플립칩 방식으로 탑재될 수 있다. 상기 절연체는 레진으로 형성될 수 있다. 상기 반도체칩 요소를 덮는 EMC(epoxy molding compound)가 더 구비될 수 있다. 상기 방열 요소의 일부는 상기 EMC에 의해 커버되지 않고 노출될 수 있다.

대표도 - 도1



(56) 선행기술조사문헌

JP2008041953 A*

JP5003202 B2*

KR1020040080394 A*

US20060261473 A1*

W02013171996 A1

JP2000100987 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

반도체칩 요소; 및

상기 반도체칩 요소가 탑재되는 것으로, 상기 반도체칩 요소를 외부 단자와 연결하기 위한 전기적 연결요소를 포함하는 지지구조체;를 구비하고,

상기 지지구조체는,

방열요소(heat dissipation element)를 포함하는 제1 리드프레임;

상기 제1 리드프레임과 결합된 제2 리드프레임; 및

상기 제1 및 제2 리드프레임 사이에 이들을 전기적으로 절연하는 절연체;를 포함하고, 상기 제1 및 제2 리드프레임 각각은 상기 반도체칩 요소가 탑재되는 탑재영역을 가지고,

상기 제1 리드프레임은 제1 부분; 및 상기 제1 부분 상에 상기 제1 부분보다 작은 폭을 갖는 제2 부분;을 포함하고,

상기 제2 부분 주위의 상기 제1 부분 상에 상기 절연체가 구비되며,

상기 절연체 상에 상기 제2 리드프레임이 구비되며,

상기 제2 리드프레임은 상기 제1 리드프레임의 상기 제2 부분 주위에 구비된 복수의 프레임요소를 구비하고,

상기 복수의 프레임요소는 전기적으로 서로 분리된 반도체소자 패키지.

청구항 2

제 1 항에 있어서,

상기 반도체칩 요소는 상기 제1 및 제2 리드프레임에 대하여 일측에 구비된 반도체소자 패키지.

청구항 3

제 1 항에 있어서,

상기 제1 리드프레임의 일부는 상기 제2 리드프레임의 일부와 오버랩(overlap)된 반도체소자 패키지.

청구항 4

제 1 항에 있어서,

상기 제2 리드프레임의 일부는 상기 제1 리드프레임과 상기 반도체칩 요소 사이에 배치된 반도체소자 패키지.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서, 상기 복수의 프레임요소는,

상기 제1 리드프레임의 상기 제2 부분을 사이에 두고 서로 마주하는 제1 및 제2 프레임요소; 및

상기 제1 및 제2 프레임요소에 대해 일측에 구비된 제3 프레임요소;를 포함하는 반도체소자 패키지.

청구항 8

제 1 항에 있어서, 상기 절연체는,
제1 방향으로 연장된 제1 부분;
상기 제1 부분과 이격하여 상기 제1 부분과 나란히 구비된 제2 부분; 및
상기 제1 및 제2 부분의 단부를 연결하는 제3 부분;을 포함하는 반도체소자 패키지.

청구항 9

제 1 항에 있어서,
상기 절연체는 레진(resin)을 포함하는 반도체소자 패키지.

청구항 10

제 9 항에 있어서,
상기 레진은 에폭시(epoxy), LCP(liquid crystal polymer), PI(polyimide), PC(polycarbonate) 및 PET(polyethylene terephthalate) 중 적어도 하나를 포함하는 반도체소자 패키지.

청구항 11

제 1 항에 있어서,
상기 반도체칩 요소는 상기 지지구조체에 플립칩(flip chip) 방식으로 탑재된 반도체소자 패키지.

청구항 12

제 1 항에 있어서,
상기 제1 리드프레임은 제1 탑재영역을 갖고,
상기 제2 리드프레임은 상기 제1 탑재영역 주위에 구비된 복수의 제2 탑재영역을 갖는 반도체소자 패키지.

청구항 13

제 12 항에 있어서,
상기 제1 탑재영역 상에 적어도 하나의 제1 도전체가 구비되고,
상기 복수의 제2 탑재영역 상에 복수의 제2 도전체가 구비되며,
상기 제1 및 제2 도전체 상에 상기 반도체칩 요소가 탑재되는 반도체소자 패키지.

청구항 14

제 12 항에 있어서,
상기 제1 탑재영역 상에 레진층이 구비되고,
상기 복수의 제2 탑재영역 상에 복수의 도전체가 구비되며,
상기 레진층과 상기 복수의 도전체 상에 상기 반도체칩 요소가 탑재되는 반도체소자 패키지.

청구항 15

제 14 항에 있어서,
상기 레진층은 5 W/(m·K) 이상의 열전도도(k)를 갖는 반도체소자 패키지.

청구항 16

제 1 항에 있어서,

상기 반도체칩 요소는 단일 칩(single chip)으로 구성된 반도체소자 패키지.

청구항 17

제 16 항에 있어서,

상기 단일 칩은 하나의 기판에 복수의 소자가 모놀리식(monolithic) 하게 집적된 구조를 갖는 반도체소자 패키지.

청구항 18

제 1 항에 있어서,

상기 반도체칩 요소는 복수의 칩을 포함하는 반도체소자 패키지.

청구항 19

제 1 항에 있어서,

상기 반도체칩 요소 및 상기 지지구조체의 일부를 덮는 봉지재(encapsulant)를 더 포함하고,

상기 방열요소의 적어도 일부는 상기 봉지재로 커버되지 않고 노출된 반도체소자 패키지.

청구항 20

제 19 항에 있어서,

상기 봉지재로 커버되지 않은 상기 방열요소의 노출부에 접촉된 외부 방열구조체(external heat sink)가 더 구비된 반도체소자 패키지.

청구항 21

제 1 항에 있어서,

상기 지지구조체는 복수의 접속핀을 포함하고,

상기 복수의 접속핀은 그 콘택면이 상기 방열요소 대비 상기 반도체칩 요소가 형성된 방향을 향하도록 구비된 반도체소자 패키지.

청구항 22

제 1 항에 있어서,

상기 지지구조체는 복수의 접속핀을 포함하고,

상기 복수의 접속핀은 그 콘택면이 상기 반도체칩 요소 대비 상기 방열요소가 형성된 방향을 향하도록 구비된 반도체소자 패키지.

청구항 23

제 1 항에 있어서,

상기 반도체칩 요소는 파워소자(power device)를 포함하는 반도체소자 패키지.

청구항 24

제 1 항에 있어서,

상기 반도체칩 요소는 실리콘기판 상에 구비된 질화갈륨계 소자(즉, GaN-on-Si device)를 포함하는 반도체소자 패키지.

청구항 25

반도체칩 요소 및 상기 반도체칩 요소가 탑재되는 지지구조체를 포함하는 반도체소자 패키지에 있어서,

상기 반도체칩 요소는 실리콘기판 및 상기 실리콘기판 상에 구비된 III-V족 계열의 소자부를 포함하고,
 상기 지지구조체는 방열요소 및 상기 방열요소 상에 구비된 도전성 연결부를 포함하며,
 상기 도전성 연결부는 상기 방열요소와 상기 III-V족 계열의 소자부 사이에 구비되고, 상기 III-V족 계열의 소자부는 상기 도전성 연결부와 상기 실리콘기판 사이에 구비되고,
 상기 지지구조체는,
 상기 방열요소를 포함하는 제1 리드프레임;
 상기 제1 리드프레임과 결합된 제2 리드프레임; 및
 상기 제1 및 제2 리드프레임 사이에 구비된 절연체;를 포함하고,
 상기 제1 리드프레임은 제1 부분 및 상기 제1 부분 상에 상기 제1 부분보다 작은 폭을 갖는 제2 부분을 포함하고,
 상기 제2 부분 주위의 상기 제1 부분 상에 상기 절연체가 구비되며,
 상기 절연체 상에 상기 제2 리드프레임이 구비된 상기 제2 리드프레임은 상기 제1 리드프레임의 상기 제2 부분 주위에 구비된 복수의 프레임요소를 구비하고,
 상기 복수의 프레임요소는 전기적으로 서로 분리된 반도체소자 패키지.

청구항 26

삭제

청구항 27

제 25 항에 있어서,
 상기 제1 리드프레임은 제1 탑재영역을 갖고,
 상기 제2 리드프레임은 상기 제1 탑재영역 주위에 구비된 복수의 제2 탑재영역을 가지며,
 상기 제1 및 제2 탑재영역 상에 상기 반도체칩 요소가 탑재되는 반도체소자 패키지.

청구항 28

방열요소를 포함하는 제1 리드프레임을 마련하는 단계;
 상기 제1 리드프레임의 일부 상에 절연체를 형성하는 단계;
 상기 절연체를 사이에 두고 상기 제1 리드프레임에 제2 리드프레임을 결합하는 단계;
 상기 결합된 제1 및 제2 리드프레임에 의해 제공된 탑재영역 상에 도전성 연결요소를 형성하는 단계; 및
 상기 탑재영역 상에 상기 도전성 연결요소와 접속된 반도체칩 요소를 탑재하는 단계;를 포함하고,
 상기 제1 리드프레임은 제1 부분; 및 상기 제1 부분 상에 상기 제1 부분보다 작은 폭을 갖는 제2 부분;을 포함하고,
 상기 제2 부분 주위의 상기 제1 부분 상에 상기 절연체가 구비되며,
 상기 절연체 상에 상기 제2 리드프레임이 구비된 상기 제2 리드프레임은 상기 제1 리드프레임의 상기 제2 부분 주위에 구비된 복수의 프레임요소를 구비하고,
 상기 복수의 프레임요소는 전기적으로 서로 분리된 반도체소자 패키지의 제조방법.

청구항 29

제 28 항에 있어서,
 상기 반도체소자 패키지의 제조방법은 상기 제1 및 제2 리드프레임이 로딩되는 얼라인먼트 프레임(alignment frame)을 이용해서 수행하고,

상기 얼라인먼트 프레임(alignment frame)은 상기 제1 및 제2 리드프레임을 수용하기 위한 수용영역 및 그 주위에 구비된 복수의 얼라인먼트 핀(alignment pin)을 포함하는 반도체소자 패키지의 제조방법.

청구항 30

제 28 항에 있어서,

상기 제1 리드프레임은 상기 방열요소 상에 제1 탑재영역을 갖고,

상기 제2 리드프레임은 상기 제1 탑재영역 주위에 구비된 복수의 제2 탑재영역을 갖는 반도체소자 패키지의 제조방법.

청구항 31

제 28 항에 있어서,

상기 반도체칩 요소를 탑재하는 단계 후, 상기 반도체칩 요소와 상기 제1 및 제2 리드프레임의 일부를 덮는 봉지재를 형성하는 단계를 더 포함하고,

상기 방열요소의 적어도 일부는 상기 봉지재에 의해 커버되지 않고 노출되는 반도체소자 패키지의 제조방법.

청구항 32

방열요소를 포함하고 제1 탑재영역을 갖는 제1 리드프레임을 마련하는 단계;

상기 제1 리드프레임과 결합하기 위한 것으로, 제2 탑재영역을 갖는 제2 리드프레임을 마련하는 단계;

상기 제2 리드프레임의 상기 제2 탑재영역 상에 상기 제2 리드프레임과 전기적으로 연결된 반도체칩 요소를 탑재하는 단계;

상기 제1 리드프레임의 상기 제1 탑재영역 상에 레진층을 형성하고, 상기 제1 탑재영역 주위의 상기 제1 리드프레임 영역 상에 절연체를 형성하는 단계; 및

상기 절연체를 사이에 두고 상기 제1 리드프레임에 상기 제2 리드프레임을 결합하되, 상기 레진층 상에 상기 반도체칩 요소를 탑재하는 단계;를 포함하고,

상기 제1 리드프레임은 제1 부분; 및 상기 제1 부분 상에 상기 제1 부분보다 작은 폭을 갖는 제2 부분;을 포함하고,

상기 제2 부분 주위의 상기 제1 부분 상에 상기 절연체가 구비되며,

상기 절연체 상에 상기 제2 리드프레임이 구비된 상기 제2 리드프레임은 상기 제1 리드프레임의 상기 제2 부분 주위에 구비된 복수의 프레임요소를 구비하고,

상기 복수의 프레임요소는 전기적으로 서로 분리된 반도체소자 패키지의 제조방법.

청구항 33

제 32 항에 있어서,

상기 반도체소자 패키지의 제조방법은 상기 제1 및 제2 리드프레임이 로딩되는 얼라인먼트 프레임(alignment frame)을 이용해서 수행하고,

상기 얼라인먼트 프레임(alignment frame)은 상기 제1 및 제2 리드프레임을 수용하기 위한 수용영역 및 그 주위에 구비된 복수의 얼라인먼트 핀(alignment pin)을 포함하는 반도체소자 패키지의 제조방법.

청구항 34

제 32 항에 있어서,

상기 제2 탑재영역은 복수 개로 구비되고,

상기 복수의 제2 탑재영역은 상기 제1 탑재영역에 대응하는 영역 주위에 서로 이격하여 구비된 반도체소자 패키지의 제조방법.

청구항 35

제 32 항에 있어서,

상기 레진층 상에 상기 반도체칩 요소를 탑재하는 단계 후, 상기 반도체칩 요소와 상기 제1 및 제2 리드프레임의 일부를 덮는 봉지재를 형성하는 단계를 더 포함하고,

상기 방열요소의 적어도 일부는 상기 봉지재에 의해 커버되지 않고 노출되는 반도체소자 패키지의 제조방법.

발명의 설명

기술 분야

[0001] 반도체소자 패키지 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체소자 패키지는 크게 두 가지 그룹, 즉, 고속/고주파 동작을 위한 그룹과 고전력 핸들링(handling)을 위한 그룹으로 나뉘질 수 있다. 고속/고주파 동작을 위한 반도체소자 패키지는 고속 동작을 위해 기생 인덕턴스(parasitic inductance) 등 기생 성분을 줄이는 방향으로 개발되어 왔고, 고전류 구동에는 취약할 수 있다. 고전력 핸들링을 위한 반도체소자 패키지는 고전류 구동을 위해 방열 특성 등을 개선하는 방향으로 개발되어 왔고, 상대적으로 동작 속도 측면에서는 단점을 갖는다. 고전류 구동 및 고속/고주파 동작 특성을 모두 만족할 수 있는 반도체소자 패키지를 제조하는 것은 용이하지 않다.

[0003] 한편, 최근 연구/개발되고 있는 다양한 반도체소자의 실제 활용을 위해서는, 각 소자의 특성에 적합한 패키지의 개발이 동반되어야 하며, 이때, 여러 가지 요구조건(requirement)들이 고려되어야 한다. 예컨대, III-V족 계열의 화합물 반도체를 이용한 전계효과 트랜지스터(field effect transistor)(FET)의 경우, 낮은 전도 손실(low conduction loss)과 빠른 스위칭(fast switching) 특성 등으로 인한 낮은 스위칭 손실(low switching loss)로 시스템의 효율을 크게 증가시킬 수 있고, 높은 동작 주파수(high operating frequency)로 패시브(passive) 성분의 부피 감소(volume reduction)가 가능하며, 넓은 밴드갭(wide bandgap) 특성에 따라 낮은 온도 의존성을 갖는 등 다양한 장점이 있다. 그런데 이러한 반도체소자의 실제적인 활용을 위해서는 소자의 특성에 가장 적합한 패키지의 개발이 필요하며, 또한, 여러 가지 요구조건들, 예컨대, 고속 동작, 고전력 핸들링, 내전압 특성 확보, 제조의 편의성, 높은 생산성, 작은 패키지 사이즈 등의 요구조건들이 고려되어야 한다.

발명의 내용

해결하려는 과제

[0004] 고전력/고전류 구동 및 고속/고주파 동작 특성을 만족할 수 있는 반도체소자 패키지를 제공한다. 우수한 방열 특성을 갖고 전기적 기생 성분이 작은 반도체소자 패키지를 제공한다. 내전압 특성 향상에 유리한 반도체소자 패키지를 제공한다. 제조가 용이하고 생산성 향상에 유리하며 비교적 작은 사이즈를 갖는 반도체소자 패키지를 제공한다.

[0005] III-V족 계열 물질(ex, GaN 계열 물질)을 포함하는 소자에 적합한 반도체소자 패키지를 제공한다. 단결정기판(ex, 실리콘기판) 상에 III-V족 계열 물질(ex, GaN 계열 물질)을 적용한 소자에 적합한 반도체소자 패키지를 제공한다.

[0006] 상기 반도체소자 패키지를 제조하는 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 일 측면(aspect)에 따르면, 반도체칩 요소; 및 상기 반도체칩 요소가 탑재되는 것으로, 상기 반도체칩 요소를 외부 단자와 연결하기 위한 전기적 연결요소를 포함하는 지지구조체;를 구비하고, 상기 지지구조체는 방열요소(heat dissipation element)를 포함하는 제1 리드프레임; 상기 제1 리드프레임과 결합된 제2 리드프레임; 및 상기 제1 및 제2 리드프레임 사이에 이들을 전기적으로 절연하는 절연체;를 포함하고, 상기 제1 및 제2 리드프레임 각각은 상기 반도체칩 요소가 탑재되는 탑재영역을 갖는 반도체소자 패키지가 제공된다.

[0008] 상기 반도체칩 요소는 상기 제1 및 제2 리드프레임에 대하여 일측에 구비될 수 있다.

- [0009] 상기 제1 리드프레임의 일부는 상기 제2 리드프레임의 일부와 오버랩(overlap) 될 수 있다.
- [0010] 상기 제2 리드프레임의 일부는 상기 제1 리드프레임과 상기 반도체칩 요소 사이에 배치될 수 있다.
- [0011] 상기 제1 리드프레임은 제1 부분; 및 상기 제1 부분 상에 상기 제1 부분보다 작은 폭을 갖는 제2 부분;을 포함할 수 있다. 상기 제2 부분 주위의 상기 제1 부분 상에 상기 절연체가 구비될 수 있고, 상기 절연체 상에 상기 제2 리드프레임이 구비될 수 있다.
- [0012] 상기 제2 리드프레임은 상기 제1 리드프레임의 상기 제2 부분 주위에 구비된 복수의 프레임요소를 구비할 수 있다. 상기 복수의 프레임요소는 전기적으로 서로 분리될 수 있다.
- [0013] 상기 복수의 프레임요소는 상기 제1 리드프레임의 상기 제2 부분을 사이에 두고 서로 마주하는 제1 및 제2 프레임요소; 및 상기 제1 및 제2 프레임요소에 대해 일측에 구비된 제3 프레임요소;를 포함할 수 있다.
- [0014] 상기 절연체는 제1 방향으로 연장된 제1 부분; 상기 제1 부분과 이격하여 상기 제1 부분과 나란히 구비된 제2 부분; 및 상기 제1 및 제2 부분의 단부를 연결하는 제3 부분;을 포함할 수 있다.
- [0015] 상기 절연체는 레진(resin)을 포함할 수 있다.
- [0016] 상기 레진은 에폭시(epoxy), LCP(liquid crystal polymer), PI(polyimide), PC(polycarbonate) 및 PET(polyethylene terephthalate) 중 적어도 하나를 포함할 수 있다.
- [0017] 상기 반도체칩 요소는 상기 지지구조체에 플립칩(flip chip) 방식으로 탑재될 수 있다.
- [0018] 상기 제1 리드프레임은 제1 탑재영역을 가질 수 있고, 상기 제2 리드프레임은 상기 제1 탑재영역 주위에 구비된 복수의 제2 탑재영역을 가질 수 있다.
- [0019] 상기 제1 탑재영역 상에 적어도 하나의 제1 도전체가 구비될 수 있고, 상기 복수의 제2 탑재영역 상에 복수의 제2 도전체가 구비될 수 있으며, 상기 제1 및 제2 도전체 상에 상기 반도체칩 요소가 탑재될 수 있다.
- [0020] 상기 제1 탑재영역 상에 레진층이 구비될 수 있고, 상기 복수의 제2 탑재영역 상에 복수의 도전체가 구비될 수 있으며, 상기 레진층과 상기 복수의 도전체 상에 상기 반도체칩 요소가 탑재될 수 있다.
- [0021] 상기 레진층은 약 $5 \text{ W}/(\text{m} \cdot \text{K})$ 이상의 열전도도(k)를 가질 수 있다.
- [0022] 상기 반도체칩 요소는 단일 칩(single chip)으로 구성될 수 있다.
- [0023] 상기 단일 칩은 하나의 기판에 복수의 소자가 모놀리식(monolithic) 하게 집적된 구조를 가질 수 있다.
- [0024] 상기 반도체칩 요소는 복수의 칩을 포함할 수 있다.
- [0025] 상기 반도체칩 요소 및 상기 지지구조체의 일부를 덮는 봉지재(encapsulant)가 더 구비될 수 있고, 상기 방열요소의 적어도 일부는 상기 봉지재로 커버되지 않고 노출될 수 있다.
- [0026] 상기 봉지재로 커버되지 않은 상기 방열요소의 노출부에 접촉된 외부 방열구조체(external heat sink)가 더 구비될 수 있다.
- [0027] 상기 지지구조체는 복수의 접속핀을 포함할 수 있고, 상기 복수의 접속핀은 그 콘택면이 상기 방열요소 대비 상기 반도체칩 요소가 형성된 방향을 향하도록 구비될 수 있다.
- [0028] 상기 지지구조체는 복수의 접속핀을 포함할 수 있고, 상기 복수의 접속핀은 그 콘택면이 상기 반도체칩 요소 대비 상기 방열요소가 형성된 방향을 향하도록 구비될 수 있다.
- [0029] 상기 반도체칩 요소는 파워소자(power device)를 포함할 수 있다.
- [0030] 상기 반도체칩 요소는 실리콘기판 상에 구비된 질화갈륨계 소자(즉, GaN-on-Si device)를 포함할 수 있다.
- [0031] 본 발명의 다른 측면에 따르면, 반도체칩 요소 및 상기 반도체칩 요소가 탑재되는 지지구조체를 포함하는 반도체소자 패키지에 있어서, 상기 반도체칩 요소는 실리콘기판 및 상기 실리콘기판 상에 구비된 III-V족 계열의 소자부를 포함하고, 상기 지지구조체는 방열요소 및 상기 방열요소 상에 구비된 도전성 연결부를 포함하며, 상기 도전성 연결부는 상기 방열요소와 상기 III-V족 계열의 소자부 사이에 구비되고, 상기 III-V족 계열의 소자부는 상기 도전성 연결부와 상기 실리콘기판 사이에 구비된 반도체소자 패키지가 제공된다.
- [0032] 상기 지지구조체는 상기 방열요소를 포함하는 제1 리드프레임; 상기 제1 리드프레임과 결합된 제2 리드프레임;

및 상기 제1 및 제2 리드프레임 사이에 구비된 절연체;를 포함할 수 있다.

- [0033] 상기 제1 리드프레임은 제1 탑재영역을 가질 수 있고, 상기 제2 리드프레임은 상기 제1 탑재영역 주위에 구비된 복수의 제2 탑재영역을 가질 수 있으며, 상기 제1 및 제2 탑재영역 상에 상기 반도체칩 요소가 탑재될 수 있다.
- [0034] 본 발명의 다른 측면에 따르면, 방열요소를 포함하는 제1 리드프레임을 마련하는 단계; 상기 제1 리드프레임의 일부 상에 절연체를 형성하는 단계; 상기 절연체를 사이에 두고 상기 제1 리드프레임에 제2 리드프레임을 결합하는 단계; 상기 결합된 제1 및 제2 리드프레임에 의해 제공된 탑재영역 상에 도전성 연결요소를 형성하는 단계; 및 상기 탑재영역 상에 상기 도전성 연결요소와 접속된 반도체칩 요소를 탑재하는 단계;를 포함하는 반도체소자 패키지의 제조방법이 제공된다.
- [0035] 상기 반도체소자 패키지의 제조방법은 상기 제1 및 제2 리드프레임이 로딩되는 얼라인먼트 프레임(alignment frame)을 이용해서 수행할 수 있다.
- [0036] 상기 얼라인먼트 프레임(alignment frame)은 상기 제1 및 제2 리드프레임을 수용하기 위한 수용영역 및 그 주위에 구비된 복수의 얼라인먼트 핀(alignment pin)을 포함할 수 있다.
- [0037] 상기 제1 리드프레임은 상기 방열요소 상에 제1 탑재영역을 가질 수 있고, 상기 제2 리드프레임은 상기 제1 탑재영역 주위에 구비된 복수의 제2 탑재영역을 가질 수 있다.
- [0038] 상기 반도체칩 요소를 탑재하는 단계 후, 상기 반도체칩 요소와 상기 제1 및 제2 리드프레임의 일부를 덮는 봉지재를 형성하는 단계를 더 수행할 수 있다.
- [0039] 상기 방열요소의 적어도 일부는 상기 봉지재에 의해 커버되지 않고 노출될 수 있다.
- [0040] 본 발명의 다른 측면에 따르면, 방열요소를 포함하고 제1 탑재영역을 갖는 제1 리드프레임을 마련하는 단계; 상기 제1 리드프레임과 결합하기 위한 것으로, 제2 탑재영역을 갖는 제2 리드프레임을 마련하는 단계; 상기 제2 리드프레임의 상기 제2 탑재영역 상에 상기 제2 리드프레임과 전기적으로 연결된 반도체칩 요소를 탑재하는 단계; 상기 제1 리드프레임의 상기 제1 탑재영역 상에 레진층을 형성하고, 상기 제1 탑재영역 주위의 상기 제1 리드프레임 영역 상에 절연체를 형성하는 단계; 및 상기 절연체를 사이에 두고 상기 제1 리드프레임에 상기 제2 리드프레임을 결합하되, 상기 레진층 상에 상기 반도체칩 요소를 탑재하는 단계;를 포함하는 반도체소자 패키지의 제조방법이 제공된다.
- [0041] 상기 반도체소자 패키지의 제조방법은 상기 제1 및 제2 리드프레임이 로딩되는 얼라인먼트 프레임(alignment frame)을 이용해서 수행할 수 있다.
- [0042] 상기 얼라인먼트 프레임(alignment frame)은 상기 제1 및 제2 리드프레임을 수용하기 위한 수용영역 및 그 주위에 구비된 복수의 얼라인먼트 핀(alignment pin)을 포함할 수 있다.
- [0043] 상기 제2 탑재영역은 복수 개로 구비될 수 있고, 상기 복수의 제2 탑재영역은 상기 제1 탑재영역에 대응하는 영역 주위에 서로 이격하여 구비될 수 있다.
- [0044] 상기 레진층 상에 상기 반도체칩 요소를 탑재하는 단계 후, 상기 반도체칩 요소와 상기 제1 및 제2 리드프레임의 일부를 덮는 봉지재를 형성하는 단계를 더 수행할 수 있다.
- [0045] 상기 방열요소의 적어도 일부는 상기 봉지재에 의해 커버되지 않고 노출될 수 있다.

발명의 효과

- [0046] 고전력/고전류 구동 및 고속/고주파 동작 특성을 만족할 수 있는 반도체소자 패키지를 구현할 수 있다. 우수한 방열 특성을 갖고 전기적 기생 성분이 작은 반도체소자 패키지를 구현할 수 있다. 내전압 특성 향상에 유리한 반도체소자 패키지를 구현할 수 있다. 제조가 용이하고 생산성 향상에 유리하며 비교적 작은 사이즈를 갖는 반도체소자 패키지를 구현할 수 있다. III-V족 계열 물질(ex, GaN 계열 물질)을 포함하는 소자에 적합한 반도체소자 패키지를 구현할 수 있다. 단결정기판(ex, 실리콘기판) 상에 III-V족 계열 물질(ex, GaN 계열 물질)을 적용한 소자에 적합한 반도체소자 패키지를 구현할 수 있다.

도면의 간단한 설명

- [0047] 도 1은 본 발명의 일 실시예에 따른 반도체소자 패키지의 분해 사시도이다.

- 도 2는 본 발명의 다른 예에 따른 반도체소자 패키지의 분해 사시도이다.
- 도 3은 본 발명의 다른 예에 따른 반도체소자 패키지의 분해 사시도이다.
- 도 4 내지 도 6은 본 발명의 실시예들에 따른 반도체소자 패키지를 보여주는 단면도이다.
- 도 7은 본 발명의 실시예에 따른 반도체소자 패키지의 결합 구조를 보여주는 사시도이다.
- 도 8은 도 7의 반도체소자 패키지에 반도체칩 요소를 보호하기 위한 봉지재를 구비시킨 경우를 보여주는 사시도이다.
- 도 9는 도 8의 반도체소자 패키지를 인쇄회로기판(printed circuit board)에 실장한 경우를 예시적으로 보여주는 사시도이다.
- 도 10은 도 9의 반도체소자 패키지에 외부 방열구조체(external heat sink)를 구비시킨 경우를 보여주는 사시도이다.
- 도 11은 본 발명의 실시예에 따른 반도체소자 패키지의 일부 단면 구조를 보여주는 단면도이다.
- 도 12는 비교예에 따른 반도체소자 패키지를 보여주는 사시도이다.
- 도 13은 도 12의 비교예에 따른 반도체소자 패키지의 일부 단면 구조를 보여주는 단면도이다.
- 도 14 및 도 15는 비교예 및 실시예에 따른 반도체소자 패키지의 기생 성분을 시뮬레이션으로 측정된 결과를 보여주는 도면이다.
- 도 16 내지 도 24는 본 발명의 일 실시예에 따른 반도체소자 패키지의 제조방법을 보여주는 사시도이다.
- 도 25는 본 발명의 다른 실시예에 따른 반도체소자 패키지의 제조방법을 설명하기 위한 사시도이다.
- 도 26은 본 발명의 다른 실시예에 따른 반도체소자 패키지를 보여주는 사시도이다.
- 도 27은 도 26의 반도체소자 패키지에 반도체칩 요소를 보호하기 위한 봉지재를 구비시킨 경우를 보여주는 사시도이다.
- 도 28은 도 27의 반도체소자 패키지를 인쇄회로기판에 실장한 경우를 예시적으로 보여주는 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0048] 이하, 본 발명의 실시예에 따른 반도체소자 패키지 및 그 제조방법을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면에 도시된 층이나 영역들의 폭 및 두께는 명세서의 명확성을 위해 다소 과장되게 도시된 것이다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0049] 도 1은 본 발명의 일 실시예에 따른 반도체소자 패키지(100A)의 분해 사시도이다.
- [0050] 도 1을 참조하면, 반도체소자 패키지(100A)는 제1 리드프레임(lead frame)(LF10)과 제2 리드프레임(LF20)이 절연체(N10)를 사이에 두고 결합된 구조를 포함할 수 있다. 제1 리드프레임(LF10)과 제2 리드프레임(LF20)은 절연체(N10)에 의해 전기적으로 서로 분리될 수 있다. 제1 및 제2 리드프레임(LF10, LF20)과 이들 사이의 절연체(N10)는 하나의 지지구조체(SS10)를 구성한다고 할 수 있다. 지지구조체(SS10) 자체를 하나의 '리드프레임'으로 여길 수도 있다. 지지구조체(SS10)는 소정의 탑재영역을 가질 수 있고, 상기 탑재영역 상에 반도체칩 요소(SC10)가 탑재될 수 있다. 반도체칩 요소(SC10)는 상기 탑재영역 상에 플립칩(flip chip) 방식으로 탑재될 수 있다. 이와 관련하여, 상기 탑재영역 상에 도전성 연결요소(CE10)가 구비될 수 있다. 도전성 연결요소(CE10)는 복수의 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)를 포함할 수 있다. 복수의 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)는, 예컨대, 솔더(solder)일 수 있고 패드(pad) 형태를 가질 수 있다. 반도체칩 요소(SC10)는 도전성 연결요소(CE10)를 통해 지지구조체(SS10)에 플립칩(flip chip) 방식으로 탑재될 수 있다. 이하에서는, 반도체소자 패키지(100A)의 구성요소 각각에 대해 보다 구체적으로 설명한다.
- [0051] 제1 리드프레임(LF10)은 제1 부분(P10) 및 제1 부분(P10) 상에 구비된 제2 부분(P20)을 포함할 수 있다. 제2 부분(P20)은 제1 부분(P10)보다 작은 폭을 가질 수 있다. 제2 부분(P20) 주위의 제1 부분(P10)의 상면 영역은 노출될 수 있다. 제2 부분(P20)의 X축 방향으로의 양측 및 Y축 방향으로의 일측에서 제1 부분(P10)의 상면 영역이 노출될 수 있다. 다시 말해, 제1 부분(P10)은 제2 부분(P20)의 하면에서 X축 방향으로의 양측 및 Y축 방향으로의 일측 방향으로 확장된 구조를 가질 수 있다. 제1 부분(P10) 및 제2 부분(P20)은 소정의 판형 구조를 가질 수

있다. 제1 부분(P10) 및 제2 부분(P20)은 구리(Cu)와 같은 도전체로 형성될 수 있고, 반도체칩 요소(SC10)와의 전기적 연결 기능을 수행함과 동시에 '방열요소'(heat dissipation element)의 역할을 할 수 있다. 제1 부분(P10)과 제2 부분(P20)을 합한 구조를 하나의 '방열요소(H10)'라 할 수 있고, 제2 부분(P20)의 상면은 반도체칩 요소(SC10)가 탑재되는 '탑재영역(제1 탑재영역)(R10)'이라 할 수 있다. 또는, 제1 부분(P10)을 '방열부(방열요소)'라 하고, 제2 부분(P20)을 '탑재부(탑재영역)'라 할 수도 있다. 여기서, 상기 '방열부(방열요소)'는 열방출부(heat spreader)라고 할 수도 있다.

[0052] 또한, 제1 리드프레임(LF10)은 제2 부분(P20)에서 연장된 제1 핀 구조체(pp10)를 더 포함할 수 있다. 제1 핀 구조체(pp10)는 복수의 접속핀(connecting pins)(p10-1)을 가질 수 있다. 접속핀(p10-1)은 외부 단자(미도시)와의 접속을 위한 요소일 수 있다. 제1 핀 구조체(pp10)는 Y축 방향의 역방향으로 연장될 수 있다. 접속핀(p10-1)의 개수와 형태는 달라질 수 있다.

[0053] 제2 리드프레임(LF20)은 제1 리드프레임(LF10)의 제2 부분(P20) 주위에 배치되는 복수의 프레임요소(F20-1, F20-2, F20-3)를 가질 수 있다. 예컨대, 제2 리드프레임(LF20)은 제2-1 프레임요소(F20-1), 제2-2 프레임요소(F20-2) 및 제2-3 프레임요소(F20-3)를 포함할 수 있다. 제2-1 프레임요소(F20-1)와 제2-2 프레임요소(F20-2)는 제1 리드프레임(LF10)의 제2 부분(P20)을 사이에 두고 서로 마주하도록 배치될 수 있고, 제2-3 프레임요소(F20-3)는 제2-1 프레임요소(F20-1) 및 제2-2 프레임요소(F20-2)의 일측에 배치될 수 있다. 제2-3 프레임요소(F20-3)는 제2 부분(P20)을 사이에 두고 제1 리드프레임(LF10)의 제1 핀 구조체(pp10)와 마주하도록 배치될 수 있다. 제2-1 내지 제2-3 프레임요소(F20-1, F20-2, F20-3)는 전기적으로 서로 분리될 수 있다.

[0054] 제2 리드프레임(LF20)의 복수의 프레임요소(F20-1, F20-2, F20-3) 각각은 반도체칩 요소(SC10)의 탑재를 위한 '탑재영역(제2 탑재영역)'을 가질 수 있다. 제2-1 프레임요소(F20-1)는 제2-1 탑재부(f20-1)를 가질 수 있고, 제2-2 프레임요소(F20-2)는 제2-2 탑재부(f20-2)를 가질 수 있으며, 제2-3 프레임요소(F20-3)는 제2-3 탑재부(f20-3)를 가질 수 있다. 제2-1 탑재부(f20-1)의 상면을 '제2-1 탑재영역'이라 할 수 있고, 제2-2 탑재부(f20-2)의 상면을 '제2-2 탑재영역'이라 할 수 있으며, 제2-3 탑재부(f20-3)의 상면을 '제2-3 탑재영역'이라 할 수 있다. 제2-1 프레임요소(F20-1)는 제2-1 탑재부(f20-1)에서 연장된 제2-1 핀 구조체(pp20-1)를 가질 수 있고, 제2-2 프레임요소(F20-2)는 제2-2 탑재부(f20-2)에서 연장된 제2-2 핀 구조체(pp20-2)를 가질 수 있으며, 제2-3 프레임요소(F20-3)는 제2-3 탑재부(f20-3)에서 연장된 제2-3 핀 구조체(pp20-3)를 가질 수 있다. 제2-1 핀 구조체(pp20-1)는 복수의 접속핀(p20-1)을 가질 수 있고, 제2-2 핀 구조체(pp20-2)는 복수의 접속핀(p20-2)을 가질 수 있으며, 제2-3 핀 구조체(pp20-3)는 복수의 접속핀(p20-3)을 가질 수 있다. 제2-3 탑재부(f20-3)는 전기적으로 서로 분리된 복수의 영역을 포함할 수 있고, 각각의 영역에 대응하도록 복수의 접속핀(p20-3)이 구비될 수 있다. 따라서, 복수의 접속핀(p20-3)은 전기적으로 서로 분리될 수 있다. 그러나, 여기서 설명한 제2 리드프레임(LF20)의 구조는 예시적인 것이고, 다양하게 변형될 수 있다.

[0055] 절연체(N10)는 제2-1 내지 제2-3 프레임요소(F20-1, F20-2, F20-3)에 각각 대응하는 제1 내지 제3 부분(n10-1, n10-2, n10-3)을 포함할 수 있다. 절연체(N10)의 제1 부분(n10-1) 및 제2 부분(n10-2)은 Y축 방향으로 연장된 구조를 가질 수 있고, 서로 이격하여 나란하게 배치될 수 있다. 절연체(N10)의 제3 부분(n10-3)은 제1 부분(n10-1) 및 제2 부분(n10-2)의 단부를 연결하는 구조를 가질 수 있다. 절연체(N10)는 레진(resin)으로 형성될 수 있다. 상기 레진은, 예컨대, 에폭시(epoxy), LCP(liquid crystal polymer), PI(polyimide), PC(polycarbonate), PET(polyethylene terephthalate) 등으로 구성된 그룹에서 선택된 적어도 하나의 물질을 포함할 수 있다. 이러한 물질들은 비전도성일 수 있다. 또한, 절연체(N10)는 상기 레진 및 소정의 첨가제/필러(filler)를 포함할 수 있다. 상기 첨가제/필러(filler)는 절연체(N10)의 열전도도를 높이는 역할을 할 수 있다. 이와 관련해서, 절연체(N10)는 비교적 높은 열전도도를 가질 수 있다. 예컨대, 절연체(N10)는 약 5 W/(m·K) 이상 혹은 약 10 W/(m·K) 이상의 열전도도(k)를 가질 수 있다. 또한, 절연체(N10)는 리드프레임(LF10, LF20)과 유사한 열팽창계수(coefficient of thermal expansion)(CTE)를 갖는 물질로 구성될 수 있다.

[0056] 지지구조체(SS10)에 탑재되는 반도체칩 요소(SC10)는 패드(PD10, PD20, PD30, PD40-1, PD40-2, PD50-1, PD50-2)가 형성된 면이 지지구조체(SS10)를 향하도록 배치될 수 있다. 도면 좌측의 점선 타원 내에 반도체칩 요소(SC10)의 패드측 면이 도시되어 있다. 반도체칩 요소(SC10)는 하나의 칩에 복수의 패드(PD10, PD20, PD30, PD40-1, PD40-2, PD50-1, PD50-2)를 구비할 수 있다. 예컨대, 반도체칩 요소(SC10)는 제1 패드(PD10), 제2 패드(PD20) 및 이들 사이에 배치된 제3 패드(PD30)를 포함할 수 있다. 또한, 반도체칩 요소(SC10)는 제1 내지 제3 패드(PD10, PD20, PD30) 일측에 제4-1, 제4-2 패드(PD40-1, PD40-2)와 제5-1, 제5-2 패드(PD50-1, PD50-2)를 포함할 수 있다. 제4-1 패드(PD40-1)와 제4-2 패드(PD40-2) 사이에 제5-1 및 제5-2 패드(PD50-1, PD50-2)가 구비될 수 있다. 제1 패드(PD10)는 포지티브(positive) 전압 패드 또는 드레인(drain) 패드일 수 있고, 제2 패드

(PD20)는 네거티브(negative) 전압 패드 또는 소오스(source) 패드일 수 있다. 제3 패드(PD30)는 출력(output) 패드일 수 있다. 제4-1 패드(PD40-1)는 제1 입력(input) 패드 또는 제1 게이트 패드일 수 있고, 제4-2 패드(PD40-2)는 제2 입력 패드 또는 제2 게이트 패드일 수 있다. 제5-1 패드(PD50-1)와 제5-2 패드(PD50-2)는 각각 제1 켈빈(Kelvin) 전극 패드 및 제2 켈빈 전극 패드일 수 있다. 상기 제1 및 제2 켈빈 전극 패드는 각각 제1 및 제2 켈빈 소오스 패드일 수 있다.

[0057] 도전성 연결요소(CE10)는 반도체칩 요소(SC10)의 패드 구조에 대응하는 복수의 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)를 가질 수 있다. 예컨대, 도전성 연결요소(CE10)는 제1, 제2 및 제3 패드(PD10, PD20, PD30)에 각각 대응하는 제1, 제2 및 제3 도전체(SD10, SD20, SD30)를 포함할 수 있다. 또한, 도전성 연결요소(CE10)는 제4-1 및 제4-2 패드(PD40-1, PD40-2)에 각각 대응하는 제4-1 및 제4-2 도전체(SD40-1, SD40-2)와 제5-1 및 제5-2 패드(PD50-1, PD50-2)에 각각 대응하는 제5-1 및 제5-2 도전체(SD50-1, SD50-2)를 포함할 수 있다. 제1 및 제2 도전체(SD10, SD20)는 각각 제2-1 탑재부(f20-1) 및 제2-2 탑재부(f20-2) 상에 구비될 수 있고, 제3 도전체(SD30)는 제1 탑재영역(R10) 상에 구비될 수 있다. 제4-1, 제4-2 도전체(SD40-1, SD40-2) 및 제5-1, 제5-2 도전체(SD50-1, SD50-2)는 제2-3 탑재부(f20-3) 상에 구비될 수 있다. 복수의 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)는, 예컨대, 솔더(solder)일 수 있고 패드(pad) 형태를 가질 수 있다. 따라서, 복수의 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)는 솔더 패드(solder pad)일 수 있다. 그러나, 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)의 물질 및 형태는 다양하게 변화될 수 있다.

[0058] 또한, 전술한 반도체칩 요소(SC10)의 패드 구조 및 도전성 연결요소(CE10)의 구조는 다양하게 변형될 수 있다. 반도체칩 요소(SC10)의 패드 개수 및 구조, 복수의 도전체(SD10, SD20, SD30, SD40-1, SD40-2, SD50-1, SD50-2)의 개수 및 구조는 다양하게 변화될 수 있다. 예컨대, 제1, 제2 및 제3 패드(PD10, PD20, PD30)의 위치 및 기능은 달라질 수 있고, 제4-1, 제4-2, 제5-1 및 제5-2 패드(PD40-1, PD40-2, PD50-1, PD50-2)의 위치 및 기능도 달라질 수 있다. 또한, 제5-1 및 제5-2 패드(PD50-1, PD50-2)는 구비되지 않을 수도 있다. 이러한 패드 구조의 변화에 따라 도전성 연결요소(CE10)의 구조도 달라질 수 있다.

[0059] 본 실시예의 반도체칩 요소(SC10)는 단일 칩(single chip)으로 구성될 수 있다. 상기 단일 칩은 하나의 기판에 복수의 소자(스위칭)가 모놀리식(monolithic) 하게 집적된 구조를 가질 수 있다. 구체적인 예로, 반도체칩 요소(SC10)는 단결정기판, 예컨대, 실리콘기판 상에 구비된 III-V족 계열의 소자부를 포함할 수 있다. 상기 III-V족 계열의 소자부는, 예컨대, 질화갈륨(GaN) 계열의 소자부일 수 있다. 반도체칩 요소(SC10)는 III-V족 계열의 복수의 트랜지스터(FET)를 포함할 수 있고, 상기 복수의 트랜지스터는 복수의(예컨대, 두 개의) 스위칭유닛을 구성할 수 있으며, 여기서, 상기 복수의 스위칭유닛은 서로 연결될 수 있다. 상기 복수의 스위칭유닛은 하프-브릿지(half-bridge) 연결 구조를 가질 수 있다. 이 경우, 반도체칩 요소(SC10)는 모놀리식(monolithic) 하프-브릿지(half-bridged) 소자 구조를 갖는다고 할 수 있다. 이러한 반도체칩 요소(SC10)의 구성은 한국특허출원 제10-2013-0149497호에 개시된 바와 같거나 유사할 수 있다.

[0060] 특히, 반도체칩 요소(SC10)가 실리콘기판 상에 구비된 질화갈륨(GaN) 계열의 소자부를 포함하는 경우, 반도체칩 요소(SC10)는 "GaN-on-Si 소자"를 포함한다고 할 수 있다. "GaN-on-Si 소자"는 비용 저감 측면에서 큰 장점을 갖기 때문에, GaN 계열 소자의 이용 저변 확대에 크게 기여할 수 있다. 또한, GaN 계열의 반도체를 이용한 소자는 낮은 전도 손실(low conduction loss)과 빠른 스위칭(fast switching) 특성 등으로 인한 낮은 스위칭 손실(low switching loss)로 시스템의 효율을 크게 증가시킬 수 있고, 높은 동작 주파수(high operating frequency)로 패시브(passive) 성분의 부피 감소(volume reduction)가 가능하며, 넓은 밴드갭(wide bandgap) 특성에 따라 낮은 온도 의존성을 갖는 등 다양한 장점을 갖는다. 따라서, GaN 계열의 반도체를 이용해서 파워소자(power device)(또는 파워시스템)를 구성하면, 파워소자(또는 파워시스템)의 성능을 크게 개선할 수 있다. 반도체칩 요소(SC10)는 이러한 파워소자(또는 파워시스템)이거나, 파워소자(또는 파워시스템)의 구성요소일 수 있다.

[0061] 반도체칩 요소(SC10)를 패키징하기 위한 도 1의 반도체소자 패키지(100A)의 구조는 방열 특성 개선, 동작 속도 개선, 고전력 핸들링 특성 확보, 내전압 특성 확보, 제조의 편의성, 높은 생산성, 작은 패키지 사이즈 등 다양한 측면에서 장점을 가질 수 있다. 이에 대해서는 추후에 보다 상세히 설명하도록 한다.

[0062] 도 2는 본 발명의 다른 실시예에 따른 반도체소자 패키지(100B)의 분해 사시도이다. 본 실시예에서 반도체칩 요소(SC11)는 복수의 칩(CH10, CH20)을 포함한다. 즉, 본 실시예는 복수의 칩(CH10, CH20)을 동시에 패키징하는 경우를 보여준다.

- [0063] 도 2를 참조하면, 반도체칩 요소(SC11)는 서로 분리된 제1칩(CH10) 및 제2칩(CH20)을 포함할 수 있다. 제1칩(CH10)은 제1 드레인패드(PD10-1), 제1 소오스 패드(PD10-2) 및 제1 게이트 패드(PD10-3)를 포함할 수 있다. 제1칩(CH10)은 제1 켈빈 전극 패드(PD10-4)를 더 포함할 수 있다. 제1 켈빈 전극 패드(PD10-4)는 제1 켈빈 소오스 패드일 수 있다. 제2칩(CH20)은 제2 드레인 패드(PD20-1), 제2 소오스 패드(PD20-2) 및 제2 게이트 패드(PD20-3)를 포함할 수 있다. 제2칩(CH20)은 제2 켈빈 전극 패드(PD20-4)를 더 포함할 수 있다. 제2 켈빈 전극 패드(PD20-4)는 제2 켈빈 소오스 패드일 수 있다. 제1 및 제2 켈빈 전극 패드(PD10-4, PD20-4)는 구비되지 않을 수도 있다. 그 밖에도, 제1 및 제2칩(CH10, CH20)의 구성은 다양하게 변형될 수 있다. 또한, 반도체칩 요소(SC11)는 세 개 또는 그 이상의 칩을 포함할 수도 있다.
- [0064] 도전성 연결요소(CE11)는 제1 및 제2칩(CH10, CH20)의 패드 구조에 대응하는 복수의 도전체(SD10-1, SD10-2, SD10-3, SD10-4, SD20-1, SD20-2, SD20-3, SD20-4)를 가질 수 있다. 예컨대, 도전성 연결요소(CE11)는 제1 드레인 패드(PD10-1), 제1 소오스 패드(PD10-2) 및 제1 게이트 패드(PD10-3)에 각각 대응하는 제1-1, 제1-2 및 제1-3 도전체(SD10-1, SD10-2, SD10-3)를 포함할 수 있다. 또한, 도전성 연결요소(CE11)는 제1 켈빈 전극 패드(PD10-4)에 대응하는 제1-4 도전체(SD10-4)를 더 포함할 수 있다. 또한, 도전성 연결요소(CE11)는 제2 드레인 패드(PD20-1), 제2 소오스 패드(PD20-2) 및 제2 게이트 패드(PD20-3)에 각각 대응하는 제2-1, 제2-2 및 제2-3 도전체(SD20-1, SD20-2, SD20-3)를 포함할 수 있다. 또한, 도전성 연결요소(CE11)는 제2 켈빈 전극 패드(PD20-3)에 대응하는 제2-4 도전체(SD20-4)를 더 포함할 수 있다. 제1 및 제2칩(CH10, CH20)의 패드 구조의 변화에 따라, 도전성 연결요소(CE11)의 구조도 다양하게 변화될 수 있다.
- [0065] 제1-1 도전체(SD10-1)는 제2-1 탑재부(f20-1) 상에 구비될 수 있고, 제2-2 도전체(SD20-2)는 제2-2 탑재부(f20-2) 상에 구비될 수 있다. 제1-2 도전체(SD10-2)는 제1 탑재영역(R10)의 제1 영역 상에 구비될 수 있고, 제2-1 도전체(SD20-1)는 제1 탑재영역(R10)의 제2 영역 상에 구비될 수 있다. 따라서, 제1-2 도전체(SD10-2)와 제2-1 도전체(SD20-1)는 제1 리드프레임(LF10)에 공통으로 연결될 수 있다. 제1-3, 제1-4, 제2-3 및 제2-4 도전체(SD10-3, SD10-4, SD20-3, SD20-4)는 제2-3 탑재부(f20-3)의 서로 다른 영역 상에 구비될 수 있다.
- [0066] 도 2에서 제1 리드프레임(LF10), 제2 리드프레임(LF20) 및 절연체(N10)는 도 1을 참조하여 설명한 제1 리드프레임(LF10), 제2 리드프레임(LF20) 및 절연체(N10)와 동일한 구조를 가질 수 있다. 따라서, 이들에 대한 반복 설명은 배제한다.
- [0067] 도 3은 본 발명의 다른 실시예에 따른 반도체소자 패키지(100C)의 분해 사시도이다. 본 실시예의 반도체칩 요소(SC12)는 도 1 및 도 2의 반도체칩 요소(SC10, SC11)와 다른 구성을 갖는다. 도면 좌측의 점선 타원 내에 반도체칩 요소(SC12)의 패드측 면이 도시되어 있다. 또한, 본 실시예에서 제1 리드프레임(LF10)은 탑재영역 및 방열 요소로서의 역할은 수행하지만, 반도체칩 요소(SC12)에 대한 전기적 연결 기능은 수행하지 않을 수 있다.
- [0068] 도 3을 참조하면, 반도체칩 요소(SC12)는 드레인 패드(PD12-1), 소오스 패드(PD12-2) 및 게이트 패드(PD12-3)를 포함할 수 있고, 켈빈 전극 패드(PD12-4)를 더 포함할 수 있다. 드레인 패드(PD12-1)와 소오스 패드(PD12-2)는 소정 간격을 두고 서로 이격될 수 있다. 드레인 패드(PD12-1)와 소오스 패드(PD12-2) 사이의 영역은 제1 리드프레임(LF10)의 제1 탑재영역(R10)에 대응될 수 있다. 켈빈 전극 패드(PD12-4)는 구비되지 않을 수 있고, 그 밖에도, 반도체칩 요소(SC12)의 구성은 다양하게 변화될 수 있다.
- [0069] 도전성 연결요소(CE12)는 반도체칩 요소(SC12)의 패드 구조에 대응하는 복수의 도전체(SD12-1, SD12-2, SD12-3, SD12-4)를 가질 수 있다. 예컨대, 도전성 연결요소(CE12)는 드레인 패드(PD12-1), 소오스 패드(PD12-2) 및 게이트 패드(PD12-3)에 각각 대응하는 제1, 제2 및 제3 도전체(SD12-1, SD12-2, SD12-3)를 포함할 수 있다. 또한, 도전성 연결요소(CE12)는 켈빈 전극 패드(PD12-4)에 대응하는 제4 도전체(SD12-4)를 더 포함할 수 있다. 반도체칩 요소(SC12)의 패드 구조의 변화에 따라, 도전성 연결요소(CE12)의 구조도 다양하게 변화될 수 있다.
- [0070] 제1 도전체(SD12-1)는 제2-1 탑재부(f20-1) 상에 구비될 수 있고, 제2 도전체(SD12-2)는 제2-2 탑재부(f20-2) 상에 구비될 수 있다. 제3 도전체(SD12-3)와 제4 도전체(SD12-4)는 제2-3 탑재부(f20-3')의 서로 다른 영역 상에 구비될 수 있다. 이때, 제2-3 탑재부(f20-3')는 도 1의 제2-3 탑재부(f20-3)에서 다소 변형된 구조를 가질 수 있다. 즉, 제2-3 탑재부(f20-3')는 제3 도전체(SD12-3)와 제4 도전체(SD12-4)에 대응하는 두 개의 탑재부로 분할될 수 있다. 제2-3 핀 구조체(pp20-3')는 도 1의 제2-3 핀 구조체(pp20-3)와 유사할 수 있지만, 이로부터 다소 변형된 구조를 가질 수도 있다. 제2-3 탑재부(f20-3') 및 제2-3 핀 구조체(pp20-3')는 각각 도 1의 제2-3 탑재부(f20-3) 및 제2-3 핀 구조체(pp20-3)와 동일한 구조를 가질 수도 있다. 참조번호 F20-3'는 제2-3 프레임 요소를, LF20'는 제2 리드프레임을, SS10'는 지지구조체를 나타낸다. 제2 리드프레임(LF20')은 도 1의 제2 리드

프레임(LF20)에서 다소 변형된 구조를 가질 수 있지만, 동일한 구조를 가질 수도 있다.

- [0071] 제1 리드프레임(LF10)의 제1 탑재영역(R10) 상에 레진층(RL12)이 구비될 수 있고, 레진층(RL12) 상에 반도체칩 요소(SC12)가 탑재될 수 있다. 즉, 반도체칩 요소(SC12)에서 드레인 패드(PD12-1)와 소오스 패드(PD12-2) 사이의 영역이 레진층(RL12) 상에 탑재될 수 있다. 레진층(RL12)은 전기적 절연체일 수 있다. 레진층(RL12)은, 에컨대, 에폭시(epoxy), LCP(liquid crystal polymer), PI(polyimide), PC(polycarbonate), PET(polyethylene terephthalate) 등으로 구성된 그룹에서 선택된 적어도 하나의 물질을 포함할 수 있다. 또한, 레진층(RL12)은 레진과 더불어 소정의 첨가재/필러(filler)를 포함할 수 있다. 상기 첨가재/필러(filler)는, 에컨대, BN(boron nitride), Al₂O₃, CNT(carbon nanotube) 등을 포함할 수 있다. 상기 첨가재/필러(filler)는 레진층(RL12)의 열전도도를 높이는 역할을 할 수 있다. 이와 관련해서, 레진층(RL12)은 비교적 높은 열전도도를 가질 수 있다. 에컨대, 레진층(RL12)은 약 1 W/(m·K) 이상 혹은 약 5 W/(m·K) 이상의 열전도도(k)를 가질 수 있다. 레진층(RL12)의 열전도도(k)는 약 10 W/(m·K) 이상으로 높을 수 있다. 또한, 레진층(RL12)은 리드프레임(LF10, LF20')과 유사한 열팽창계수(coefficient of thermal expansion)(CTE)를 갖는 물질로 구성될 수 있다.
- [0072] 본 발명의 실시예에 따르면, 레진층(RL12)으로 사용하는 물질(레진 및 필러)에 관련된 제약이 없거나 거의 없기 때문에, 레진층(RL12)의 높은 열전도도를 용이하게 확보할 수 있다. 종래의 패키지 구조의 경우, 언더필(underfill) 방식으로 레진을 칩 아래에 충전하기 때문에, 사용 가능한 물질에 많은 제약이 있고, 충전 불량이 발생하기 쉬운 문제가 있다. 이와 관련해서, 언더필(underfill) 레진층의 열전도도를 확보하기 어렵고, 불량률이 높아질 수 있으며, 패키지 성능이 떨어질 수 있다. 그러나, 본 발명의 실시예에서는 언더필(underfill) 방식을 사용하지 않기 때문에, 레진층(RL12)으로 사용하는 물질(레진 및 필러)에 관련된 제약이 없고, 이와 관련해서, 높은 열전도도를 용이하게 확보할 수 있다. 또한, 충전 불량 문제를 원천적으로 방지하거나 억제할 수 있다.
- [0073] 도 4 내지 도 6은 본 발명의 실시예들에 따른 반도체소자 패키지의 단면도이다. 도 4 내지 도 6은 각각 도 1 내지 도 3의 반도체소자 패키지(100A, 100B, 100C)의 X축 방향에 따른 단면도일 수 있다.
- [0074] 도 4 내지 도 6을 참조하면, 반도체소자 패키지(100A, 100B, 100C)의 단면 구조는 도 1 내지 도 3을 참조하여 설명한 반도체소자 패키지(100A, 100B, 100C)의 구조에 대응되는 것을 알 수 있다. 이때, 제1 리드프레임(LF10)의 제1 탑재영역(R10)과 제2 리드프레임(LF20, LF20')의 탑재부들(제2 탑재영역)(f20-1, f20-2)은 동일한 레벨(혹은, 유사한 레벨)에 구비되어 하나의 평면(탑재영역)을 형성할 수 있다. 즉, 제1 리드프레임(LF10)과 제2 리드프레임(LF20, LF20')은 동일한 레벨(동일한 평면)에 구비되는 하나의 탑재영역을 형성할 수 있고, 상기 탑재영역 상에 반도체칩 요소(SC10, SC11, SC12)가 구비될 수 있다. 또한, 반도체칩 요소(SC10, SC11, SC12)는 제1 리드프레임(LF10)과 제2 리드프레임(LF20, LF20')에 대하여 일측에 구비될 수 있다. 제1 리드프레임(LF10)의 일부는 제2 리드프레임(LF20, LF20')의 일부와 오버랩(overlap) 될 수 있다. 또한, 제2 리드프레임(LF20, LF20')의 일부는 제1 리드프레임(LF10)과 반도체칩 요소(SC10, SC11, SC12) 사이에 배치될 수 있다. 그러나, 도 4 내지 도 6의 단면 구조는 예시적인 것이고, 필요에 따라, 다양하게 변형될 수 있다.
- [0075] 도 7은 본 발명의 실시예에 따른 반도체소자 패키지의 결합 구조를 보여주는 사시도이다. 도 7의 (A) 구조는 도 1의 반도체소자 패키지(100A)를 결합한 구조일 수 있고, 도 7의 (B) 구조는 (A) 구조를 뒤집은 구조이다. 반도체칩 요소(SC10) 사방의 핀 구조체(pp100)는 방열요소(H10)에 대하여 반도체칩 요소(SC10) 쪽으로 휘어진 구조를 가질 수 있다.
- [0076] 도 8은 도 7의 반도체소자 패키지(100A)에 반도체칩 요소(SC10)를 보호하는 봉지재(encapsulant)(E10)를 구비시킨 경우를 보여주는 사시도이다. 도 8의 (B) 구조는 도 8의 (A) 구조를 뒤집은 구조이다. 봉지재(E10)는 EMC(epoxy molding compound)일 수 있다. 봉지재(E10)는 반도체칩 요소(도 7의 SC10)를 감싸면서, 지지구조체(도 1의 SS10)의 일부를 덮는 형태로 형성될 수 있다. 방열요소(H10)의 적어도 일부, 에컨대, 상면부(B 도면의 상면부)는 봉지재(E10)로 커버되지 않고 노출될 수 있다. 또한, 반도체칩 요소(도 7의 SC10) 사방의 핀 구조체(pp100)도 봉지재(E10)로 커버되지 않고 노출될 수 있다. 방열요소(H10)의 일부가 노출되어 있기 때문에, 방열요소(H10)의 노출면에 접촉된 외부 방열구조체(external heat sink)(미도시)를 추가적으로 구비시킬 수 있고, 이 경우, 방열 성능을 더욱 향상시킬 수 있다.
- [0077] 도 8의 (B) 구조의 상태/방향으로, 즉, 방열요소(H10)가 반도체칩 요소(SC10) 위쪽에 배치된 상태/방향으로, 반도체소자 패키지(100A)는 소정의 인쇄회로기판(printed circuit board)(PCB)(미도시)에 실장될 수 있다. 따라서, 상기 인쇄회로기판(PCB)은 (B) 구조 아래에 구비될 수 있다.

- [0078] 도 9는 도 8의 (B) 구조를 인쇄회로기판(PCB)에 실장한 경우를 예시적으로 보여주는 사시도이다.
- [0079] 도 10은 도 9의 반도체소자 패키지(100A)에 외부 방열구조체(external heat sink)(HS10)를 구비시킨 경우를 보여주는 사시도이다. 외부 방열구조체(HS10)는 방열요소(H10)에 접촉될 수 있다. 외부 방열구조체(HS10)의 구조는 예시적인 것이고, 다양하게 변형될 수 있다.
- [0080] 도 11은 본 발명의 실시예에 따른 반도체소자 패키지의 일부 단면 구조를 보여주는 단면도이다. 도 11의 구조는 도 1의 반도체소자 패키지(100A)의 중앙부의 단면도일 수 있다. 도 11의 구조는 반도체칩 요소(SC10)가 실리콘기판(SUB10)에 구비된 III-V족 계열의 소자부(DP10)를 포함하는 경우이다.
- [0081] 도 11을 참조하면, 반도체칩 요소(SC10)는 실리콘기판(SUB10)에 구비된 III-V족 계열의 소자부(DP10)를 포함할 수 있다. III-V족 계열의 소자부(DP10)는 GaN 계열의 소자부일 수 있다. 따라서, 반도체칩 요소(SC10)는 "GaN-on-Si 소자"를 포함한다고 할 수 있다. 지지구조체는 방열요소(H10) 및 방열요소(H10) 상에 구비된 도전체(SD30)를 포함할 수 있다. 도전체(SD30)는 방열요소(H10)와 III-V족 계열의 소자부(DP10) 사이에 구비될 수 있다. III-V족 계열의 소자부(DP10)는 도전체(SD30)와 실리콘기판(SUB10) 사이에 구비될 수 있다. III-V족 계열의 소자부(DP10)의 동작시, III-V족 계열의 소자부(DP10)로부터 열이 발생할 수 있다. 따라서, III-V족 계열의 소자부(DP10)는 히트 소오스(heat source)라고 할 수 있다.
- [0082] 도 11과 같은 단면 구조를 갖는 반도체소자 패키지의 경우, 우수한 열방출 특성을 가질 수 있다. 보다 구체적으로 설명하면, 본 실시예에서는 플립칩(flip chip) 방식을 사용하여, 히트 소오스(즉, III-V족 계열의 소자부)(DP10)와 방열요소(H10) 사이의 거리를 짧게 만들 수 있고, 이들 사이에 전기전도성 물질이면서 우수한 열전달 특성을 갖는 도전체(SD30)를 둬으로써, 우수한 열전도 특성(즉, 낮은 열저항 특성)을 확보할 수 있다. 따라서, 히트 소오스(즉, III-V족 계열의 소자부)(DP10)로부터 발생한 열은 쉽게 방출될 수 있다. 또한, 도 11과 같은 단면 구조를 갖는 반도체소자 패키지의 경우, 실리콘기판(SUB10)이 자연스럽게 전기적으로 플로팅(floating) 되는 효과를 얻을 수 있다. 이와 관련해서, 반도체칩 요소(SC10)의 내전압 특성을 개선하여 파괴 전압(breakdown voltage)을 높일 수 있고, 고전력 핸들링 특성을 확보할 수 있다.
- [0083] 도 1 내지 도 11을 참조하여 설명한 본 발명의 실시예에 따른 반도체소자 패키지는 패키지 기술에서 요구되는 여러 가지 요구조건들, 예컨대, 싱글사이드 연결(single side interconnection), 작은 전기적 기생 인덕턴스(small electrical parasitic inductance), 높은 파괴 전압(high breakdown voltage), 낮은 열저항(low thermal resistance), 고전력 핸들링(high power handling), 높은 생산성(high throughput), 작은 사이즈(small size)(즉, small footprint) 등의 요구조건들을 만족시키는데 유리한 구조를 가질 수 있다. 이에 대해 보다 구체적으로 설명하면, 제1 리드프레임(LF10)과 제2 리드프레임(LF20, LF20')을 절연체(N10)를 사이에 두고 결합하되, 제1 리드프레임(LF10)은 방열 기능 및 전기적 연결 기능을 수행할 수 있고, 제2 리드프레임(LF20, LF20')은 전기적 연결 기능을 수행할 수 있다. 그리고, 제1 리드프레임(LF10)과 제2 리드프레임(LF20, LF20')은 전기적으로 서로 분리된 복수의 탑재영역을 제공할 수 있다. 이러한 제1 리드프레임(LF10)과 제2 리드프레임(LF20, LF20')이 결합된 지지구조체(SS10, SS10') 상에 반도체칩 요소(SC10, SC11, SC12)를 플립칩(flip chip) 방식으로 탑재할 수 있다. 이때, 반도체칩 요소(SC10, SC11, SC12)의 기판(ex, 실리콘기판)은 자연스럽게 전기적으로 플로팅(floating) 될 수 있다. 이러한 패키지 구조에서는 본딩와이어(bonding wire)를 사용하지 않고, 플립칩(flip chip) 방식의 전기적 연결을 사용하고, 결합된 두 개의 리드프레임을 사용하기 때문에, 기생 성분을 크게 줄일 수 있다. 이와 관련해서, 소자의 동작(스위칭) 속도 및 효율을 개선할 수 있고, 방열 감소에 따른 냉각 시스템(cooling system)의 부담을 경감하는 효과를 얻을 수 있다. 또한, 제1 리드프레임(LF10)이 방열요소(H10)를 포함하고, 이를 통한 열전달/열방출이 용이하게 이루어질 수 있기 때문에, 방열 성능이 개선될 수 있고, 고전류 구동이 용이해질 수 있다. 특히, 반도체칩 요소(SC10, SC11, SC12)의 소자부(도 11의 DP10)가 도전체(SD30 등)를 사이에 두고 방열요소(H10)와 근접해 있기 때문에, 소자부(도 11의 DP10)에서 발생한 열이 방열요소(H10)를 통해 용이하게 방출될 수 있다. 부가적으로, 방열요소(H10)에 접촉된 외부 방열구조체를 용이하게 설치할 수 있기 때문에, 방열 성능을 더욱 개선할 수 있다. 그리고, 반도체칩 요소(SC10, SC11, SC12)의 기판(ex, 실리콘기판)은 전기적으로 플로팅(floating) 되어 있을 수 있으므로, 이와 관련해서, 내전압 특성을 개선할 수 있고, 파괴 전압(breakdown voltage)을 높일 수 있으며, 고전력 핸들링 특성을 개선할 수 있다. 또한, 본 발명의 실시예에 따른 반도체소자 패키지는 기존의 생산 공정을 다소 변경하여 용이하게 제조될 수 있고, 아울러, 픽 앤 플레이스(pick and place) 방식으로 실장될 수 있기 때문에, 생산성 향상에 유리할 수 있다. 또한, 본 발명의 실시예에 따른 반도체소자 패키지는 표면 실장형(surface mountable)이기 때문에, 이와 관련해서, 비교적 작은 사이즈(즉, small footprint)를 가질 수 있다.

- [0084] 위와 같은 이유로, 본 발명의 실시예에 따르면, 고전력 구동, 고속 동작, 고효율 특성을 만족할 수 있는 반도체 소자 패키지를 구현할 수 있다. 우수한 방열 특성을 갖고 전기적 기생 성분이 작으며 내전압 특성 향상에 유리한 반도체소자 패키지를 구현할 수 있다. 특히, 단결정기판(ex, 실리콘기판) 상에 III-V족 계열 물질(ex, GaN 계열 물질)을 적용한 소자에 적합한 반도체소자 패키지를 구현할 수 있다. 즉, III-V족 계열의 소자, 특히, "GaN-on-Si 소자"의 특성에 적합한 반도체소자 패키지를 구현할 수 있다.
- [0085] 도 12는 비교예에 따른 반도체소자 패키지를 보여주는 사시도이다. 본 비교예의 반도체소자 패키지는 TO(transistor outline) 패키지 구조를 갖는다.
- [0086] 도 12를 참조하면, 탑재부(본체부)(B1) 및 세 개의 핀(p1, p2, p3)을 갖는 리드프레임(LF1)이 마련된다. 세 개의 핀(p1, p2, p3) 중 가운데 위치한 제1핀(p1)은 탑재부(B1)와 일체를 이루고, 제1핀(p1) 양측의 제2 및 제3핀(p2, p3)은 탑재부(B1)와 분리되어 있다. 리드프레임(LF1)의 탑재부(B1)에 반도체칩(SC1)이 탑재된다. 반도체칩(SC1)은 상면부에 소오스 패드(S1), 드레인 패드(D1) 및 게이트 패드(G1)를 갖는다. 반도체칩(SC1)과 리드프레임(LF1)은 본딩와이어(bonding wire)(W1, W2, W3)로 연결된다. 드레인 패드(D1)는 탑재부(B1)에 연결되고, 소오스 패드(S1)는 제2핀(p2)에 연결되며, 게이트 패드(G1)는 제3핀(p3)에 연결된다. 드레인 패드(D1)는 탑재부(B1)를 통해 제1핀(p1)과 연결되어 있다. 반도체칩(SC1)과 탑재부(B1) 사이에는 비전도성 폴리머층(nonconductive polymer layer)(PL1)이 구비되어 있다. 폴리머층(PL1)은 탑재부(B1)와 반도체칩(SC1)을 전기적으로 분리하는 역할을 한다. 참조번호 E1은 반도체칩(SC1)을 보호하기 위한 EMC(epoxy molding compound) 요소를 나타낸다.
- [0087] 도 13은 도 12의 비교예에 따른 반도체소자 패키지의 일부 단면 구조를 보여주는 단면도이다. 도 13의 구조는 반도체칩(SC1)이 실리콘기판(SUB1)에 구비된 III-V족 계열의 소자부(DP1)를 포함하는 경우이다. 도 13의 비교예에 따른 구조는 도 11의 실시예에 따른 구조와 비교될 수 있다.
- [0088] 도 13을 참조하면, 탑재부(B1) 상에 비전도성 폴리머층(PL1)이 구비되고, 그 위에 반도체칩(SC1)이 탑재된다. 반도체칩(SC1)은 폴리머층(PL1) 상에 구비된 실리콘기판(SUB1) 및 실리콘기판(SUB1) 상에 구비된 III-V족 계열의 소자부(DP1)를 구비한다. 폴리머층(PL1)은 탑재부(B1)와 실리콘기판(SUB1) 사이에 구비되고, 실리콘기판(SUB1)은 폴리머층(PL1)과 III-V족 계열의 소자부(DP1) 사이에 구비된다.
- [0089] 도 13의 구조에서는 비전도성 폴리머층(레진층)(PL1)의 높은 열저항으로 인하여, 열의 흐름/전달이 원활하게 이루어지지 않을 수 있다. 즉, 히트 소오스(heat source)인 III-V족 계열의 소자부(DP1)로부터 발생한 열이 실리콘기판(SUB1) 및 폴리머층(PL1)을 거쳐 탑재부(B1)로 흘러가는데, 이때, 폴리머층(PL1)은 큰 열저항을 갖기 때문에, 방열 성능을 떨어뜨리는 요인이 된다. 다시 말해, 실리콘기판(SUB1)을 전기적으로 플로팅(floating) 하기 위해 사용하는 비전도성 폴리머층(PL1)에 의해 패키지의 방열 성능이 저하된다.
- [0090] 도 14 및 도 15는 비교예 및 실시예에 따른 반도체소자 패키지의 기생 성분을 시뮬레이션으로 측정된 결과를 보여주는 도면이다. BEM(boundary element method) 시뮬레이션을 이용하여, 기생 성분(인덕턴스, 저항)의 매트릭스(matrix)를 측정하였다. "AC L"은 교류 인덕턴스를 나타내고, "AC R"은 교류 저항을 나타낸다. L_{d1} 및 L_{s1} 은 각각 드레인 인덕턴스 및 소오스 인덕턴스를 나타내고, L_m 은 드레인/소오스의 상호(mutual) 인덕턴스를 나타낸다. R_{d1} 및 R_{s1} 은 각각 드레인 저항 및 소오스 저항을 나타내고, R_m 은 드레인/소오스의 상호(mutual) 저항을 나타낸다.
- [0091] 도 14 및 도 15를 비교하면, 시스템의 효율에 직접적인 영향을 주는 소오스 인덕턴스(L_{s1})의 경우, 실시예에 따른 패키지가 비교예에 따른 패키지보다 약 10분의 1 정도로 작아진 것을 알 수 있다. 따라서, 본 발명의 실시예에 따른 패키지를 사용하면, 시스템의 효율을 크게 향상시킬 수 있다.
- [0092] 도 16 내지 도 24는 본 발명의 일 실시예에 따른 반도체소자 패키지의 제조방법을 보여주는 사시도이다. 도 16 내지 도 24 각각은 위쪽에서 바라본 도면(A)과 아래쪽에서 바라본 도면(B)을 포함한다.
- [0093] 도 16을 참조하면, 소정의 얼라인먼트 프레임(alignment frame)(AF10)을 마련할 수 있다. 얼라인먼트 프레임(AF10)은 리드프레임들을 수용하기 위한 소정의 수용영역(RR1) 및 그 주위에 구비된 복수의 얼라인먼트 핀(alignment pin)(AP1)을 포함할 수 있다. 수용영역(RR1)은 도시된 바와 같이 개구영역일 수 있지만, 그렇지 않을 수도 있다. 얼라인먼트 핀(alignment pin)(AP1)은 수용영역(RR1) 주위에 두 개 이상 구비될 수 있다. 본 실시예에서는 네 개의 얼라인먼트 핀(alignment pin)(AP1)을 사용하는 경우를 보여준다. 핀(AP1)의 형태는 다양하게 변화될 수 있다. 얼라인먼트 프레임(AF10)은 얼라인먼트 핀(alignment pins)(AP1)을 갖는 보트(boat)라고 할

수 있다.

- [0094] 도 17을 참조하면, 얼라인먼트 프레임(AF10)에 제1 리드프레임(LF10)을 포함하는 제1 구조체(S100)를 로딩 (loading) 할 수 있다. 제1 리드프레임(LF10)은 도 1 내지 도 3 등을 참조하여 설명한 제1 리드프레임(LF10)과 동일하거나 유사한 구조를 가질 수 있다. 제1 리드프레임(LF10)은 수용영역(RR1) 내에 위치할 수 있고, 제1 구조체(S100)의 주변부는 얼라인먼트 핀(alignment pin)(AP1)의 적어도 일부에 끼워지도록 구비될 수 있다.
- [0095] 도 18을 참조하면, 제1 리드프레임(LF10)의 일부 상에 절연체(N10)를 형성할 수 있다. 즉, 제1 리드프레임 (LF10)의 제2 부분(도 1의 P20) 주위의 제1 부분(도 1의 P10) 상에 절연체(N10)를 형성할 수 있다. 절연체 (N10)는 레진(resin)으로 형성할 수 있다. 상기 레진은, 에컨대, 에폭시(epoxy), LCP(liquid crystal polymer), PI(polyimide), PC(polycarbonate), PET(polyethylene terephthalate) 등으로 구성된 그룹에서 선택 된 적어도 하나의 물질을 포함할 수 있다. 이러한 물질들은 비전도성일 수 있다. 또한, 절연체(N10)는 상기 레 진 및 소정의 첨가재/필러(filler)를 포함할 수 있다. 상기 첨가재/필러(filler)는 절연체(N10)의 열전도도를 높이는 역할을 할 수 있다. 이와 관련해서, 절연체(N10)는 비교적 높은 열전도도를 가질 수 있다. 에컨대, 절연 체(N10)는 약 5 W/(m·K) 이상 혹은 약 10 W/(m·K) 이상의 열전도도(k)를 가질 수 있다. 또한, 절연체(N10)는 리드프레임(LF10)과 유사한 열팽창계수를 갖는 물질로 구성될 수 있다.
- [0096] 도 19를 참조하면, 제2 리드프레임(LF20)을 포함하는 제2 구조체(S200)를 얼라인먼트 프레임(AF10)에 로딩할 수 있다. 이때, 제2 리드프레임(LF20)은 절연체(N20)를 사이에 두고 제1 리드프레임(LF10)에 결합될 수 있다. 절연 체(N20)의 접착력을 가질 수 있으므로, 제1 및 제2 리드프레임(LF10, LF20)을 본딩(bonding)하는 역할을 할 수 있다. 이후, 소정의 온도에서 절연체(N20)에 대한 경화(curing) 공정을 수행할 수 있다. 상기 경화(curing) 공 정은, 에컨대, 150~200℃ 정도의 온도에서 수행할 수 있다. 제1 및 제2 리드프레임(LF10, LF20)이 결합된 구조 는 지지구조체(SS10)라고 할 수 있다. 지지구조체(SS10)를 하나의 '리드프레임'으로 여길 수 있다. 지지구조체 (SS10)는 소정의 탑재영역을 가질 수 있다. 제1 리드프레임(LF10)의 제1 탑재영역 주위에 제2 리드프레임(LF2 0)의 제2 탑재영역이 마련될 수 있다. 상기 제2 탑재영역은 상기 제1 탑재영역 주위에 복수 개로 구비될 수 있 다. 이에 대해서는 도 1 등을 참조하여 설명한 바와 동일할 수 있다.
- [0097] 도 20을 참조하면, 지지구조체(SS10)의 상기 탑재영역 상에 도전성 연결요소(CE10)를 형성할 수 있다. 도전성 연결요소(CE10)는, 에컨대, 도 1을 참조하여 설명한 도전성 연결요소(CE10)와 동일하거나 유사한 구성을 가질 수 있다. 도전성 연결요소(CE10)를 형성하는 방법은, 에컨대, 솔더 페이스트(solder paste)를 스크린 프린팅 (screen printing) 방법 등으로 도포하는 단계를 포함할 수 있다. 그러나, 이는 예시적인 것이고, 다양하게 변 형될 수 있다.
- [0098] 도 21을 참조하면, 도전성 연결요소(도 20의 CE10) 상에 반도체칩 요소(SC10)를 탑재할 수 있다. 즉, 도전성 연 결요소(CE10)를 매개로 하여 반도체칩 요소(SC10)를 지지구조체(도 20의 SS10)의 탑재영역 상에 플립칩(flip chip) 방식으로 탑재할 수 있다. 반도체칩 요소(SC10)는, 에컨대, 도 1을 참조하여 설명한 반도체칩 요소(SC1 0)와 동일한 구성을 가질 수 있다.
- [0099] 도 22를 참조하면, 반도체칩 요소(도 21의 SC10)을 감싸는 봉지재(encapsulant)(E10)를 형성할 수 있다. 봉지재 (E10)는 EMC(epoxy molding compound) 일 수 있다. 이때, 지지구조체(도 19의 SS10)의 방열요소(H10)의 적어도 일부는 봉지재(E10)로 커버되지 않고 노출될 수 있다.
- [0100] 도 23을 참조하면, 얼라인먼트 프레임(AF1)으로부터 제1 및 제2 구조체(S100, S200)를 분리할 수 있다.
- [0101] 도 24를 참조하면, 제1 및 제2 구조체(S100, S200)의 주변부 절단(cut out) 및 마무리(finalize) 공정을 수행 하여, 반도체소자 패키지(100A)를 얻을 수 있다. 이후, 도시하지는 않았지만, 반도체칩 패키지(100A)를 소정의 인쇄회로기판(PCB) 상에 실장할 수 있다(도 9 참조). 또한, 필요에 따라, 방열요소(H10)의 노출면에 접촉된 외 부 방열구조체(external heat sink)를 더 구비시킬 수 있다(도 10 참조).
- [0102] 도 25는 본 발명의 다른 실시예에 따른 반도체소자 패키지의 제조방법을 설명하기 위한 사시도이다.
- [0103] 도 25를 참조하면, 제1 리드프레임(LF10)을 포함하는 제1 구조체(S100)를 얼라인먼트 프레임(AF1)에 로딩할 수 있다. 이때, 제1 리드프레임(LF10)은 도 1을 참조하여 설명한 제1 리드프레임(LF10)과 동일하거나 유사한 구성 을 가질 수 있다. 따라서, 제1 리드프레임(LF10)은 방열요소(도 1의 H10)를 구비할 수 있다.
- [0104] 다음, 제2 리드프레임(LF20')을 포함하는 제2 구조체(S200')를 마련할 수 있다. 이때, 제2 리드프레임(LF20')은 도 3을 참조하여 설명한 제2 리드프레임(LF20')과 동일하거나 유사한 구성을 가질 수 있다. 다음, 제2 리드프레

임(LF20')의 탑재영역 상에 반도체칩 요소(SC12)를 탑재할 수 있다. 제2 리드프레임(LF20')과 반도체칩 요소(SC12) 사이에는 소정의 도전성 연결요소가 구비될 수 있다. 상기 도전성 연결요소는, 예컨대, 도 3의 도전체들(SD12-1, SD12-2, SD12-3, SD12-4)에 대응될 수 있다. 제2 구조체(S200')에 상기 도전성 연결요소 및 반도체칩 요소(SC12)를 구비시키는 단계는 소정의 얼라인먼트 프레임(alignment frame)(미도시)에서 수행할 수 있다. 상기 소정의 얼라인먼트 프레임은 도 16의 얼라인먼트 프레임(AF1)과 동일한 것일 수 있다.

[0105] 제1 리드프레임(LF10)의 탑재영역(제1 탑재영역) 상에 레진층(RL12)을 형성할 수 있고, 상기 제1 탑재영역 주위의 제1 리드프레임(LF10) 영역 상에 절연체(N10)를 형성할 수 있다. 레진층(RL12)의 물질 및 특성 등은 도 3을 참조하여 설명한 레진층(RL12)과 동일하거나 유사할 수 있다. 절연체(N10)의 물질 및 특성 등은 도 1을 참조하여 설명한 절연체(N10)와 동일하거나 유사할 수 있다. 여기서는 레진층(RL12)을 판형 또는 필름 형태로 형성하는 경우를 도시하였지만, 레진층(RL12)이 형성되는 형태는 다양하게 변형될 수 있다.

[0106] 그런 다음, 제2 구조체(S200')를 제1 구조체(S100)와 결합할 수 있다. 이때, 절연체(N10)를 사이에 두고 제1 리드프레임(LF10)과 제2 리드프레임(LF20')이 결합될 수 있다. 또한, 레진층(RL12) 상에 반도체칩 요소(SC12)가 탑재될 수 있다. 레진층(RL12)과 절연체(N10)는 어느 정도 유동성을 가질 수 있으므로, 반도체칩 요소(SC12)와 제2 리드프레임(LF20')이 제1 리드프레임(LF10)에 부착될 때, 부착 압력에 의해 레진층(RL12)과 절연체(N10)의 형태는 적절히 변형될 수 있다. 그 다음, 필요한 경우, 레진층(RL12) 및 절연체(N10)에 대한 소정의 경화(curing) 공정을 수행할 수 있다.

[0107] 이후, 도시하지는 않았지만, 결합된 제1 및 제2 구조체(S100, S200')를 얼라인먼트 프레임(AF1)으로부터 분리한 후, 절단 및 마무리 공정을 수행하여 반도체소자 패키지를 제조할 수 있다. 이렇게 제조된 반도체소자 패키지는 도 3에서 설명한 바와 같은 분해 구조를 가질 수 있다.

[0108] 도 16 내지 도 25를 참조하여 설명한 본 발명의 실시예에 따른 반도체소자 패키지의 제조방법은 기존의 리드프레임 패키지 제조 장비/공정을 다소 변경하여 진행할 수 있으므로, 새로운 장비 투자에 대한 부담 없이, 적은 비용으로 적용될 수 있다. 또한, 전술한 제조방법에서 리드프레임들(LF10, LF20, LF20')의 구조나 도전성 연결요소(CE10)의 구조, 반도체칩 요소(SC10)의 구성 등은 예시적인 것이고, 매우 다양하게 변형될 수 있다.

[0109] 본 발명의 다른 실시예에 따르면, 도 7 및 도 8의 구조에서 핀 구조체(pp100)의 형태/방향을 변형할 수 있다. 도 7 및 도 8의 구조에서는 핀 구조체(pp100)의 접속핀들의 콘택면이 방열요소(H10) 대비 반도체칩 요소(SC10)가 형성된 방향을 향하도록 구비되어 있다. 즉, 접속핀들이 반도체칩 요소(SC10)가 구비된 방향으로 구부러져 방열요소(H10)의 노출 방향과 반대쪽을 향하도록 구비되어 있다. 다른 실시예에서는, 접속핀들의 콘택면이 반도체칩 요소(SC10) 대비 방열요소(H10)가 형성된 방향을 향하도록 만들 수 있다. 그 예가 도 26 및 도 27에 도시되어 있다. 도 26 및 도 27의 (A) 도면은 위쪽에서 바라본 것이고, (B) 도면은 아래쪽에서도 바라본 것이다.

[0110] 도 26 및 도 27을 참조하면, 핀 구조체(pp100')의 접속핀들의 콘택면이 반도체칩 요소(SC10) 대비 방열요소(H10)가 형성된 방향을 향하도록 구비되어 있다. 도 27은 도 26의 구조에 봉지재(E10)를 구비시킨 경우를 보여준다.

[0111] 도 28은 도 27의 반도체소자 패키지(100A')를 인쇄회로기판(PCB)에 실장한 경우를 예시적으로 보여주는 사시도이다. 이때, 방열요소(도 27의 H10)는 인쇄회로기판(PCB)을 향하도록 배치될 수 있다. 방열요소(도 27의 H10)의 노출면은 인쇄회로기판(PCB)에 접촉될 수 있다.

[0112] 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 예를 들어, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 도 1 내지 도 11 및 도 26 내지 도 28의 반도체소자 패키지의 구조는 다양하게 변형될 수 있음을 알 수 있을 것이다. 구체적인 예로, 제1 리드프레임(LF10)과 제2 리드프레임(LF20, LF20')의 구조는 다양하게 변형될 수 있고, 도전성 연결요소(CE10, CE11, CE12) 및 반도체칩 요소(SC10, SC11, SC12)의 구성도 다양하게 변형될 수 있음을 알 수 있을 것이다. 또한, 도 16 내지 도 25를 참조하여 설명한 제조방법도 다양하게 변형될 수 있음을 알 수 있을 것이다. 그리고, 본 발명의 실시예에 따른 반도체소자 패키지는 파워소자나 파워시스템 및 파워 모듈뿐 아니라 그 밖에 다른 반도체소자에 다양하게 적용될 수 있음을 알 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

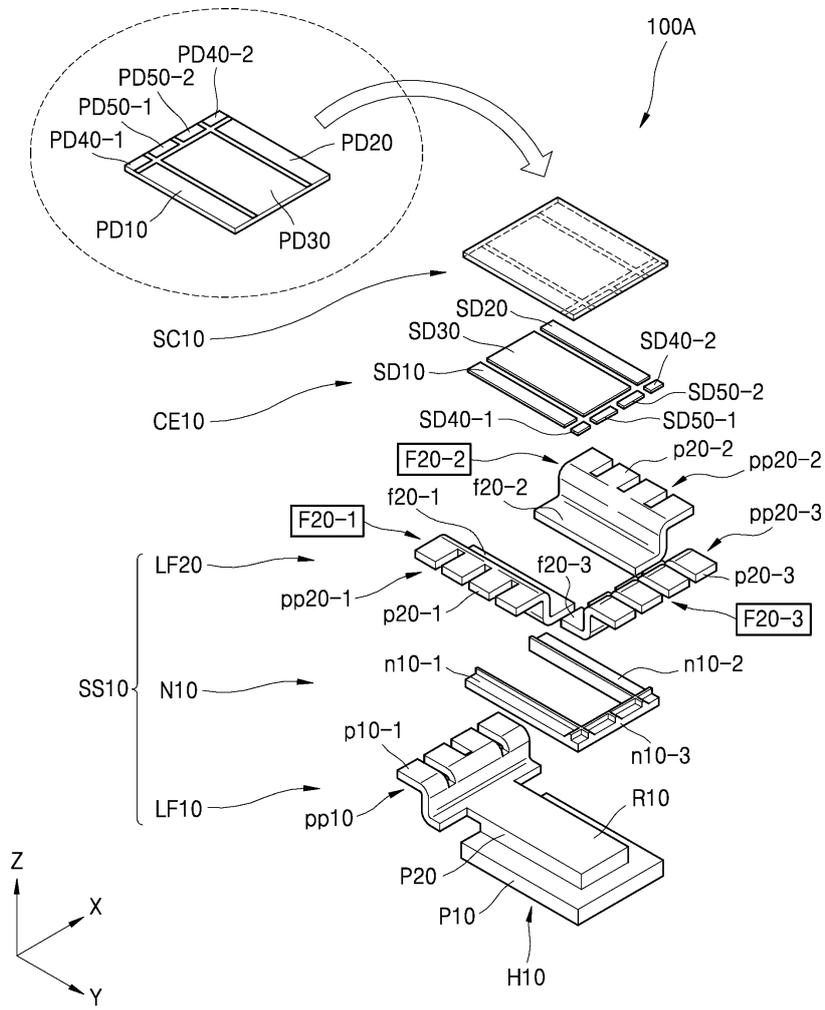
부호의 설명

[0113] * 도면의 주요 부분에 대한 부호설명 *

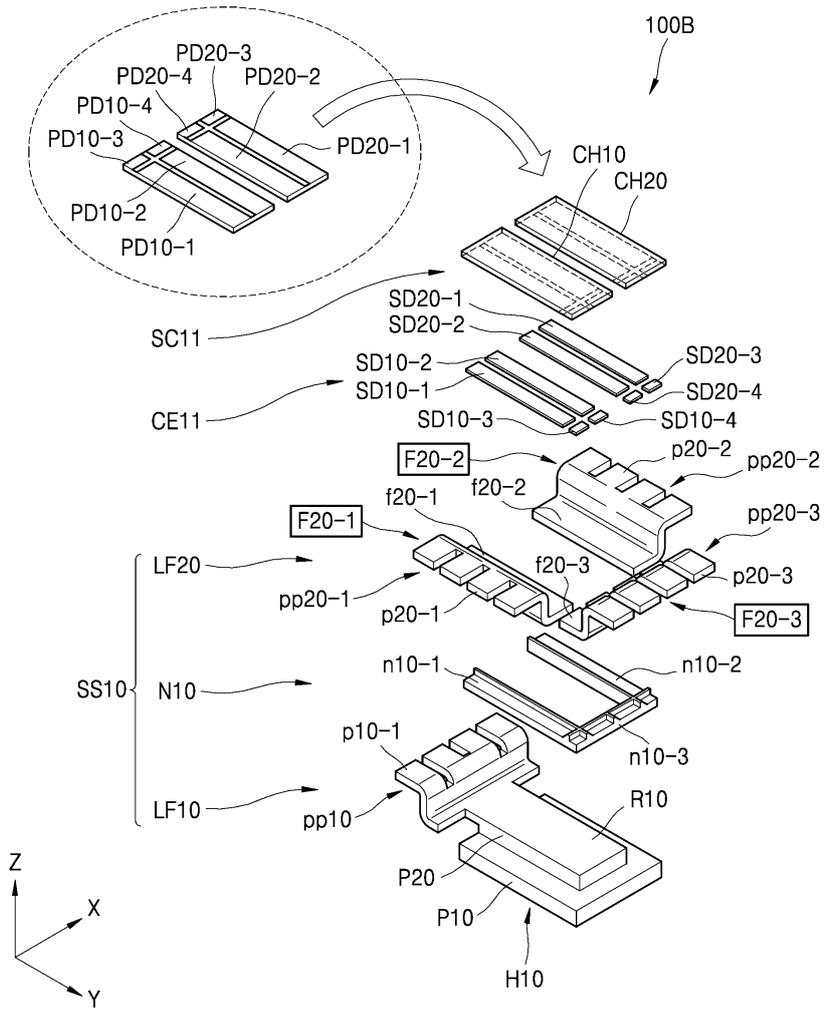
100A~100C : 반도체소자 패키지	LF10 : 제1 리드프레임
LF20, LF20' : 제2 리드프레임	N10 : 절연체
SS10, SS10' : 지지구조체	CE10~CE12 : 도전성 연결요소
SC10~SC12 : 반도체칩 요소	H10 : 방열요소
R10 : 제1 탑재영역	P10 : 제1 리드프레임의 제1 부분
P20 : 제1 리드프레임의 제2 부분	F20-1 : 제2-1 프레임요소
F20-2 : 제2-2 프레임요소	F20-3, F20-3' : 제2-3 프레임요소
SD10~SD50 : 도전체	PD10~PD50 : 패드
RL12 : 레진층	E10 : 봉지재
pp100, pp100' : 핀 구조체	HS10 : 외부 방열구조체
PCB : 인쇄회로기판	SUB1, SUB10 : 실리콘기판
DP1, DP10 : 소자부	AF1 : 얼라인먼트 프레임
AP1 : 얼라인먼트 핀	RR1 : 수용영역

도면

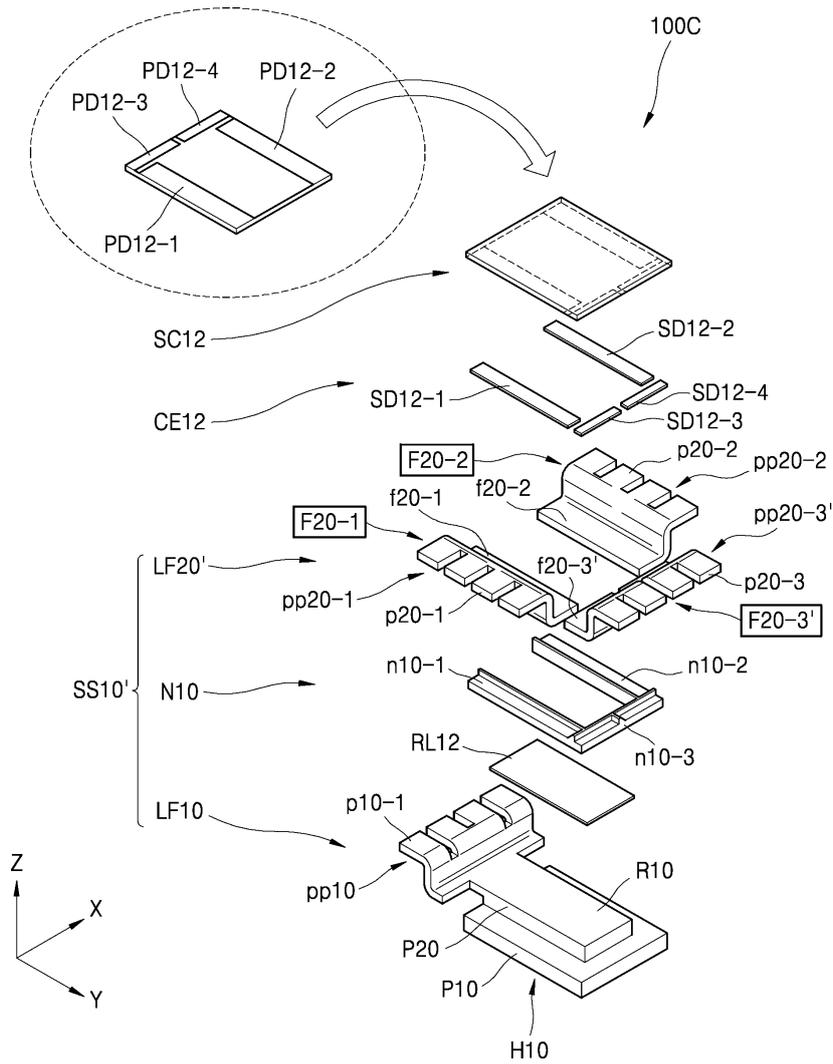
도면1



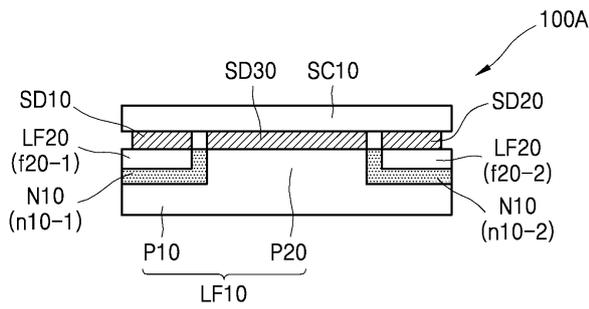
도면2



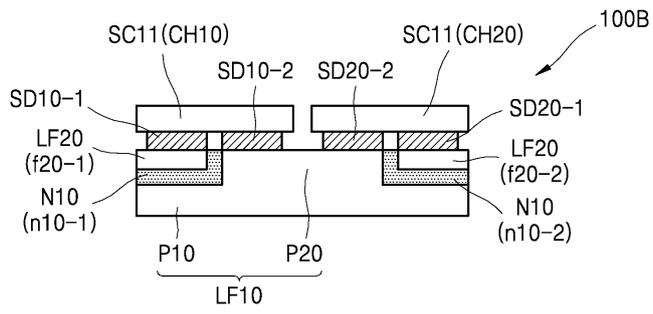
도면3



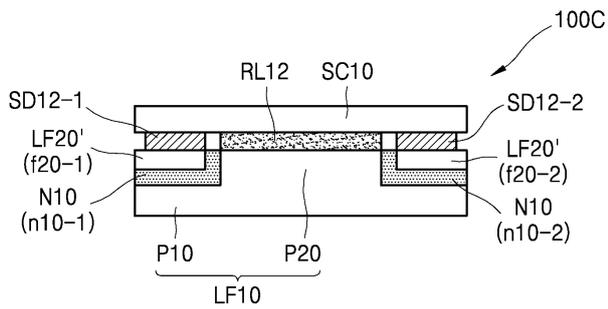
도면4



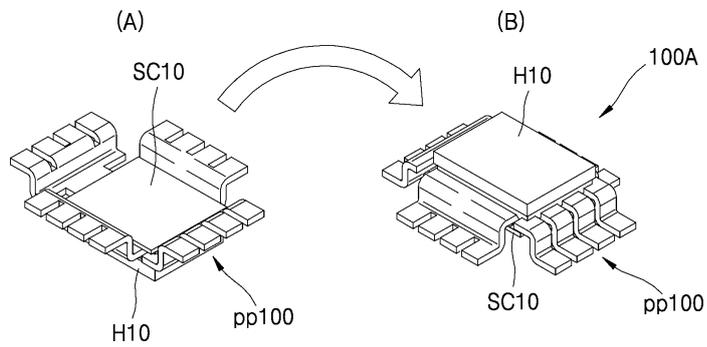
도면5



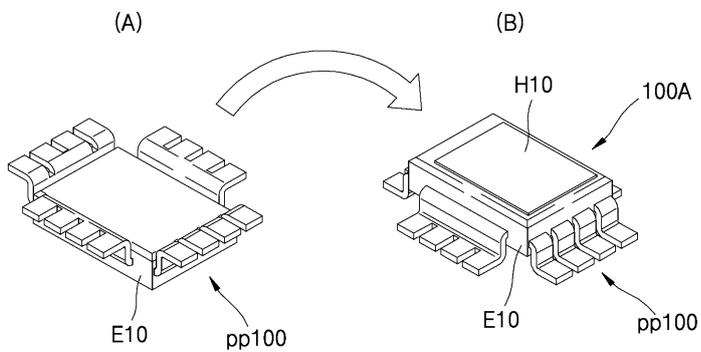
도면6



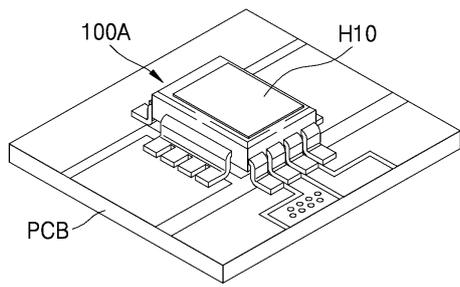
도면7



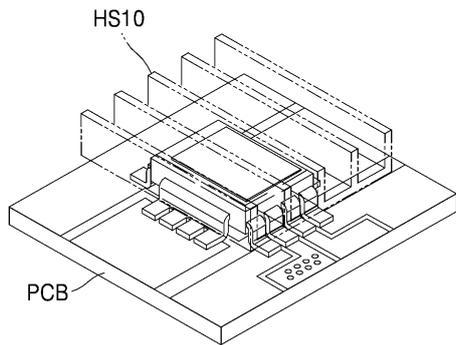
도면8



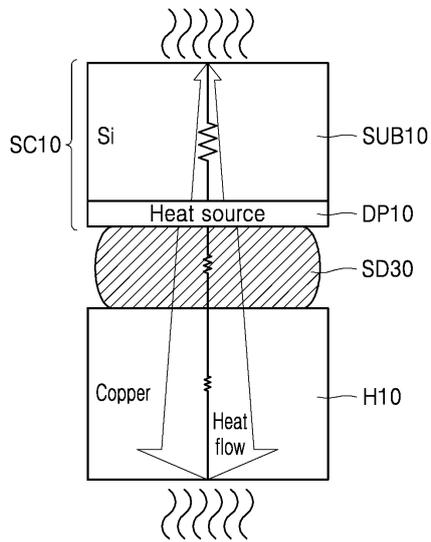
도면9



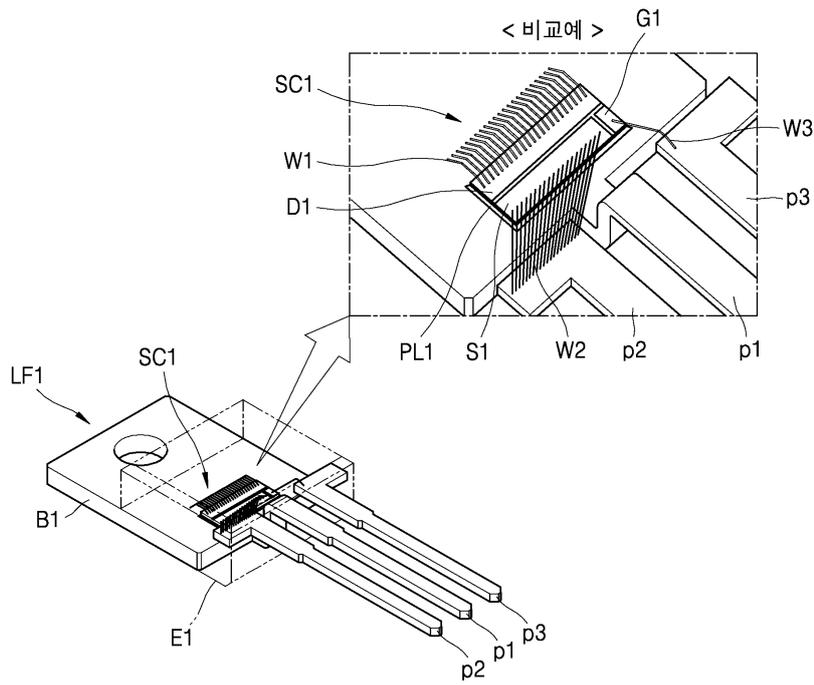
도면10



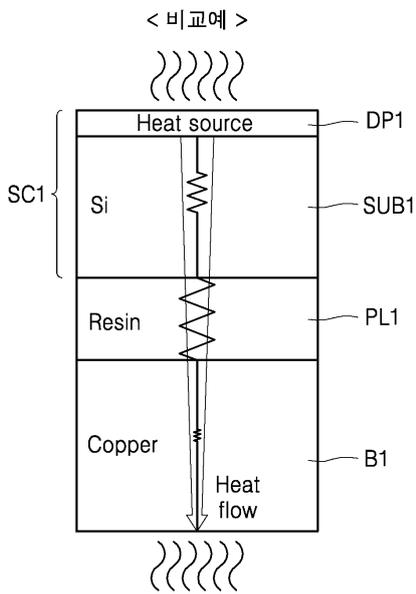
도면11

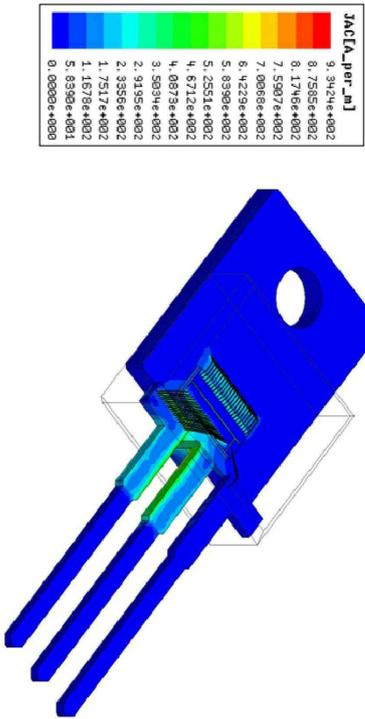


도면12



도면13



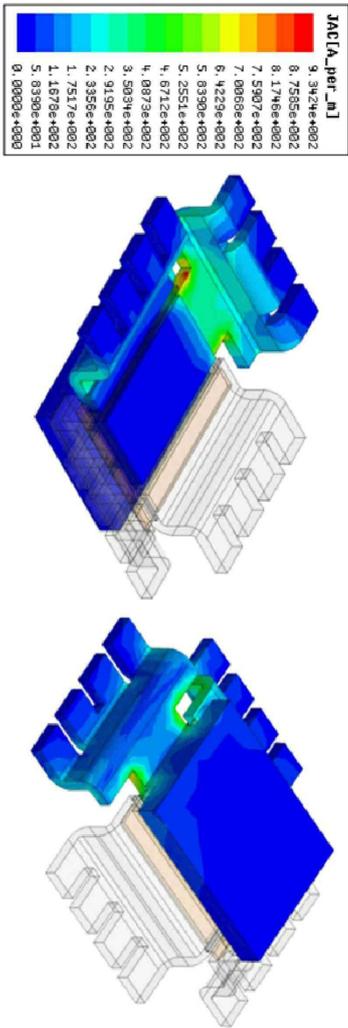


< 비표예 >

$$ACL @ 1MHz \begin{pmatrix} L_{d1} & L_M \\ L_M & L_{s1} \end{pmatrix} = \begin{pmatrix} 3.8692 & -2.0046 \\ -2.0046 & 4.6494 \end{pmatrix} nH$$

$$ACR @ 1MHz \begin{pmatrix} R_{d1} & R_M \\ R_M & R_{s1} \end{pmatrix} = \begin{pmatrix} 1.0921 & 0.013704 \\ 0.013704 & 0.999993 \end{pmatrix} m\Omega$$

도면14



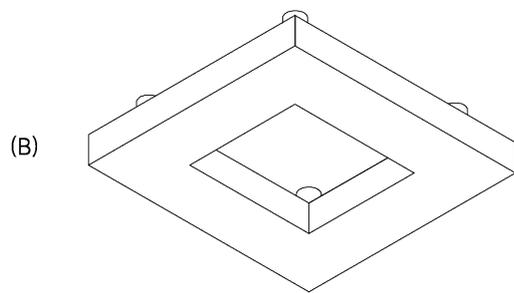
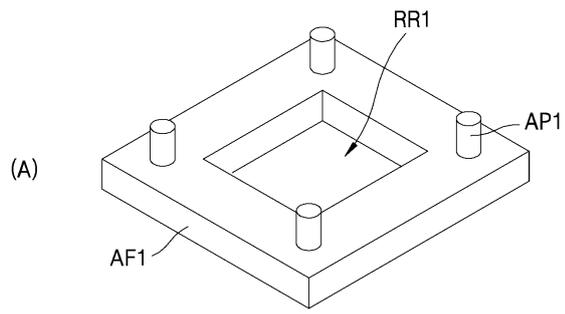
< 실사례 >

$$ACL @ 1MHz \begin{pmatrix} L_{d1} & L_M \\ L_M & L_{s1} \end{pmatrix} = \begin{pmatrix} 0.16566 & -0.028046 \\ -0.028046 & 0.4942 \end{pmatrix} nH$$

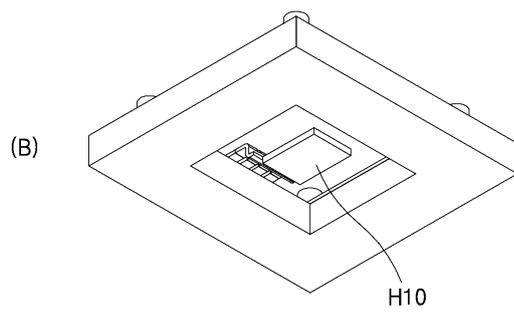
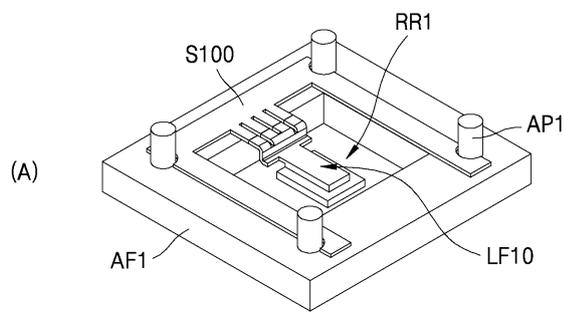
$$ACR @ 1MHz \begin{pmatrix} R_{d1} & R_M \\ R_M & R_{s1} \end{pmatrix} = \begin{pmatrix} 57.652 & 5.442 \\ 5.442 & 154.55 \end{pmatrix} \mu\Omega$$

도면15

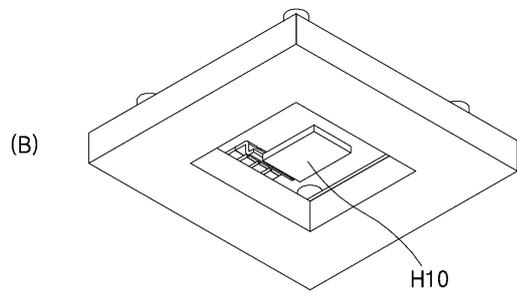
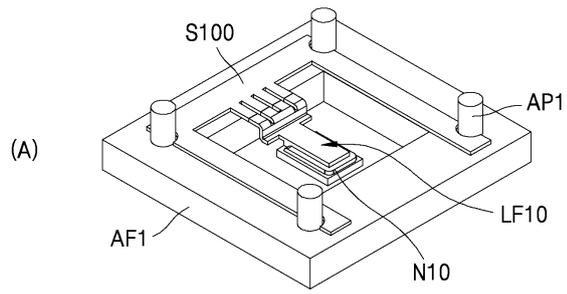
도면16



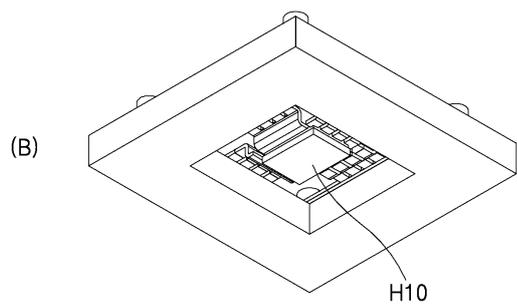
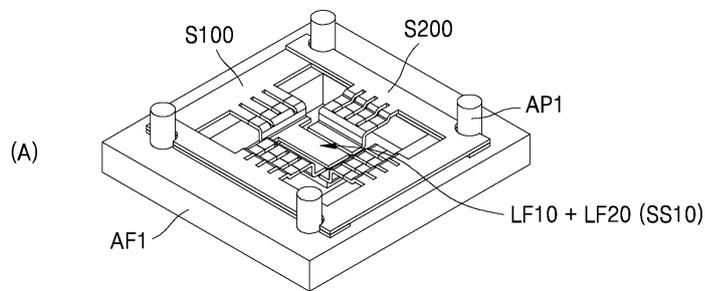
도면17



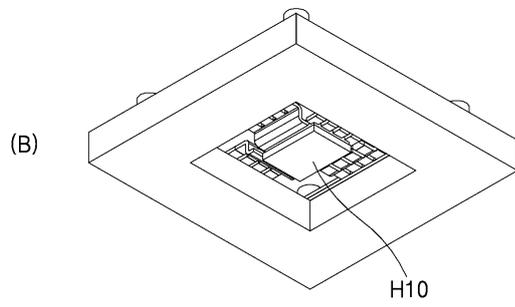
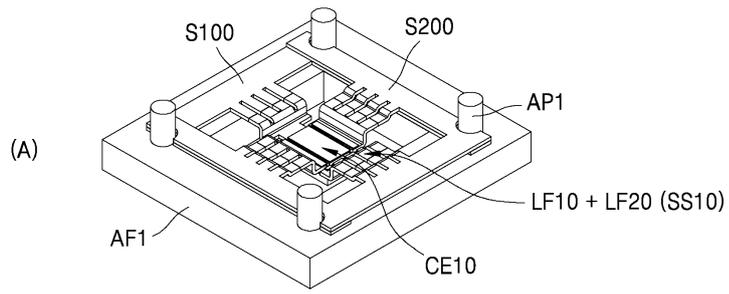
도면18



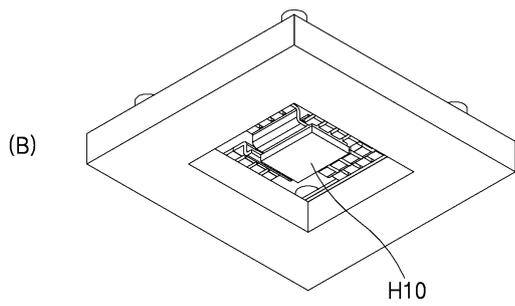
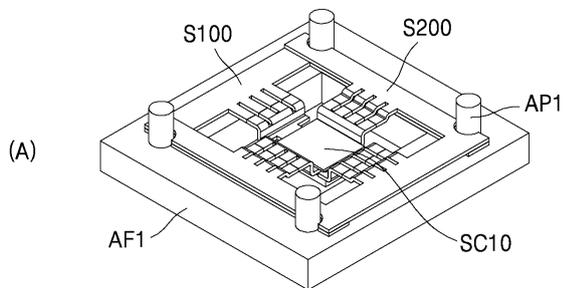
도면19



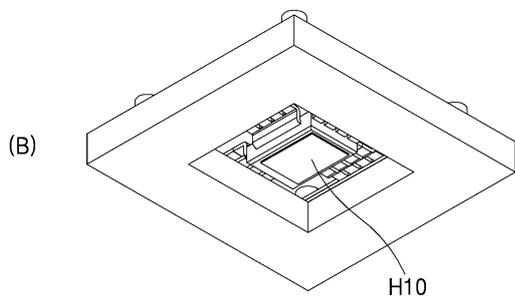
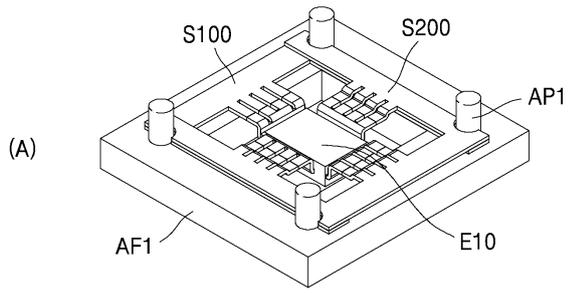
도면20



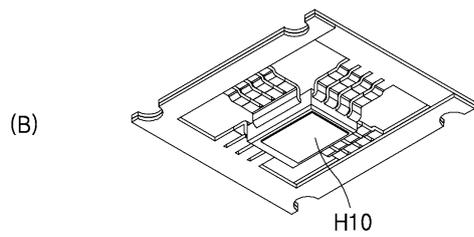
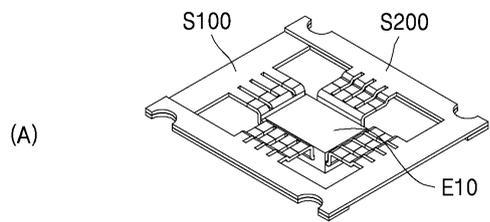
도면21



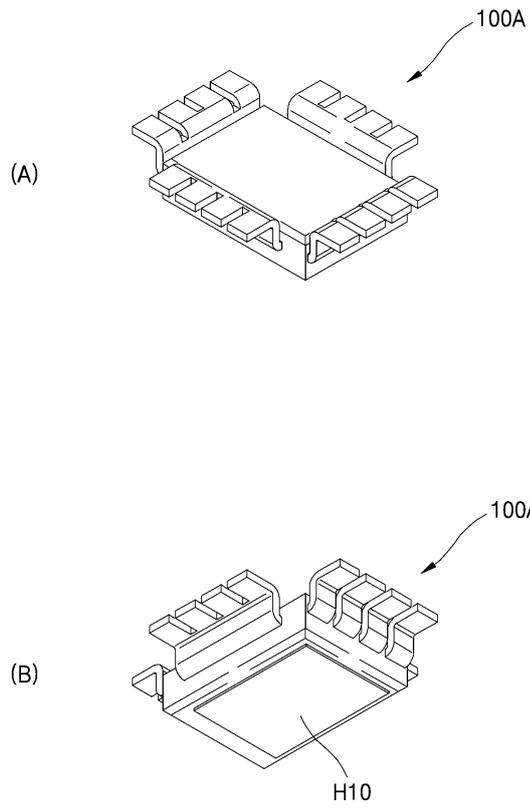
도면22



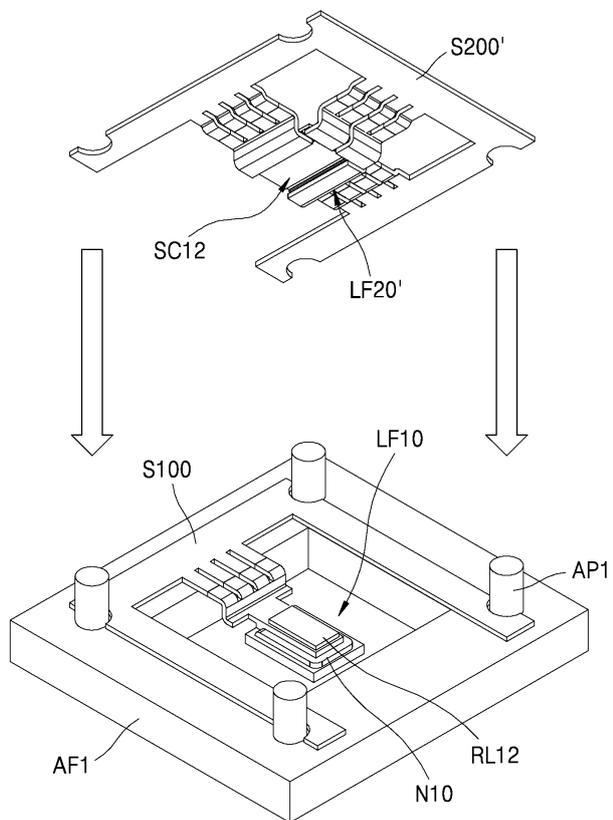
도면23



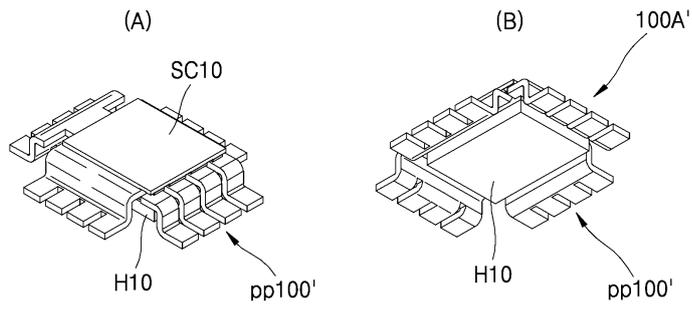
도면24



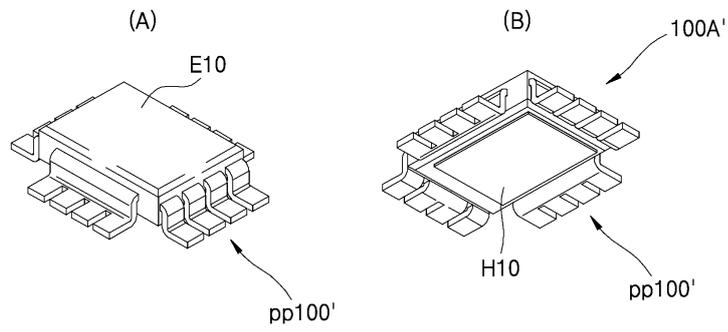
도면25



도면26



도면27



도면28

