

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

美國 2000年09月22日 09/667,688 有 無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝  
訂  
線

## 五、發明說明 ( )

### 發明範圍

本發明之實施例關於快取記憶體裝置，尤其，本發明關於一種用於藉由多重計算引擎之一快取記憶體裝置之共享之方法及裝置。

### 背景

電腦計算系統可以包含多重計算引擎。例如，一積體電路晶片可以包含一中央處理單元(CPU)及一圖形處理器。在一系統中計算引擎可以共享系統資源。在上面之例子中，CPU及一圖形處理器可以共享一系統記憶體裝置，例如一隨機存取記憶體(RAM)裝置。第二計算引擎可以只在明確時脈需要共享資源，及因此可以動態共享資源。例如，在一些時脈CPU可以具有對全部系統記憶體之存取，及在其它時脈(例如在圖形處理器係執行一圖形操作時)，CPU可以備有圖形處理器共享系統記憶體。在本例子中，根據圖形處理器之需求可以在共享模式及非共享模式間之系統操作過程期間切換系統記憶體。

可以在一快取記憶體裝置("快取")裝置，例如靜態隨機存取記憶體(SRAM)中快取儲存於一RAM中一計算引擎之資訊(例如資料及指令)。在一陣列中之每位元儲存單元只具有一單一輸出及單一輸入埠(即一信號感測放大)之情形中，一快取可以具有單一埠陣列，或在一陣列中之每位元儲存單元具有多重埠之情形中，可為多重埠。快取共享係一種藉由其在多重計算引擎，例如CPU及一圖形處理器之間共享一快取之技術。在一些實施例中，離處理器核心最

## 五、發明說明 ( 2 )

遠之快取係共享。

一種快取共享之方法係用於二計算引擎通過匯流群控制器，例如CPU之匯流群控制器傳送需求。本方法需要可能影響CPU功能之共享之匯流群。此外，本方法通常係不適用於提供多重同時快取存取，尤其其中快取係單一埠。

### 圖式說明

圖1係本發明實施例之具有動態建構其用於藉由二計算引擎之同時存取之一快取之一電腦系統之部分方塊圖。

圖2係本發明實施例之記憶體位址、一路徑分割之快取陣列，及一配置分割之快取陣列之部分方塊圖。

圖3係本發明實施例之建構用於動態路徑分割之一快取標籤陣列之部分方塊圖。

圖4係本發明實施例之建構用於動態路徑分割之一快取資料陣列之部分方塊圖。

圖5係根據本發明之一實施例之建構用於動態配置分割之一快取標籤陣列之部分方塊圖。

圖6係揭示本發明實施例之快取共享方法之一流程圖。

圖7係本發明實施例之建構用於藉由一CPU、圖形處理器，及數位信號處理器同時存取之一快取之一電腦系統之一部分方塊圖。

### 詳細說明

本發明之實施例關於用於快取共享之方法及裝置，其藉由多重計算引擎以支援同時存取，即使其只使用一單一埠快取。提供本發明用於可以藉由多重計算引擎動態共享及

## 五、發明說明 ( )

藉由多重計算引擎同時存取(例如,讀取、寫入)之一單一埠快取。例如,根據本發明之實施例,在中之位置通常可以在一第一計算引擎,例如一CPU之控制之下。在本情形中,不共享快取。在一些點,一第二計算引擎,例如一圖形處理器可以傳送信號到其給定第二計算引擎對在快取中一分割之位置(例如快取線)之專用存取之一快取。因此,例如,其中一圖形應用例如係藉由圖形處理器執行之一遊戲,可以建構快取如此藉由二計算引擎共享。在本情形中,可以說快取在共享模式中。第二計算引擎可以存取(例如從讀取或寫入到)在相同時脈(即同時)在其之分割之位置內之一位置如第一計算引擎係在該分割之位置外面存取一位置。在一實施例中,根據配置分割在快取內之陣列。在一進一步實施例中,可以根據配置及路徑二者分割陣列。可以提供本發明用於藉由任何數量之計算引擎快取之共享。

圖1係本發明實施例之具有動態建構其用於藉由二計算引擎之同時存取之一快取之一電腦系統之部分方塊圖。一系統100包含一第一計算引擎110、一第二計算引擎120,及一快取130。系統100可以係一積體電路晶片。第一及第二計算引擎可為執行指令之任何類型之處理器,例如微處理器、微控制器,或特定用途硬體。例如,第一計算引擎110可以係一CPU及第二計算引擎120可以係一圖形處理器。快取130可以係用於第一計算引擎110之一SRAM level 2 (L2)快取。

4  
五、發明說明( )

第一計算引擎110可以藉由一第一計算引擎致能線111、一位址線112，及一資料路徑線113電耦合於快取130。如果可以在二元件之間以至少一方向傳送一電信號電耦合二元件。項目"電耦合"包含一直接連接、一間接連接，或一間接通信。例如，第一計算引擎110可以通過一匯流群控制器電耦合於快取130。第二計算引擎120可以藉由一第二計算引擎致能線121、一位址線122，及可以傳送多重位元之資訊之資料路徑線123電耦合於快取130。例如每條位址線112及位址線122可以傳送一32位元記憶體位址。第一計算引擎致能線111可以在輸入161耦合於快取，位址線112可以在位址輸入162耦合於快取，及資料路徑線113可以在輸入163耦合於快取。第二計算引擎致能線121可以在輸入151耦合於快取，位址線122可以在位址輸入152耦合於快取，及資料路徑線123可以在輸入153耦合於快取。

快取130可以包含一資料陣列132及一標籤陣列137，可以建構其用於在本發明中使用之任何類型之習知快取記憶體陣列。標籤陣列137可以儲存使用於識別儲存於資料陣列132中之資訊之位置之標籤。此外，快取130可以也包含其它陣列，例如一最少最近使用(LRU)之陣列及一狀態陣列。在快取130中之陣列可以包含複數位置，其可以係配置成為如在習知快取設計之配置及路徑之快取線。例如，資料陣列132可以包含1024配置及8路徑，及在該陣列中之每位置可以包含32位元之資訊。

## 五、發明說明 ( )

在本發明之一實施例中，可以分割在快取130中之陣列成為使用於快取共享之分割。例如，資料陣列132可以包含一第一計算引擎專用分割133及一共享分割134，及標籤陣列137可以包含一第一計算引擎專用分割138及一共享分割139。這些分割可以係如下面說明之位置之分割。如果額外計算引擎係共享快取可以使用額外分割。

在本發明之一實施例中，快取130可以使用分割從一共享模式動態改變到一非共享模式(及相反)。此改變可以根據通過一共享模式輸入線例如第二計算引擎致能線121或第一計算引擎致能線111接收之一數值(例如一旗標)。在快取130係在一非共享模式中時，第一計算引擎110可以具有對在快取130中之位置之專用存取。在快取130進入共享模式時，可以在計算引擎之間動態配置在資料陣列132及標籤陣列137中之位置。在共享模式中，在第一計算引擎分割(133, 138)繼續配置於第一計算引擎時陣列之共享分割(134, 139)可以配置於第二計算引擎。可以參考在圖1中所示之資料陣列132及標籤陣列137之共享分割如共享分割，因為在本發明之實施例中在這些分割內之位置或者配置於第一計算引擎(非共享模式)或第二計算引擎(共享模式)。因此，在一暫時偏壓上共享這些分割。在配置於第二計算引擎時，可以參考這些分割如第二計算引擎分割。在本發明之一實施例中，在快取130係在一共享模式中時，第一計算引擎110及第二計算引擎120可以同時快取在快取130之其別分割中之資訊(例如資料及/或指令)。

## 五、發明說明 ( )

可以如下操作系統100。例如本討論假設第一計算引擎係一CPU及第二計算引擎係一圖形處理器。在一第一時脈，快取130可以在非共享模式中及CPU具有對在快取130中之位置之專用存取。在本情形中，CPU可以儲存資料在，或讀取資料從，在快取130中之任何位置。因此，第二計算引擎不可以存取快取130。在CPU想要讀取在快取130中之位置時，例如其可以確立第一計算引擎致能線111及在位址線112上傳送一位置。用於儲存定址位置之資料可以在資料路徑113上傳送回到CPU。

在系統100之操作期間，例如在其開始執行一圖形應用例如遊戲時圖形處理器可以需要快取資料。在本情形中，圖形處理器可以確立第二計算引擎致能線121，因此在本線上傳送一共享模式選擇數值。在本實施例中，第二計算引擎致能線121可以係輸入到快取130之一共享模式。在快取130在第二計算引擎致能線121上接收一共享模式選擇數值時，其可以進入共享模式。在本情形中，可以分割資料陣列132及標籤陣列137(及在快取130中之其它陣列)成為一第一計算引擎分割(133，138)及一第二計算引擎分割(134，139)。在本時脈，在共享模式中時可以保留目前係儲存於第一計算引擎分割中之資訊用於藉由CPU使用。因為藉由CPU使用本資訊及現在將藉由圖形處理器控制這些分割，必須清除目前係儲存於第二計算引擎分割中之資訊及寫入回到主記憶體。然後圖形處理器可以藉由位址線122之一位址存取一位置及可以在資料路徑線123上

## 五、發明說明( )

傳送資料。在本實施例之一共享模式中，圖形處理器可以具有對在快取陣列之第二計算引擎分割中之位置之專用存取(例如讀取、寫入)，及CPU可以具有對其係在第一計算引擎分割中之位置之專用存取。在第二計算引擎具有對本分割之專用存取時，在其它計算引擎不可以使用該分割直到釋放其回來之情形中可以參考第二計算引擎分割如"鎖定"。根據一實施例，在共享快取時，多重計算引擎可以同時存取快取。

例如在一圖形應用終止時，可以在一些稍後時脈停止圖形處理器之用於快取之需求。在本情形中，快取130可以藉由不確立第二計算引擎致能線121動態回到非共享模式。在藉由快取130接收非共享模式數值時，清除第二計算引擎分割及在本分割上控制給定回到CPU。在本實施例中，在系統100之操作期間之任何數量之時脈可以從共享模式動態改變快取130回到非共享模式，及根據第二計算引擎120之需求，用於任何週期之間隔。

在一進一步實施例中，可以藉由三或更多計算引擎共享快取130。在本實施例中，可以分割快取陣列成為一第一計算引擎專用分割、一第二計算引擎分割、一第三計算引擎分割等等。在一實施例中，第一計算引擎係一CPU，第二計算引擎係一圖形處理器，及第三計算引擎係一數位信號處理器。在一實施例中，分割不重疊，及快取可以包含在任何時脈之第二計算引擎分割之任何組合。在一實施例中其中CPU係第一計算引擎，CPU一直具有在至少一分



## 五、發明說明 ( 8 )

割上之專用控制。在本實施例中，CPU可以備有用於一時脈間隔之第二計算引擎，在另外時脈間隔備有第三計算引擎，及備有用於一第三時脈間隔之第二及第三計算引擎之二者共享快取。

圖2係本發明實施例之記憶體位址210、一路徑分割之快取陣列220，及一配置分割之快取陣列230之部分方塊圖。記憶體位址210可以係在別計算引擎需要存取藉由位址指定記憶體位置時，其係在位址線112或位址線122上傳送之一位址。在圖2所示之實施例中，記憶體位址210係32位元記憶體位址。記憶體位址210可以係在如圖2所示可以轉換其成為一快取記憶體之一系統記憶體(例如RAM)中之位置之一位址。根據本實施例，可以分割記憶體位址210成為一索引欄位213、一配置欄位212，及一標籤欄位211。當然，可以根據快取陣列之配置改變欄位之尺寸。根據習知快取技術，記憶體位址之配置部分可以在每快取陣列中之一配置。可以符合對抗儲存於標籤陣列之那配置中之標籤之標籤部分，以決定儲存資訊於那路徑中(如果有找到一快取)。索引部分可以索引快取線。

在圖2中所示之路徑分割之快取陣列220及配置分割之快取陣列230代表如可以根據本發明之二不同實施例分割它們之快取陣列。陣列220及陣列230可以係任何類型陣列之一快取例如圖1之快取130(例如一配置陣列、標籤陣列、LRU陣列等等)。在一實施例中，LRU陣列保持在每分割中最近使用之配置之軌跡。在圖2中，快取陣列220

## 五、發明說明 ( 9 )

及230每具有，例如，1024配置及8路徑。當然，可以使用其它配置方式。

根據一實施例，根據路徑分割分割在快取中之陣列。藉由路徑分割之快取陣列220說明本實施例。在本實施例中，在共享模式中時可以配置每計算引擎在一快取陣列中之複數路徑。例如，可以分割陣列成為一第一計算引擎分割223及一第二計算引擎分割224。在一實施例中，第一計算引擎分割223可以包含路徑0-5，及一第二計算引擎分割224可以包含路徑6-7。當然，可以使用其它尺寸之分割。根據本實施例，在共享模式中時，第一計算引擎具有對在第一計算引擎分割223中之路徑之專用存取，及第二計算引擎具有對在第二計算引擎分割224中之路徑之專用存取。

根據另一實施例，根據配置分割分割在快取中之陣列。藉由配置分割之快取陣列230說明本實施例。在本實施例中，在共享模式中時，可以配置每計算引擎在一快取陣列中之複數配置。例如，可以分割陣列成為一第一計算引擎分割233及一第二計算引擎分割234。在一實施例中，第一計算引擎分割233可以包含配置0-767，及一第二計算引擎分割224可以包含路徑768-1023。當然，可以使用其它尺寸之分割。根據本實施例，在共享模式中時，第一計算引擎具有對在第一計算引擎分割233中之配置之專用存取，及第二計算引擎具有對在第二計算引擎分割234中之配置之專用存取。

## 五、發明說明 ( )

配置分割之相關尺寸係可以改變，如係路徑分割之相關尺寸。在一實施例中，第一計算引擎係一CPU，第一計算引擎分割尺寸可以較大於第二計算引擎分割尺寸。在進一步實施例中，其中多於二計算引擎共享快取，可以分割快取陣列成為多重路徑分割及多重配置分割。例如，在一路徑分割之實施例中其中藉由一CPU、圖形處理器，及數位信號處理器共享一快取，路徑0-3可以配置於CPU，路徑4-5可以配置於圖形處理器，及路徑6-7可以配置於數位信號處理器。在進一步實施例中，可以使用配置分割及路徑分割二者之一組合分割快取陣列。例如，第二計算引擎可以配置配置512-1023之路徑6-7。

圖3係本發明實施例之建構用於動態路徑分割之一快取標籤陣列之一部分方塊圖。標籤陣列300包含複數路徑(路徑0 340到路徑7 347)。在本實施例中，路徑0到路徑5可以代表第一計算引擎專用分割(揭示如圖1之133、138及圖2之223)。路徑6及路徑7可代表共享分割(揭示如圖1之134、139及圖2之224)。

別路徑輸出355係電耦合於複數比較器(比較器360到比較器367)。分割每條8路徑成為複數列及係相關於一列解碼器(381到384)及備有列選擇器351。例如，在每條路徑中有1024列。在所示之實施例中，分割路徑成為四相等塊說明。二條路徑間隔陣列，及每對路徑共享一列解碼器。在每條路徑中之每條列可以包含一標籤及可以包含一屬性位元。例如，每條列可以係17位元之長度。當然，標籤陣列可以具有一不同數量之路徑及列及可以儲存不同尺

## 五、發明說明 ( )

寸之標籤。標籤陣列300包包含一選擇器325、一選擇器371，及一選擇器372。這些選擇器係根據一第三輸入可以在多重輸入之間選擇，及輸出選擇之信號之任何元件。在另外實施例中，選擇器係可以接收一輸入及根據一第二輸入選擇一或二輸出之一元件。例如，選擇器可以係多工器或可以係三態。

在本實施例中，到標籤陣列300之輸入可以包含CPU位址之部分(311、312)、一第二計算引擎位址之部分(321、322)，及一第二計算引擎快取致能線327。如下面討論，位址之部分係輸入到別選擇器，及第二計算引擎快取致能線327係使用於在這些輸入之間選擇。

在圖3所示之實施例中，CPU相關於圖1之第一計算引擎。在另外實施例中，可以使用一不同計算引擎代替一CPU。可以輸入CPU位址成為如CPU位址[14:5] 311，其代表CPU位址之位元14:5，及CPU位址[31:15] 312，其代表CPU位址之位元31:15之標籤陣列300之元件。CPU位址可以係，例如，在圖2之記憶體位址210之格式中。在本情形中，CPU位址[14:5] 311相關於記憶體位址之配置部分(即配置212)，及CPU位址[31:15] 312相關於記憶體位址之標籤部分(即標籤211)。同樣，可以輸入第二計算引擎位址如第二計算引擎位址[14:5] 321，其代表第二計算引擎位址之位元14:5，及第二計算引擎位址[31:15] 322，其代表第二計算引擎位址之位元31:15之標籤陣列300之元件。位址第二計算引擎也可以係在圖2之記憶體位址210

## 五、發明說明 ( )

之格式中。在本情形中，第二計算引擎位址[14:5] 321相關於位址之配置部分及第二計算引擎位址[31:15] 322相關於位址之標籤部分。

到選擇器325之輸入係CPU位址[14:5] 311，及第二計算引擎位址[14:5] 321。因此，到選擇器325之輸入係CPU及第二計算引擎位址之配置部分。選擇器325之輸出係到解碼器384之一輸入。到選擇器371及372之輸入係CPU位址[31:15] 312，及第二計算引擎位址[31:15] 322。因此，到選擇器325之輸入係CPU及第二計算引擎位址之標籤部分。選擇器371及372之輸出係分別輸入到比較器366及367。在一進一步實施例中，到選擇器325之輸入可以係其本身在多重計算引擎之間選擇之另外選擇器之輸出。

在圖3中所示之一路徑分割之標籤陣列可以操作如下。在共享模式及非共享模式二者中，CPU傳送一位址到快取，及傳送位址之配置部分(CPU位址[14:5] 311)到列解碼器381到383。列解碼器在路徑0-5中選擇相關配置，導致儲存於那些位址之標籤分別輸入到比較器360-365。CPU位址之標籤部分(CPU位址[31:15] 312)係也傳送到比較器360-365。如果這些標籤讀取出任何路徑之任何標籤符合CPU位址之標籤部分，然後已經偵測到用於那路徑之一碰撞及用於符合路徑之別比較器可以輸出一高信號。

在非共享模式中，CPU具有對在標籤陣列300中所有之路徑之專用存取，包含路徑6及路徑7。在非共享模式中時，選擇器325、選擇器371及選擇器372每將從第二計算

## 五、發明說明 ( )

引擎快取致能線327接收一非共享模式數值。因此，選擇器325選擇CPU位址之配置部分(CPU位址[14:5]311)及輸入本配置指定進入列解碼器384。本列解碼器選擇在路徑6及7中之相關配置，導致儲存於那些位址之標籤分別輸入到比較器366及367。選擇器371及選擇器372將選擇CPU位址之標籤部分(CPU位址[31:15]312)及分別輸入本數值到比較器366及367。如果路徑6或路徑7讀取出之標籤符合CPU位址之標籤部分，然後已經偵測到用於那路徑之一碰撞及用於符合路徑之別比較器可以輸出一碰撞信號。

在共享模式中時，第二計算引擎具有對路徑6及路徑7之專用存取。在共享模式中時，選擇器325、選擇器371及選擇器372每將從第二計算引擎快取致能線327接收一共享模式數值。因此，選擇器325選擇第二計算引擎位址之配置部分(CPU位址[14:5]321)及輸入本配置指定進入列解碼器384。本列解碼器選擇在路徑6及7中之相關配置，導致儲存於那些位址之標籤分別輸入到比較器366及367。選擇器371及選擇器372選擇第二計算引擎位址之標籤部分(CPU位址[31:15]322)及分別輸入本數值到比較器366及367。如果路徑6或路徑7讀取出之標籤符合第二計算引擎位址之標籤部分，然後已經偵測到用於那路徑之一碰撞及用於符合路徑之別比較器可以輸出一碰撞信號。在共享模式中時，用於非共享路徑之比較器之輸出係使用於決定一CPU碰撞或遺漏，用於共享路徑之比較器之輸出係

## 五、發明說明 ( )

使用於決定一第二計算引擎碰撞或遺漏。

圖4係本發明實施例之建構用於動態路徑分割之一快取資料陣列之部分方塊圖。可以藉由使用其係使用圖3之標籤陣列300選擇之路徑存取圖4之資料陣列400。類似於圖3，在圖4中資料陣列400包含其係加以間隔之複數路徑(路徑0 440到路徑7 747)。在本實施例中，路徑0到5可以代表第一計算引擎專用分割，及路徑6到7可以代表共享分割。分割每條8路徑成為複數例及係相關於一系列解碼器(481到484)及選擇器451。例如，在每條路徑中可以有1024列。在每條路徑中之每條列可以包含其可以係，例如，32位元之長度之一快取線。當然，資料陣列可以具有一不同數量之路徑及列及可以儲存一不同尺寸之快取線。資料陣列400也包含一選擇器425、一路徑選擇器461，及一路徑選擇器462。

到資料陣列400之輸入可以包含：一CPU位址配置部分(411)、一第二計算引擎位址之配置部分(421)、一第二計算引擎快取致能線427、一路徑選擇460，及一路徑選擇器461。如備有圖3，在其它實施例中可以使用用於一不同計算引擎之位址代替CPU位址。在圖3所示之實施例中，位址及致能線之所有配置部分可以輸入到選擇器425，及本選擇器可以饋送其之輸出到路徑6及7。此外，可以輸入CPU位址之配置部分(411)到路徑0到5。路徑0到7之路徑輸出455可以電耦合於一路徑選擇器461。此外，可以輸出用於路徑6及7之路徑輸出到路徑選擇器462。

## 五、發明說明 ( )

在圖4中所示之一路徑分割之資料陣列之實施例可以操作如下。在共享模式及非共享模式二者中，CPU傳送一位址到快取，及傳送位址之配置部分(CPU位址[14:5] 411)到列解碼器481到483。在共享模式中，列解碼器選擇在路徑0-5中之相關配置，導致儲存於這些位址之資料輸入到路徑選擇器461。在非共享模式中，選擇器425將接收來自第二計算引擎快取致能線427之一非共享模式數值，及CPU具有對在資料陣列400中之所有路徑，包含路徑6及7之專用存取。在本情形中，選擇器425選擇CPU位址之配置部分(CPU位址[14:5] 411)，導致儲存於這些位址之資料輸入到路徑選擇器461及路徑選擇器462。其係藉由標籤陣列(即標籤陣列300)較早選擇之符合路徑係到路徑選擇器461之一選擇器輸出。因此，在共享模式中，若標籤陣列中有一快取碰撞，則藉由路徑選擇器461輸出相關於配置位置及符合路徑之快取線。可以傳送本資訊到一CPU資料輸出緩衝器。

在共享模式中時，第二計算引擎具有對路徑6及7之專用存取。在共享模式中時，選擇器425將接收來自第二計算引擎快取致能線427之一共享模式數值。在此情況下，選擇器425選擇第二計算引擎位址之配置部分(第二計算引擎位址[14:5] 421)及輸入本配置指定進入列解碼器484。本列解碼器選擇在路徑6及7中之相關配置，導致儲存於這些位址之資料輸入到路徑選擇器462。其係藉由標籤陣列(即標籤陣列300)較早選擇之符合路徑係到路徑選擇器



## 五、發明說明 ( )

462之一選擇器輸出。因此，在共享模式中，如果在標籤陣列中有一快取碰撞，將藉由路徑選擇器462輸出相關於配置位置及符合路徑之快取線。可以傳送本資訊到一用於第二計算引擎之資料輸出緩衝器。獨立連接可以使用於路由資料到別計算引擎。

因此，根據一使用路徑分割之實施例，在第二計算引擎致能線上之輸入係用於非共享模式時，CPU具有對標籤陣列300及資料陣列400之路徑6及7之專用存取。在本實施例中，在第二計算引擎致能線上之輸入係用於共享模式時，第二計算引擎具有對這些分割之專用存取。在此情形中，路徑6及路徑7係共享之分割。

在快取接收表示快取係在共享模式中之一模式選擇數值時可以從一共享快取讀取資料，在一第一位址輸入接收一第一定址數值元件，及在一第一選擇器元件根據接收之模式選擇數值選擇第一定址數值。第一定址數值可以使用於識別在一快取資料陣列中之一位置，及可以從該位置讀取資料。可以藉由另外計算引擎從在快取中之另外分割讀取資料，快取可以在一第二位址輸入接收一第二定址數值元件，使用第二定址數值識別在快取資料陣列中之一第二位址，及同時備有來自第一位置之該讀取資料從第二位置讀取資料。在另外實施例中，快取可以切換成為非共享模式，第一計算引擎可以從第二計算引擎讀取資料之相同位置讀取資料。快取可以接收表示快取係不在共享模式中之一模式選擇數值，在一第二位址輸入接收一第二定址數值，

## 五、發明說明 ( 17 )

及在第一選擇器元件根據其表示快取係不在共享模式中之模式選擇數值選擇第二定址數值。然後快取可以使用第二定址數值識別該第一位置如讀取之位置，及可以從讀取之位置讀取資料。第二情形可以包含在切換模式之後清除快取，及第一計算引擎儲存新資料於讀取之位置中。

在一進一步實施例中，標籤陣列300及資料400可以包含用於一或更多額外計算引擎之額外分割。在本進一步實施例中，選擇器(即相關於選擇器325、371及372)之一額外配置可以建構以控制對其它路徑之存取，例如路徑4及5。在本實施例中，選擇器之一額外配置可以接收如CPU位址部分、第三計算引擎部分，及一第三計算引擎致能信號之輸入。在一實施例中，快取在別快取線內索引資訊。

圖5係本發明實施例之建構用於動態配置分割之一快取標籤陣列500之部分方塊圖。可以分割標籤陣列成為每包含一半之配置及所有八條路徑之二群。在本實施例中，快取具有1024配置，及藉由一第一計算引擎及一第二計算引擎在相等之分割中可以共享快取。在其它實施例中，快取可以包含不同數量之群、配置或路徑，及可以改變分割之相關尺寸。

標籤陣列500可以具有其包含配置512到1023之一第一群510，及其包含配置0到511之一第二群520。第一群510可以代表第一計算引擎分割(揭示如圖1之133、138及圖2之234)及第二群520可以代表共享分割(揭示如圖1之134、139及圖2之234)。在本實施例中，第一計算引

## 五、發明說明 ( )

引擎位址512可以包含藉由第一計算引擎提供於快取之一記憶體位址之一部分，及第二計算引擎位址522可以包含藉由第二計算引擎提供於快取之一記憶體位址之一部分。例如，第一計算引擎位址512可以包含第一計算引擎之記憶體位址之標籤部分及配置部分，及第二計算引擎位址522可以包含第二計算引擎之記憶體位址之標籤部分及配置部分。可以分割第一計算引擎位址512及第二計算引擎位址522成為在第一群510及第二群520內之用於如備有參考圖3討論使用之標籤部分。

標籤陣列500也可以包含一選擇器551及552。到選擇器551之輸入可以係第一引擎位址512及第二引擎位址522，及第二引擎致能524。選擇器551可以提供其之輸出到第二群520。選擇器552可以接收如輸入第二致能524及第二群520之輸出。選擇器552可以具有如輸出之第一引擎輸出517及第二引擎輸出527。

在本實施例中，第一計算引擎具有第一群510之不願是否快取係在共享或非共享模式中之專用控制。因此，第一計算引擎藉由提供在第一引擎位址512上之一位址可以存取配置512-1023之任何路徑及接收在第一引擎輸出517上之一輸出。在不在共享模式中時，第一計算引擎也具有對第二群520之專用存取。在本模式中，第二引擎致能524具有一共享之數值。因此，選擇器551可以輸出第一引擎位址512到第二群520，及選擇器552可以提供第二群520之輸出到第一引擎輸出517。在共享模式中，第二計算引擎具有對第二群520之專用存取。在本模式中，第二引擎致能524具有一共享數值。因此，選擇器551可以輸

## 五、發明說明 ( )

出第二引擎位址522到第二群520，及選擇器552可以提供第二群520之輸出到第二引擎輸出527。第一引擎輸出517及第二引擎輸出527可以相關於如在圖1中所示之資料路徑113及資料路徑123。標籤陣列500也可以具有通過一資料路徑耦合於第一及第二引擎之一選擇器及用於選擇一資料輸入到那群之耦合於第二群520之資料輸入。本選擇器可以以類似於選擇器551之一方法操作。這可能需要額外I/O匯流排。

在一使用配置分割之實施例中，可以建構一快取資料陣列類似於圖5之快取標籤陣列。用於在第一計算引擎專用分割之群中接收用於第一計算引擎之配置位址之列解碼器。在非共享模式中時，用於在共享分割中之群之列解碼器也接收用於第一計算引擎之配置位址。於共享模式中，在該共享分割之群之該列解碼器接收該第二計算引擎之設定位址。可以同樣建構用於群之資料輸出及輸入。在一進一步實施例中，可以配置分割快取成為三用於藉由三計算引擎存取之分割。

在使用路徑分割之快取實施例中，配置位址之大部分重要位元係不使用於識別在陣列中之一配置。例如，如果陣列具有1023配置，及位址之配置部分使用位元5到14（如圖2所示），然後快取可以只使用位元5到13以識別一配置。在本情形中，第二計算引擎只有對配置0到511之存取，及因此9位元配置位址唯一識別那些配置之一配置。然而，在非共享模式中，9位元配置位址可以識別在陣列中之二不同配置。在本實施例中，可以儲存大部分重要位元（例如位元14）於標籤陣列中及在識別一路徑時使用如標籤

## 五、發明說明 ( )

之部分。

圖6係揭示本發明實施例之快取共享方法之流程圖。可以藉由那些在圖1中所示之一第一計算引擎及一第二計算引擎共享快取。根據本實施例，第一計算引擎可以存取快取之一位置(601)。在本時脈，快取可以係在非共享模式中。例如，第一計算引擎可以在快取中一資料陣列之第三配置中讀取儲存於第一路徑中之資訊。然後可以傳送相關於快取共享之一信號到快取(602)。例如，第二計算引擎可以確立其之快取致能信號。可以分割快取成為藉由第二計算引擎可專用存取之一第一分割(603)。在一實施例中，可以分割在快取中之陣列(例如一資料陣列及一標籤陣列)成為複數路徑。在一第二實施例中，可以分割在快取中之陣列成為複數配置。可以清除第二分割(604)。因為快取已經在非共享模式中，第一計算引擎可以具有儲存於第二分割中之資訊，及可以使用於安全寫入資料回到主記憶體清除快取。現在可以藉由第二計算引擎存取其係較早藉由第一計算引擎存取之相同位置(605)。繼續備有上面說明之例子，第二計算引擎可以儲存資料於資料陣列之第三配置之第一路徑中。

圖7係本發明實施例之建構用於藉由一CPU、圖形處理器，及數位信號處理器同時存取之一快取之一電腦系統700之部分方塊圖。電腦系統700包含耦合於一匯流排控制器720之一CPU 710。匯流排控制器係耦合於一快取730及一系統記憶體740。一圖形處理器750及一數位信

## 五、發明說明 ( )

號處理器760係耦合於快取730。此外，圖形處理器750及數位信號處理器760係耦合於系統記憶體740。圖形處理器750計算特性屬性、色彩(例如RGB)，及用於一圖形應用之深度(z)。數位信號處理器760可以處理數位信號。

CPU 710、圖形處理器750，及數位信號處理器760可以使用如上面說明之動態分割共享快取。在本實施例中，不需要一L2專用圖形快取。在一實施例中，不論何時改變模式(例如一圖形處理器開始共享快取或共享快取)，然後清除快取進入系統記憶體740。在一實施例中，所有三計算引擎具有到記憶體之不同讀取/寫入路徑。在一進一步實施例中，不同清除路徑係使用於所有三計算引擎。本實施例避免如果在其它係清除時二計算引擎試圖於在相同時脈或讀取/寫入清除其可以反向產生之爭議。

本發明關於一種其支援藉由多重計算引擎直接對一快取陣列同時存取之快取共享之方法及裝置。因為可以使用一單一埠之快取，本發明不需要對快取單元之設計之改變。本發明之實施例提供對其中一或更多計算引擎可以直接而沒有通過一共同匯流排控制器對快取存取之快取共享之一直接方法。快取之分割行動如"虛擬埠快取"。虛擬快取根據共享配置模式可以在尺寸方面不同。根據本發明之一實施例，快取分割係穿透於計算引擎。

可以執行本發明如一路徑分割、一配置分割，或二者之一組合。配置分割執行提供用於在一些快取執行中之一大量減少之固定尺寸及時脈衝擊。使用配置分割也具有在一

## 五、發明說明 ( )

路徑組合上之不同效應。在使用配置分割時，在一  $n$  路徑組合快取中，用於所有共享之需求類型之缺乏係  $n$  路徑配置組合。在使用路徑分割時，一  $n$  路徑配置組合藉由缺乏分割在所有共享之需求類型間之所有  $n$  路徑。在一實施例中，資料、標籤及狀態陣列需要一最少量之列解碼器及  $n$  I/O's 以致能  $n$  同時快取存取。這也係用於一配置分割 LRU 陣列之情形。然而，用於一路徑分割快取陣列，如果直接映像任何之需求類型，不需要用於這種在共享模式中之路徑之 LRU 裝置。

雖然說明及/或特別說明本發明之一些實施例，但是可以瞭解藉由上面技術及在附加申請專利範圍內沒有離開本發明之精神及試圖之範圍之範圍涵蓋本發明之修改及改變。例如，任何數量之計算引擎可以共享快取，及快取可以具有任何配置(例如群、路徑，配置及線)。如另外例子，雖然上面討論之實施例使用第二計算引擎致能線致能/抑制共享模式，在其它實施例中可以使用到快取之其它輸入。在一這種實施例中，不論何時第二計算引擎想要共享快取(或不再需要共享快取)，第二計算引擎傳送一信號到第一計算引擎，及第一計算引擎確立/不確立第一計算引擎致能線啟動/不啟動共享模式。此外，在上面揭示之實施例討論來自動態共享快取之讀取時，可以使用一些裝置控制來自動態共享快取之寫入。如另外實施例，可以適當改變在方法中之步驟。此外，可以有在快取及計算引擎之間之額外連接(例如控制線)。

## 五、發明說明 ( )

圖式元件符號說明

100	系統	211	標籤欄位
110	第一計算引擎	212	配置欄位
111	第一計算引擎致能線	213	索引欄位
112	位址線	220	路徑分割之快取陣列
113	資料路徑線	223	第一計算引擎分割
120	第二計算引擎	224	第二計算引擎分割
121	第二計算引擎致能線	230	配置分割之快取陣列
122	位址線	233	第一計算引擎分割
123	資料路徑線	234	第二計算引擎分割
130	快取	300	標籤陣列
132	資料陣列	311	CPU 位址
133	第一計算引擎專用分割	312	CPU 位址
134	共享分割	321	第二計算引擎位址
137	標籤陣列	322	第二計算引擎位址
138	第一計算引擎專用分割	325	選擇器
139	共享分割	327	第二計算引擎快取致能線
151	輸入	355	個別路徑輸出
152	輸入	351	列選擇器
153	輸入	360	比較器
161	輸入	361	比較器
162	位址輸入	362	比較器
163	輸入	363	比較器
210	記憶體位址	364	比較器



## 五、發明說明 ( )

365	比較器	460	路徑選擇
366	比較器	461	路徑選擇器
367	比較器	462	路徑選擇器
371	選擇器	481	列解碼器
372	選擇器	482	列解碼器
381	列解碼器	483	列解碼器
382	列解碼器	484	列解碼器
383	列解碼器	500	快取標籤陣列
384	列解碼器	510	第一群
400	資料陣列	512	第一引擎位址
411	CPU 位址	517	第一引擎輸出
421	第二計算引擎位址	520	第二群
425	選擇器	522	第二引擎位址
427	第二計算引擎快取致能線	524	第二引擎致能
440	路徑	527	第二引擎輸出
441	路徑	551	選擇器
442	路徑	552	選擇器
443	路徑	700	電腦系統
444	路徑	710	CPU
445	路徑	720	匯流排控制器
446	路徑	730	快取
447	路徑	740	系統記憶體
451	列選擇器	750	圖形處理器
455	路徑輸出	760	數位信號處理器

四、中文發明摘要(發明之名稱：藉由多重計算引擎動態結構供同時存取之快  
取記憶體)

一種快取具有備有單一埠之單元，且係可以同時藉由多重計算引擎動態存取之陣列。在一進一步實施例中，該快取也具有包含一第一位址輸入、一第二位址輸入，及一共享模式輸入之一標籤陣列，及電耦合於標籤陣列及包含一第一位址輸入、一第二位址輸入，及一共享模式輸入之一資料陣列。

英文發明摘要(發明之名稱："CACHE DYNAMICALLY CONFIGURED FOR  
SIMULTANEOUS ACCESSES BY MULTIPLE  
COMPUTING ENGINES")

A cache has an array with single ported cells and is dynamically accessible simultaneously by multiple computing engines. In a further embodiment, the cache also has a tag array including a first address input, a second address input, and a shared mode input, and a data array electrically coupled to the tag array and including a first address input, a second address input, and a shared mode input.

公告本

93年11月26日  
修正本

申請日期	90.9.20
案號	090123224
類別	G06H 12/00

A4  
C4  
中文說明書替換本(93年11月)

(以上各欄由本局填註)

## ~~發新~~ 發明專利說明書

一、發明名稱	中文	藉由多重計算引擎動態結構供同時存取之快取記憶體
	英文	"CACHE DYNAMICALLY CONFIGURED FOR SIMULTANEOUS ACCESSSES BY MULTIPLE COMPUTING ENGINES"
二、發明人	姓名	1.舒拉曼妮安 麥佑朗 SUBRAMANIAM MAIYURAN 2.沙瓦朵 帕蘭卡 SALVADOR PALANCA
	國籍	1.斯里蘭卡 2.西班牙
三、申請人	住、居所	1.美國加州金河市新艾比昂大道11717號 2.美國加州金河市金愛保路12044號
	姓名(名稱)	美商英特爾公司 INTEL CORPORATION
	國籍	美國
	住、居所(事務所)	美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人姓名	F. 湯姆士. 當烈二世 F. THOMAS DUNLAP, JR.

## 六、申請專利範圍

1. 一種藉由多重計算引擎以被同時存取之快取記憶體，其包含：
  - 一標籤陣列，包含一第一位址輸入、一第二位址輸入、一共享模式輸入，及複數個標籤陣列位置以存放標籤，其中該共享模式輸入分配一或多個該位置至該等計算引擎中之一；及
  - 一資料陣列，係耦合於標籤陣列及包含一第一位址輸入、一第二位址輸入、一共享模式輸入，及複數個位置以存放資訊，其中該共享模式輸入分配一或多個該資料陣列位置至該等計算引擎中之一，及其中存放在該標籤陣列中之一標籤可被用以識別一位置於該資料陣列中。
2. 如申請專利範圍第1項之快取記憶體，其中該標籤陣列進一步包含：
  - 一第一選擇器，係電耦合於該第一位址輸入、該第二位址輸入，及該共享模式輸入；
  - 一共享路徑，係電耦合於該第一選擇器；
  - 一第二選擇器，係電耦合於該第一位址輸入、該第二位址輸入，及該共享模式輸入；及
  - 一比較器，係電耦合於該共享路徑及該第二選擇器元件。
3. 如申請專利範圍第2項之快取記憶體，其中該第一位址輸入包含一第一位址配置輸入及第一位址標籤輸入，該第一選擇器電耦合於該第一位址配置輸入，及第二

## 六、申請專利範圍

選擇器電耦合於該第一位址標籤輸入。

4. 如申請專利範圍第3項之快取記憶體，其中該第一選擇器及第二選擇器係整合組合如一單一元件。
5. 如申請專利範圍第2項之快取記憶體，其中資料陣列進一步包含：
  - 一第三選擇器，係電耦合於該第一位址輸入、該第二位址輸入，及該共享模式輸入；
  - 一共享路徑，係電耦合於該第三選擇器；及
  - 一路徑選擇器，係電耦合於該資料陣列之共享路徑及標籤陣列之比較器。
6. 如申請專利範圍第1項之快取記憶體，其中標籤陣列進一步包含：
  - 一第一群組，係電耦合於該第一位址輸入；
  - 一選擇器，係電耦合於該第一位址輸入、該第二位址輸入，及該共享模式輸入；及
  - 一第二群組，係電耦合於該選擇器。
7. 如申請專利範圍第6項之快取記憶體，其中資料陣列進一步包含：
  - 一第一群，係電耦合於該第一位址輸入；
  - 一選擇器，係電耦合於該第一位址輸入、該第二位址輸入，及該共享模式輸入；及
  - 一第二群，係電耦合於該選擇器。
8. 一種包含用以藉由多重計算引擎可以同時存取之快取記憶體之系統，其包含：

## 六、申請專利範圍

- 一 中央處理單元；
  - 一 第二計算引擎；及
  - 一 快取記憶體，係電耦合於該中央處理單元及該第二計算引擎及其包含複數快取記憶體位置，在接收一共享模式信號時其係可以藉由該第二計算引擎存取，且在不接收一共享模式信號時其係可以藉由該中央處理單元存取。
9. 如申請專利範圍第8項之系統，其中該第二計算引擎係藉由一致能線耦合於該快取，及其中藉由該快取在該致能線上接收該共享模式信號。
10. 如申請專利範圍第9項之系統，進一步包含一第三計算引擎以與該中央處理單元及該第一計算引擎共享該快取記憶體，及其中該快取記憶體進一步包含一第二複數快取記憶體位置，當接收一第二共享模式信號時，可以藉由該第三計算引擎存取，且當不接收一第二共享模式信號時，可藉由該中央處理單元存取。
11. 如申請專利範圍第8項之系統，其中該系統係一積體電路之一部分。
12. 如申請專利範圍第8項之系統，其中該第二計算引擎係一圖形引擎。
13. 一種快取記憶體共享之方法，該方法包含：
- 從一第一計算引擎存取在快取記憶體中之一位置；
  - 傳送相關於快取記憶體共享之一信號給該快取記憶體
- ；

## 六、申請專利範圍

基於該信號，分割該快取記憶體成為可以藉由該第一計算引擎專用存取之一第一分割及可以藉由一第二計算引擎專用存取之一第二分割；及

藉由該第一計算引擎及該第二計算引擎依照該分割以各別存取該第一及第二分割。

14. 如申請專利範圍第13項之方法，進一步包含清除該第二分割。
15. 如申請專利範圍第13項之方法，其中在快取記憶體中之該位置係該第二分割之部分，及其中該方法進一步包含從該第二計算引擎存取在快取記憶體中之該位置。
16. 如申請專利範圍第13項之方法，其中該第一分割係在該快取記憶體中之一第一複數路徑，及其中該第二分割係在該快取記憶體中之一第二複數路徑。
17. 如申請專利範圍第13項之方法，其中該第一分割係在該快取記憶體中之一第一複數配置，及其中該第二分割係在該記憶體快取中之一第二複數配置。
18. 一種從一快取記憶體讀取資訊之方法，該方法包含：
  - 接收一模式選擇信號數值其表示該快取記憶體係在共享模式中；
  - 在一第一位址輸入接收一第一定址數值；
  - 在一第一選擇器元件根據該接收之模式選擇數值選擇該第一定址數值；
  - 使用該第一定址數值識別在一快取記憶體資料陣列中

## 六、申請專利範圍

之一第一位置；及

從該第一位置讀取資料。

19. 如申請專利範圍第18項之方法，進一步包含：

在一第二位址輸入接收一第二定址數值；

使用該第二定址數值識別在該快取記憶體資料陣列中之一第二位置；及

從該第二位置同時備有來自該第一位置之該讀取資料讀取資料。

20. 如申請專利範圍第18項之方法，進一步包含：

接收一模式選擇信號其表示該快取記憶體不在共享模式中；

在一第二位址輸入接收一第二定址數值；

在該第一選擇器元件根據該模式選擇數值其表示該快取記憶體不在共享模式中選擇該第二定址數值；

使用該第二定址數值識別該第一位置如該讀取之位置；及

從該讀取之位置讀取資料。

21. 如申請專利範圍第18項之方法，其中該第一定址數值係定址數值及其中使用該第一定址數值識別在該快取中之一第一位置包含：

使用藉由該第一選擇器選擇之該配置定址數值選擇在一標籤陣列中之一配置；

在該第一位址輸入接收一標籤定址數值；

在一第二選擇器元件根據該共享模式選擇器數值選擇



## 六、申請專利範圍

該標籤定址數值；

備有藉由該第二選擇器選擇之該標籤定址數值比較儲存於該標籤陣列中之該選擇之配置中之標籤；及

決定該路徑其中如果該比較導致一符合一標籤屬性係一符合路徑。

22. 如申請專利範圍第21項之方法，其中使用該第一定址數值識別在該快取中之一第一位置進一步包含：

在一第三選擇器根據該模式選擇數值表示該快取係在共享模式中選擇該標籤定址數值；及

識別如該第一位置在一快取記憶體資料陣列中之該位置其係在該資料陣列之相關於該符合路徑之路徑中之相關於該標籤定址數值之該配置中。

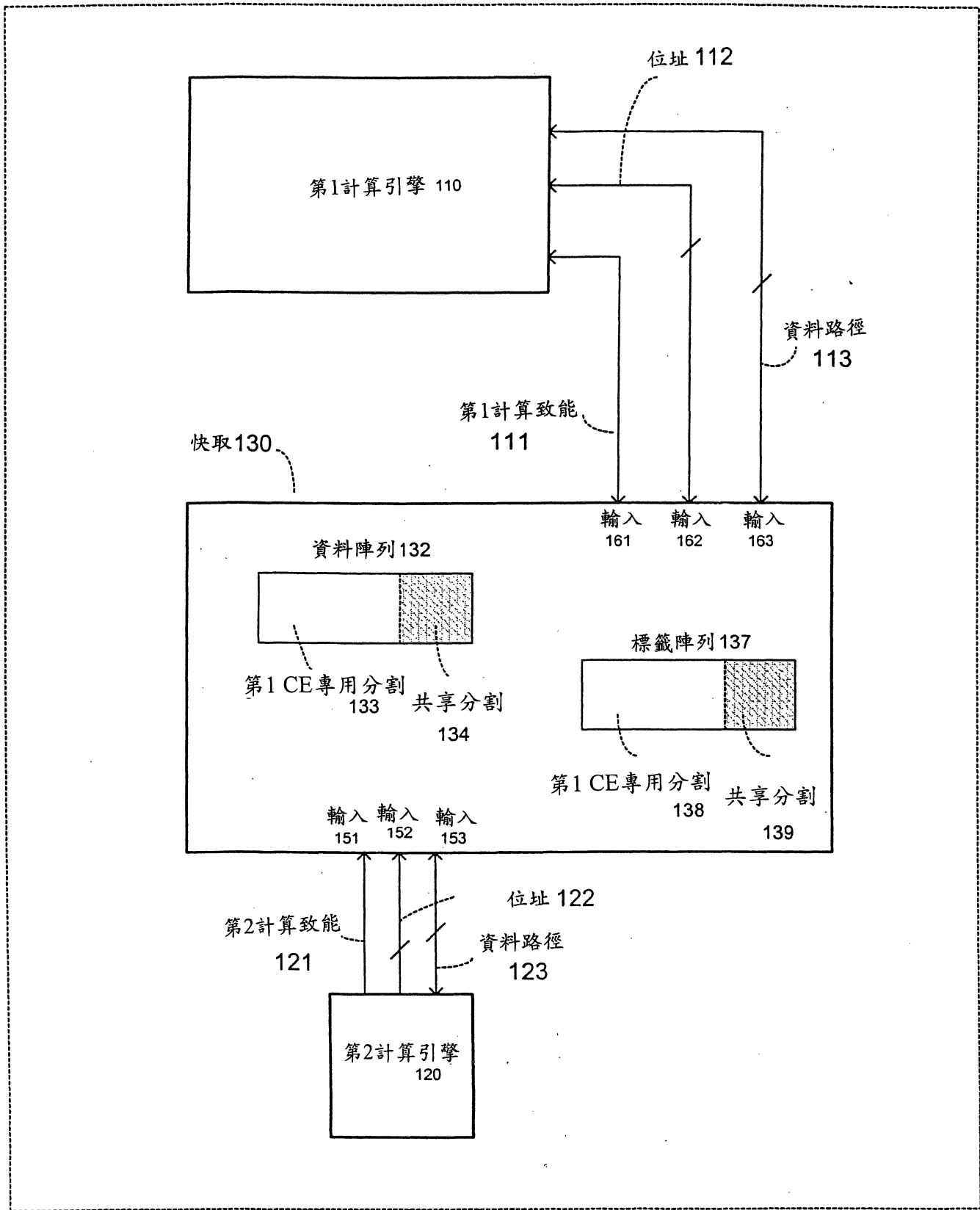
23. 如申請專利範圍第18項之方法，其中該第一定址數值包含一第一配置定址數值、一第二配置定址數值，及一標籤定址數值，及其中使用該第一定址數值識別在該快取記憶體中之一第一位置包含：

使用該第一定址數值選擇在一標籤陣列中之一配置；  
備有該標籤定址數值及該第二配置定址數值比較儲存於該標籤陣列中之該選擇之配置中之標籤；

決定該路徑，其中如果該比較導致符合則標籤屬性係一符合路徑；及

識別如該第一位置在一快取記憶體資料陣列中之該位置其係在該資料陣列之相關於該符合路徑之路徑中之相關於該標籤定址數值之該配置中。

年 月 日  
93. 11. 26  
修 正 本



系統 100

圖 1

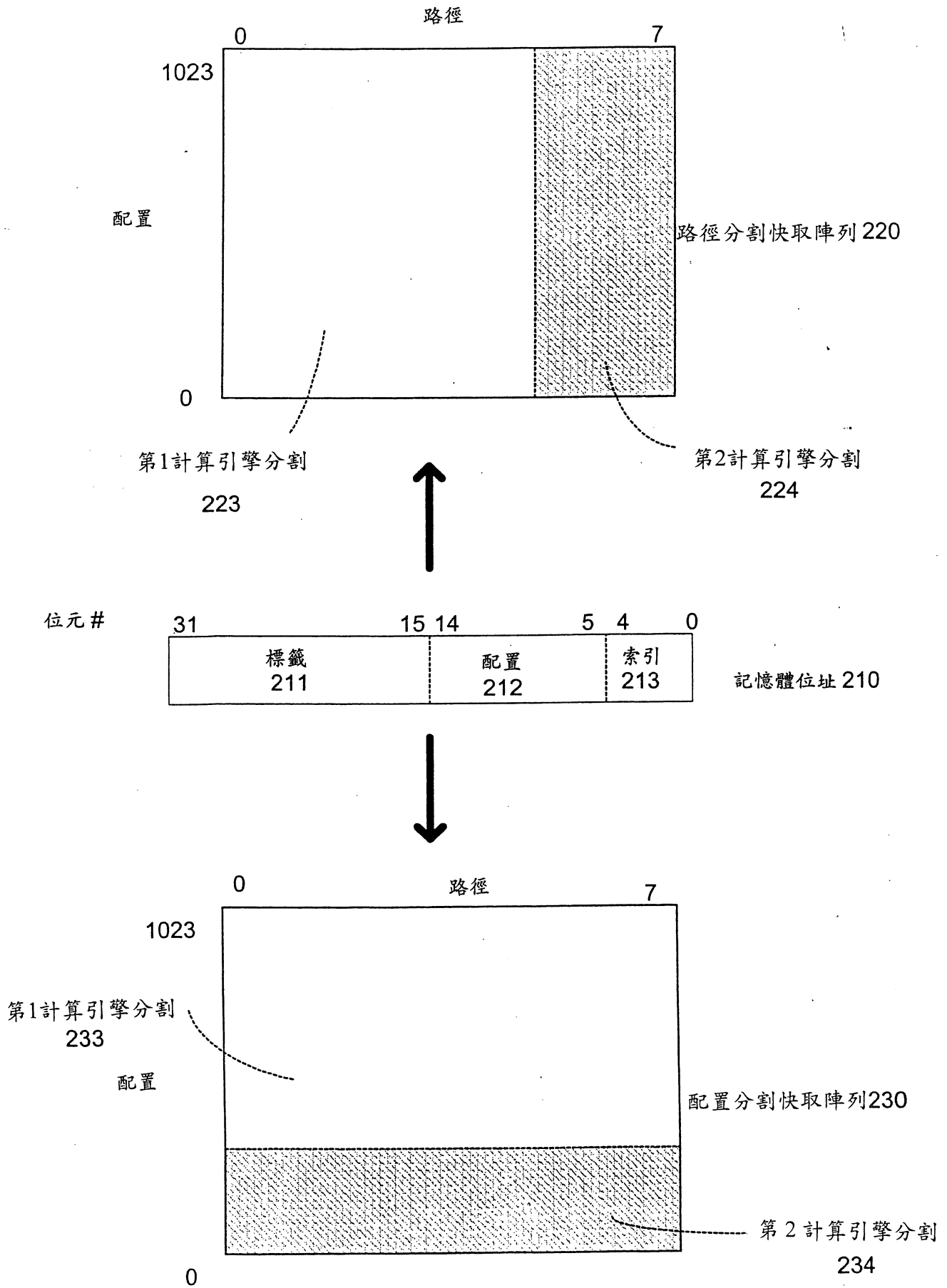


圖 2

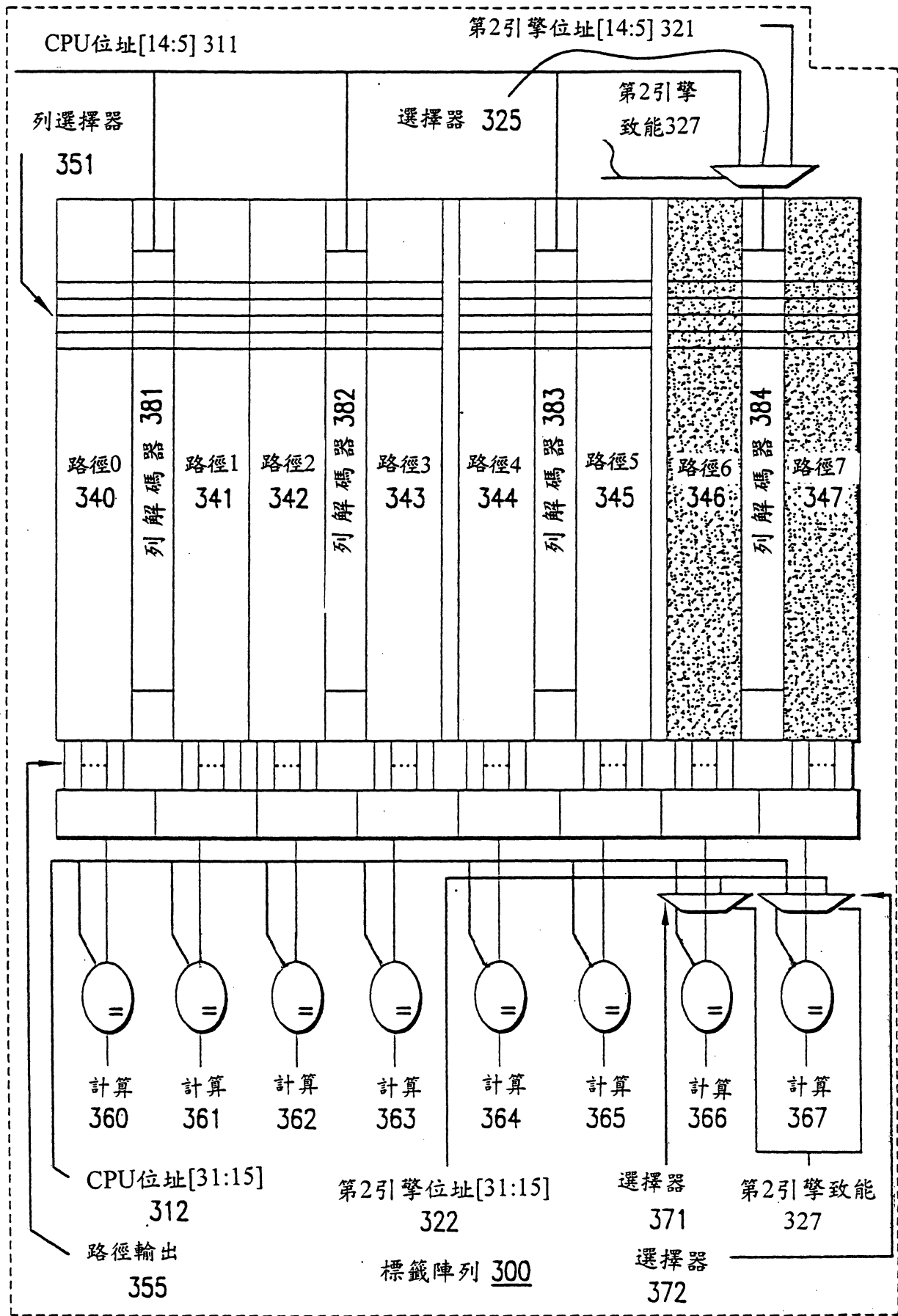


圖 3

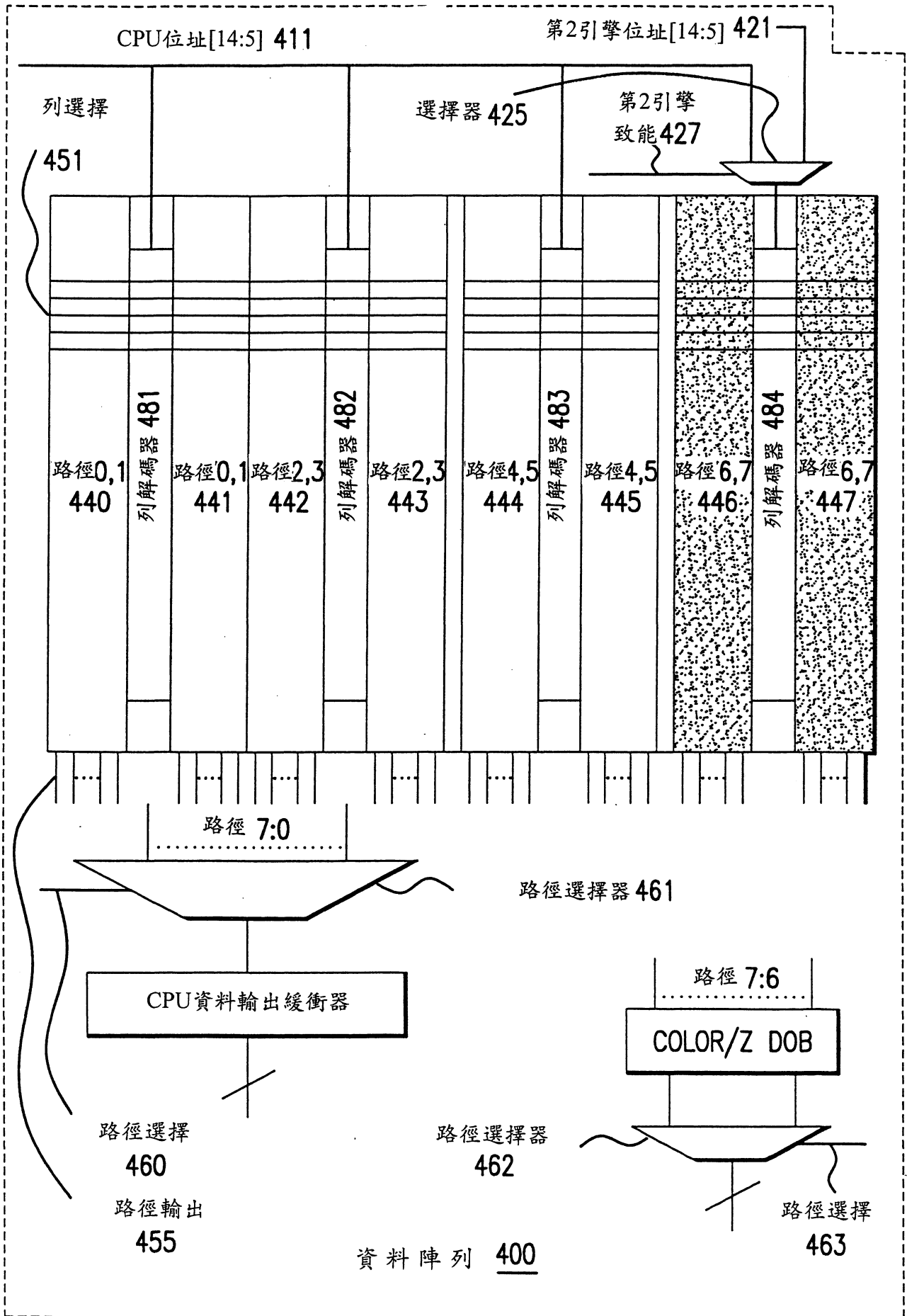


圖 4

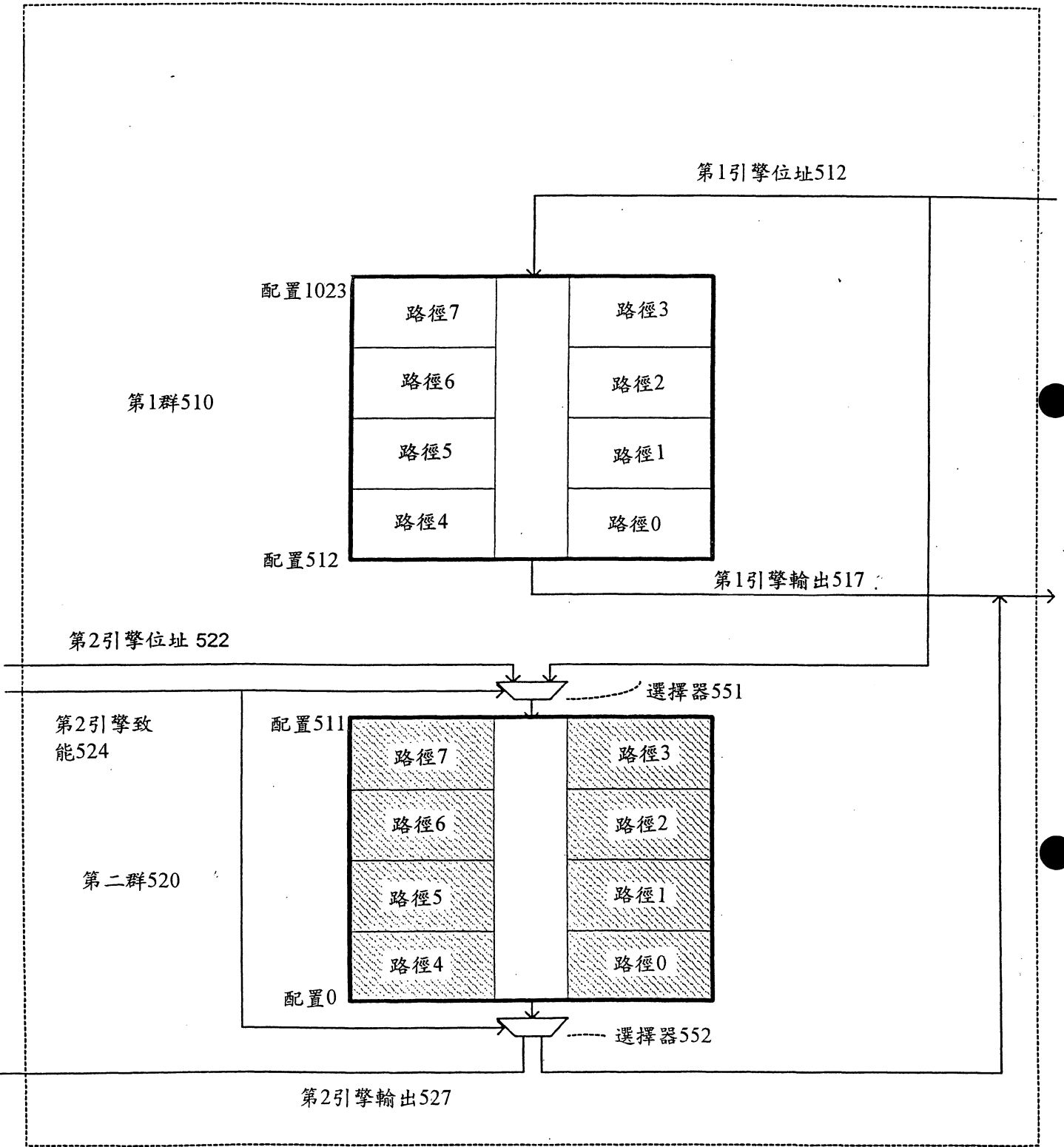


圖 5

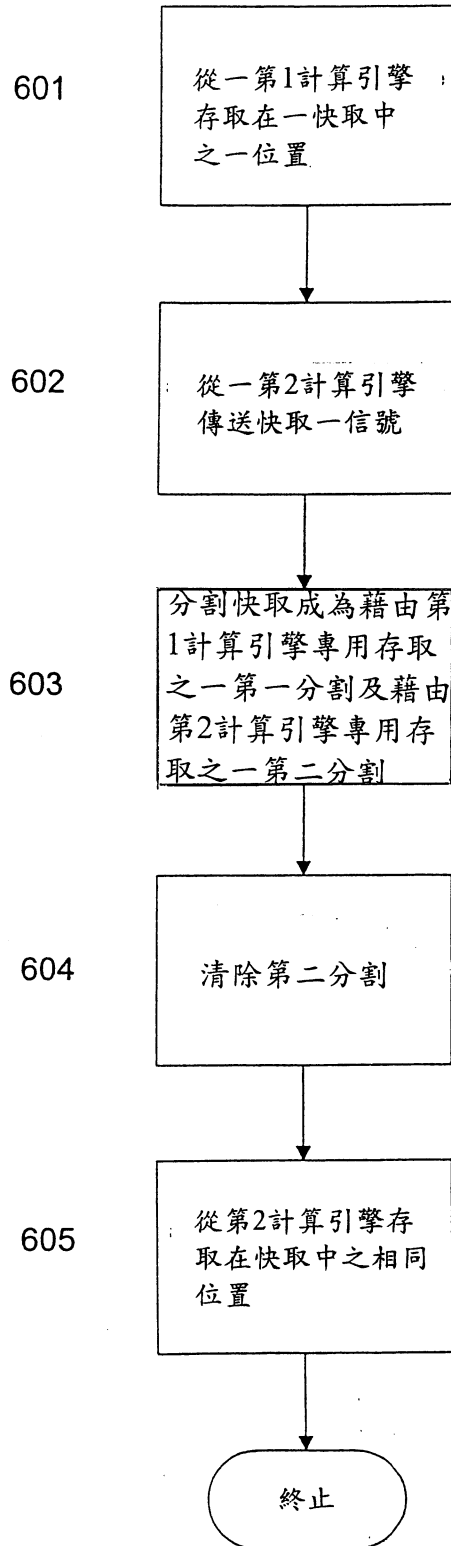
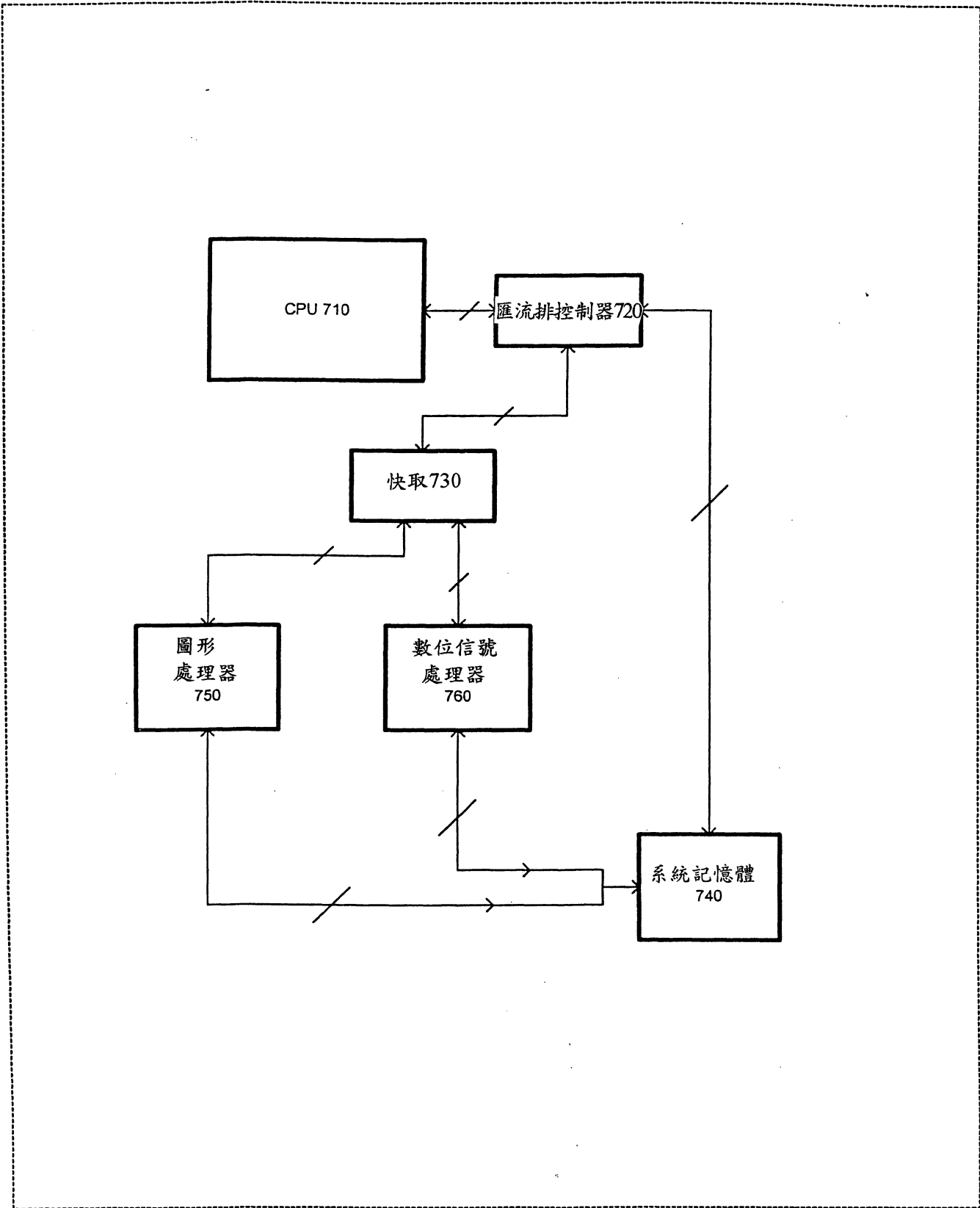


圖 6



系統 700

圖 7