

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-134645  
(P2004-134645A)

(43) 公開日 平成16年4月30日(2004.4.30)

(51) Int. Cl.<sup>7</sup>  
H01L 21/60

F I  
H01L 21/60 311S

テーマコード(参考)  
5F044

審査請求 未請求 請求項の数 15 O L (全 23 頁)

(21) 出願番号	特願2002-298977 (P2002-298977)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成14年10月11日(2002.10.11)	(74) 代理人	100095728 弁理士 上柳 雅普
		(74) 代理人	100107076 弁理士 藤綱 英吉
		(74) 代理人	100107261 弁理士 須澤 修
		(72) 発明者	芦田 剛士 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	5F044 KK02 KK03 KK14 LL04

(54) 【発明の名称】 バンプ付き半導体素子の実装方法、バンプ付き半導体素子の実装構造、及び電気光学装置、並びに電子機器

(57) 【要約】

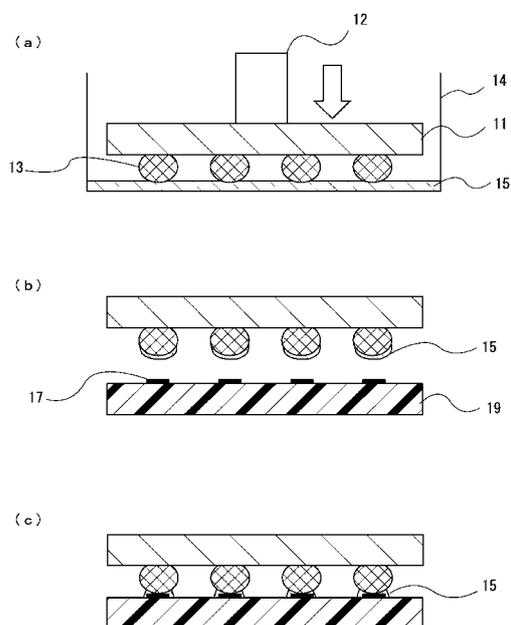
【課題】 FPC等の基板に対して、BGAやCSP等のバンプ付き半導体素子を、半田リフロー実装する場合に、半田材料を基板に対して印刷する際の位置決め工程が不要となるばかりか、バンプ付き半導体素子の位置ずれや、実装不良の発生が少ないバンプ付き半導体素子の実装方法、バンプ付き半導体素子の実装構造、及びそれを用いた電気光学装置、並びに電子機器を提供する。

【解決手段】 BGAやCSP等のバンプ付き半導体素子の実装方法等において、下記工程(A)および(B)を含むことを特徴とする。

(A) 半田材料を、バンプ付き半導体素子のバンプに対して付着させる工程

(B) 半田材料が付着したバンプ付き半導体素子を、リフロー処理によって、基板に対して実装する工程

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

下記工程 (A) および (B) を含むことを特徴とする bumps 付き半導体素子の実装方法。  
 (A) 半田材料を bumps 付き半導体素子の bumps に対して付着させる工程  
 (B) 半田材料が付着した bumps 付き半導体素子を、リフロー処理によって、基板に対して実装する工程

## 【請求項 2】

前記工程 (A) において、前記半田材料を、前記 bumps 付き半導体素子の bumps 以外の箇所をマスキングした状態で、前記 bumps に対して付着させることを特徴とする請求項 1 に記載の bumps 付き半導体素子の実装方法。

10

## 【請求項 3】

前記工程 (A) において、前記 bumps 付き半導体素子を、水平状態に保持された半田材料に対して押し付けることにより、前記 bumps に対して当該半田材料を付着させることを特徴とする請求項 1 または 2 に記載の bumps 付き半導体素子の実装方法。

## 【請求項 4】

前記工程 (A) において、前記半田材料の付着量を調整するための突起物またはスペーサを介して、前記 bumps に対して前記半田材料を付着させることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

## 【請求項 5】

前記工程 (A) において、前記半田材料を付着させる前に、当該半田材料の厚さを調整することを特徴とする請求項 1 ~ 4 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

20

## 【請求項 6】

前記工程 (A) において、前記 bumps の高さを  $B_1$  (mm) とし、前記半田材料の付着厚さを  $B_2$  (mm) としたときに、 $B_2 / B_1$  の比率を 0.9 以下の値とすることを特徴とする請求項 1 ~ 5 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

## 【請求項 7】

前記工程 (A) において、前記 bumps の表面積を  $A_1$  (mm<sup>2</sup>) とし、前記半田材料の付着面積を  $A_2$  (mm<sup>2</sup>) としたときに、 $A_2 / A_1$  の比率を 1.0 以下の値とすることを特徴とする請求項 1 ~ 6 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

30

## 【請求項 8】

前記工程 (A) において、前記半田材料の温度を 10 ~ 150 の範囲内の値に制御することを特徴とする請求項 1 ~ 7 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

## 【請求項 9】

前記工程 (A) の前に、前記 bumps 付き半導体素子の bumps の表面を平坦化する工程、あるいは粗面化する工程を含むことを特徴とする請求項 1 ~ 8 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

## 【請求項 10】

前記工程 (A) の前に、前記 bumps 付き半導体素子の bumps の表面に、前記半田材料に対する密着材料を付着させる工程を含むことを特徴とする請求項 1 ~ 9 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

40

## 【請求項 11】

前記基板がフレキシブル配線基板であって、前記 bumps 付き半導体素子がボール・グリッド・アレイであることを特徴とする請求項 1 ~ 10 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

## 【請求項 12】

前記工程 (B) において、bumps 付き半導体素子以外の他の素子とともに、前記半田材料が付着した bumps 付き半導体素子を前記基板に実装することを特徴とする請求項 1 ~ 11 のいずれか一項に記載の bumps 付き半導体素子の実装方法。

50

**【請求項 1 3】**

下記工程 ( A ) および ( B ) により、 bumps 付き半導体素子を基板上に実装してなる bumps 付き半導体素子の実装構造。

( A ) 半田材料を bumps 付き半導体素子の bumps に対して付着させる工程

( B ) 半田材料が付着した bumps 付き半導体素子を、リフロー処理によって、基板に対して実装する工程

**【請求項 1 4】**

駆動素子または電源素子として、下記工程 ( A ) および ( B ) により実装された bumps 付き半導体素子を含むことを特徴とする電気光学装置。

( A ) 半田材料を bumps 付き半導体素子の bumps に対して付着させる工程

( B ) 半田材料が付着した bumps 付き半導体素子を、リフロー処理によって、基板に対して実装する工程

**【請求項 1 5】**

請求項 1 4 に記載された電気光学装置と、当該電気光学装置を制御するための制御手段と、を備えることを特徴とする電子機器。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、 bumps 付き半導体素子の実装方法、 bumps 付き半導体素子の実装構造、及び電気光学装置、並びに電子機器に関する。

特に、ボール・グリッド・アレイ (以下、 BGA) やチップサイズパッケージ ( CSP ) 等の微細な bumps 付き半導体素子を、フレキシブル配線基板 (以下、 FPC) 等の変形しやすい基板に対して、リフロー処理によって実装した場合であっても、 bumps 付き半導体素子の位置ずれが少ない bumps 付き半導体素子の実装方法、 bumps 付き半導体素子の実装構造、及びそれを用いた電気光学装置、並びに電子機器に関する。

**【0002】****【従来の技術】**

従来、半導体素子のリード端子のファインピッチ化や多ピン化に対応した実装方法として、プリント配線基板 ( PCB ) 上に、 QFP (クアッド・フラット・パッケージ) を搭載する方法が広く実施されている。これは、パッケージの 4 辺に多数のガルウィング型のリード端子を持つフラットパッケージである QFP を、通常、樹脂等からなる PCB に実装するとともに、 PCB の導体部との電氣的接続が図られた状態で使用されるものである。しかしながら、 QFP は、さらなるファインピッチ化や多ピン化に伴い、実装時における半田ブリッジによる短絡や、半田不足などによって、接続信頼性が低いという問題が指摘されている。また、 QFP は、リード端子がパッケージより外側に突出している分、 PCB 上における実装面積が増大するという問題も見られた。

**【0003】**

そこで、半導体素子のさらなるファインピッチ化や多ピン化に対応するために、 BGA や、 CSP を用いた実装方法が提案されたり、実施されたりしている。そして、 BGA 等の交換修理が困難な電子部品を、半田付け不良等が生じないように実装する実装方法がある。(例えば、特許文献 1 参照)。

より具体的には、図 2 2 に示すように、 BGA 型のパッケージ 400 の外周のボール 405 をガイドすることで、あるいは、 BGA 型パッケージ 400 のそれぞれのボール 402 をガイドすることで、 BGA 型パッケージ 400 の位置決めを行うことを特徴とする実装方法である。かかる実装方法によれば、 BGA 型パッケージ 400 を正確に位置決めすることができ、自動ハンドリング装置 417 にて BGA 型パッケージ 400 をソケットやプリント基板 416 等に装着する際、 BGA 型パッケージ 400 とプリント基板 416 等の間で位置ズレすることなく、コンタクトミス無くすることができる。

**【0004】**

また、図 2 3 にそのフロー図を概略的に示すように、 PCB 上の所定箇所にクリーム半田

10

20

30

40

50

を印刷する工程 291 と、BGA 等の bumps 付き半導体素子を、クリーム半田が印刷された PCB 上の所定箇所にマウンターにより搭載する工程 292 と、X線検査を実施して、半導体素子における良品と、不良品とを選別する工程 293 と、X線検査に合格した半導体素子における良品のみをリフロー加熱して実装する工程 294 と、を含む実装方法 290 がある。

【0005】

また、図 24 (a) ~ (c) に示すのは、クリーム半田 302 を外側に向かって過剰量になるように基板 305 上に塗布する方法を用いた BGA 等に適した実装方法である。より具体的には、図 24 (a) に示すように、基板 305 のフットランド 303 上にクリーム半田 302 を外側に向かって過剰量になるように局部印刷し、次いで、図 24 (b) に示すように、クリーム半田 306 を溶解させ、さらに図 24 (c) に示すように加熱して、クリーム半田 307、308 をフットランド 303 上に凝集分離させることを特徴としている。

10

【0006】

また、図 25 (a) ~ (d) に示すのは、基板 310 上に設けた凹部 311 にクリーム半田 312 を塗布する方法を用いた BGA の実装方法である。より具体的には、図 25 (a) に示すように、表面に複数の凹部 311 を備えた基板 310 を準備し、図 25 (b) に示すように、複数の凹部 311 に対してクリーム半田 312 を塗布し、図 25 (c) に示すように、BGA 315 の bumps 317 を、複数の凹部 311 に対して位置合わせし、さらに、図 25 (d) に示すようにリフロー実装して、圧着することを特徴としている。

20

【0007】

また、図 26 (a) ~ (d) に示すのは、PCB 基板 323 のパッド 321 上から、クリーム半田 324 を用いて実装された BGA (図示せず) を一旦剥離した後、PCB 基板 323 のパッド 321 上に残留したクリーム半田 324 を除去することなく再実装する方法である。より具体的には、図 26 (a) に示すように、PCB 基板 323 のパッド 321 上から、クリーム半田 324 を用いて実装された BGA を一旦剥離し、図 26 (b) に示すように、穴あきプレート 325 を介して、PCB 基板 323 のパッド 321 上のみ、さらにクリーム半田 312 を適量塗布し、図 26 (c) に示すように、BGA 326 の bumps 329 と、PCB 基板 323 のパッド 321 とを位置合わせし、さらに、図 26 (d) に示すようにリフロー実装して、圧着することを特徴としている。

30

【0008】

一方、図 27 (a) ~ (c) に示すように、異方性導電膜 (Anisotropic Conductive Film, 以下、ACF) 347 を介して、bumps 付き半導体素子 346 と、基板 343 のパッド 341 とを熱圧着する実装方法も提案されている。かかる ACF 347 による実装方法によれば、CSP のように bumps 347 のピッチが 0.1 ~ 0.5 mm 程度と狭い場合であっても、隣接する bumps 間でのショート発生を効率的に防止できるとともに、多くの bumps 347 を一括して電気接続できるという利点を得ることができる。

【0009】

【特許文献 1】

特開平 11 - 330797 号公報 (第 2 - 3 頁、図 1)

40

【0010】

【発明が解決しようとする課題】

しかしながら、図 22 に示した実装方法は、プリント基板等に対する BGA 型パッケージのボール全体の位置についてのズレを防止することはできるが、それぞれのボール位置がズレている場合には、対応することができないという問題があった。したがって、BGA 型パッケージをプリント基板等を実装した際に、ボールの位置ズレに起因して、コンタクトミスが発生する場合が見られた。

【0011】

また、図 23 に示した実装方法は、リフロー加熱前に X線検査を実施しなければならず、

50

工程数が増大するとともに、製造管理が複雑化したり、製造時間が長くなったりするなどの問題が見られた。

また、クリーム半田を、PCBの微細なパッド上に正確に印刷しなければならないため、印刷のための位置合わせや印刷自体に時間がかかる一方、印刷したクリーム半田の位置と、パッドとが容易にずれるという問題が見られた。

特に、バンブ付き半導体素子としてCSPを使用した場合には、BGAよりもさらにファインピッチ化されている場合が多いため、クリーム半田をPCBのパッド上に、精度良く印刷した後、変形しやすいFPCに対して実装することは事実上、困難であった。

#### 【0012】

また、図24に示した実装方法によれば、クリーム半田を、微細なパッド上に正確に印刷しなければならないため、印刷のための位置合わせや印刷自体に時間がかかる一方、特にBGAを実装する場合に用いると、印刷したクリーム半田の位置と、パッドとが容易にずれるという問題が見られた。

10

また、図25に示した実装方法によれば、凹部を有するパッドを形成することが困難であるばかりか、微細な凹部を有するパッドに正確に印刷しなければならないため、印刷のための位置合わせや印刷自体に時間がかかるという問題が未だ見られた。

#### 【0013】

さらに、図26に示した実装方法についても、クリーム半田を、微細なパッド上に正確に印刷しなければならないため、印刷のための位置合わせや印刷自体に時間がかかる一方、印刷したクリーム半田の位置と、パッドとが容易にずれるという問題が見られた。また、BGAの剥離後においても、メタルマスクを用いて、クリーム半田を、PCBの微細なパッド上に、再び、正確かつ厚く印刷しなければならないため、印刷のための位置合わせや印刷自体にさらに時間がかかる一方、印刷したクリーム半田の位置と、パッドとがさらに容易にずれたり、流動した半田によってブリッジが形成されやすいという問題が見られた。

20

#### 【0014】

一方、ACFを用いた実装方法は、当該ACFのコストが高いばかりか、他の電気素子との同時実装が困難であるという問題が見られた。

すなわち、ACFを介して、熱圧着により実装するバンブ付き半導体素子と、半田リフロー処理により実装する他の電気素子とは、それぞれの実装プロセスの順序を考慮しつつ、別時に、異なる実装装置を用いて実装しなければならなかった。

30

#### 【0015】

そこで、上記問題点を鋭意検討した結果、バンブ付き半導体素子のバンブに対して半田材料を付着させることにより、半田材料を印刷する際の位置決め工程を省略できるとともに、フレキシブル配線基板（以下、FPC）等の比較的に変形しやすい基板に対しても、微細なバンブ付き半導体素子を精度よくリフロー実装できることを見出した。

すなわち、本発明は、バンブ付き半導体素子、特にBGAやCSP等の微細なバンブ付き半導体素子を、基板、特にFPCに対しても、迅速かつ安価なリフロー実装によって容易に実施することができ、しかも微細なバンブ付き半導体素子と、基板とをリフロー実装した場合であっても、実装不良の発生が少ないバンブ付き半導体素子の実装方法等を提供することを目的としている。

40

#### 【0016】

##### 【課題を解決するための手段】

本発明によれば、下記工程（A）および（B）を含むバンブ付き半導体素子の実装方法が提供され、上述した問題点を解決することができる。

（A）半田材料を、バンブ付き半導体素子のバンブに対して付着させる工程

（B）半田材料が付着したバンブ付き半導体素子を、リフロー処理によって、基板に対して実装する工程

すなわち、クリーム半田およびフラックス等の半田材料を、バンブ付き半導体素子のバンブに対して付着させることにより、当該半田材料を基板に対して印刷する際の位置決め工

50

程が不要となるばかりか、半田材料を介して、微細な bumps 付き半導体素子と、基板とを精度良くリフロー実装することができる。

したがって、bumps 付き半導体素子を、基板に対して、迅速かつ安価なリフロー法によって容易に実装できるとともに、微細な bumps 付き半導体素子における実装不良の発生を少なくすることができる。

【0017】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、半田材料を、bumps 付き半導体素子の bumps 以外の箇所をマスキングした状態で、bumps に対して付着させることが好ましい。

このように実施することにより、半田材料が所望箇所以外に付着することを効率的に防止することができるため、bumps 付き半導体素子を基板にリフロー実装した際に生じる半田ブリッジ等に起因した実装不良を少なくすることができる。

【0018】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、bumps 付き半導体素子を、水平状態に保持された半田材料に対して押し付けることにより、当該半田材料を付着させることが好ましい。

このように実施することにより、bumps 付き半導体素子の各 bumps に対して、半田材料を均一に付着させることができるとともに、付着される半田材料の量を容易に制御することができる。

【0019】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、半田材料の付着量を調整するための突起物またはスペーサを介して、半田材料を付着させることが好ましい。

このように実施することにより、bumps 付き半導体素子の各 bumps のみに対して、半田材料を均一に付着させることができるとともに、付着される半田材料の量を容易に制御することができる。

【0020】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、半田材料を付着させる前に、当該半田材料の厚さを調整することが好ましい。

このように実施することにより、bumps 付き半導体素子の各 bumps に対して、半田材料を均一に付着させることができるとともに、付着される半田材料の量を容易に制御することができる。

【0021】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、bumps の高さを  $B_1$  (mm) とし、半田材料の付着厚さを  $B_2$  (mm) としたときに、 $B_2 / B_1$  の比率を 0.9 以下の値とすることが好ましい。

このように実施することにより、半田材料が所望箇所以外に付着することを効果的に防止することができるとともに、bumps 付き半導体素子を基板に実装した際に、半田ブリッジ等による実装不良をなくすことができる。

【0022】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、bumps の底面積を  $A_1$  (mm<sup>2</sup>) とし、半田材料の付着面積を  $A_2$  (mm<sup>2</sup>) としたときに、 $A_2 / A_1$  の比率を 1.5 以下の値とすることが好ましい。

このように実施することにより、半田材料が所望箇所以外に付着することを効果的に防止することができるとともに、bumps 付き半導体素子を基板に実装した際に、半田ブリッジ等による実装不良をなくすことができる。

【0023】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程(A)において、半田材料の温度を 10 ~ 150 の範囲内の値に制御することが好ましい。

このように実施することにより、bumps 付き半導体素子における bumps が溶融し、変形し

たり、脱落したりすることを防止することができるとともに、半田材料の粘度が均一化されるため、 bumps 付き半導体素子の各 bumps に対して、半田材料を均一に付着させることができる。

【0024】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程 (A) の前に、 bumps 付き半導体素子の bumps の表面を平坦化する工程、あるいは粗面化する工程を含むことが好ましい。

このように実施することにより、 bumps 付き半導体素子の各 bumps に対して、容易に半田材料を付着させることができるとともに、半田材料を均一に付着させることができる。

【0025】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程 (A) の前に、 bumps 付き半導体素子の bumps の表面に、半田材料に対する密着材料を付着させる工程を含むことが好ましい。

このように実施することにより、 bumps 付き半導体素子の各 bumps に対して、容易に半田材料を付着させることができるとともに、半田材料を均一に付着させることができる。

【0026】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、基板が、フレキシブル配線基板 (FPC) であって、 bumps 付き半導体素子が、ボール・グリッド・アレイ (BGA) であることが好ましい。

このように実施することにより、高精細ピッチや多ピン化の実装要求に答えることができるとともに、安価な bumps 付き半導体素子の実装方法を提供することができる。

【0027】

また、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程 (B) において、 bumps 付き半導体素子以外の他の素子とともに、半田材料が付着した bumps 付き半導体素子を同時に実装することが好ましい。

このように実施することにより、リフロー処理以外の ACF 等による実装工程を削減することができ、 bumps 付き半導体素子の実装工程を、全体として、簡素化および迅速化することができる。

【0028】

なお、本発明の bumps 付き半導体素子の実装方法を実施するにあたり、工程 (A) の後に、 bumps に付着した半田材料量を検査し、所定量よりも多い場合には、一部を除去する調整工程を含むことが好ましい。

このように実施することにより、 bumps 付き半導体素子の各 bumps に対して、半田材料が過度に付着した場合や、不均一に付着した場合であっても、当該半田材料量を適性範囲内の値に容易に調整することができる。

【0029】

また、本発明の別な態様は、下記工程 (A) および (B) により、 bumps 付き半導体素子を基板上に実装してなる bumps 付き半導体素子の実装構造である。

(A) 半田材料を、 bumps 付き半導体素子の bumps に対して付着させる工程

(B) 半田材料が付着した bumps 付き半導体素子を、リフロー処理によって、基板に対して実装する工程

すなわち、半田材料を bumps に対して付着させた bumps 付き半導体素子を、基板に対してリフロー処理によって実装することにより、半田材料を基板に対して印刷する際の位置決め工程が不要となるばかりか、微細な bumps 付き半導体素子と、基板とをリフロー実装した場合であっても、実装不良の発生を少なくすることができる。

【0030】

また、本発明の別な態様は、駆動素子または電源素子として、下記工程 (A) および (B) により実装された bumps 付き半導体素子を含む電気光学装置である。

(A) 半田材料を、 bumps 付き半導体素子の bumps に対して付着させる工程

(B) 半田材料が付着した bumps 付き半導体素子を、リフロー処理によって、基板に対し

10

20

30

40

50

て実装する工程

すなわち、半田材料を、 bumps 付き半導体素子の bumps に対して付着させた bumps 付き半導体素子を、基板に対してリフロー処理によって実装することにより、半田材料と bumps が位置ずれすることなく bumps 付き半導体素子を実装した電気光学装置を得ることができる。

【0031】

また、本発明の別な態様は、上述した電気光学装置と、当該電気光学装置を制御するための制御手段と、を備えることを特徴とする電子機器である。

すなわち、かかる電子機器によれば、環境安定性に優れ、誤動作が少ない動作を提供することができる。

【0032】

【発明の実施の形態】

以下、図面を参照して、本発明の bumps 付き半導体素子の実装方法、及びそれを用いた電気光学装置、並びに電子機器に関する実施形態について具体的に説明する。

ただし、かかる実施形態の説明は、本発明の一態様を例示するものであり、言うまでも無く本発明を限定するものではなく、本発明の目的の範囲内で任意に変更することが可能である。

【0033】

[第1実施形態]

第1実施形態は、図1(a)~(c)に例示するように、基板19 (パッド17) に対する bumps 付き半導体素子11の実装方法であって、下記工程(A)および(B)を含むことを特徴とする bumps 付き半導体素子の実装方法である。

(A) 半田材料15を、 bumps 付き半導体素子11の bumps 13に対して付着させる工程

(B) 半田材料15が付着した bumps 付き半導体素子11を、リフロー処理によって、基板19 (パッド17) に対して実装する工程

なお、図1(a)および(b)に示す態様が、工程(A)に実質的に対応しており、図1(c)に示す態様が、工程(B)に実質的に対応している。

【0034】

1. 工程(A)

(1) bumps 付き半導体素子

第1実施形態で使用する bumps 付き半導体素子については、後述する第2の実施形態と同様の内容とすることができる。したがって、 bumps 付き半導体素子の詳細については、第2の実施形態における実装構造との関係で説明する。

【0035】

(2) 半田材料

1 種類

bumps に付着させる半田材料の種類としては、特に制限されるものではないが、例えば、SnやPb/Sn等からなる従来から汎用されている半田や、ロジンや松脂等のフラックス材料を使用することができるが、環境問題に配慮して、Pbを含まないCu/Sn/Agからなる半田と、フラックス材料との組み合わせからなるクリーム半田を用いることがより好ましい。

また、 bumps に付着させる半田材料としては、半田を含まずに、フラックス材料のみを使用することも好ましい。このようにフラックス材料のみを使用することにより、 bumps への均一付着がさらに容易となるとともに、隣接する bumps 間でのショート発生の問題を回避することができる。

【0036】

2 粘度

また、半田材料を bumps に対して付着させる際に、半田材料の粘度を、 $1 \sim 1,000 \text{ Pa} \cdot \text{sec}$  (測定温度:  $25^\circ\text{C}$ ) の範囲内の値とすることが好ましい。

この理由は、かかる粘度が  $1 \text{ Pa} \cdot \text{sec}$  未満となると、半田材料が bumps に均一に付着

10

20

30

40

50

しにくくなる場合があるためである。一方、かかる粘度が $1,000\text{ Pa}\cdot\text{sec}$ を越えると、流動性が低下して、やはりポンプに付着しにくくなる場合があるためである。したがって、半田材料を付着させる際の半田材料の粘度を $10\sim 800\text{ Pa}\cdot\text{sec}$ の範囲内の値とすることがより好ましく、 $20\sim 500\text{ Pa}\cdot\text{sec}$ の範囲内の値とすることがさらに好ましい。

なお、半田材料の粘度を適切範囲に調整するために、半田材料の温度を調整したり、あるいは有機溶剤を適量添加したりすることが好ましい。

#### 【0037】

##### 3 温度

また、半田材料をポンプに対して付着させる際に、半田材料の温度を $10\sim 150$ の範囲内の値とすることが好ましい。

この理由は、かかる半田材料の温度が $10$ より低い温度となると、半田材料の粘度が高くなったり、気泡を巻き込みやすくなったりして、半田材料を均一に付着させることが困難となる場合があるためである。一方、かかる半田材料の温度が $150$ を越えると、ポンプ付き半導体素子のポンプ自体が一部溶解する場合があるためである。

したがって、ポンプに付着させる際の半田材料の温度を、 $15\sim 125$ の範囲内の値とすることがより好ましく、 $20\sim 100$ の範囲内の値とすることがさらに好ましい。

なお、半田材料の温度を制御するためのヒーターや冷却装置などの温度制御手段を、半田材料を収容した容器等に設けることが好ましい。

#### 【0038】

##### 4 付着量

また、ポンプに対する半田材料の付着量に関して、ポンプの高さを $B1(\text{mm})$ とし、半田材料の付着厚さを $B2(\text{mm})$ としたときに、 $B2/B1$ の比率を $0.9$ 以下の値とすることが好ましい。

この理由は、かかる $B2/B1$ の比率が $0.9$ を超えると、半田材料が所望箇所以外に付着したり、ポンプ付き半導体素子を基板に実装した際に、半田ブリッジ等による実装不良が生じ易くなったりする場合があるためである。ただし、かかる $B2/B1$ の比率が低くなりすぎると、ポンプ付き半導体素子のポンプと、基板の패드との電気接続が不安定になる場合がある。

したがって、かかる $B2/B1$ の比率を $0.05\sim 0.8$ の範囲内の値とすることがより好ましく、 $0.1\sim 0.7$ の範囲内の値とすることがさらに好ましい。

#### 【0039】

また、ポンプに対する半田材料の付着量に関して、ポンプの表面積を $A1(\text{mm}^2)$ とし、半田材料の付着面積を $A2(\text{mm}^2)$ としたときに、 $A2/A1$ の比率を $1.0$ 以下の値とすることが好ましい。

この理由は、かかる $A2/A1$ の比率が $1.0$ を超えると、半田材料が所望箇所以外に付着したり、ポンプ付き半導体素子を基板に実装した際に、半田ブリッジ等による実装不良が生じ易くなったりする場合があるためである。ただし、かかる $A2/A1$ の比率が低くなりすぎると、ポンプ付き半導体素子のポンプと、基板の패드との電気接続が不安定になる場合がある。

したがって、かかる $A2/A1$ の比率を $0.05\sim 0.8$ の範囲内の値とすることがより好ましく、 $0.1\sim 0.5$ の範囲内の値とすることがさらに好ましい。

なお、ポンプの表面積 $A1$ とは、ポンプの表面積のうち、外面に露出している面積の合計をいう。

#### 【0040】

##### (3) 付着方法1(押し付け法)

本発明において、ポンプに対して半田材料を付着させる方法としては、図1(a)に示すように、容器14内に収容された半田材料15に対して、ポンプ13が下方側に向けた状態のポンプ付き半導体素子11を、治具12を用いて下方(矢印方向)に押し付け、当該押し付け力を調整しながら、ポンプ13の先端部に半田材料15を付着させることが好ま

10

20

30

40

50

しい。

この理由は、このように実施すると、簡易な装置を用いて、 bumps 付き半導体素子 11 の bumps 13 の先端部あるいはその周辺部に半田材料 15 を付着させることができるためである。

したがって、図 1 ( b ) に示すように、 bumps 付き半導体素子 11 と、基板 19 のパッドとの位置合わせも容易になるばかりか、図 1 ( c ) に示すように、 bumps 付き半導体素子 11 と、基板 19 のパッドとを強固かつ位置ずれすることなく、電気接続することが可能となる。

また、半田材料 15 の付着量の調整をさらに容易かつ比較的正確に実施することができることから、図 1 ( a ) に示すように、治具 12 を用いて容器 14 内に水平状態に保持された半田材料 15 に対して押し付けることが好ましい。

さらにまた、半田材料 15 の付着量のより正確な調整のためには、 bumps 付き半導体素子 11 の位置センサを設け、当該 bumps 付き半導体素子の位置から判断して、治具 12 による押し付け力を制御することが好ましい。

#### 【 0041 】

( 4 ) 付着方法 2 ( 半田材料定量化手段使用 )

また、図 2 ( a ) および ( b ) に示すように、半田材料定量化手段として、例えば、スキージ 21 やナイフコートを用いて、容器 14 内に収容された半田材料 15 の量を均一化するとともに、半田材料 15 の表面を平坦化した後、 bumps 13 が下方側に向いた状態の bumps 付き半導体素子 11 を治具 12 によって、矢印方向に押し付け、 bumps 13 に対して、半田材料 15 を定量的に付着させることが好ましい。

この理由は、このように実施すると、半田材料 15 を付着させる前に、当該半田材料 15 の厚さ ( t1 ) を、 bumps 13 の高さを考慮して調整することができるので、 bumps 付き半導体素子 11 の各 bumps 13 に対して、半田材料 15 を均一に付着させることができるためである。また、半田材料 15 の厚さ ( t1 ) が、 bumps 13 の高さよりも低く、かつ均一化されていれば、当該半田材料 15 の厚さ ( t1 ) を制御するだけで、付着させる半田材料 15 の量を容易に制御することができるためである。

#### 【 0042 】

また、図 3 ( a ) および ( b ) に示すように、半田材料定量化手段として、例えば、印刷装置 23 を用いて、容器 14 内において、 bumps 付き半導体素子 11 の bumps 13 が設けられている位置に対応させて、半田材料 15 を均一かつ部分的に塗布した後、 bumps 13 が下方側に向いた状態の bumps 付き半導体素子 11 を治具 12 によって、矢印方向に押し付け、 bumps 13 に対して、半田材料 15 を付着させることも好ましい。

この理由は、このように実施すると、半田材料 15 を付着させる前に、 bumps 位置に対応させて半田材料 15 の量や厚さを個々に調整することができるので、 bumps 付き半導体素子 11 の各 bumps 13 に対して、半田材料 15 を均一に付着させることができるとともに、付着させる半田材料の量を容易に制御することができるためである。

なお、印刷装置 23 の種類としては特に制限されることなく、インクジェット装置、スクリーン印刷装置、グラビア印刷装置等の一般的に公知の印刷装置を使用することができる。

#### 【 0043 】

( 5 ) 付着方法 3 ( レジスト使用 )

また、図 4 に示すように、 bumps 13 以外の箇所にレジスト材料 31 を塗布した状態で、 bumps 13 が下方側に向いた状態の bumps 付き半導体素子 11 を治具 12 により押し付けて、容器 11 内の半田材料 15 を付着させることが好ましい。すなわち、半田材料 15 を、 bumps 付き半導体素子 11 の bumps 13 以外の箇所をマスキングした状態で、 bumps 13 に対して付着させることが好ましい。

この理由は、このように実施すると、半田材料 15 が所望箇所以外に付着することを効率的に防止することができるため、 bumps 付き半導体素子 11 を基板に実装した際に、半田ブリッジ等に起因した実装不良を少なくすることができるためである。

10

20

30

40

50

また、レジスト材料 3 1 の厚さや面積を制御することによって、付着させる半田材料の量を容易に制御することができるためである。

#### 【 0 0 4 4 】

##### ( 6 ) 付着方法 4 ( 突起使用 )

また、図 5 ( a ) および ( b ) に示すように、突起状のストッパー 3 2 を介して、 bumps 付き半導体素子 1 1 を押し付け、 bumps 付き半導体素子 1 1 の bumps 1 3 に対して半田材料 1 5 を付着させることも好ましい。なお、図 5 ( a ) は、突起状のストッパー 3 2 が bumps 付き半導体素子 1 1 の側に設けてある例であり、図 5 ( b ) は、突起状のストッパー 3 2 が容器 1 4 の側に設けてある例である。

このように実施すると、突起状のストッパー 3 2 によって、 bumps 付き半導体素子 1 1 の各 bumps 1 3 に対して、半田材料 1 5 を均一かつ定量的に付着させることができるとともに、 bumps 付き半導体素子 1 1 を押し付け力が変化したような場合であっても、付着させる半田材料 1 5 の量を容易に制御することができる。

なお、突起状のストッパー 3 2 の形態は特に制限されるものでなく、例えば、棒状、針状、三角錘状、円錐状、玉状、柱状等の任意の形状とすることができ、また、突起状のストッパー 3 2 の数や配置についても特に制限されるものでない。

#### 【 0 0 4 5 】

##### ( 7 ) 付着方法 5 ( スペース使用 )

また、図 6 ( a ) ~ ( c ) に示すように、種々のスペース 2 5、2 6、3 9 を介して、 bumps 付き半導体素子 1 1 の bumps 1 3 に対して半田材料 1 5 を付着させることが好ましい。ここで、図 6 ( a ) は、 bumps 1 3 の箇所に対応した穴 3 7 が設けられた平板タイプのスペース 2 5 を用いた例であり、図 6 ( b ) は、 bumps 1 3 の箇所に対応した穴 3 7 が設けられるとともに、穴 3 7 の周囲に突起部 3 8 が設けられたスペース 2 6 を用いた例であり、図 6 ( c ) は、 bumps 付き半導体素子 1 1 のエッジ部以外の箇所に、比較的大きな穴 3 7 が設けられたタイプのスペース 3 9 を用いた例である。

このように実施すると、スペース 2 5、2 6、3 9 によって、 bumps 付き半導体素子 1 1 の各 bumps 1 3 のみに対して、半田材料 1 5 を均一に付着させることができるとともに、所定のスペース 2 5、2 6、3 9 の厚さや穴の大きさを変えるだけで、付着させる半田材料 1 5 の量を容易に制御することができる。

なお、スペース 2 5、2 6、3 9 の形態は、使用状況に応じて種々の変更が可能であって、例えば、金属製や樹脂製のスペースとして構成することができる。また、スペースの一部にスプリング等の弾性部材を備えて、スペースを常に所定位置に保持できるように構成したり、あるいは、周囲を耐熱性材料で被覆して、スペース 2 5、2 6、3 9 の寸法精度や耐久性を向上させたりすることも好ましい。

#### 【 0 0 4 6 】

##### ( 8 ) 付着方法 6 ( 逆向 )

また、 bumps 付き半導体素子の向きを図 1 ~ 図 6 において示す方向とは異ならせて、すなわち、 bumps 1 3 を上方や側方等に向けた状態で、半田材料 4 5 を付着させることも好ましい。

例えば、図 7 ( a ) に示すように、 bumps 付き半導体素子 1 1 の bumps 1 3 を上方に向けた状態で、穴あきプレート 4 3 を介して、 bumps 1 3 に対して半田材料 4 5 を塗布し、部分付着させることが好ましい。

この理由は、このように実施することにより、公知の印刷方法や付着方法を用いて、精度高く半田材料を付着させることができるためである。また、半田材料が付着した bumps 付き半導体素子を移動する際にも、落下等の危険を回避することができるためである。

#### 【 0 0 4 7 】

##### ( 9 ) 付着した半田材料量の調整工程

また、 bumps に付着した半田材料量を検査し、所定量よりも多い場合には、一部を除去する調整工程を含むことが好ましい。

この理由は、このような調整工程を含むことにより、 bumps 付き半導体素子の各 bumps に

対して、半田材料が過度に付着した場合や、不均一に付着した場合であっても、当該半田材料量を適性範囲内の値に容易に調整することができるためである。

ここで、バンプに付着した半田材料量を検査する方法としては、バンプ側から写真観察を実施する方法や、バンプ側の画像処理を実施する方法や、バンプの断面高さを測定する方法や、バンプ付き半導体素子の重量測定等を採用することが好ましい。

また、半田材料の調整方法としては、バンプ表面に対して、半田材料についての転写材（粘着テープ、不織布、布、紙等）を押圧する方法や、グラインダー等でバンプ表面の半田材料を除去する方法や、バンプ付き半導体素子に振動を与えてバンプ表面の半田材料を落下させる方法等を採用することが好ましい。

【0048】

10

## 2. 工程(B)

### (1) 位置合わせ工程

図8(a)に示すように、半田材料55が付着したバンプ付き半導体素子51を基板59のパッド57と位置合わせした後、基板59上に載置することが好ましい。

また、図8(a)に示すように、バンプ付き半導体素子11の位置合わせに際して、バンプ付き半導体素子11に位置合わせマーク50を設けておき、それを目印にバンプ付き半導体素子51を基板59上に載置することが好ましい。

【0049】

### (2) リフロー処理工程

工程(B)におけるリフロー処理条件は、特に制限されるものではないが、例えば、赤外線や加熱不活性ガスを用いて、ピーク温度が200~300 であるとともに、処理時間が5秒~10分の条件で加熱することが好ましい。

20

なお、リフロー処理中に、半田材料が酸化しないように、不活性状態でリフロー処理を実施することが好ましい。

【0050】

### (3) 他の素子との同時実装

また、工程(B)において、図9に例示するように、バンプ付き半導体素子以外の他の電気素子39とともに、半田材料15が付着したバンプ付き半導体素子11を実装することが好ましい。

この理由は、バンプ付き半導体素子以外の他の素子とともに、半田材料が付着したバンプ付き半導体素子を同時に実装することにより、リフロー処理以外のACF等による実装工程を削減することができ、バンプ付き半導体素子の実装工程を、全体として、簡素化および迅速化することができるためである。

30

なお、通常、バンプ付き半導体素子以外の電気素子、例えば、コンデンサや抵抗素子は、リフロー処理によって実装されているが、バンプ付き半導体素子は、ACF等によって実装されていたため、別個の実装方法によって実装しなければならないという問題が見られた。

【0051】

### [第2実施形態]

第2実施形態は、図1(a)~(c)に例示するように、第1実施形態で説明した下記工程(A)および(B)により、バンプ付き半導体素子11を基板19上に実装してなるバンプ付き半導体素子の実装構造である。

40

(A) 半田材料15を、バンプ付き半導体素子11のバンプ13に対して付着させる工程  
(B) 半田材料15が付着したバンプ付き半導体素子11を、リフロー処理によって、基板19に対して実装する工程

【0052】

### 1. 工程(A)および(B)

第1の実施形態で説明したのと同様の内容とすることができ、ここでの説明は省略する。

【0053】

50

## 2. バンプ付き半導体素子

### (1) 種類

本発明におけるバンプ付き半導体素子の種類は特に制限されるものではないが、配線のファインピッチ化や多ピン化に容易に対応できるように、例えば、図10～図12に示すようなBGA60、70、80や、図13に示すようなウェファレベルチップサイズパッケージ(WCSP)90を使用することが好ましい。ここで、図10に示すBGA60は、ベアチップ61と、ワイヤーボンディング68によってベアチップ61を搭載するためのインターポザー63と、インターポザー63の裏面に、ピッチが0.6～2.54mm程度のエリアレイ状に配置されたバンプ(半田ボール)65と、から構成されたバンプ付き半導体素子である。

10

また、図11は、ベアチップ61のボンディングパッド75上に、あらかじめバンプ71を形成し、基板63上のインナーリード(図示せず)に対して、熱による半田リフローや、加圧した状態で超音波振動を用いて接続する、いわゆるフリップチップ方式によって得られるBGA70を示している。

また、図12は、ベアチップ61上またはテープ上のインナーリードにバンプを形成しておき、お互いをインナーリード・ボンディングによって接続する、いわゆるTAB(Tape Automated Bonding)方式によって得られるBGA80を示している。

### 【0054】

一方、WCSPは、図13に示すように、インターポザーを介することなく、ウェファ段階で、配線103と、電気絶縁膜97、107と、ピッチが0.1～0.65mm程度のエリアレイ状に配置されたバンプ(半田ボール)93とを形成したCSPである。特に、薄型、軽量であって、コンパクトな実装構造を所望の場合に最適なバンプ付き半導体素子である。

20

### 【0055】

### (2) バンプ

また、バンプ付き半導体素子に設けてあるバンプの形態は、特に制限されるものでないが、例えば、図14(a)に示すように、バンプ113の先端部を平坦とすることが好ましい。

この理由は、図14(b)に示すように、バンプ付き半導体素子110を基板119のパッド117上に位置合わせして搭載した場合に、パッド117の周囲に均一に流動させて、バンプ付き半導体素子111のバンプ113と、パッド117とを強固に固定することができるためである。

30

### 【0056】

また、図15(a)に示すように、バンプ113の先端部の表面に微細な凹凸127を設けることが好ましい。

この理由は、概ね平坦な先端部によって、均一量の半田材料を容易に付着させることができるとともに、図15(b)に示すように、先端部の表面に設けた微細な凹凸127によって、バンプ付き半導体素子120を基板119のパッド117上に位置合わせのために移動する際に、バンプ113から半田材料123が落下するのを有効に防止することができるためである。

40

### 【0057】

また、図16(a)に示すように、バンプ113の先端部の表面に窪み135を設けることが好ましい。

この理由は、図16(b)に示すように、先端部の窪み135に半田材料137が一部入り込むことができるため、半田材料137を容易に付着させることができるとともに、バンプ付き半導体素子130を基板119のパッド117上に位置合わせのために移動する際に、半田材料137が落下するのを有効に防止することができるためである。

また、このように構成することにより、図16(c)に示すように、バンプ付き半導体素子130のバンプ113と、パッド117との間に、窪みを介して確実に半田材料が存在

50

し、これらの部材を強固に固定することができるためである。

【0058】

### (3) パンプの表面処理

また、図17に示すように、パンプ付き半導体素子11のパンプ13の表面に、半田材料15に対して優れた密着性を示す材料層18を設けることが好ましい。

この理由は、密着性を示す材料層の働きにより、パンプ付き半導体素子の各パンプに対して、容易に半田材料を付着させることができるとともに、半田材料を均一に付着させることができるためである。

ここで、密着性を示す材料層を構成する材料の種類としては特に制限されるものではないが、シランカップリング剤、チタンカップリング剤、アルミニウムカップリング剤、導電性接着剤、界面活性剤等が挙げられる。

【0059】

### 3. 基板

基板の種類は特に制限されるものではないが、例えば、ポリイミド樹脂、ポリエステル樹脂、エポキシ樹脂等からなるフレキシブル基材を含むFPCを使用することが好ましい。すなわち、図18に示すように、フレキシブル基材141上に、複数のパッド147を備えたとともに、両端にスプロケットを備えたFPC140を使用することにより、連続的にパンプ付き半導体素子を実装することができるためである。

【0060】

### 4. 封止剤

また、パンプ付き半導体素子をリフロー実装した後、その周囲を封止剤で封止することが好ましい。

例えば、エポキシ樹脂、ポリエステル樹脂、シリコン樹脂、あるいはアクリル樹脂等を用いて封止することにより、より優れた防湿効果や耐熱効果を発揮させることができる。

また、パンプ付き半導体素子と、基板との間の空間に、アンダーフィルとして、以下の特性を有する熱硬化性樹脂または光硬化性樹脂が充填してあることが好ましい。

(1) 体積抵抗が  $1 \times 10^6 \sim 1 \times 10^{20} \text{ } \cdot \text{cm}$  の範囲内の値である。

(2) 引張強さが  $1 \sim 500 \text{ MPa}$  の範囲内の値である。

【0061】

### [第3実施形態]

第3実施形態は、駆動素子または電源素子として、第1実施形態および第2実施形態で説明した工程(A)および(B)により得られたパンプ付き半導体素子の実装構造を含む電気光学装置である。

以下、図19に示す電気光学装置を構成する液晶パネルを例に採って説明する。

【0062】

まず、図20を参照して、図19に示す液晶パネル200の概略構造について説明する。図20は、図19に示す液晶パネル200におけるパンプ付き半導体素子227の基板張出部210Tへの実装状態を断面方向から模式的に図示するものであり、図面上、寸法は図示の都合上適宜に調整し、構成要素も適宜に省略してある。

【0063】

また、液晶パネル200は、第1の基板211上に、反射層212、複数の着色層214、表面保護層215の積層構造の上に透明電極216が形成されたカラーフィルタ基板210と、これに対向する対向基板220とがシール材230にて貼り合わされ、内部に液晶材料232が配置されたものである。この透明電極216は上述したように配線218Aに接続され、この配線218Aがシール材230と第1の基板211との間を通過して基板張出部210Tの表面上に引き出されている。また、基板張出部210T上には入力端子部219もまた形成されている。

【0064】

そして、基板張出部210Tは、駆動素子または電源素子として、下記工程(A)および(B)により実装されたパンプ付き半導体素子(BGA、CSP)を含むことを特徴とし

10

20

30

40

50

ている。

(A) 半田材料を、 bumps 付き半導体素子の bumps に対して付着させる工程

(B) 半田材料が付着した bumps 付き半導体素子を、リフロー処理によって、基板に対して実装する工程

したがって、クリーム半田等の半田材料を、 bumps 付き半導体素子の bumps に対して付着させることにより、基板張出部 210 T 上に半田材料を印刷する際の位置決め工程が不要となるばかりか、 bumps 付き半導体素子に付着した半田材料を介して、微細な bumps 付き半導体素子と、基板張出部 210 T のような小さく、フレキシブル基板とを精度良くリフロー実装することができる。

よって、 bumps 付き半導体素子による液晶駆動が安定するとともに、液晶パネルにおいて、優れた耐久性等を得ることができる。 10

【0065】

[第4実施形態]

第4実施形態として、本発明の bumps 付き半導体素子 (BGA、CSP) の実装構造を含む電気光学装置を、電子機器における表示装置として用いた場合について具体的に説明する。

なお、かかる bumps 付き半導体素子の電気光学装置および電子機器によれば、 bumps 付き半導体素子と、基板におけるパッドの間の位置ずれが少なくなり、それに対応して実装不良の発生が少なくなるとともに、あらゆる環境下において電気光学装置および電子機器の誤動作を少なくすることができるようになった。 20

【0066】

(1) 電子機器の概要

図21は、本実施形態の BGA または CSP の実装構造を含む電子機器の全体構成を示す概略構成図である。この電子機器は、液晶パネル 180 と、これを制御するための制御手段 190 とを有している。また、図21中では、液晶パネル 180 を、パネル構造体 180 A と、 BGA または CSP の実装構造から構成される駆動回路 180 B と、に概念的に分けて描いてある。また、制御手段 190 は、表示情報出力源 191 と、表示処理回路 192 と、電源回路 193 と、タイミングジェネレータ 194 とを有することが好ましい。また、表示情報出力源 191 は、ROM (Read Only Memory) や RAM (Random Access Memory) 等からなるメモリと、磁気記録ディスク 30  
や光記録ディスク等からなるストレージユニットと、デジタル画像信号を同調出力する同調回路とを備え、タイミングジェネレータ 194 によって生成された各種のクロック信号に基づいて、所定フォーマットの画像信号等の形で表示情報を表示情報処理回路 192 に供給するように構成されていることが好ましい。

【0067】

また、表示情報処理回路 192 は、シリアル - パラレル変換回路、増幅・反転回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種回路を備え、入力した表示情報の処理を実行して、その画像情報をクロック信号 CLK と共に駆動回路 180 B へ供給することが好ましい。そして、駆動回路 180 B は、走査線駆動回路、データ線駆動回路および検査回路を含むことが好ましい。また、電源回路 193 は、上述の各構成要素にそれぞれ所定の電圧を供給する機能を有している。 40

【0068】

(2) 電子機器

本発明に係る電気光学装置としての液晶表示装置、有機エレクトロルミネッセンス装置、無機エレクトロルミネッセンス装置等や、プラズマディスプレイ装置、 FED (フィールドエミッションディスプレイ) 装置、 LED (発光ダイオード) 表示装置、電気泳動表示装置、薄型のブラウン管、液晶シャッター、デジタルマイクロミラーデバイス (DMD) を用いた装置等を適用することが可能な電子機器としては、パーソナルコンピュータや、携帯電話機のほかにも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、 50

ワークステーション、テレビ電話、POS端末、およびタッチパネル等を備えた電子機器などが挙げられる。

【0069】

さらに、本発明の電気光学装置および電子機器は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。例えば、上記各実施形態に示す液晶パネルは単純マトリクス型の構造を備えているが、TFT（薄膜トランジスタ）やTFD（薄膜ダイオード）等のアクティブ素子（能動素子）を用いたアクティブマトリクス方式の電気光学装置にも適用することができる。

また、上記実施形態の液晶パネルは、BGAやCSPの実装構造を有しているが、例えば液晶パネルにフレキシブル配線基板やTAB基板を接続するように構成したものであって

10

【0070】

【発明の効果】

以上説明したように、本発明の bumps 付き半導体素子の実装方法によれば、半田材料を、 bumps 付き半導体素子の bumps に対して主として付着させることにより、半田材料を基板に対して印刷する際の位置決め工程が不要となるばかりか、FPC等の変形しやすい基板に対して、微細な bumps 付き半導体素子をリフロー実装した場合であっても、 bumps 付き半導体素子と、基板におけるパッドの間の位置ずれが少なくなり、実装不良の発生を少なくできるようになった。

【0071】

また、本発明の bumps 付き半導体素子の実装構造によれば、FPC等の変形しやすい基板に対して、微細な bumps 付き半導体素子をリフロー実装した構造であっても、 bumps 付き半導体素子と、基板におけるパッドの間の位置ずれが少なくなり、実装不良の発生を少なくすることができるようになった。

20

したがって、実装不良の発生が少ない実装構造を提供できるため、あらゆる環境下において、 bumps 付き半導体素子の誤動作を少なくすることができるとともに、 bumps 付き半導体素子の実装構造の製造における歩留まりを著しく向上させることができるようになった。

【0072】

また、本発明の bumps 付き半導体素子の電気光学装置および電子機器によれば、 bumps 付き半導体素子と、基板におけるパッドの間の位置ずれが少なくなった。したがって、実装不良の発生が少ない実装構造を採用することができるため、あらゆる環境下において、電気光学装置や電子機器の誤動作を少なくすることができるとともに、電気光学装置や電子機器の製造における歩留まりを著しく向上させることができるようになった。

30

【図面の簡単な説明】

【図1】(a)～(c)は、 bumps 付き半導体素子の基板に対する第1実施形態の実装方法を説明するために供する図である。

【図2】(a)～(b)は、半田材料の付着方法を説明するために供する図である(その1)。

【図3】(a)～(b)は、別な半田材料の付着方法を説明するために供する図である(その2)。

40

【図4】別な半田材料の付着方法を説明するために供する図である(その3)。

【図5】(a)～(b)は、別な半田材料の付着方法を説明するために供する図である(その4)。

【図6】(a)～(c)は、別な半田材料の付着方法を説明するために供する図である(その5)。

【図7】(a)～(b)は、別な半田材料の付着方法を説明するために供する図である(その6)。

【図8】第1実施形態における bumps 付き半導体素子と、基板のパッドとの位置合わせを説明するために供する図である。

50

【図 9】 パンプ付き半導体素子と、別の電気素子とを同時実装する方法を説明するために供する図である。

【図 10】 B G A の構成を説明するために供する断面図である（その 1）。

【図 11】 別な B G A の構成を説明するために供する断面図である（その 2）。

【図 12】 別な B G A の構成を説明するために供する断面図である（その 3）。

【図 13】 W C S P の構成を説明するために供する断面図である。

【図 14】 パンプ付き半導体素子におけるパンプの変形例を説明するために供する図である（その 1）。

【図 15】 パンプ付き半導体素子におけるパンプの別な変形例を説明するために供する図である（その 2）。

【図 16】 パンプ付き半導体素子におけるパンプの別な変形例を説明するために供する図である（その 3）。

【図 17】 パンプ付き半導体素子のパンプの表面処理について説明するために供する図である。

【図 18】 F P C を説明するために供する図である。

【図 19】 本発明に係る第 3 実施形態の液晶パネルの外観を示す概略斜視図である。

【図 20】 第 3 実施形態のパネル構造を模式的に示す概略断面図である。

【図 21】 本発明に係る電子機器の実施形態のブロック構成を示す概略構成図である。

【図 22】 ( a ) ~ ( c ) は、従来の電子部品の実装方法を示す工程図である（その 1）

【図 23】 従来の別な電子部品の実装方法を示す工程図である（その 2）。

【図 24】 ( a ) ~ ( c ) は、フィルム状接着剤を用いた従来の半導体素子の実装方法を示す工程図である（その 3）。

【図 25】 ( a ) ~ ( d ) は、従来の別な半導体素子の実装方法を示す工程図である（その 4）。

【図 26】 ( a ) ~ ( d ) は、従来の別な半導体素子の実装方法を示す工程図である（その 5）。

【図 27】 ( a ) ~ ( c ) は、従来の別な半導体素子の実装方法を示す工程図である（その 6）。

#### 【符号の説明】

1 1 パンプ付き半導体素子（ B G A や C S P ）

1 2 治具

1 3 パンプ

1 5 半田材料

1 7 パッド

1 9 基板（ F P C ）

2 1 スキージ

2 3 印刷装置

2 4 穴あきプレート

2 5 ・ 2 6 ・ 3 9 スペーサ

3 1 レジスト材料

3 2 ・ 3 3 突起状スペーサ

3 9 パンプ付き半導体素子以外の電気素子

4 3 穴あきプレート

5 0 ・ 5 4 位置合わせ用マーク

6 0 ・ 7 0 ・ 8 0 B G A

9 0 W C S P

1 4 0 F P C

1 6 0 パーソナルコンピュータ

1 7 0 携帯電話

10

20

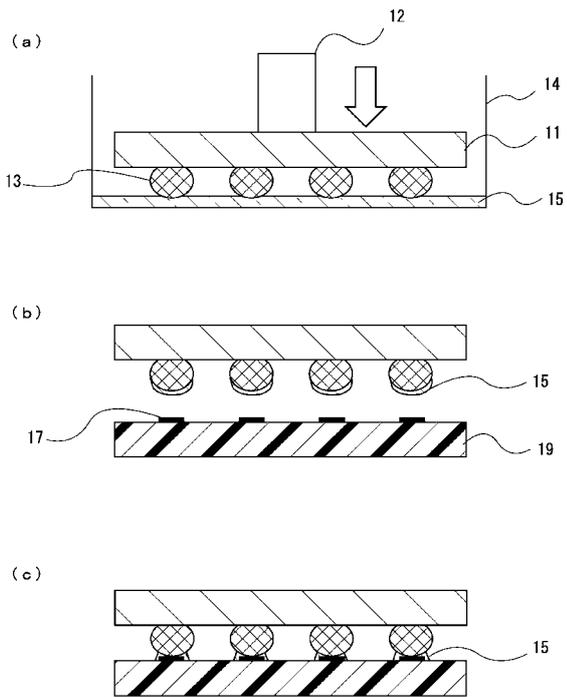
30

40

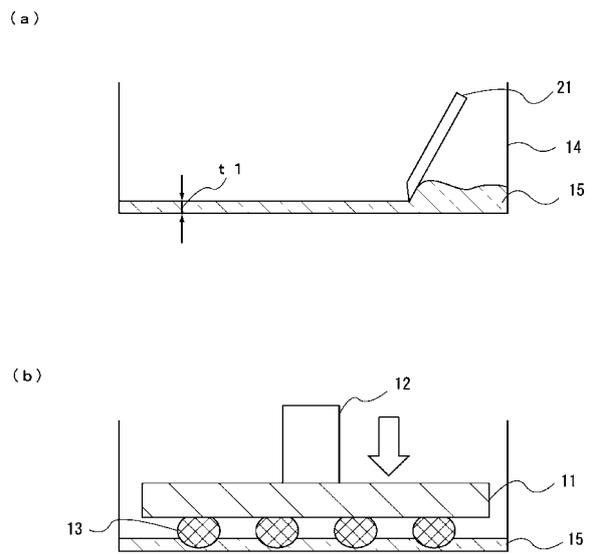
50

- 2 0 0 液晶パネル
- 2 1 1 第 1 の基板
- 2 2 1 第 2 の基板
- 2 2 2 透明電極
- 2 2 7 バンプ付き半導体素子

【 図 1 】

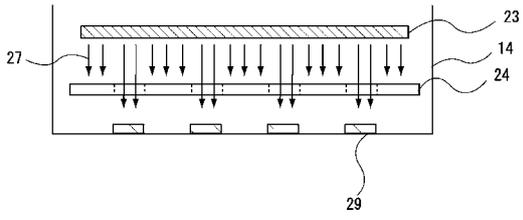


【 図 2 】

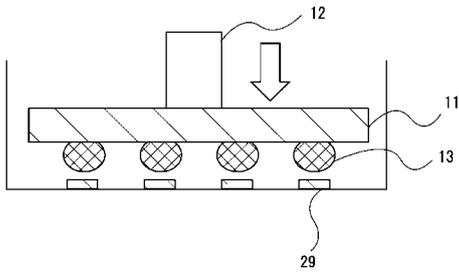


【 図 3 】

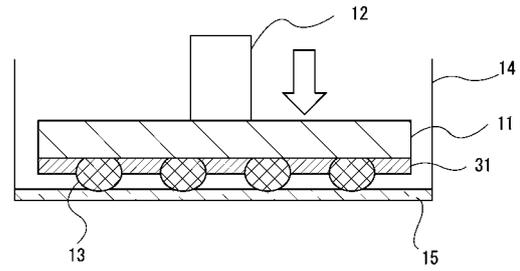
(a)



(b)

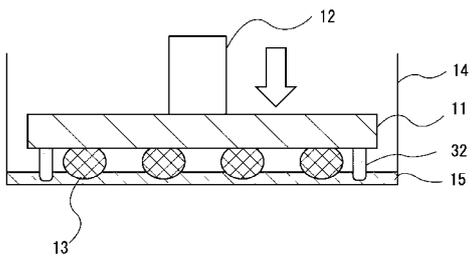


【 図 4 】

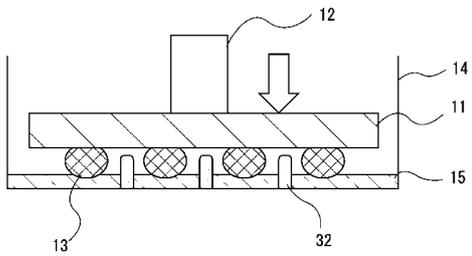


【 図 5 】

(a)

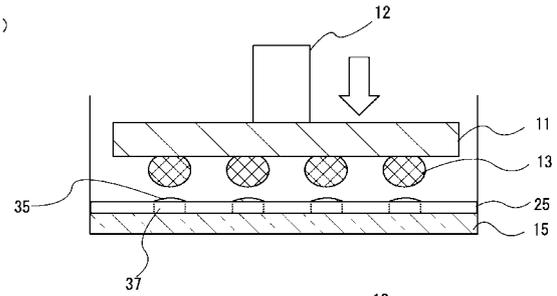


(b)

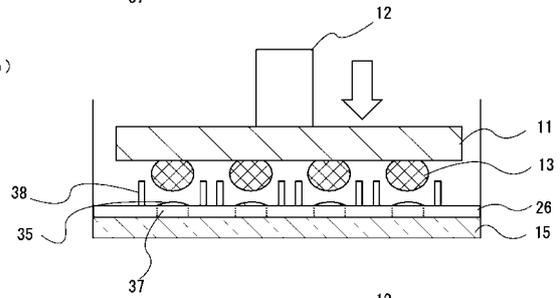


【 図 6 】

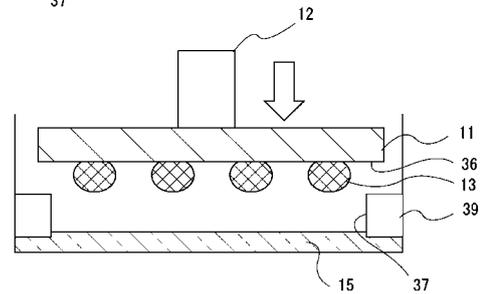
(a)



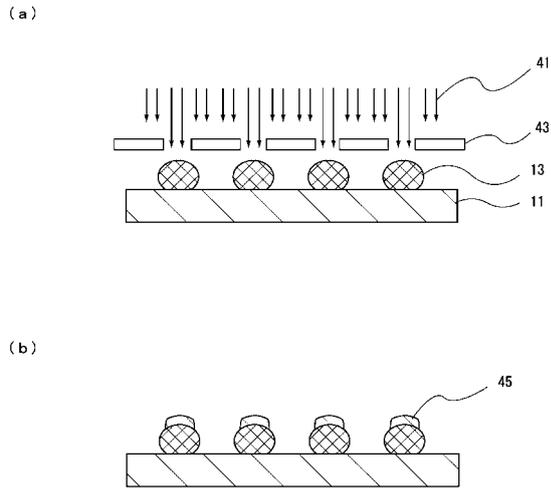
(b)



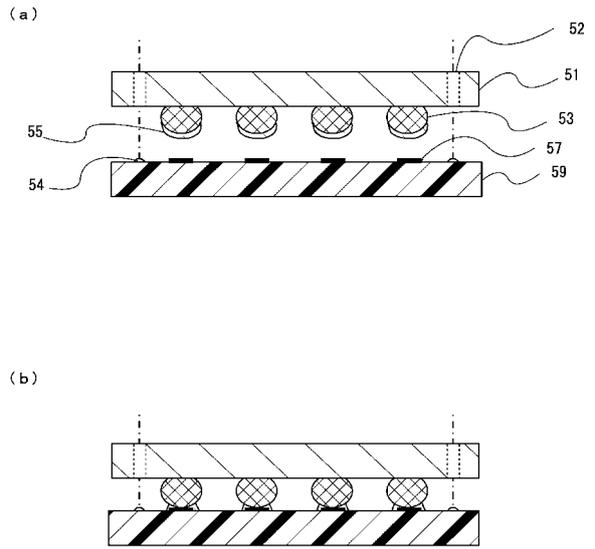
(c)



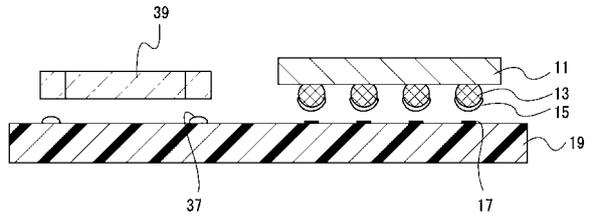
【 図 7 】



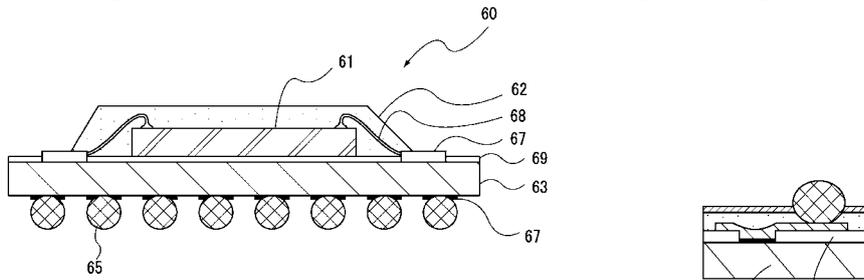
【 図 8 】



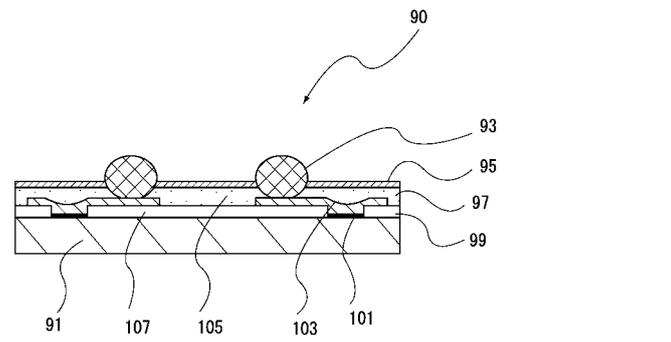
【 図 9 】



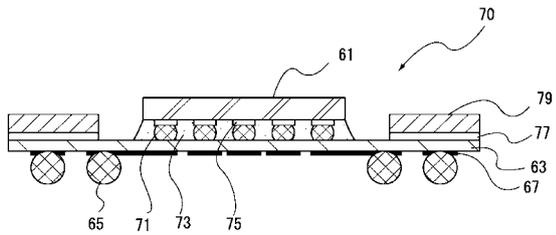
【 図 10 】



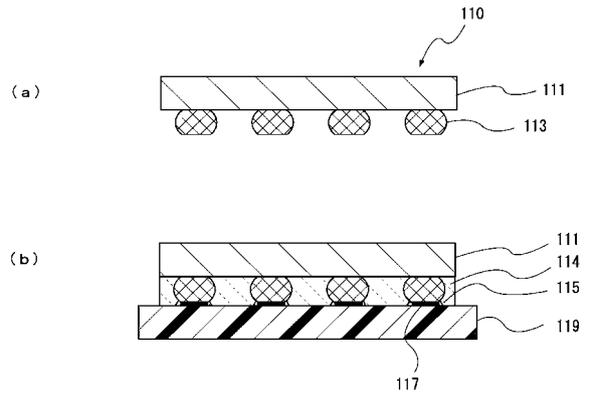
【 図 13 】



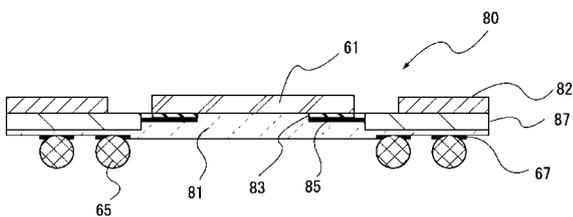
【 図 11 】



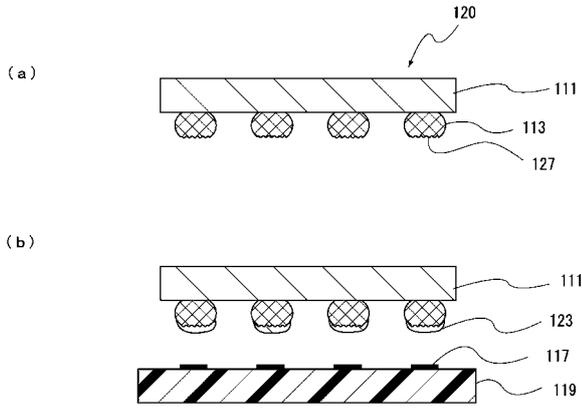
【 図 14 】



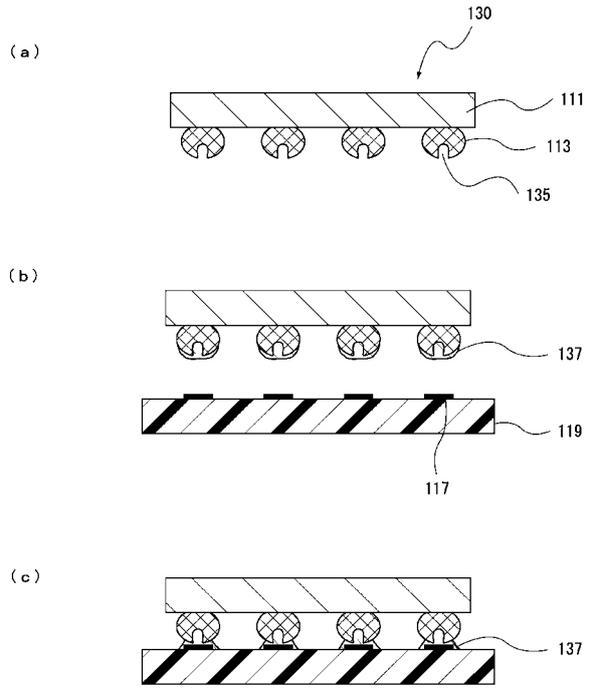
【 図 12 】



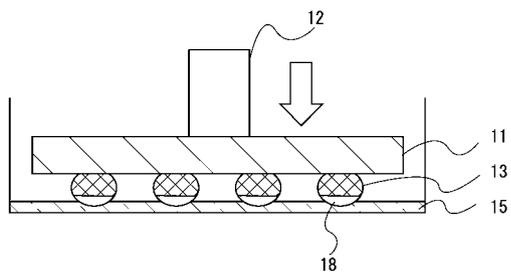
【 図 1 5 】



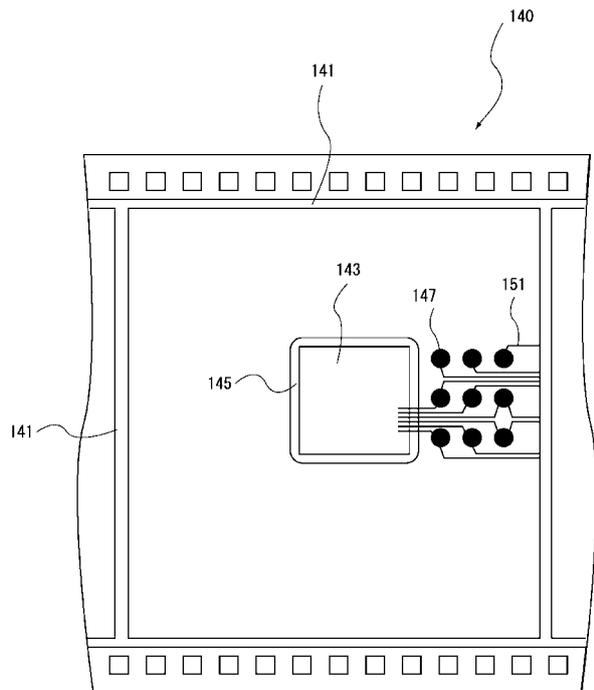
【 図 1 6 】



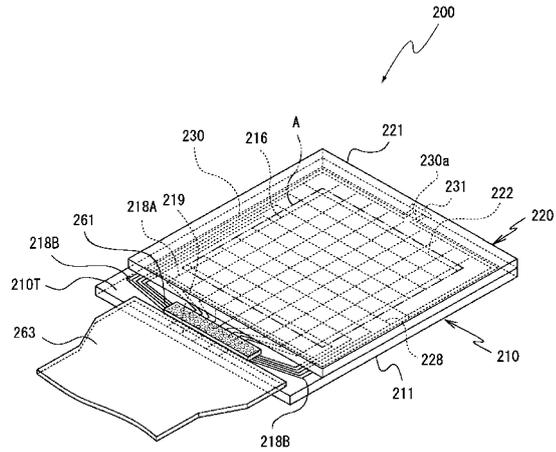
【 図 1 7 】



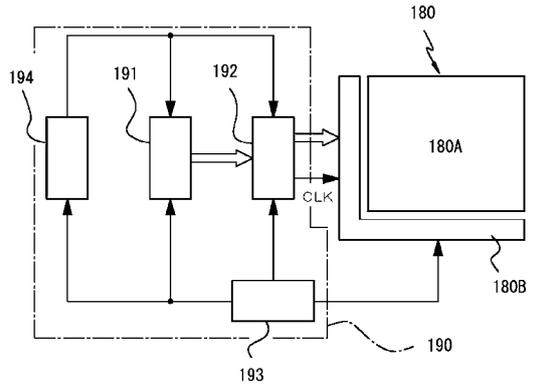
【 図 1 8 】



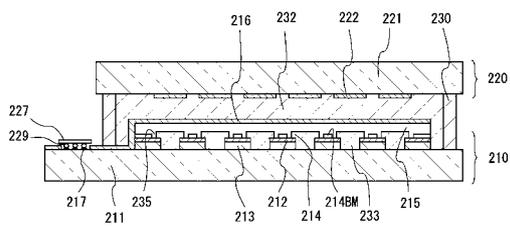
【図19】



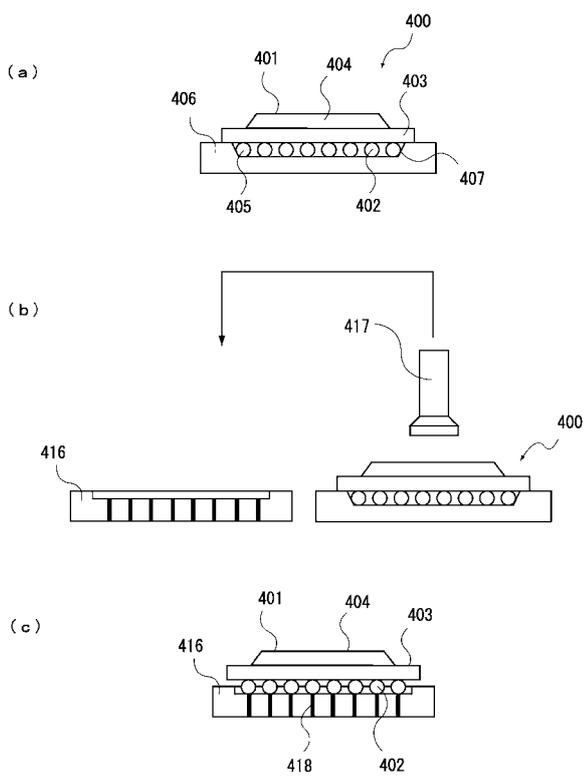
【図21】



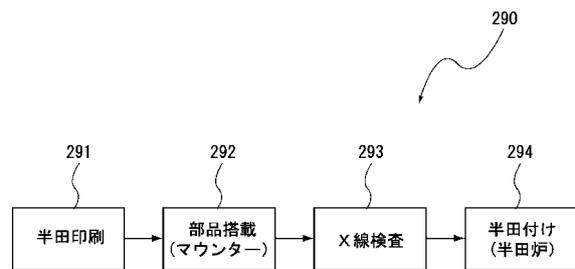
【図20】



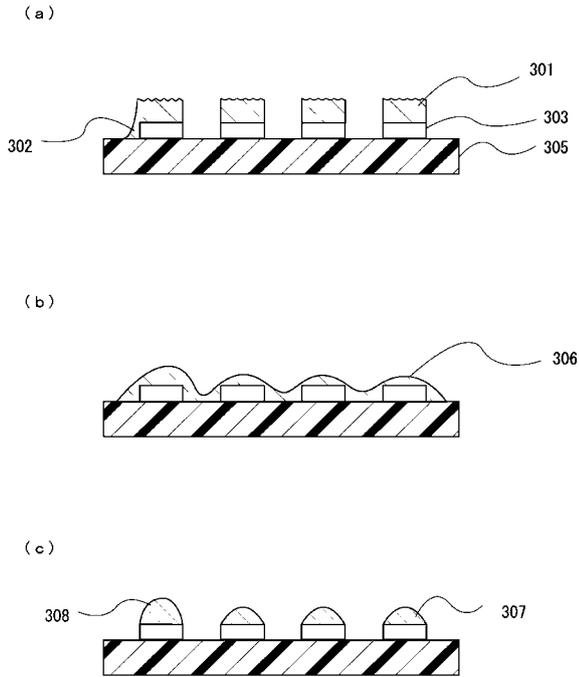
【図22】



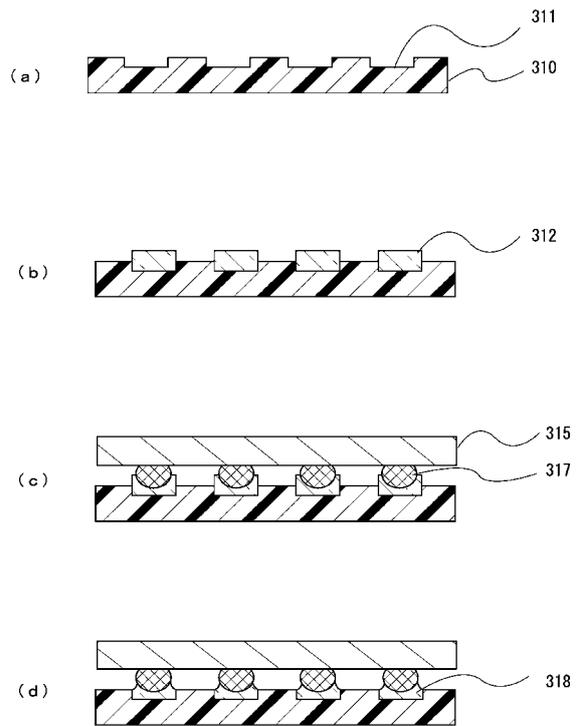
【図23】



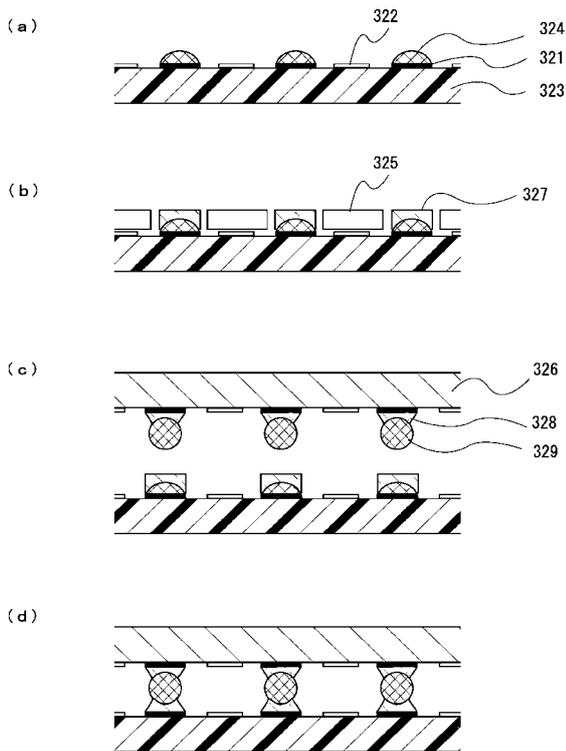
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



【 図 2 7 】

