

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-211832

(P2006-211832A)

(43) 公開日 平成18年8月10日(2006.8.10)

(51) Int. Cl. F I テーマコード (参考)
H02M 3/28 (2006.01) H02M 3/28 V 5H730
 H02M 3/28 M

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2005-20916 (P2005-20916)
 (22) 出願日 平成17年1月28日 (2005.1.28)

(71) 出願人 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (74) 代理人 100082049
 弁理士 清水 敬一
 (72) 発明者 白井 浩
 埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
 Fターム(参考) 5H730 AA04 AS01 BB24 BB57 BB66
 BB83 DD04 EE59 EE73 EE78
 FD01 FF19 FG05 VV06

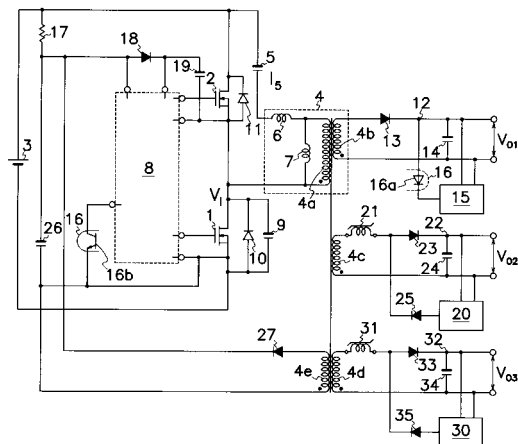
(54) 【発明の名称】 多出力共振型DC-DCコンバータ

(57) 【要約】

【課題】 トランスの複数の2次巻線を備え且つ第2以後の2次巻線にのみ磁気増幅器を接続した多出力型DC-DCコンバータの各2次巻線から出力整流回路を介して安定した複数の直流出力を取り出す。

【解決手段】 第1のスイッチ素子(1)及び第2のスイッチ素子(2)を交互にオン・オフさせて、トランス(4)の複数の2次巻線(4b~4d)から各出力整流回路(12,22,32)を介して複数の直流出力を取り出す多出力型DC-DCコンバータにおいて、第1のスイッチ素子(1)と第2のスイッチ素子(2)とのデューティ比を制御することにより、第1の2次巻線(4b)から第1の直流出力を制御し、第2以後の2次巻線(4c,4d)と対応する出力整流回路(22,32)との間に直列に磁気増幅器(21,31)を接続して、磁気増幅器(21,31)のリセット電流を制御することにより、第2以後の2次巻線(4c,4d)からの直流出力を制御する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のスイッチ素子と第 2 のスイッチ素子とを直流電源に直列に接続し、前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点と前記直流電源との間にコンデンサと電流共振用インダクタンスとトランスの 1 次巻線との直列回路を接続し、前記第 1 のスイッチ素子及び第 2 のスイッチ素子を交互にオン・オフさせて、前記トランスの複数の 2 次巻線から各出力整流回路を介して複数の直流出力を取り出す多出力共振型 DC - DC コンバータにおいて、

前記第 1 のスイッチ素子と第 2 のスイッチ素子とのデューティ比を制御することにより第 1 の 2 次巻線から取り出す第 1 の直流出力を制御し、

第 2 以後の 2 次巻線と対応する出力整流回路との間に直列に磁気増幅器を接続し、前記磁気増幅器のリセット電流を制御することにより、第 2 以後の前記 2 次巻線からの第 2 以後の直流出力を制御することを特徴とする多出力共振型 DC - DC コンバータ。

10

【請求項 2】

前記トランスの第 2 以後の 2 次巻線の少なくとも何れかと前記トランスの第 1 の 2 次巻線との半波整流の極性が異なる請求項 1 に記載の多出力共振型 DC - DC コンバータ。

【請求項 3】

前記出力整流回路から半波整流で複数の前記直流出力を取り出す請求項 1 又は 2 に記載の多出力共振型 DC - DC コンバータ。

【請求項 4】

前記第 1 のスイッチ素子及び第 2 のスイッチ素子は、所定の休止期間をもって交互にオン・オフ動作する請求項 1 に記載の多出力共振型 DC - DC コンバータ。

20

【請求項 5】

第 1 のスイッチ素子と第 2 のスイッチ素子とを直流電源に直列に接続し、前記第 1 のスイッチ素子と前記第 2 のスイッチ素子とに並列に第 1 の電流共振用コンデンサと第 2 の電流共振用コンデンサとの直列回路を接続し、前記第 1 のスイッチ素子と第 2 のスイッチ素子との接続点と、前記第 1 の電流共振用コンデンサと第 2 の電流共振用コンデンサとの接続点との間に電流共振用インダクタンスとトランスの 1 次巻線との直列回路を接続し、前記第 1 のスイッチ素子及び第 2 のスイッチ素子を交互にオン・オフさせて、前記トランスの複数の 2 次巻線から各出力整流回路を介して複数の直流出力を取り出す多出力共振型 DC - DC コンバータにおいて、

30

前記第 1 のスイッチ素子と第 2 のスイッチ素子とのデューティ比を制御することにより、第 1 の 2 次巻線から第 1 の直流出力を制御し、

第 2 以後の 2 次巻線と対応する出力整流回路との間に直列に磁気増幅器を接続し、前記磁気増幅器のリセット電流を制御することにより、第 2 以後の前記 2 次巻線からの直流出力を制御することを特徴とする多出力共振型 DC - DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC - DC コンバータ、特に安定した出力を発生する多出力共振型 DC - DC コンバータに関するものである。

40

【背景技術】

【0002】

従来 2 出力のフォワード型 DC - DC コンバータの一例を図 10 に示す。図示のように、この DC - DC コンバータは、直流電源 (53) 及びトランス (54) の一次巻線 (54a) に直列に接続されたスイッチ素子としての MOSFET (51) と、MOSFET (51) のゲートに駆動信号を付与する制御回路 (68) と、トランス (54) の第 1 の 2 次巻線 (54b) に接続された第 1 の整流平滑回路 (60) と、トランス (54) の第 2 の 2 次巻線 (54c) に接続された第 2 の整流平滑回路 (70) とを有する。寄生ダイオード (52) と、抵抗 (55) 及びコンデンサ (59) との直列回路がそれぞれ MOSFET (51) に対して並列に接続される。また、ダイオード (58) と

50

抵抗(56)との直列回路が1次巻線(54a)に対して並列に接続され、抵抗(56)に対してコンデンサ(57)が並列に接続される。

【0003】

第1の整流平滑回路(60)は、第1の2次巻線(54b)の一端と他端とにそれぞれアノードが接続された整流ダイオード(61,63)と、整流ダイオード(61,63)の各カソードと第1の出力端子(66)との間に接続されたリアクトル(62)と、第1の出力端子(66,67)間に接続された平滑コンデンサ(64)とを備えている。第1の出力端子(66,67)間の第1の出力電圧は、出力電圧検出回路(65)により検出され、ホトカプラ(69)の発光ダイオード(69a)には、第1の出力電圧と基準電圧との差に対応する誤差信号レベルの電流が流れて、発光ダイオード(69a)が発光する。発光ダイオード(69a)の光は、ホトカプラ(69)の受光トランジスタ(69b)により受光され、制御回路(68)は、出力電圧が高いときに、MOSFET(51)のオン時間を短縮するが、出力電圧が低いときに、MOSFET(52)のオン時間を延長して、MOSFET(51)のパルス幅制御(PWM)を行い、第1の出力電圧の安定化を図る。

【0004】

第2の2次巻線(54c)の一端に接続された可飽和リアクトル(79)の後段に接続された第2の整流平滑回路(70)は、可飽和リアクトル(79)と第2の2次巻線(54c)の他端とにそれぞれアノードが接続された整流ダイオード(71,73)と、整流ダイオード(71,73)の各カソードと第2の出力端子(76)との間に接続されたリアクトル(72)と、第2の出力端子(76,77)間に接続された平滑コンデンサ(74)とを備えている。第2の出力端子(76,77)間の第2の出力電圧を出力電圧検出回路(75)により検出し、ダイオード(78)を介して第2の出力電圧と基準電圧との差に対応する誤差信号を可飽和リアクトル(79)にリセット信号として供給し、可飽和リアクトル(79)の導通角を制御し、第2の出力電圧を安定化することができる。

【0005】

また、図11は、下記特許文献1に開示される従来の直流-直流変換装置を示す。直流電源(3)、第1のスイッチ素子(1)、トランス(4)の一次巻線(4a)及びコンデンサ(5)を直列に接続し、第2のスイッチ素子(2)とコンデンサ(80)との並列回路を、トランス(4)の一次巻線(4a)とコンデンサ(5)との間に並列に接続し、第1のスイッチ素子(1)及び第2のスイッチ素子(2)のゲート端子に発振回路(81)をそれぞれ接続すると共に、トランス(4)の第1の2次巻線(4b)に対し可飽和リアクトル(82a)、ダイオード(84a)及び平滑コンデンサ(14a)を直列に接続し、直流出力端には出力電圧検出回路(85a)を接続し、出力電圧検出回路(85a)の出力を磁束制御回路(41a)に接続し、リセットダイオード(83a)を介して可飽和リアクトル(82a)とダイオード(84a)との接続点に磁束制御回路(41a)の出力を付与する。同様に、トランス(4)の第2の2次巻線(4c)に対しても、可飽和リアクトル(82b)、ダイオード(84b)、コンデンサ(14b)、出力電圧検出回路(85b)、磁束制御回路(41b)及びリセットダイオード(83b)が接続され、出力回路は、2出力分として構成される。

【0006】

図11の回路において、第1のスイッチ素子(1)をオンとし、第2のスイッチ素子(2)をオフすることにより、トランス(4)の一次巻線(4a)には直流電源(3)の電源電圧とコンデンサ(5)の電圧との差電圧が印加され、トランス(4)の第1の2次巻線(4b)にもこの差電圧に比例する電圧が印加される。このとき、可飽和リアクトル(82a)は不飽和状態であり、インダクタンス値が高いため、ダイオード(84a)には電流は流れない。可飽和リアクトル(82a)が飽和状態になると、ダイオード(84a)に電流が流れる。この電流は、トランス(4)の漏れインダクタンスとコンデンサ(5)との共振により決定され、正弦波状に緩やかに上昇し、平滑コンデンサ(14a)を充電するとともに負荷に電力を供給する。

【0007】

第1のスイッチ素子(1)をオフとし、第2のスイッチ素子(2)をオンすることにより、トランス(4)の1次巻線(4a)にはコンデンサ(5)の電圧が印加され、トランス(4)の第1の2次巻線(4b)及び第2の2次巻線(4c)にもコンデンサ(5)の電圧に比例する電圧が印加されるが、ダイオード(84a,84b)がオフとなり、平滑コンデンサ(14a,14b)から負荷に電力を供

給する。また、出力電圧検出回路(85a,85b)及び磁束制御回路(41a,41b)は、出力電圧が一定となるように可飽和リアクトル(82a,82b)のリセット量を調節する。このような動作を繰り返すことにより、可飽和リアクトル(82a,82b)により、直流電源から絶縁され且つ安定化した直流電力が負荷に供給される。

【0008】

【特許文献1】特開2002-247854公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、磁気増幅器回路による直流出力の安定には、可飽和リアクトルに入力されるパルスが出力電圧の制御に見合うだけの十分なパルス幅を必要とする。図10に示すフォワード型DC-DCコンバータは、軽負荷時に2次側整流回路のリアクトルがカットオフし2次側に電力を供給する期間が短縮される欠点があるため、磁気増幅器回路を使用すると、出力の軽負荷時に、可飽和リアクトルに入力されるパルス幅が短くなり、出力に十分な電力を供給できない問題が生ずる。このため、MOSFET(51)を所定のパルス幅でオン・オフさせて、一般的に常に十分なパルス幅のパルスを可飽和リアクトルに供給するが、この場合、全出力に磁気増幅器回路を搭載する必要がある。このような例は、特許文献1の従来技術でも開示されている。また、特許文献1では、共振型のコンバータとし、入力電圧が変動しても、発振周波数を変化させて変圧器及び可飽和リアクトルが大型化しない発明を開示しているが、この場合もやはり全ての出力に可飽和リアクトル、即ち磁気増幅器を使用する磁気増幅器回路を必要とした。

【0010】

本発明は、トランスの複数の2次巻線を備え且つ第2以後の2次巻線にのみ磁気増幅器を接続して、各2次巻線から出力整流回路を介して安定した複数の直流出力を取り出す多出力型DC-DCコンバータを提供することを目的とする。また、本発明は、第2以後の2次巻線と対応する出力整流回路との間に直列に磁気増幅器を接続し、磁気増幅器のリセット電流を制御することにより、第2以後の2次巻線からの直流出力を制御することができる多出力型DC-DCコンバータを提供することを目的とする。更に、本発明は、電流共振時の零電流スイッチング、電圧擬似共振時の零電圧スイッチングとなり、極めてノイズが少ない、効率の良い多出力型DC-DCコンバータを提供することを目的とする。また、本発明は、出力電圧の負荷電流を無負荷にしても、負荷変動に対してデューティ比が変化しないため、安定な第2以後の出力電圧を取り出せる多出力型DC-DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明による多出力型DC-DCコンバータは、第1のスイッチ素子(1)と第2のスイッチ素子(2)とを直流電源(3)に直列に接続し、第1のスイッチ素子(1)と第2のスイッチ素子(2)との接続点と直流電源(3)との間にコンデンサ(5)と電流共振用インダクタンス(6)とトランス(4)の1次巻線(4a)との直列回路を接続し、第1のスイッチ素子(1)及び第2のスイッチ素子(2)を交互にオン・オフさせて、トランス(4)の複数の2次巻線(4b~4d)から各出力整流回路(12,22,32)を介して複数の直流出力を取り出す。第1のスイッチ素子(1)と第2のスイッチ素子(2)とのデューティ比を制御することにより、第1の2次巻線(4b)から取り出す第1の直流出力を制御し、第2以後の2次巻線(4c,4d)と対応する出力整流回路(22,32)との間に直列に磁気増幅器(21,31)を接続して、磁気増幅器(21,31)のリセット電流を制御することにより、第2以後の2次巻線(4c,4d)からの第2以後の直流出力を制御することができる。トランス(4)に蓄積されたエネルギーを2次巻線(4b,4c,4d)から出力電力を取り出す期間は、共振コンデンサ(5)と電流共振用インダクタンス(6)とによる共振周波数によって決定され、変化しない。このため、第1の2次巻線(4b)の出力に基づいて第1のスイッチ素子(1)と第2のスイッチ素子(2)とをオン・オフさせても、共振コンデンサ(5)と電流共振用インダクタンス(6)との共振周波数により決定されるパルスが、第2

以後の2次巻線(4c,4d)に接続された磁気増幅器(21,31)に必ず伝達され、磁気増幅器(21,31)の安定な制御が可能になる。

【0012】

また、本発明による他の実施の形態の多出力共振型DC-DCコンバータは、第1のスイッチ素子(1)と第2のスイッチ素子(2)とを直流電源(3)に直列に接続し、第1のスイッチ素子(1)と第2のスイッチ素子(2)とに並列に第1の電流共振用コンデンサ(38)と第2の電流共振用コンデンサ(39)との直列回路を接続し、第1のスイッチ素子(1)と第2のスイッチ素子(2)との接続点と、第1の電流共振用コンデンサ(38)と第2の電流共振用コンデンサ(39)との接続点との間に電流共振用インダクタンス(6)とトランス(4)の1次巻線(4a)との直列回路を接続する。

10

【発明の効果】

【0013】

磁気増幅器(21,31)の安定な動作が可能になるので、第2以後の2次巻線(4c,4d)からそれぞれ安定な直流出力を取り出すことができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明による多出力共振型DC-DCコンバータの実施の形態を図1～図9について説明する。

図1に示す本発明による多出力型DC-DCコンバータは、直流電源(3)に直列に接続された第1のスイッチ素子としての第1のMOSFET(1)と、第2のスイッチ素子としての第2のMOSFET(2)とを備える。コンデンサ(5)、電流共振用インダクタンス(6)及びトランス(4)の1次巻線(4a)との直列回路は、第1のMOSFET(1)と第2のMOSFET(2)との接続点と直流電源(3)との間に接続される。トランス(4)の1次巻線(4a)には、励磁インダクタンス(7)が並列に接続される。第1のMOSFET(1)には、寄生コンデンサ(9)と寄生ダイオード(10)とが並列に接続され、第2のMOSFET(2)には、寄生ダイオード(11)が並列に接続される。第1のMOSFET(1)及び第2のMOSFET(2)の各制御端子としてのゲート端子には、制御回路(8)から駆動信号が付与される。制御回路(8)は、起動抵抗(17)を介して平滑コンデンサ(26)を充電し、平滑コンデンサ(26)が所定のレベル以上に充電されると、直流電源(3)から起動時の電力が供給されるが、起動後は、トランス(4)の駆動巻線(4e)及び整流ダイオード(27)を介して電力が供給される。

20

30

【0015】

トランス(4)は、1次巻線(4a)及び駆動巻線(4e)と共通の鉄心上に捲回される第1の2次巻線(4b)、第2の2次巻線(4c)及び第3の2次巻線(4c)とを備える。第1の2次巻線(4b)は、整流ダイオード(13)及び平滑コンデンサ(14)を介して第1の出力端子に接続され、第1の出力電圧(V_{o1})を発生する。第1の誤差電圧検出回路(15)は、第1の出力電圧(V_{o1})と基準電圧とを比較し、第1の出力電圧(V_{o1})と基準電圧との差に対応するレベルの電流がホトカプラ(16)の発光ダイオード(16a)に流れる。発光ダイオード(16a)の光は、受光トランジスタ(16b)により受光され、制御回路(8)の発振回路(100)は、発振周波数を制御する。即ち、第1の出力電圧(V_{o1})が基準電圧より高いとき、制御回路(8)は、第2のMOSFET(2)のオン時間を短縮し、逆に第1の出力電圧(V_{o1})が基準電圧より低いとき、第2のMOSFET(2)のオン時間を延長して、出力電圧を調整する。

40

【0016】

第2の2次巻線(4c)の一端は、磁気増幅器(21)を介して整流ダイオード(23)及び平滑コンデンサ(24)を有する整流平滑回路(22)に接続され、整流平滑回路(22)から第2の出力電圧(V_{o2})が出力される。第2の誤差電圧検出回路(20)は、第2の出力電圧(V_{o2})と基準電圧とを比較し、第2の出力電圧(V_{o2})と基準電圧との差に対応するレベルの電流がダイオード(25)を介して磁気増幅器(21)にリセット電流として供給され、磁気増幅器(21)のリセットの割合を調整することにより、ダイオード(23)の導通時間を制御して、第2の出力電圧(V_{o2})を制御することができる。

【0017】

50

第3の2次巻線(4d)の一端は、磁気増幅器(31)を介して整流ダイオード(33)及び平滑コンデンサ(34)を有する整流平滑回路(32)に接続され、整流平滑回路(32)から第3の出力電圧(V_{o3})が出力される。第3の誤差電圧検出回路(30)は、第3の出力電圧(V_{o3})と基準電圧とを比較し、第3の出力電圧(V_{o3})と基準電圧との差に対応するレベルの電流がダイオード(35)を介して磁気増幅器(31)にリセット電流として供給され、磁気増幅器(31)のリセットの割合を調整することにより、ダイオード(33)の導通時間を制御して、第3の出力電圧(V_{o3})を制御することができる。

【0018】

図2に示すように、制御回路(8)は、パルス幅制御(PWM)信号を発生する発振回路(100)と、発振回路(100)の発振出力を受信する第1のデッドタイム生成回路(101)と、第1のデッドタイム生成回路(101)と第1のMOSFET(1)のゲートとの間に接続された第1のバッファ(103)と、インバータ(104)を介して発振回路(100)の発振出力を受信する第2のデッドタイム生成回路(102)と、第2のデッドタイム生成回路(102)の出力を受信してバッファ回路(106)を介して第2のMOSFET(2)のゲートに駆動信号を付与するレベルシフト回路(105)とを備えている。第1のMOSFET(1)及び第2のMOSFET(2)は、それぞれ第1のデッドタイム生成回路(101)及び第2のデッドタイム生成回路(102)により、所定の休止期間(デッドタイム)をもって交互にオン・オフ動作される。

10

【0019】

図1に示す多出力共振型DC-DCコンバータを動作させる際に、起動抵抗(17)を介して直流電源(3)から平滑コンデンサ(26)に充電電流が流れて、平滑コンデンサ(26)が充電される。平滑コンデンサ(26)の充電電圧が制御回路(8)の起動電圧に到達すると、制御回路(8)が動作を開始する。制御回路(8)は、第1のデッドタイム生成回路(101)及び第2のデッドタイム生成回路(102)の出力により所定の休止期間(デッドタイム)をもって第1のMOSFET(1)及び第2のMOSFET(2)を交互にオン・オフさせて、トランス(4)の複数の2次巻線(4b~4d)から各出力整流回路(12,22,32)を介して複数の直流出力を取り出す。制御回路(8)の第1のデッドタイム生成回路(101)から駆動信号が発生して、第1のMOSFET(1)がオンになると、直流電源(3)、コンデンサ(5)、電流共振用インダクタンス(6)、トランス(4)の1次巻線(4a)及び励磁インダクタンス(7)並びに第1のMOSFET(1)を通り直流電源(3)に電流が流れる。この電流は、トランス(4)の励磁電流とトランス(4)の第1の2次巻線(4b)、第2の2次巻線(4c)及び第3の2次巻線(4d)のそれぞれに流れる巻線電流との合成電流となる。励磁電流は、電流共振インダクタンス(6)、励磁インダクタンス(7)及びコンデンサ(5)によって正弦波状の共振電流となるが、第1のMOSFET(1)のオン期間に比べて、低い共振周波数を有する共振電流となるため、コンデンサ(5)を流れる電流(I_5)は、正弦波の一部の三角波状の電流となる。第1の2次巻線(4b)、第2の2次巻線(4c)及び第3の2次巻線(4d)に流れる巻線電流は、コンデンサ(5)と電流共振用リアクトル(6)との共振要素が現れた正弦波状の共振電流となる。この各2次巻線(4b,4c,4d)に流れる巻線電流は、各整流平滑回路(12,22,32)を介して各負荷に流れる負荷電流となる。

20

30

【0020】

第1のMOSFET(1)がオフに切り換えられると、トランス(4)に蓄えられたエネルギーにより、電流共振用インダクタンス(6)及び励磁インダクタンス(7)とコンデンサ(5)及びコンデンサ(9)による電圧擬似共振が発生する。第1のMOSFET(1)及び第2のMOSFET(2)の両端電圧として容量の少ないコンデンサ(9)による共振周波数を有する共振電流が現れる。即ち、第1のMOSFET(1)がオフになると、第1のMOSFET(1)の電流は、コンデンサ(9)側に切り換えられ、直流電源(3)の電源電圧(E)までコンデンサ(9)が充電されると、ダイオード(11)に移行する。これにより、トランス(4)に蓄えられた励磁電流によるエネルギーがダイオード(11)を介して放出される。この期間に、第2のMOSFET(2)をオンに切り換えて、第2のMOSFET(2)のゼロボルトスイッチングを達成できる。

40

【0021】

50

第2のMOSFET(2)がオンに切り換えられると、トランス(4)に蓄えられたエネルギーは、ダイオード(11)から第2のMOSFET(2)に移行して放出される。エネルギーの放出が終了すると、コンデンサ(5)に蓄積されたエネルギーは、コンデンサ(5)、第2のMOSFET(2)、励磁インダクタンス(7)、電流共振用インダクタンス(6)及びコンデンサ(5)の経路で放出され、第1のMOSFET(1)のオン期間とは逆の極性でトランス(4)の励磁電流が流れる。この励磁電流は、コンデンサ(5)とリアクトル(6,7)の共振電流であるが、第2のMOSFET(2)のオン期間に比べて共振周波数が低いため、正弦波の一部の三角波状の電流となる。

【0022】

第1のMOSFET(1)の両端電圧(V_1)、コンデンサ(5)に流れる電流(I_5)及びコンデンサ(5)に印加される電圧(V_5)の各波形を図3～図6に示す。図3及び図4は、第1のMOSFET(1)のオン時間を一定とし、第2のMOSFET(2)のオン時間を変化させて第1のMOSFET(1)の両端電圧(V_1)の変化に対するコンデンサ(5)の電流(I_5)及び電圧(V_5)の変化を示すが、図3は、第1のMOSFET(1)の両端電圧(V_1)が低い場合を示し、図4は、第1のMOSFET(1)の両端電圧(V_1)が高い場合を示す。第1のMOSFET(1)の両端電圧(V_1)の変化に対して第2のMOSFET(2)のオン時間を可変し、第1のMOSFET(1)のデューティ比(オン時間比)を制御し、コンデンサ(5)の電圧を変化させて、出力電圧を制御することができる。図5及び図6は、負荷変動に対して一定のデューティ比(オン期間比)で駆動されるそれぞれ軽負荷時及び重負荷時の第1のMOSFET(1)の両端電圧(V_1)、コンデンサ(5)の電流(I_5)及び電圧(V_5)の各波形を示す。図5は、軽負荷時の負荷電流として低下する共振電流を示し、図6は、負荷電流に相当して流れる共振電流を示す。

【0023】

図7は、第1のMOSFET(1)と第2のMOSFET(2)のデューティ比に対する出力電圧(V_{o1})の特性を示すグラフである。図7に示すように、本実施の形態では、第1のMOSFET(1)と第2のMOSFET(2)とのデューティ比を変化させて、コンデンサ(5)の充電電圧を調節し、トランス(4)に印加される電圧を制御し、第1の出力電圧(V_{o1})を調整することができる。

【0024】

第1の誤差電圧検出回路(15)により第1の出力電圧(V_{o1})を検出して、基準電圧との誤差信号がフォトカプラ(16)を介して1次側の制御回路(8)に伝達され、制御回路(8)は、この誤差信号に応じてPWM信号を第1のMOSFET(1)及び第2のMOSFET(2)のゲート端子に供給し、出力電圧(V_{o1})を一定に制御することができる。前記の例では、第1のMOSFET(1)のオン時間を一定とし、第2のMOSFET(2)のオン時間を可変として、可変周波数のパルス幅制御の例を説明したが、第1のMOSFET(1)及び第2のMOSFET(2)の各オン期間を変化させ又は固定周波数のパルス幅制御等の方法を用いることもできる。

【0025】

図8は、本発明による多出力共振型DC-DCコンバータの他の実施の形態を示す回路図を示す。図8に示す実施の形態では、第1のMOSFET(1)及び第2のMOSFET(2)を直流電源(3)と直列に接続し、第1のMOSFET(1)に並列に接続された第1の電圧擬似共振用コンデンサ(36)と、第2のMOSFET(2)に並列に接続された第2の電圧擬似共振用コンデンサ(37)とを設け、第1のMOSFET(1)及び第2のMOSFET(2)に並列に2つの電流共振用コンデンサ(38,39)を接続し、第1のMOSFET(1)と第2のMOSFET(2)との接続点と、電流共振用コンデンサ(38,39)の接続点との間に電流共振用インダクタンス(6)及びトランス(4)の1次巻線(4a)と励磁インダクタンス(7)の並列回路を直列に接続する例を示す。また、電流共振用インダクタンス(6)として、トランス(4)のリーケージインダクタンスを用いる代わりに、外付けのインダクタンスを用いることもできる。

【0026】

前記のように、本発明の多出力型DC-DCコンバータでは、電流共振時の零電流スイッチング、電圧擬似共振時の零電圧スイッチングとなり、極めてノイズが少ない、効率の良いスイッチング電源が得られる。また、本発明の多出力型DC-DCコンバータでは、出力電圧(V_{o1})の負荷電流を無負荷にしても、負荷変動に対してデューティ比が変化しないため、第2の出力電圧(V_{o2})及び第3の出力電圧(V_{o3})を取り出せる利点がある。

【0027】

図9は、第2の2次巻線(4c)の電圧(V_{4c})、第1の磁気増幅器(21)の電圧(V_{21})及び電流(I_{21})をコンデンサ(5)に流れる電流(I_5)と比較するグラフである。磁気増幅器(21)に電流(I_{21})が流れる期間は、磁気増幅器が完全に飽和する前に電流が流れる期間aと、完全に飽和したときに電流が流れる期間bとが存在する。この様にリセット電流により、磁気増幅器(21)の完全飽和までの期間を調整することにより第2の出力電圧(V_{o2})及び第3の出力電圧(V_{o3})を制御できる。また、第2以後の2次巻線(4c,4d)と対応する出力整流回路(22,32)との間に直列に磁気増幅器(21,31)を接続し、磁気増幅器(21,31)のリセット電流を制御することにより、第2以後の2次巻線(4c,4d)からの直流出力を制御することができる。トランス(4)を介して2次巻線(4b,4c,4d)から出力電力を取り出す期間は、共振コンデンサ(5)と電流共振用インダクタンス(6)とによる共振周波数によって決定され、変化しない。このため、第1の2次巻線(4b)の出力に基づいて第1のMOSFET(1)と第2のMOSFET(2)とをオン・オフさせても、共振コンデンサ(5)と電流共振用インダクタンス(6)との共振周波数により決定されるパルスが、第2以後の2次巻線(4c,4d)に接続された磁気増幅器(21,31)に必ず伝達され、磁気増幅器(21,31)の安定な制御が可能になる。

10

20

【0028】

更に、図示しないが、他の実施の形態として、第2のMOSFET(2)のオン期間の間にトランス(4)の1次巻線(4a)に励磁電流のみを流す図1とは逆に、第3の2次巻線(4d)の極性を反転させ、第2のMOSFET(2)のオン期間に、共振を維持できる範囲内で、第3の2次巻線(4d)に負荷電流を流すこともできる。このように、トランス(4)の第2以後の2次巻線の少なくとも何れかとトランス(4)の第1の2次巻線(4b)との半波整流の極性が異なってもよい。また、第3の2次巻線(4d)の代わりに、第2の2次巻線(4c)を用いて負極出力を形成すれば、単一の2次巻線により、正負の出力を取得することができる。出力整流回路(12,22,32)から半波整流で複数の直流出力を取り出してもよい。図1は、3出力のDC-DCコンバータを示したが、2出力又は5出力以上のDC-DCコンバータ

30

【産業上の利用可能性】

【0029】

前記のように、本発明は、フォワード型に限らず、フライバック型又はフォワード型とフライバック型との混合型の多出力共振型DC-DCコンバータに利用することができる。

【図面の簡単な説明】

【0030】

【図1】本発明による多出力型DC-DCコンバータの回路図

【図2】図1に示す多出力型DC-DCコンバータに使用する制御回路の回路図

40

【図3】入力電圧が低い場合の多出力型DC-DCコンバータの第1のMOSFETの両端電圧、コンデンサの電流及び電圧を示すグラフ

【図4】入力電圧が高い場合の多出力型DC-DCコンバータの第1のMOSFETの両端電圧、コンデンサの電流及び電圧を示すグラフ

【図5】軽負荷時の多出力型DC-DCコンバータの第1のMOSFETの両端電圧、コンデンサの電流及び電圧を示すグラフ

【図6】重負荷時の多出力型DC-DCコンバータの第1のMOSFETの両端電圧、コンデンサの電流及び電圧を示すグラフ

【図7】第1のMOSFETと第2のMOSFETのデューティ比に対する出力電圧の特性を示すグラフ

50

【図8】本発明による多出力型DC-DCコンバータの他の実施の形態を示す回路図

【図9】第2の2次巻線の電圧、第1の磁気増幅器の電圧及び電流をコンデンサに流れる電流と比較するグラフ

【図10】従来の多出力型DC-DCコンバータを示す回路図

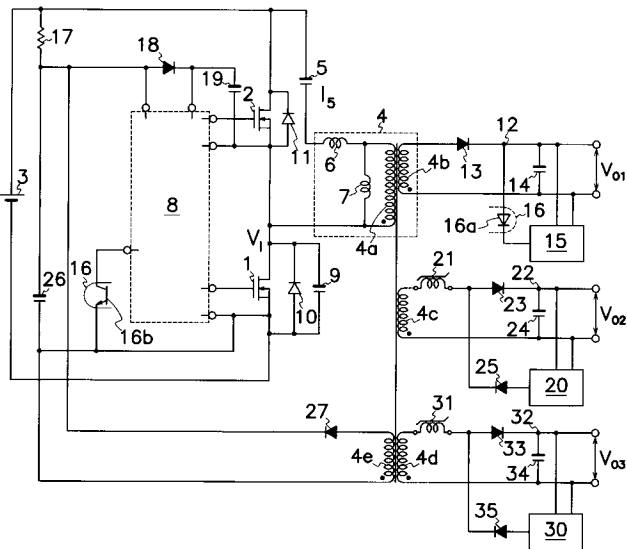
【図11】従来の他の多出力型DC-DCコンバータを示す回路図

【符号の説明】

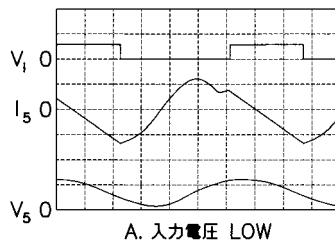
【0031】

(1)・・・第1のMOSFET(第1のスイッチ素子)、 (2)・・・第2のMOSFET(第2のスイッチ素子)、 (3)・・・直流電源、 (4)・・・トランス、 (4a)・・・1次巻線、 (4b)・・・第1の2次巻線、 (4c)・・・第2の2次巻線、 (4d)・・・第3の2次巻線、 (5)・・・コンデンサ、 (12,22,32)・・・出力整流回路、

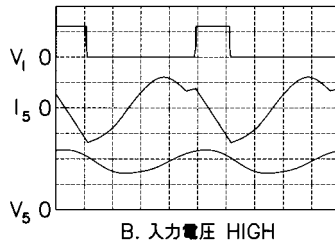
【図1】



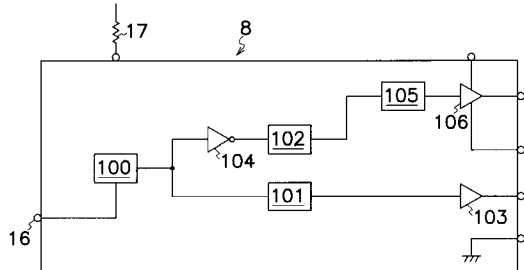
【図3】



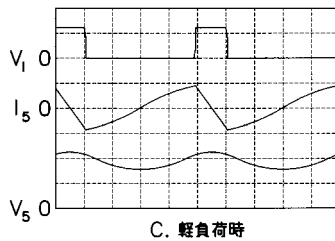
【図4】



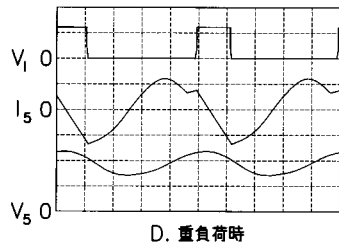
【図2】



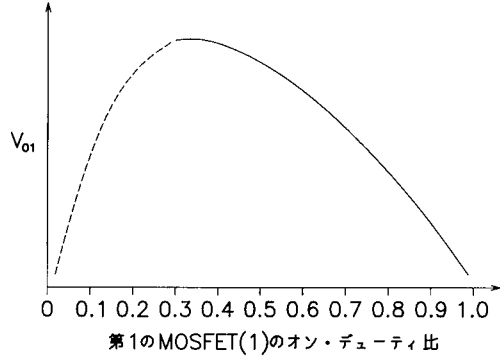
【図5】



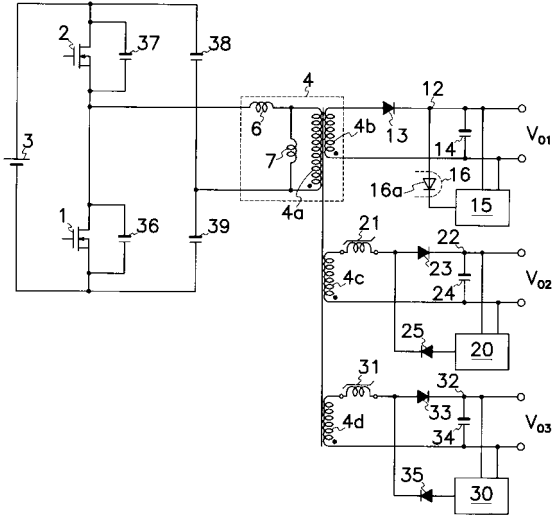
【 図 6 】



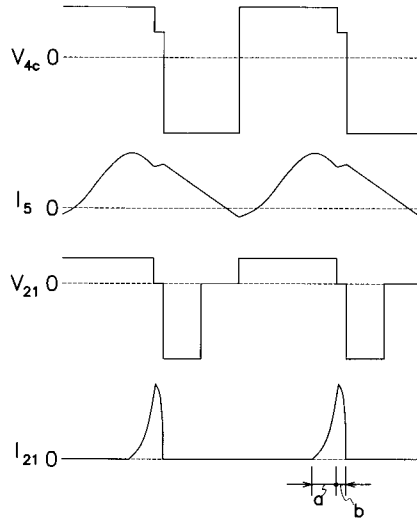
【 図 7 】



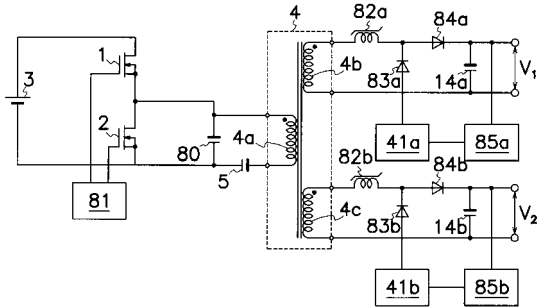
【 図 8 】



【 図 9 】



【 図 1 1 】



【 図 1 0 】

