

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3729665号

(P3729665)

(45) 発行日 平成17年12月21日(2005.12.21)

(24) 登録日 平成17年10月14日(2005.10.14)

(51) Int. Cl.<sup>7</sup>

F I

G 1 1 C 11/401

G 1 1 C 11/34 3 7 1 K

H 0 1 L 27/10

H 0 1 L 27/10 4 6 1

G 1 1 C 11/34 3 6 2 B

G 1 1 C 11/34 3 6 2 H

請求項の数 1 (全 16 頁)

|           |                              |           |                     |
|-----------|------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願平10-334640                 | (73) 特許権者 | 000005821           |
| (22) 出願日  | 平成10年11月25日(1998.11.25)      |           | 松下電器産業株式会社          |
| (65) 公開番号 | 特開2000-163952(P2000-163952A) |           | 大阪府門真市大字門真1006番地    |
| (43) 公開日  | 平成12年6月16日(2000.6.16)        | (74) 代理人  | 100095555           |
| 審査請求日     | 平成15年1月16日(2003.1.16)        |           | 弁理士 池内 寛幸           |
|           |                              | (74) 代理人  | 100076576           |
|           |                              |           | 弁理士 佐藤 公博           |
|           |                              | (72) 発明者  | 島川 一彦               |
|           |                              |           | 大阪府門真市大字門真1006番地 松下 |
|           |                              |           | 電器産業株式会社内           |
|           |                              | (72) 発明者  | 山崎 裕之               |
|           |                              |           | 大阪府門真市大字門真1006番地 松下 |
|           |                              |           | 電器産業株式会社内           |
|           |                              | 審査官       | 堀田 和義               |
|           |                              |           | 最終頁に続く              |

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ダイナミック型記憶素子で構成されたメモリセルと、  
直交するワード線とビット線の交点に接続された前記メモリセルが所定個数マトリックス状に配列されたメモリセルアレイと、  
前記ビット線の電位を増幅する第1のセンスアンプ回路と、  
前記ビット線と平行な方向に配置されるメインビット線と、  
前記第1のセンスアンプ回路の出力と前記メインビット線との間の導通を制御するスイッチ回路で構成されたメモリブロックを基本単位とし、  
同一列の前記メインビット線が互いに接続されるように所望の記憶容量分の前記メモリブロックが配置されたメモリブロックアレイと、  
前記メインビット線のデータを増幅する第2のセンスアンプ回路と、  
前記第2のセンスアンプ回路の出力データをラッチするラッチ回路と、  
複数個配置された前記メモリブロックのうち一つまたは複数の前記メモリブロックに属する前記ワード線および前記第1のセンスアンプ回路を選択指示する第1のデコーダ回路と、  
複数個配置された前記メモリブロックのうち一つの前記メモリブロックに属する前記スイッチ回路を選択指示する第2のデコーダ回路と、  
前記第1のデコーダ回路および前記第2のデコーダ回路を制御するアドレスプリデコーダ回路と、

前記第2のデコーダ回路と前記第2のセンスアンプ回路、および前記ラッチ回路を制御する制御信号発生回路で構成された半導体装置において、

前記制御信号発生回路が発生する前記スイッチ回路、前記第2のセンスアンプ回路、及び前記ラッチ回路の制御信号について、カラム系アドレスの連続した読み出し動作が指示される毎に毎回発生するか、最初の一のみ発生するか、を選択できる手段を備えることを特徴とした半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミック型RAM（以下、「DRAM」という。）を用いた半導体装置に関する。特に、適用されるシステムに応じて最適なページ長やデータ入出力幅を容易に設定する手段を特徴とし、DRAMの低電力化や高速化に有効な技術に関する。

10

【0002】

【従来の技術】

近年、DRAMをマクロセル化しマイクロプロセッサやASIC（Application Specific IC：以下「ロジック」という。）と一つの半導体基盤上に形成する混載化が盛んである。DRAMを混載化することで、外付けでDRAMを使用する場合に比べ、DRAMのピン数に起因する制約が無くなるのでデータ入出力のデータ幅を拡張することができ、DRAMとロジックの間のデータ転送速度を飛躍的に拡大できること、また混載化によってDRAMとロジックの間はメタル配線を用いて短距離の結線で行うことができるので入出力配線の寄生容量を著しく低減でき、低消費電力化が実現できるという利点が良く知られている。

20

【0003】

一方DRAMの基本動作は、第1の動作期間（以下、「RASサイクル」という。）として所定領域のメモリセルのデータを一旦センスアンプを活性化して読み出しそのデータを保持する動作と、第2の動作期間（以下、「CASサイクル」という。）としてこのセンスアンプに保持されたデータを所定単位に分割し時系列的に外部に出力または外部から入力されたデータをセンスアンプに書き込む動作と、第3の動作期間（以下、「プリチャージサイクル」という。）として次の動作サイクルに備えてプリチャージ状態に設定する動作で構成される。

30

【0004】

実用化されている単体のDRAM製品において、高速ページ方式、EDO方式、シンクロナス方式等の各種仕様のDRAMが一般的であるが、全てこのような基本動作に基づいて構成されており、混載化されるDRAMマクロセルの仕様も、これらの何れかの仕様に基づいて構成される。

【0005】

さらに混載化されるDRAMマクロセルでは、適用される半導体装置の仕様に応じて記憶容量や入出力のデータ幅を所定の単位で製品用途に応じて変更することが行われている。

【0006】

ところで、DRAMが混載される半導体装置が使用される分野は多種多様にわたり、DRAMに要求される性能も用途に応じて異なる。例えば、グラフィックス系の画像データを処理する様なシステムに適用される場合、100MHz以上の高速クロックを用いデータ転送速度の高速化が要求される。このため、ページモードまたはそれに相当するようなモードで、広いページ長と高速のデータ転送速度が必要となる。

40

【0007】

また、携帯機器や民生機器等のシステムに適用される場合、数10MHz程度のクロック周波数によるランダムアクセスモードまたは数ページ程度の比較的短いページ長によるアクセスモードでの使用が主体で、データ転送速度の高速化より低消費電力化が要求される。

【0008】

50

D R A Mのページ動作は、第1の動作期間で活性化されるセンスアンプのデータを第2の動作期間において所定単位毎に次々と読み出す(又は書き込む)動作であり、従ってページ長はその活性化領域が大きいほど長く構成できる。一方、D R A Mの消費電力はこの活性化されるメモリセル領域とセンスアンプの個数に大きく依存し、活性化領域を小さくするほど消費電力は低減できる。

【0009】

【発明が解決しようとする課題】

従来のD R A Mを用いた半導体装置においては、第1の動作期間において活性化されるメモリセル領域やセンスアンプ個数は固定されており、さらには各種用途の半導体装置に混載化されることを想定し、機能上の制約が生じないようにページ長は単体のD R A M製品と同等に比較的長く設定されていた。このため、低消費電力を第1に要求される携帯機器や民生機器の用途には必要とされない余分な機能を有することになり、十分な低消費電力化を図れていないという課題を有していた。

10

【0010】

本発明は、上記課題を克服するべく、D R A Mマクロセルの適用用途に応じて最適なページ長を容易に設定する手段を備え、低消費電力化を実現できる半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記目的を達成するために本発明にかかる半導体装置は、ダイナミック型記憶素子で構成されたメモリセルと、直交するワード線とビット線の交点に接続されたメモリセルが所定個数マトリックス状に配列されたメモリセルアレイと、ビット線の電位を増幅する第1のセンスアンプ回路と、ビット線と平行な方向に配置されるメインビット線と、第1のセンスアンプ回路の出力とメインビット線との間の導通を制御するスイッチ回路で構成されたメモリブロックを基本単位とし、同一列のメインビット線が互いに接続されるように所望の記憶容量分のメモリブロックが配置されたメモリブロックアレイと、メインビット線のデータを増幅する第2のセンスアンプ回路と、第2のセンスアンプ回路の出力データをラッチするラッチ回路と、複数個配置されたメモリブロックのうち一つまたは複数のメモリブロックに属するワード線および第1のセンスアンプ回路を選択指示する第1のデコーダ回路と、複数個配置されたメモリブロックのうち一つのメモリブロックに属するスイッチ回路を選択指示する第2のデコーダ回路と、第1のデコーダ回路および第2のデコーダ回路を制御するアドレスプリデコーダ回路と、第2のデコーダ回路と第2のセンスアンプ回路、およびラッチ回路を制御する制御信号発生回路で構成された半導体装置において、制御信号発生回路が発生するスイッチ回路、第2のセンスアンプ回路、及びラッチ回路の制御信号について、カラム系アドレスの連続した読み出し動作が指示される毎に毎回発生するか、最初の一回のみ発生するか、を選択できる手段を備えることを特徴とする。

20

30

【0016】

かかる構成により、制御信号発生回路が発生するスイッチ回路、第2のセンスアンプ回路、及びラッチ回路の制御信号について、カラム系アドレスの連続した読み出し動作が指示される毎に毎回発生するか、最初の一回のみ発生するか、切り替えることができるので、ページ長を必要としない場合においては、無駄な読み出し動作を省くことができ、省電力化を図ることが可能となる。

40

【0019】

【発明の実施の形態】

以下、本発明の実施の形態にかかる半導体装置について、図面を参照しながら説明する。図1は本発明にかかる半導体装置におけるD R A Mマクロセルのレイアウト概略図である。

【0020】

図1において、1はD R A Mマクロセルを、2はメモリセルアレイとセンスアンプを一つの基本単位にブロック化したメモリブロックをそれぞれ示しており、2aはセンスアンプ

50

回路を示している。また、3はロウデコーダを、4はアドレスプリデコーダ回路を、5はメインアンプ回路ブロックを、6は制御信号発生回路を、それぞれ示す。

【0021】

図1では、メモリブロック2はロウ方向256ビット、カラム方向2048ビット配列された計512Kビットのアレイで構成されており、このメモリブロック2を所望の個数配列することで、任意の記憶容量を実現することができる。また、DRAMマクロセル1への主要な入出力信号としては、クロック(CLK)、ロウアドレスストロープ信号(/RAS)、カラムアドレスストロープ信号(/CAS)、ライトイネーブル信号(/WE)、アドレス入力信号(A(i))、データ出力信号(Do(k))、データ入力信号(Di(k))が挙げられる。なお、“/”は負論理を示す識別子である。図1に示すDRAMマクロセル1は、記憶容量4M(メガ)ビット、データ入出力は64ビットで構成されている。

10

【0022】

図2は、DRAMマクロセル1におけるメモリブロック2、メインアンプ回路ブロック5、及びロウデコーダ3の一部についての詳細構成図である。図2では、センスアンプ回路2aは1列に1024個配列され、メインビット線MBLは2個のセンスアンプ回路2aで1本を共有化されるため終端部を含め1025本、メインアンプ11等の入出力回路は512個備えているものとする。なお、説明文中で“\*”表示をしているものは、この512個の何れかを示している。

【0023】

20

図2において、7はワード線WLおよびビット線BLに接続されたメモリセルを示し、センスアンプ回路2aはその左右に配置されたビット線対BL、BLBで一つのセンスアンプ回路2aを共有する一般的に知られているシェアード方式で構成されている。

【0024】

8はN型MOSトランジスタで形成された転送ゲートを、MBL(1)、MBL(2)、...は第3メタルで形成されるメインビット線を示し、センスアンプ回路2aの相補出力は転送ゲート8を介して選択されるメインビット線MBL(i)、MBL(i+1)に接続される(i=0~1023)。

【0025】

9は転送ゲート8の開閉を選択指示する4入力のAND回路で構成されたデコーダを示し、その第1の入力は転送ゲート8の開閉タイミングを指示するMBT信号が接続され、第2および第3の入力は何れのセンスアンプ回路2aをメインビット線対MBL(i)、MBL(i+1)に接続するかを選択指示するアドレスデコード信号PA(0)~PA(3)およびPB(0)~PB(3)がプログラム接続され、第4の入力は活性化するメモリブロック2を選択指示するブロック選択信号BLK(0)~BLK(7)のうち隣接するメモリブロック2を選択指示するもの同士をOR回路9aで論理和したものが接続されている。

30

【0026】

また、メインアンプ回路ブロック5において、10はN型MOSトランジスタQ1で構成されたカラムデコーダ回路を示し、そのゲートにはアドレスデコード信号PA(0)とPA(2)をOR回路9bで論理和した信号とアドレスデコード信号PA(1)とPA(3)をOR回路9bで論理和した信号が交互に接続されている。

40

【0027】

11はカラムデコーダ10の出力MA(\*)、MB(\*)を入力とするメインアンプ回路を、12はラッチ信号DLCHで制御されるラッチ回路を、13は出力イネーブル信号OE(j)でその出力が制御されるトライステートバッファを示し、最終的にメモリセル7からの読み出しデータはデータ出力端子Do(k)より出力される(j=0~7、k=0~63)。

【0028】

一方、データの書き込みはデータ入力端子Din(k)より、インバータ15およびライ

50

トイネーブル信号WE(j)で制御されるトリステートバッファ14を介してカラムデコーダ10の出力MA(\*)、MB(\*)に接続されている。

【0029】

なお、本回路の入力信号のうち、MBTは制御信号発生回路6より供給され、アドレスデコード信号PA(0)~PA(3)およびPB(0)~PB(3)、ブロック選択信号BLK(0)~BLK(7)はアドレスプリデコーダ回路より供給される。

【0030】

図3は、メインアンプ回路11およびラッチ回路12の詳細回路図である。図3において、11aは入力信号のプリチャージ回路を示し、メインビット線プリチャージ信号/MPRをゲート入力とするP型MOSトランジスタQ2およびQ3で構成されている。11bは出力信号のプリチャージ回路を示し、メインアンプイネーブル信号MSEをゲート入力とするP型MOSトランジスタQ4およびQ5で構成されている。11cはアンプ回路を示し、P型MOSトランジスタQ6およびN型MOSトランジスタQ7、Q8、Q9で構成され、その出力をP型MOSトランジスタQ6の互いのゲートに接続したクロスカップル型アンプで形成されている。またN型トランジスタQ7のゲートには、カラムデコーダ10の出力信号MA(\*)およびMB(\*)が接続され、N型MOSトランジスタQ8のゲートには後述するラッチ回路12の出力が接続され、N型MOSトランジスタQ9のゲートにはメインアンプイネーブル信号MSEが接続されている。

10

【0031】

ラッチ回路12は、直列接続されたP型MOSトランジスタQ10、Q11、N型MOSトランジスタQ12、Q13で構成されるトリステートインバータと、インバータ16、17と、P型MOSトランジスタQ14およびN型MOSトランジスタQ15からなるトランスファゲートで構成されている。ラッチ回路12はラッチ信号DLCHにより制御され、その相補出力はアンプ回路11cのN型MOSトランジスタQ8に接続され、またその一方の出力Mout(\*)は図2に示すトリステートバッファ13に接続される。なお、本回路の入力信号/MPR、MSE、DLCHはいずれも制御信号発生回路6より供給される。

20

【0032】

図4は、アドレスプリデコーダ回路4を構成する回路のうち、その入力回路の詳細回路図である。図4において、18はセクタ回路、19はロード/ホールド型D-FF回路、20および21はインバータ、22は“H”レベルまたは“L”レベルに固定するプログラム回路を示す。

30

【0033】

セクタ回路18は、RASサイクルにおいてアドレス入力を可能と設定するRACF信号がAポートに接続され、CASサイクルにおいてアドレス入力を可能と設定するCACF信号がBポートに接続され、セクタポートSにはプログラム回路22の出力が接続され、Aポート入力またはBポート入力の一方を出力ポートYに出力する構成となっている。セクタ回路18は、Sポートの入力レベルが“L”レベル設定の時、AポートのデータがポートYに出力され、Sポートの入力レベルが“H”レベル設定の時、BポートのデータがポートYに出力される。

40

【0034】

ロード/ホールド型D-FF回路19は、セクタ回路18の出力がロード/ホールドポートLHに接続され、データ入力ポートDにはアドレス信号A(i)が接続され、クロックポートCKにはクロック信号CLKが接続され、またその出力はインバータ20、21を介して正、負論理信号AP(i)、AN(i)が出力される。

【0035】

プログラム回路22は、DRAMマクロセル1が適用される半導体装置のページ長仕様に応じて、アドレス毎にメタル配線で電源配線またはグランド配線の一方に接続される。なお、本回路の入力信号の内RACF、CACF、CLKは制御信号発生回路6より供給される。

50

## 【 0 0 3 6 】

図 5 から図 7 は、アドレスプリデコード回路 4 を構成する回路のうち、メインビット線の選択に係するアドレスプリデコード回路の回路図である。図 5 は 8 個のメモリブロック 2 の何れかを選択指示するブロック選択プリデコード回路の回路図であり、図 6、図 7 はメインビット線 MBL ( i ) とセンスアンプ回路 2 a とを選択指示するアドレスデコード回路の回路図である。何れの回路の出力信号もロウデコーダ 3 に入力される。

## 【 0 0 3 7 】

2 3、2 5、2 6 は AND 回路、2 4 は電源線またはアドレス信号の何れか一方にメタル配線で接続するプログラム回路である。何れのアドレス信号も図 4 で説明した入力回路の出力が接続される。

10

## 【 0 0 3 8 】

図 8 は、制御信号発生回路 6 を構成する回路のうち、図 2 または図 3 に示したメインアンプブロック 5 やメインビット線の制御に係する信号の発生回路である。3 0 はクロック CLK とイネーブル端子で構成された出力 MPULSE を生成する基準パルス発生回路、3 1 は基準パルス発生回路 3 0 の信号をもとに作られるパルス発生回路、3 2 は /RAS および /CAS を入力とする NOR 回路、3 3 は D - FF 回路、3 4 a ~ 3 4 c はインバータ、3 5 は NAND 回路、3 6 はインバータ回路、3 7 は NOR 回路 3 2 の出力 B またはインバータ 3 6 の出力 A のいずれか一方を基準パルス発生回路 3 0 のイネーブル端子にメタルで接続するプログラム回路である。基準パルス発生回路 3 0 はイネーブル端子に “ H ” レベルが入力されている期間に入力されたクロック CLK の立ち上がりエッジに同期して所定幅のパルス MPULSE を発生する構成となっている。

20

## 【 0 0 3 9 】

図 9 はアドレスプリデコード回路 4 を構成する回路のうち、図 2 に示すトライステートバッファ 1 3 を制御する出力イネーブル信号 OE ( 0 ) ~ OE ( 7 ) のプリデコード回路の回路図である。2 7 は 4 入力の AND 回路を示し、データ出力のタイミング制御信号 OE と、カラム系アドレス信号 AN ( 1 3 ) ~ AN ( 1 5 )、AP ( 1 3 ) ~ AP ( 1 5 ) を入力としている。何れのアドレス信号も図 4 で説明した入力回路の出力が接続され、タイミング制御信号 OE は制御信号発生回路 6 より供給される。

## 【 0 0 4 0 】

図 1 0 は、図 2 に示したトライステートバッファ 1 3 の接続関係図である。DRAM マクロセル 1 は 5 1 2 ビット分の並列動作をするトライステートバッファ 1 3 を備えており、6 4 ビット出力構成に変換するため、隣接するトライステートバッファ 1 3 を 8 個単位でその出力をメタルで共通接続している。また、出力の各々に図 9 で説明した出力イネーブル信号 OE ( j ) が接続されている。

30

## 【 0 0 4 1 】

次に、以上のように構成された半導体装置において、その設定方法および動作について図面を参照しながら説明する。図 1 1 は、DRAM マクロセル 1 の読み出し制御方法に関するタイミング図である。

## 【 0 0 4 2 】

図 1 1 において、DRAM マクロセル 1 はクロック CLK の立ち上がりエッジに同期して動作が制御される。最初に、時間 t 0 においてロウアドレスストロープ /RAS が “ L ” レベル、カラムアドレスストロープ /CAS が “ H ” レベルであることを受け、ロウ系アドレス A ( i ) を取り込む。次に、時間 t 1 においてロウアドレスストロープ /RAS およびカラムアドレスストロープ /CAS がともに “ L ” レベルであることを受け、カラム系アドレス A ( i ) を取り込む。その後、同一サイクル内で t A 経過後、データ出力端子 D o から該当するアドレスのデータが出力される。次に、時間 t 2 において次のカラム系アドレスが入力されると、同様に t A 経過後、それに該当するアドレスのデータが出力される。

40

## 【 0 0 4 3 】

以下、設定ページ長内のカラム系アドレス空間でこのページモード動作はくり返し行われ

50

る。また、ロウアドレスストロブ/RAS、カラムアドレスストロブ/CASをとともに“H”に設定すると、クロックCLKの“H”エッジに同期するタイミングでプリチャージ動作が開始される。

【0044】

図12はページ長とアドレスの割り付けの対応関係図である。このDRAMマクロセル1は記憶容量4Mビットで64ビット構成である為、必要とするアドレスはA0～A15の16ビットとなる。

【0045】

図12(1)のようにDRAMを混載する半導体装置がDRAMマクロセル1に必要とする最大ページ長が8ページ以下の場合、A0～A12の13ビットをRASサイクルで取り込む(図11の時間t0のタイミング)設定を行い、A13～A15の3ビットのみをCASサイクル(図11の時間t1以降のタイミング)で取り込む。具体的な設定方法は、図4に示すプログラム回路22の内、A0～A12に対応するものに関して“L”レベル設定をし、A13～A15に対応するものに関して“H”レベル設定を行う。また図5に示すプログラム回路24は同図に示されたように全てアドレス信号線AN(j)、AP(j)側に設定しておく。また図7示すプログラム回路24は全て電源線側に設定しておく。また、図8に示すプログラム回路37は、同図に示す端子A側に設定しておく。

10

【0046】

図12(2)のようにDRAMを混載する半導体装置がDRAMマクロセル1に必要とする最大ページ長が9ページ以上32ページ以下の場合、A0～A10の11ビットをRASサイクルで取り込む(図11の時間t0のタイミング)設定を行い、A11～A15の5ビットをCASサイクル(図11の時間t1以降のタイミング)で取り込む。具体的な設定方法は、図4に示すプログラム回路22の内、A0～A10に対応するものに関して“L”レベル設定をし、A11～A15に対応するものに関して“H”レベル設定を行う。また、図5に示すプログラム回路24は同図に示されたように全てアドレス信号線AN(j)、AP(j)側に設定し、図7に示すプログラム回路24は全て電源線側に設定しておく。さらに、図8に示すプログラム回路37は、同図に示す端子B側に設定しておく。

20

【0047】

図12(3)のようにDRAMを混載する半導体装置がDRAMマクロセル1に必要とする最大ページ長が33ページ以上64ページ以下の場合、A0～A9の10ビットをRASサイクルで取り込む(図11の時間t0のタイミング)設定を行い、A10～A15の6ビットをCASサイクル(図11の時間t1以降のタイミング)で取り込む。具体的な設定方法は、図4に示すプログラム回路22の内、A0～A9に対応するものに関して“L”レベル設定をし、A10～A15に対応するものに関して“H”レベル設定を行う。また、図5に示すプログラム回路24はアドレス信号線AN(10)、AP(10)は電源線側に設定し、図7に示すプログラム回路24はAN(9)、AP(9)のみ電源線側に設定しておく。さらに、図8に示すプログラム回路37は、同図に示す端子B側に設定しておく。

30

【0048】

図12(4)のようにDRAMを混載する半導体装置がDRAMマクロセル1に必要とする最大ページ長が65ページ以上128ページ以下の場合、A0～A8の9ビットをRASサイクルで取り込む(図11の時間t0のタイミング)設定を行い、A9～A15の7ビットをCASサイクル(図11の時間t1以降のタイミング)で取り込む。具体的な設定方法は、図4に示すプログラム回路22の内、A0～A8に対応するものに関して“L”レベル設定をし、A9～A15に対応するものに関して“H”レベル設定を行う。また、図5に示すプログラム回路24は全て電源線側に設定し、図7に示すプログラム回路24は全てアドレス信号線AN(j)、AP(j)側に設定しておく。さらに、図8に示すプログラム回路37は、同図に示す端子B側に設定しておく。

40

【0049】

50

D R A Mマクロセル 1 は図 1 で示したように、メモリセルアレイが 8 ブロック、センスアンプ列が 9 列で構成されている。図 1 3 は上記各ページ長設定別に、一回の読み出しまたは書き込み動作で活性化される領域の例示図である。

【 0 0 5 0 】

ページ長が 8 ページまたは 3 2 ページ設定の場合、図 1 3 ( 1 ) のように図 5 に示されたブロック選択プリデコード回路の出力信号 B L K ( 0 ) ~ B L K ( 7 ) はアドレス入力に対して 1 本のみ選択されるので、8 ブロックのメモリセルアレイのうち 1 ブロックと、その両側のセンスアンプ列が 2 列のみ、即ち 2 0 4 8 個のセンスアンプ回路 2 a が活性化される。

【 0 0 5 1 】

ページ長が 6 4 ページ設定の場合、図 1 3 ( 2 ) のように図 5 に示されたブロック選択プリデコード回路の出力信号 B L K ( 0 ) ~ B L K ( 7 ) は、アドレス入力に対して 2 本選択されるので、8 ブロックのメモリセルアレイのうち 2 ブロックと、その両側のセンスアンプ列が 4 列、即ち 4 0 9 6 個のセンスアンプ回路 2 a が活性化される。

【 0 0 5 2 】

ページ長が 1 2 8 ページ設定の場合、図 1 3 ( 3 ) のように図 5 に示されたブロック選択プリデコード回路の出力信号 B L K ( 0 ) ~ B L K ( 7 ) は、アドレス入力に対して 4 本選択されるので、8 ブロックのメモリセルアレイのうち 4 ブロックと、その両側のセンスアンプ列が 8 列、即ち 8 1 9 2 個のセンスアンプ回路 2 a が活性化される。

【 0 0 5 3 】

次に、内部信号のタイミング動作を説明する。図 1 6 は、図 8 に示した基準パルス発生回路 3 0 の動作についてイネーブル端子を端子 A 側に接続した場合（即ちページ長 8 ページ設定の場合）と端子 B 側に接続した場合（即ちページ長 3 2 ページ以上の設定の場合）について示している。

【 0 0 5 4 】

図 1 6 において、N O R 回路 3 2 の出力は / R A S および / C A S がともに “ L ” レベルの期間中 “ H ” レベルが出力される。従って端子 B 側に接続された場合、クロック C L K の立ち上がりエッジに同期してその期間中毎回基準パルス M P U L S E は発生される。

【 0 0 5 5 】

一方、D - F F 回路 3 3 の出力は N O R 回路 3 2 の出力をクロック C L K でサンプリングされた信号であり、さらにはそれをインバータ 3 4 a、3 4 b、3 4 c を介して所定時間遅延した逆相信号となる。インバータ 3 6 の出力は / R A S および / C A S がともに “ L ” レベルに設定されたタイミングから最初にクロックが立ち上がった後の所定期間のみ “ H ” レベルが出力される。従って、端子 A 側に接続された場合、クロック C L K の立ち上がりエッジに同期して 1 回のみ基準パルス M P U L S E は発生される。

【 0 0 5 6 】

図 1 4 は、ページ長 = 8 ページに設定した場合の D R A M マクロセル 1 の動作について示している。まず、時間 t 0 のタイミングでロウ系のアドレスを取り込み、それに応じてブロック選択信号 B L K ( \* ) で指示されるワード線 W L およびセンスアンプ列が活性化されビット線対 B L , B L B の増幅動作が行われる。

【 0 0 5 7 】

次に、時間 t 1 のタイミングでカラム系のアドレス取り込みとともに、前述したように基準パルス発生回路 3 0 より基準パルス M P U L S E が 1 回だけ発生され、それに伴って転送ゲート制御信号 M B T、ラッチ信号 D L C H、メインビット線プリチャージ信号 / M P R、メインアンプイネーブル信号 M S E が以下に説明するタイミング関係でパルス発生回路 3 1 より生成される。

【 0 0 5 8 】

まず、ラッチ信号 D L C H が “ L ” レベルに設定されラッチ回路 1 2 はスルー状態となる。その後メインビット線プリチャージ信号 / M P R は “ H ” レベルに設定されメインビット線のプリチャージ動作が終了する。同時に転送ゲート制御信号 M B T が “ H ” レベルに

10

20

30

40

50



設定される。アドレスデコード信号  $PA(0) \sim PA(3)$  および  $PB(0) \sim PB(3)$  はその時点までに確定しているため、その指定アドレスに相当するセンスアンプ 2a とメインビット線  $MBL(i)$ 、 $MBL(i+1)$  が接続される。その後メインアンブイネーブル信号  $MS E$  が“H”レベルに設定され、メインアンプ 11 が活性化されセンスアンプ 2a のデータが読み出される。その後ラッチ信号  $DLCH$  が“H”レベルに設定されメインアンプ 11 で読み出されたデータはラッチされ、その後メインアンプの非活性化、転送ゲートの閉鎖およびメインビット線のプリチャージが行われる。さらには出力イネーブル信号  $OE(j)$  とカラム系アドレスの指示に応じて該当するラッチ回路 12 のデータが出力端子  $Do(k)$  より出力される。

$t_2$  以降のタイミングでは、メインアンプ 11 等の動作は行われず、ラッチ回路 12 で  $t_1$  のサイクルでラッチされているデータを、カラムアドレス  $A13 \sim A15$  で指示されるトライステートバッファ 13 をイネーブルにすることだけで出力される。この設定の場合、最少のセンスアンプ列の活性化と、メインビット線も一回の振幅動作だけであるので、低消費電力化が実現できる。

#### 【0059】

図 15 はページ長 = 32 ページ以上に設定した場合の DRAM マクロセル 1 の動作について示している。図 14 のページ長 = 8 ページに設定した場合と異なるのは、ロウ系アドレスとカラム系アドレスの割り付けおよび  $t_1$  以降の各サイクルで毎回メインアンプの読み出し動作が行われる点にある。

#### 【0060】

一般に、DRAM を混載する半導体装置は使用されるシステムの用途によって、必要とされる入出力のデータ幅は異なる。図 17 は、図 2 で説明したトライステートバッファ 13 の出力部の接続状態を、各種データ幅の場合について示したものである。

#### 【0061】

図 10 で説明したように、64 ビット出力構成の場合は 512 個配列されるトライステートバッファ 13 のうち、隣接する 8 個のトライステートバッファ 13 の出力をメタルで共通接続し、この端子を DRAM マクロセル 1 の出力端子  $Do(k)$  とする ( $k = 0 \sim 63$ )。

#### 【0062】

128 ビット出力構成の場合は 512 個配列されるトライステートバッファ 13 のうち、隣接する 4 個のトライステートバッファ 13 の出力をメタルで共通接続し、この端子を DRAM マクロセル 1 の出力端子  $Do(k)$  とする ( $k = 0 \sim 127$ )。

#### 【0063】

256 ビット出力構成の場合は 512 個配列されるトライステートバッファ 13 のうち、隣接する 2 個のトライステートバッファ 13 の出力をメタルで共通接続し、この端子を DRAM マクロセル 1 の出力端子  $Do(k)$  とする ( $k = 0 \sim 255$ )。

#### 【0064】

512 ビット出力構成の場合は 512 個配列されるトライステートバッファ 13 の出力をそのまま DRAM マクロセル 1 の出力端子  $Do(k)$  とする ( $k = 0 \sim 511$ )。

#### 【0065】

図 18 は出力イネーブル信号  $OE(0) \sim OE(7)$  のプリデコード回路の回路図を示している。図 9 で示したプリデコード回路と同一の構成にプログラム回路 40 が付加されている。

#### 【0066】

64 ビット出力構成の場合、同図に示したように  $AN(13) \sim AN(15)$ 、 $AP(13) \sim AP(15)$  側にプログラムする。これにより  $OE(0) \sim OE(7)$  の 8 出力のうち 1 本のみが選択される。

#### 【0067】

128 ビット出力構成の場合、 $AN(15)$ 、 $AP(15)$  を電源線側にプログラムする。これにより  $OE(0) \sim OE(3)$  の 4 出力のうち 1 本、 $OE(4) \sim OE(7)$  の 4

10

20

30

40

50

出力のうち1本が選択される。

【0068】

256ビット出力構成の場合、AN(14)、AP(14)、AN(15)、AP(15)を電源線側にプログラムする。これによりOE(0)~OE(1)の2出力のうち1本、OE(2)~OE(3)の2出力のうち1本、OE(4)~OE(5)の2出力のうち1本、OE(6)~OE(7)の2出力のうち1本が選択される。

【0069】

512ビット出力構成の場合、AN(13)~AN(15)、AP(13)~AP(15)はいずれも電源線側にプログラムする。これによりOEの動きに連動して8本の出力全てが選択される。

10

【0070】

なお、プログラム回路22、24、40はメタル配線によって信号線をバイパスする方式としたが、コンタクト接続によるプログラムや、メタル配線の代わりにトランジスタによるスイッチを設ける方式としてもよい。

【0071】

また図4に示すセクタ回路18およびプログラム回路22は、全てのアドレス入力A0~A15に設けているが、必要とされるアドレス入力(ページ長=8ページの場合にはA9~A12)のみに設けてもよい。

【0072】

また、図8においてページ長=8ページの場合、A端子に接続し基準パルスMPULSEはCASサイクルで一回のみ発生されるようにしたが、回路を簡略化する目的やページモード自体を使用しない場合、端子B側の信号で代用する構成としてもよい。

20

【0073】

さらには、図11等で説明したDRAMマクロセル1の仕様は、一般的に知られているEDO方式に類似した方式であるが、シンクロナス方式等や複数のバンクで構成したDRAMにおいても同様に適用できる。

【0074】

以上のように本実施の形態によれば、DRAMマクロセルの活性化領域およびページ長を自由に設定することができることから、ページ長が必要となる大容量データにおいては、活性化領域を連続して確保することでデータ転送速度の高速化を図ることができ、一方でページ長が必要でない通常のデータの場合には、無駄な活性化領域を生み出すことなく最小限の活性化領域で処理を行うことで省電力化を図ることができる。また、複数のトライステートバッファの出力をメタル接続することで、回路の構成やレイアウトを変えることなく、メタル配線の接続変更のみによって、データ幅を希望値に変更することが可能となる。

30

【0075】

【発明の効果】

以上のように本発明にかかる半導体装置によれば、DRAMマクロセルの活性化領域とページ長を容易に設定することができ、適用される半導体装置の用途に応じて低消費電力化や高速データ転送速度化が容易に実現できる。また、本発明にかかる半導体装置によれば、データ幅に応じて回路構成やレイアウト構成を変更することなく、メタル配線の接続変更だけで所望のページ長を容易に実現できる。

40

【図面の簡単な説明】

【図1】 本発明が適用されたDRAMマクロセルのレイアウト概略図

【図2】 DRAMマクロセルの詳細構成図

【図3】 メインアンプ回路およびラッチ回路の詳細回路図

【図4】 入力回路の詳細回路図

【図5】 アドレスプリデコード回路の回路図

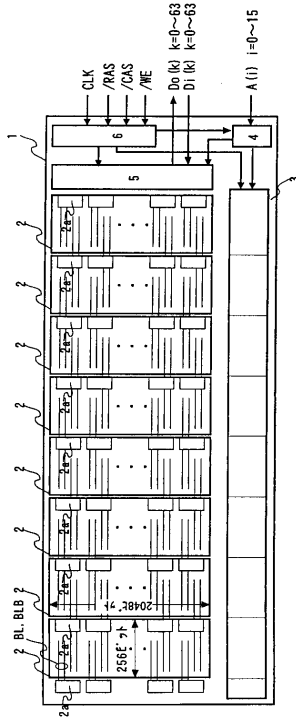
【図6】 アドレスプリデコード回路の回路図

【図7】 アドレスプリデコード回路の回路図

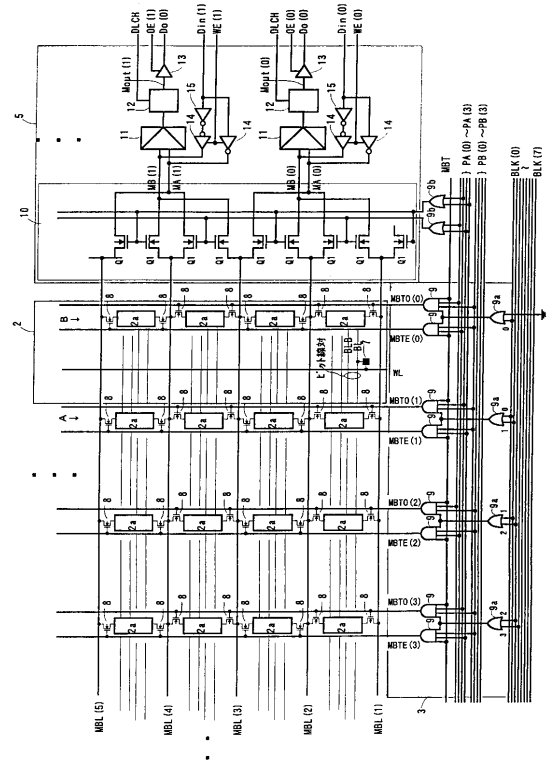
50

|                                       |                                 |    |
|---------------------------------------|---------------------------------|----|
| 【図 8】                                 | メインアンプブロック等の制御信号発生回路図           |    |
| 【図 9】                                 | 出カインーブル信号のプリデコード回路の回路図          |    |
| 【図 10】                                | トライステートバッファの接続図                 |    |
| 【図 11】                                | D R A Mマクロセルの読み出し制御方法に関するタイミング図 |    |
| 【図 12】                                | ページ長とアドレスの割り付けの対応関係図            |    |
| 【図 13】                                | メモリセルアレイおよびセンスアンプ列活性化領域の例示図     |    |
| 【図 14】                                | ページ長 = 8 ページの場合のタイミング図          |    |
| 【図 15】                                | ページ長 = 3 2 ページ以上の場合のタイミング図      |    |
| 【図 16】                                | 基準パルス発生回路のタイミング図                |    |
| 【図 17】                                | トライステートバッファの出力部の接続状態図           | 10 |
| 【図 18】                                | 出カインーブル信号のプリデコード回路の回路図          |    |
| 【符号の説明】                               |                                 |    |
| 1                                     | D R A Mマクロセル                    |    |
| 2                                     | メモリブロック                         |    |
| 2 a                                   | センスアンプ回路                        |    |
| 3                                     | ロウデコーダ                          |    |
| 4                                     | アドレスプリデコーダ回路                    |    |
| 5                                     | メインアンプ回路ブロック                    |    |
| 6                                     | 制御信号発生回路                        |    |
| 7                                     | メモリセル                           | 20 |
| 8                                     | 転送ゲート                           |    |
| 9                                     | デコーダ                            |    |
| 1 0                                   | カラムデコーダ回路                       |    |
| 1 1                                   | メインアンプ回路                        |    |
| 1 2                                   | ラッチ回路                           |    |
| 1 3、1 4                               | トライステートバッファ                     |    |
| 1 5、1 6、1 7、2 0、2 1、3 4 a、3 4 b、3 4 c | インバータ                           |    |
| 1 8                                   | セレクタ回路                          |    |
| 1 9                                   | ロード/ホールド型 D - F F 回路            |    |
| 2 2、2 4、3 7、4 0                       | プログラム回路                         | 30 |
| 2 3、2 5、2 6、2 7                       | A N D 回路                        |    |
| 3 0                                   | 基準パルス発生回路                       |    |
| 3 1                                   | パルス発生回路                         |    |
| 3 2                                   | N O R 回路                        |    |
| 3 3                                   | D - F F 回路                      |    |
| 3 5                                   | N A N D 回路                      |    |
| 3 6                                   | インバータ回路                         |    |

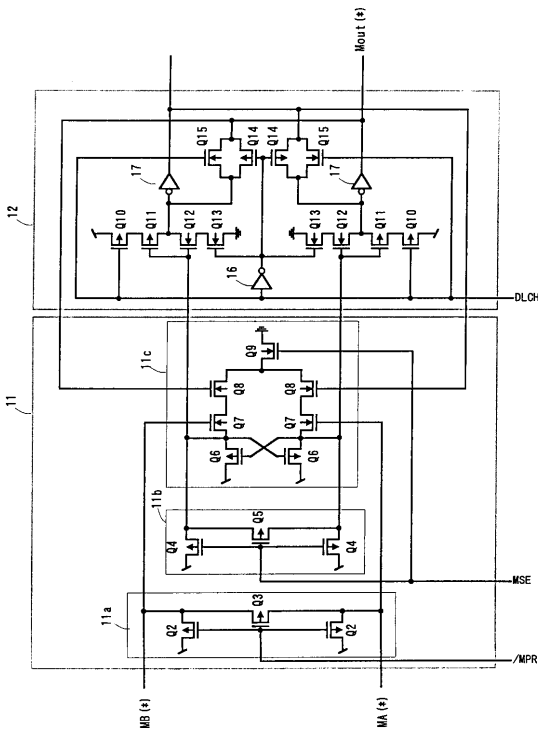
【 図 1 】



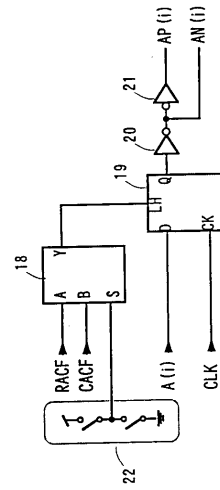
【 図 2 】



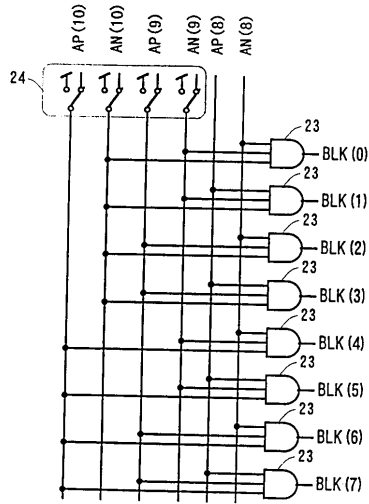
【 図 3 】



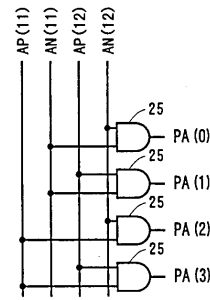
【 図 4 】



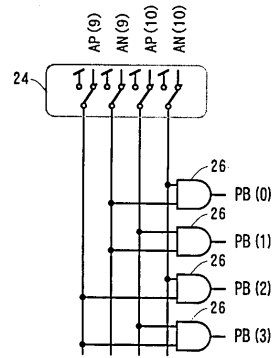
【 図 5 】



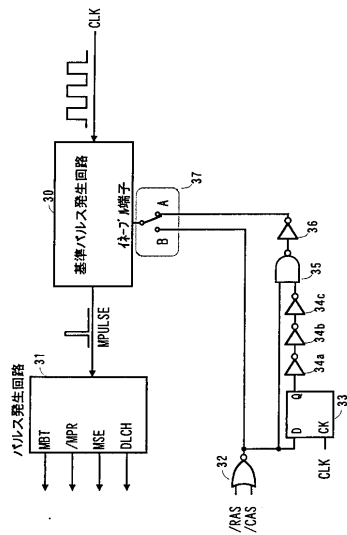
【 図 6 】



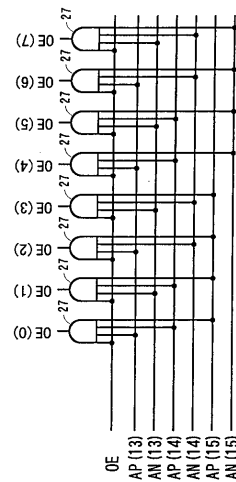
【 図 7 】



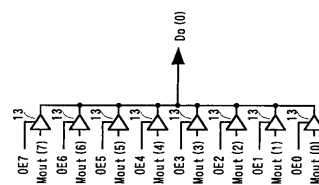
【 図 8 】



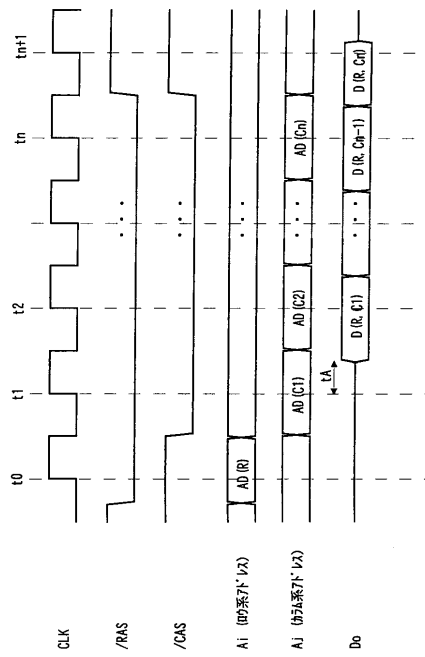
【 図 9 】



【 図 10 】



【 図 1 1 】



【 図 1 2 】

ページ長=8ページの場合のアドレス割り付け

| 選択される機能7d'以下  | アドレス |     |     |     |     |     |    |    |    |    | 取り込むメモリ |    |    |    |    |    |          |          |
|---------------|------|-----|-----|-----|-----|-----|----|----|----|----|---------|----|----|----|----|----|----------|----------|
|               | A15  | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5      | A4 | A3 | A2 | A1 | A0 | RAS7d'以下 | CAS7d'以下 |
| ワード線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| 出力バッファ選択7d'以下 |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |

ページ長=32ページの場合のアドレス割り付け

| 選択される機能7d'以下  | アドレス |     |     |     |     |     |    |    |    |    | 取り込むメモリ |    |    |    |    |    |          |          |
|---------------|------|-----|-----|-----|-----|-----|----|----|----|----|---------|----|----|----|----|----|----------|----------|
|               | A15  | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5      | A4 | A3 | A2 | A1 | A0 | RAS7d'以下 | CAS7d'以下 |
| ワード線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| 出力バッファ選択7d'以下 |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |

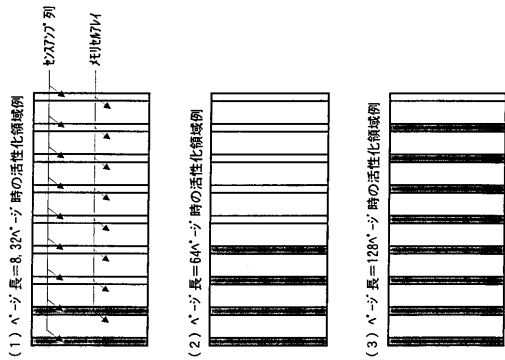
ページ長=64ページの場合のアドレス割り付け

| 選択される機能7d'以下  | アドレス |     |     |     |     |     |    |    |    |    | 取り込むメモリ |    |    |    |    |    |          |          |
|---------------|------|-----|-----|-----|-----|-----|----|----|----|----|---------|----|----|----|----|----|----------|----------|
|               | A15  | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5      | A4 | A3 | A2 | A1 | A0 | RAS7d'以下 | CAS7d'以下 |
| ワード線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| 出力バッファ選択7d'以下 |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |

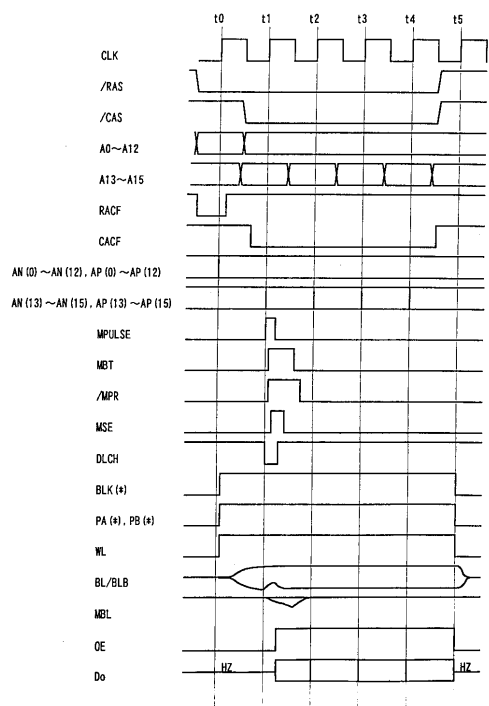
ページ長=128ページの場合のアドレス割り付け

| 選択される機能7d'以下  | アドレス |     |     |     |     |     |    |    |    |    | 取り込むメモリ |    |    |    |    |    |          |          |
|---------------|------|-----|-----|-----|-----|-----|----|----|----|----|---------|----|----|----|----|----|----------|----------|
|               | A15  | A14 | A13 | A12 | A11 | A10 | A9 | A8 | A7 | A6 | A5      | A4 | A3 | A2 | A1 | A0 | RAS7d'以下 | CAS7d'以下 |
| ワード線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| バイト線選択7d'以下   |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |
| 出力バッファ選択7d'以下 |      |     |     |     |     |     |    |    |    |    |         |    |    |    |    |    |          |          |

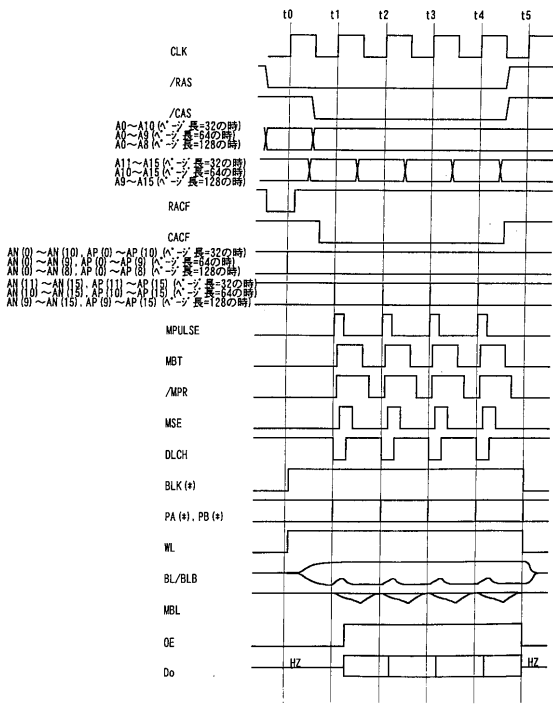
【 図 1 3 】



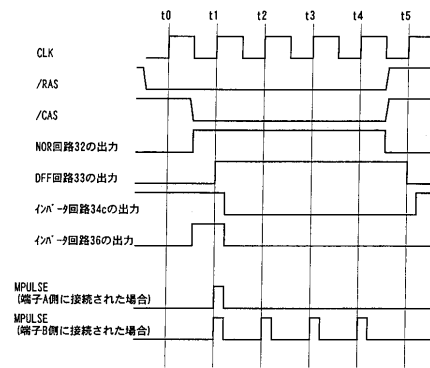
【 図 1 4 】



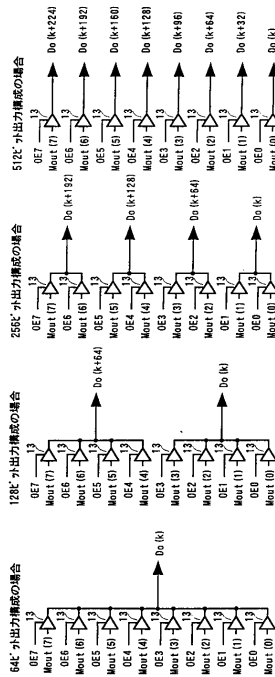
【 図 1 5 】



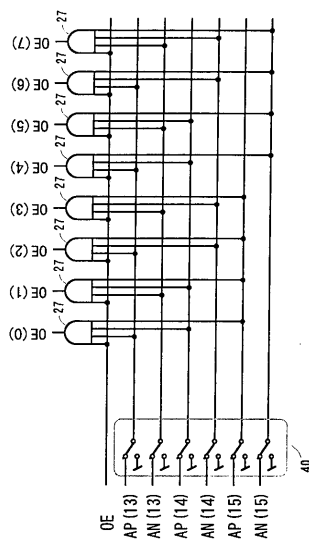
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



---

フロントページの続き

- (56)参考文献 特開平09 - 245474 (JP, A)  
特開平10 - 083672 (JP, A)  
特開平11 - 110963 (JP, A)  
特開2000 - 156081 (JP, A)

- (58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G11C 11/401