



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0007585
(43) 공개일자 2017년01월19일

(51) 국제특허분류(Int. Cl.)
G01R 31/02 (2006.01)

(52) CPC특허분류
G01R 31/317 (2013.01)
G01R 31/2834 (2013.01)

(21) 출원번호 10-2015-0097302
(22) 출원일자 2015년07월08일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

장웅진

충청남도 아산시 배방읍 배방로173번길 10-1 203호 (복수리)

(74) 대리인

특허법인 고려

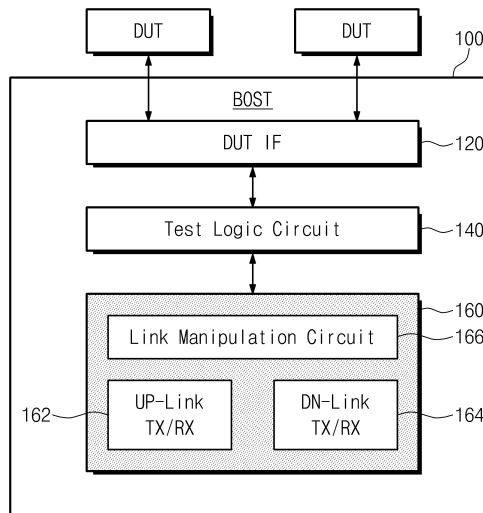
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 보조 테스트 장치, 그것을 포함하는 테스트 보드 및 그것의 테스트 방법

(57) 요약

본 발명에 따른 테스트 보드는, 복수의 피검사 소자들을 삽입하는 소켓들, 및 상기 소켓들에 전기적으로 연결되는 보조 테스트 장치 연결 트리를 포함하고, 상기 보조 테스트 장치 연결 트리는, 외부의 장치로부터 테스트 요청을 입력 및 출력하는 적어도 하나의 제 1 보조 테스트 장치, 상기 적어도 하나의 제 1 보조 테스트 장치로부터 출력된 테스트 요청에 응답하여 테스트 클럭 및 테스트 패턴을 발생하고, 상기 발생된 테스트 패턴을 이용하여 상기 복수의 피검사 소자들 중 적어도 하나에 대한 테스트 동작을 수행하고, 상기 테스트 동작의 에러 여부를 상기 적어도 하나의 제 1 보조 테스트 장치로 출력하는 적어도 하나의 제 2 보조 테스트 장치를 포함한다.

대표도 - 도1



(52) CPC특허분류

G01R 31/31702 (2013.01)

G01R 31/31703 (2013.01)

명세서

청구범위

청구항 1

복수의 피검사 소자들을 삽입하는 소켓들; 및

상기 소켓들에 전기적으로 연결되는 보조 테스트 장치 연결 트리를 포함하고,

상기 보조 테스트 장치 연결 트리는,

외부의 장치로부터 제 1 테스트 요청을 입력 받고 및 제 2 테스트 요청을 출력하는 적어도 하나의 제 1 보조 테스트 장치;

상기 적어도 하나의 제 1 보조 테스트 장치로부터 출력된 제 2 테스트 요청에 응답하여 테스트 클록 및 테스트 패턴을 발생하고, 상기 발생된 테스트 패턴을 이용하여 상기 복수의 피검사 소자들 중 적어도 하나에 대한 테스트 동작을 수행하고, 상기 테스트 동작의 에러 여부를 상기 적어도 하나의 제 1 보조 테스트 장치로 출력하는 적어도 하나의 제 2 보조 테스트 장치를 포함하는 테스트 보드.

청구항 2

제 1 항에 있어서,

상기 외부의 장치는 ATE(automatic test equipment) 및 PC(personal computer) 중 어느 하나인 테스트 보드.

청구항 3

제 2 항에 있어서,

상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 서로 직렬 연결되는 테스트 보드.

청구항 4

제 2 항에 있어서,

상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 이진 트리 구조로 연결되는 테스트 보드.

청구항 5

제 2 항에 있어서,

상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 적어도 2개의 체인 구조로 연결되는 테스트 보드.

청구항 6

제 2 항에 있어서,

상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 링 네트워크 구조로 연결되는 테스트 보드.

청구항 7

제 1 항에 있어서,

상기 적어도 하나의 제 1 보조 테스트 장치는 버퍼 칩인 테스트 보드.

청구항 8

제 1 항에 있어서,

상기 테스트 클록의 주파수는 상기 외부의 장치로부터 출력되는 테스트 요청의 주파수보다 높은 테스트 보드.

청구항 9

제 1 항에 있어서,

상기 적어도 하나의 제 2 보조 테스트 장치는,

상기 적어도 하나의 피검사 소자에 테스트 패턴을 출력하고, 상기 적어도 하나의 피검사 소자로부터 상기 테스트 패턴에 대응하는 테스트 결과값들을 입력 받고, 상기 테스트 패턴과 상기 테스트 결과값들을 비교하고, 상기 비교 결과에 따른 에러 여부를 판별하는 피검사 소자 인터페이스;

상기 제 2 테스트 요청에 응답하여 상기 테스트 클럭 및 상기 테스트 패턴을 발생하는 테스트 로직 회로; 및

상기 적어도 하나의 제 1 보조 테스트 장치와 통신을 수행하는 통신 회로를 포함하는 테스트 보드.

청구항 10

복수의 피검사 소자들에 연결되고, 테스트 패턴을 상기 복수의 피검사 소자들로 출력하고, 상기 복수의 피검사 소자들로부터 테스트 결과값들을 입력받고, 상기 테스트 패턴과 상기 테스트 결과값들을 비교함으로써 에러 여부를 판별하는 피검사 소자 인터페이스;

테스트 요청에 응답하여 테스트 클럭 혹은 상기 테스트 패턴을 발생하는 테스트 로직 회로; 및

제 1 장치와 상향 링크로 통신하고, 제 2 장치와 하향 링크로 통신하는 통신 회로를 포함하는 보조 테스트 장치.

청구항 11

제 10 항에 있어서,

상기 피검사 소자 인터페이스는,

상기 테스트 패턴을 상기 복수의 피검사 소자들로 출력하거나 상기 복수의 피검사 소자들로부터 상기 테스트 결과값들을 입력하는 적어도 하나의 드라이버; 및

상기 테스트 패턴과 상기 테스트 결과값들을 비교하는 적어도 하나의 비교기를 포함하는 보조 테스트 장치.

청구항 12

제 10 항에 있어서,

상기 제 1 장치는, ATE(automatic test equipment), PC(personal computer) 및 다른 보조 테스트 장치 중 어느 하나인 보조 테스트 장치.

청구항 13

제 10 항에 있어서,

상기 제 2 장치는 상기 보조 테스트 장치와 동일하게 구현된 다른 보조 테스트 장치인 보조 테스트 장치.

청구항 14

제 10 항에 있어서,

상기 통신 회로는,

상기 제 1 장치와 데이터 통신을 수행하는 상향 링크 송수신기;

상기 제 2 장치와 데이터 통신을 수행하는 하향 링크 송수신기; 및

상기 상향 링크 송수신기와 상기 하향 링크 송수신기를 제어하고, 상기 테스트 로직 회로는 활성화시키는 링크 조작 회로를 포함하는 보조 테스트 장치.

청구항 15

제 14 항에 있어서,

상기 상향 링크 송수신기 및 상기 하향 링크 송수신기는 PPP(point to point protocol) 인터페이스를 이용하여 데이터 통신을 수행하는 보조 테스트 장치.

청구항 16

제 10 항에 있어서,

상기 보조 테스트 장치는, FPGA(field programmable gate array) 혹은 ASIC(application specific integrated circuit)로 구현되는 보조 테스트 장치.

청구항 17

테스트 시스템의 테스트 방법에 있어서:

제 1 보조 테스트 장치로부터 테스트 요청을 입력 받는 단계;

제 2 보조 테스트 장치에서 상기 테스트 요청에 응답하여 테스트 패턴을 발생하는 단계;

상기 제 2 보조 테스트 장치에서 상기 테스트 패턴을 이용하여 상기 제 2 보조 테스트 장치에 연결된 피검사 소자들을 테스트 하는 단계; 및

상기 제 2 보조 테스트 장치에서 상기 테스트의 에러 여부를 상기 제 1 보조 테스트 장치로 출력하는 단계를 포함하고,

상기 제 1 및 제 2 보조 테스트 장치는 데이터 송수신을 위한 동일한 통신 회로를 포함하는 테스트 방법.

청구항 18

제 17 항에 있어서,

상기 제 2 보조 테스트 장치에서 상기 테스트 요청을 제 3 보조 테스트 장치로 출력하는 단계를 더 포함하는 테스트 방법.

청구항 19

제 17 항에 있어서,

상기 제 1 보조 테스트 장치는 버퍼 칩 혹은 BOST(built out self test) 장치인 테스트 방법.

청구항 20

외부로부터 입력된 제 1 테스트 요청에 응답하여 제 1 복수의 피검사 소자들을 테스트 하는 제 1 보조 테스트 장치; 및

상기 제 1 보조 테스트 장치로부터 입력된 제 2 테스트 요청에 응답하여 제 2 복수의 피검사 소자들을 테스트 하는 제 2 보조 테스트 장치를 포함하고,

상기 제 1 보조 테스트 장치 및 상기 제 2 보조 테스트 장치는 직렬 인터페이스를 통하여 통신하는 테스트 보드.

발명의 설명

기술 분야

[0001] 본 발명은 보조 테스트 장치, 그것을 포함하는 테스트 보드, 및 그것의 테스트 방법에 관한 것이다.

배경 기술

[0002] 일반적인 메모리 테스트 방법으로는 ATE(automatic test equipment) 테스트와 실장 테스트가 있다. ATE 테스트의 경우, 메모리 생산 공정상의 오류로 인해 발생하는 수동소자 불량률 검출하기 위한 것으로, 테스트 패턴을 ALPG(algorithmic pattern generator)로 구성된 패턴 발생기를 이용하여 재현함으로써 메모리를 테스트할 수 있다. ATE는 반도체 디바이스의 테스트에 사용되며, 테스트 대상인 반도체 디바이스의 성능을 테스트할 수 있어야 하므로 반도체 디바이스의 성능에 적합한 모델을 사용하게 된다. 반도체 디바이스의 성능이 고속화하고, 그 기

능이 다양해짐에 따라 새로운 설비를 사용하여야 하는데, 기존에 보유중인 설비를 사용하는 기술로서 BOST(built out self test) 기술을 사용하게 된다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 BOST 기술을 사용하는 신규한 테스트 보드, 보조 테스트 장치 및 그것의 테스트 방법을 제공하는 데 있다.

과제의 해결 수단

[0004] 본 발명의 실시 예에 따른 테스트 보드는, 복수의 피검사 소자들을 삽입하는 소켓들; 및 상기 소켓들에 전기적으로 연결되는 보조 테스트 장치 연결 트리를 포함하고, 상기 보조 테스트 장치 연결 트리는, 외부의 장치로부터 제 1 테스트 요청을 입력 받고 및 제 2 테스트 요청을 출력하는 적어도 하나의 제 1 보조 테스트 장치; 상기 적어도 하나의 제 1 보조 테스트 장치로부터 출력된 제 2 테스트 요청에 응답하여 테스트 클럭 및 테스트 패턴을 발생하고, 상기 발생된 테스트 패턴을 이용하여 상기 복수의 피검사 소자들 중 적어도 하나에 대한 테스트 동작을 수행하고, 상기 테스트 동작의 에러 여부를 상기 적어도 하나의 제 1 보조 테스트 장치로 출력하는 적어도 하나의 제 2 보조 테스트 장치를 포함한다.

[0005] 실시 예에 있어서, 상기 외부의 장치는 ATE(automatic test equipment) 및 PC(personal computer) 중 어느 하나이다.

[0006] 실시 예에 있어서, 상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 서로 직렬 연결된다.

[0007] 실시 예에 있어서, 상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 이진 트리 구조로 연결된다.

[0008] 실시 예에 있어서, 상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 적어도 2개의 체인 구조로 연결된다.

[0009] 실시 예에 있어서, 상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 링 네트워크 구조로 연결된다.

[0010] 실시 예에 있어서, 상기 외부의 장치와 상기 보조 테스트 장치 연결 트리는 2-레인 구조로 연결된다.

[0011] 실시 예에 있어서, 상기 적어도 하나의 제 1 보조 테스트 장치는 버퍼 칩이다.

[0012] 실시 예에 있어서, 상기 제 1 보조 테스트 장치와 상기 제 2 보조 테스트 장치 사이에 상기 버퍼 칩과 다른 적어도 하나의 버퍼 칩이 존재한다.

[0013] 실시 예에 있어서, 상기 테스트 클럭의 주파수는 상기 외부의 장치로부터 출력되는 테스트 요청의 주파수보다 높다.

[0014] 실시 예에 있어서, 상기 적어도 하나의 제 2 보조 테스트 장치는, 상기 적어도 하나의 피검사 소자에 테스트 패턴을 출력하고, 상기 적어도 하나의 피검사 소자로부터 상기 테스트 패턴에 대응하는 테스트 결과값들을 입력 받고, 상기 테스트 패턴과 상기 테스트 결과값들을 비교하고, 상기 비교 결과에 따른 에러 여부를 판별하는 피검사 소자 인터페이스; 상기 테스트 요청에 응답하여 상기 테스트 클럭 및 상기 테스트 패턴을 발생하는 테스트 로직 회로; 및 상기 적어도 하나의 제 1 보조 테스트 장치와 통신을 수행하는 통신 회로를 포함한다.

[0015] 본 발명의 실시 예에 따른 보조 테스트 장치는, 복수의 피검사 소자들에 연결되고, 테스트 패턴을 상기 복수의 피검사 소자들로 출력하고, 상기 복수의 피검사 소자들로부터 테스트 결과값들을 입력받고, 상기 테스트 패턴과 상기 테스트 결과값들을 비교함으로써 에러 여부를 판별하는 피검사 소자 인터페이스; 상기 제 2 테스트 요청에 응답하여 테스트 클럭 혹은 상기 테스트 패턴을 발생하는 테스트 로직 회로; 및 제 1 장치와 상향 링크로 통신하고, 제 2 장치와 하향 링크로 통신하는 통신 회로를 포함한다.

[0016] 실시 예에 있어서, 상기 피검사 소자 인터페이스는, 상기 테스트 패턴을 상기 복수의 피검사 소자들로 출력하거나 상기 복수의 피검사 소자들로부터 상기 테스트 결과값들을 입력하는 적어도 하나의 드라이버; 및 상기 테스트 패턴과 상기 테스트 결과값들을 비교하는 적어도 하나의 비교기를 포함한다.

[0017] 실시 예에 있어서, 상기 제 1 장치는, ATE(automatic test equipment), PC(personal computer) 및 다른 보조 테스트 장치 중 어느 하나이다.

- [0018] 실시 예에 있어서, 상기 다른 보조 테스트 장치는 상기 보조 테스트 장치와 다르게 구현된다.
- [0019] 실시 예에 있어서, 상기 다른 보조 테스트 장치는 상기 보조 테스트 장치와 동일하게 구현된다.
- [0020] 실시 예에 있어서, 상기 제 2 장치는 상기 보조 테스트 장치와 동일하게 구현된 다른 보조 테스트 장치이다.
- [0021] 실시 예에 있어서, 상기 통신 회로는, 상기 제 1 장치와 데이터 통신을 수행하는 상향 링크 송수신기; 상기 제 2 장치와 데이터 통신을 수행하는 하향 링크 송수신기; 및 상기 상향 링크 송수신기와 상기 하향 링크 송수신기를 제어하고, 상기 테스트 로직 회로는 활성화시키는 링크 조작 회로를 포함한다.
- [0022] 실시 예에 있어서, 상기 상향 링크 송수신기 및 상기 하향 링크 송수신기는 PPP(point to point protocol) 인터페이스를 이용하여 데이터 통신을 수행한다.
- [0023] 실시 예에 있어서, 상기 보조 테스트 장치는, FPGA(field programmable gate array) 혹은 ASIC(application specific integrated circuit)로 구현된다.
- [0024] 본 발명의 실시 예에 따른 테스트 시스템의 테스트 방법은: 제 1 보조 테스트 장치로부터 테스트 요청을 입력 받는 단계; 제 2 보조 테스트 장치에서 상기 테스트 요청에 응답하여 테스트 패턴을 발생하는 단계; 상기 제 2 보조 테스트 장치에서 상기 테스트 패턴을 이용하여 상기 제 2 보조 테스트 장치에 연결된 피검사 소자들을 테스트 하는 단계; 및 상기 제 2 보조 테스트 장치에서 상기 테스트의 에러 여부를 상기 제 1 보조 테스트 장치로 출력하는 단계를 포함하고, 상기 제 1 및 제 2 보조 테스트 장치는 데이터 송수신을 위한 동일한 통신 회로를 포함한다.
- [0025] 실시 예에 있어서, 상기 제 2 보조 테스트 장치에서 상기 테스트 요청을 제 3 보조 테스트 장치로 출력하는 단계를 더 포함한다.
- [0026] 실시 예에 있어서, 상기 제 1 보조 테스트 장치는 버퍼 칩 혹은 BOST(built out self test) 장치이다.
- [0027] 본 발명의 다른 실시 예에 따른 테스트 보드는, 외부로부터 입력된 제 1 테스트 요청에 응답하여 제 1 복수의 피검사 소자들을 테스트 하는 제 1 보조 테스트 장치; 및 상기 제 1 보조 테스트 장치로부터 입력된 제 2 테스트 요청에 응답하여 제 2 복수의 피검사 소자들을 테스트 하는 제 2 보조 테스트 장치를 포함하고, 상기 제 1 보조 테스트 장치 및 상기 제 2 보조 테스트 장치는 직렬 인터페이스를 통하여 통신한다.

발명의 효과

- [0028] 본 발명의 실시 예에 따른 테스트 장치, 그것을 포함하는 테스트 보드, 및 그것의 테스트 방법은, 외부의 장치와 통신 기능을 수행함으로써, 테스트 동작의 채널 제약을 근본적으로 해결할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 실시 예에 따른 BOST 장치를 예시적으로 보여주는 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 BOST 장치들 사이의 직렬 연결을 예시적으로 보여주는 도면이다.
- 도 3은 본 발명의 실시 예에 따른 테스트 시스템을 예시적으로 보여주는 블록도이다.
- 도 4a 및 도 4b는 BOST 장치들의 다양한 연결 관계를 예시적으로 보여주는 도면들이다.
- 도 5는 본 발명의 실시 예에 따른 BOST 장치들의 2 레인 구조의 연결을 예시적으로 보여주는 도면이다.
- 도 6은 본 발명의 다른 실시 예에 따른 테스트 시스템을 예시적으로 보여주는 블록도이다.
- 도 7은 본 발명의 또 다른 실시 예에 따른 테스트 시스템을 예시적으로 보여주는 블록도이다.
- 도 8은 본 발명의 또 다른 실시 예에 따른 테스트 시스템을 예시적으로 보여주는 블록도이다.
- 도 9는 주파수 관점에서 바라본 본 발명의 테스트 시스템을 보여주는 블록도이다.
- 도 10은 본 발명의 실시 예에 따른 테스트 시스템의 테스트 방법을 예시적으로 보여주는 흐름도이다.
- 도 11은 본 발명의 BOST 연결 트리를 구비한 테스트 시스템을 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 아래에서는 도면들을 이용하여 본 발명의 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 본 발명의 내용을 명확하고 상세하게 기재할 것이다.
- [0031] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 혹은 대체물을 포함한다.
- [0032] 제 1 혹은 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제 1 구성 요소는 제 2 구성 요소로 명명될 수 있고 유사하게 제 2 구성 요소는 제 1 구성 요소로도 명명될 수 있다.
- [0033] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 혹은 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 혹은 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0034] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 혹은 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 혹은 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 혹은 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 혹은 이들을 조합한 것들의 존재 혹은 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0035] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 나타낸다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0036] 도 1은 본 발명의 실시 예에 따른 BOST(built out self test) 장치를 예시적으로 보여주는 블록도이다. 도 1을 참조하면, BOST 장치(100, 혹은 "보조 테스트 장치"라고도 함)는 복수의 피검사 소자(이하, "DUT"라고 함 (device under test))를 자체적으로 테스트하는 장치로써, DUT 인터페이스(120), 테스트 로직 회로(140), 및 통신 회로(160)를 포함할 수 있다.
- [0037] DUT는, SRAM(static random access memory), DRAM(dynamic random access memory), SDRAM(synchronous dynamic RAM) 등과 같은 휘발성 메모리 장치 혹은 ROM(read only memory), PROM(programmable ROM), EPROM(erasable and programmable ROM), EEPROM(electrically erasable programmable ROM), 노아 플래시 메모리(nor flash memory), 낸드 플래시 메모리(nand flash memory), VNAND(vertical nand flash memory), 3D 메모리, PRAM(phase change RAM), MRAM(magnetic RAM), RRAM(resistive RAM), FRAM(ferroelectric RAM) 등과 같은 비휘발성 메모리 장치 및 이들을 포함하는 메모리 컴포넌트(memory component)일 수 있다. 또한, DUT는 메모리 장치 혹은 메모리 패키지에 한정되지 않으며, 예를 들어 메모리 컴포넌트들이 조합되어 이루어진 메모리 모듈(memory module, DDR 시리즈, DIMM, NVDIMM), 메모리 카드(memory card) 또는 메모리 스틱(memory stick)일 수 있다. 나아가 DUT는 메모리 장치를 포함하거나 포함하지 않는 ISP(image signal processor), DSP(digital signal processor)와 같은 칩들을 포함할 수 있다.
- [0038] 한편, 도 1에서는 하나의 BOST 장치(100)에 2개의 DUT들이 연결되지만, 본 발명의 BOST 장치(100)에 연결되는 DUT들의 개수가 여기에 제한되지 않는다고 이해되어야 할 것이다. 본 발명의 BOST 장치(100)는 3개 이상의 DUT들을 연결할 수도 있다.
- [0039] DUT 인터페이스(120)는 DUT와 통신을 수행하는 기능을 제공할 수 있다. 특히, DUT 인터페이스(120)는 테스트 신호(클럭, 명령 및/혹 테스트 데이터)를 DUT로 송신할 수 있으며, DUT로부터 테스트 신호에 응답한 테스트 결과 값을 수신할 수 있다. 실시 예에 있어서, DUT 인터페이스(120)는 고속의 직렬 인터페이스(serial interface)로

구현될 수 있다.

- [0040] DUT 인터페이스(120)는 입출력 드라이버 혹은 비교기 등을 포함할 수 있다. 입출력 드라이버는 DUT로 테스트 패턴을 출력하거나, DUT로부터 그 테스트 결과값을 입력 받을 수 있다. 비교기는 테스트 결과값과 테스트 패턴을 서로 비교함으로써, 테스트 동작의 에러 여부를 판별할 수 있다.
- [0041] 테스트 로직 회로(140)는 테스트 요청에 응답하여 AC 테스트 동작 혹은 DC 테스트 동작에 필요한 클럭, 어드레스, 테스트 명령, 혹은 테스트 데이터(혹, 테스트 패턴)를 발생할 수 있다. 여기서 테스트 요청은 BOST 장치(100)의 외부(예, ATE(automatic test equipment), PC(personal computer), 다른 BOST 등)로부터 입력될 수 있다.
- [0042] 테스트 로직 회로(140)는 TG(timing generator), ALPG(algorithm pattern generator), 패턴 메모리, 흐름 제어기 등을 포함할 수 있다. TG는 테스트 동작에 필요한 테스트 클럭을 발생할 수 있다. ALPG는 테스트 클럭을 입력 받고, 어드레스 패턴, 데이터 패턴, 혹은 제어 패턴을 발생할 수 있다. 패턴 메모리는 발생된 패턴을 저장하거나, 혹은 발생할 패턴에 대한 기초 정보를 저장할 수 있다. 흐름 제어기는 발생된 어드레스 패턴, 데이터 패턴, 혹은 제어 패턴을 대응하는 채널에 할당할 수 있다.
- [0043] 통신 회로(160)는 외부 장치(상향 장치 혹은 하향 장치)와 데이터를 송수신하도록 구현될 수 있다. 통신 회로(160)는 상향 링크 송수신기(162), 하향 링크 송수신기(164), 및 링크 조작 회로(166)를 포함할 수 있다.
- [0044] 상향 링크 송수신기(162)는 데이터를 업로드 시키기 위한 상향 장치와 통신하도록 구현될 수 있다. 예를 들어, 상향 링크 송수신기(162)는 상향 장치(예, ATE)로부터 테스트 요청을 입력 받을 수 있고, 테스트 결과값을 상향 장치로 출력할 수 있다. 여기서 테스트 결과값은, 테스트 요청에 응답하여 BOST 장치(100)에서 테스트 동작을 수행할 결과값이거나, 하향 장치(예, 다른 BOST 장치)로부터 입력된 테스트 결과값일 수 있다.
- [0045] 하향 링크 송수신기(164)는 데이터를 다운로드 시키기 위한 외부의 장치와 통신하도록 구현될 수 있다. 예를 들어, 하향 링크 송수신기(164)는 테스트 요청을 하향 장치로 출력하거나, 하향 장치로부터 테스트 결과값을 입력 받을 수 있다.
- [0046] 링크 조작 회로(166)는 상향 링크 송수신기(162) 및 하향 링크 송수신기(164)를 제어하거나, 테스트 로직 회로(140)를 활성화 시키도록 구현될 수 있다. 링크 조작 회로(166)는 상향 링크 송수신기(162) 및 하향 링크 송수신기(164)에 입출력하는 테스트 요청 및/혹 테스트 결과값을 내부적으로 처리할 지 혹은 외부로 전송할 지를 결정할 수 있다. 이러한 결정은 테스트 요청 및 테스트 결과값 각각에 타겟 대상 정보를 근거로 할 수 있다.
- [0047] 링크 조작 회로(166)는 상향 링크 송수신기(162) 혹은 하향 링크 송수신기(164)로부터 송수신되는 테스트 관련 정보를 가공하여 테스트 로직 회로(140)로 전송할 수 있다.
- [0048] 실시 예에 있어서, 통신 회로(160)의 상향 링크 송수신기(162) 혹은 하향 링크 송수신기(164) 각각은 PPP(point to point protocol) 인터페이스로 구현될 수 있다. 하지만 본 발명의 통신 회로(160)가 여기에 제한되지 않으며, 다양한 종류의 통신 인터페이스를 통하여 구현될 수 있다고 이해되어야 할 것이다.
- [0049] 실시 예에 있어서, BOST 장치(100)는 FPGA(field programmable gate array) 혹은 ASIC(application specific integrated circuit)으로 구현될 수 있다.
- [0050] 본 발명의 실시 예에 따른 BOST 장치(100)는 외부의 장치와 테스트 관련 데이터를 송수신하는 통신을 수행함으로써, 테스트 동작의 채널 제약을 근본적으로 해결할 수 있다.
- [0051] 도 2는 본 발명의 실시 예에 따른 BOST 장치들 사이의 직렬 연결을 예시적으로 보여주는 도면이다. 도 2에서는 설명의 편의를 위하여 3개의 BOST 장치들(100, 200, 300)이 직렬 연결되어 있다고 하겠다.
- [0052] BOST 장치들(100, 200, 300)의 통신 회로들(160, 260, 360)은 직렬 연결될 수 있다. 테스트 요청 및 테스트 결과값이 통신 회로들(160, 260, 360)을 통하여 전송될 수 있다.
- [0053] 예를 들어, 제 1 BOST 장치(100)는 테스트 요청을 입력 받고, 연결된 적어도 하나의 DUT에 대한 제 1 테스트 동작을 수행하고, 그 결과값을 저장할 수 있다. 제 1 테스트 동작을 수행하면서, 제 2 BOST 장치(200)는 제 1 BOST 장치(100)의 통신 회로(160)로부터 출력된 테스트 요청을 입력 받고, 연결된 적어도 하나의 DUT에 대한 제 2 테스트 동작을 수행하고, 그 결과값을 저장할 수 있다. 제 2 테스트 동작을 수행하면서, 제 3 BOST 장치(300)는 제 2 BOST 장치(200)의 통신 회로(260)로부터 출력된 테스트 요청을 입력 받고, 연결된 적어도 하나의 DUT에 대한 제 3 테스트 동작을 수행하고, 그 결과값을 저장할 수 있다. 상술된 방식으로 테스트 요청은 하향 장

치로 전송될 수 있다.

- [0054] 한편, 제 1 내지 제 3 테스트 동작이 완료된 후, 제 3 BOST 장치(300)의 통신 회로(360)는 제 3 테스트 동작의 결과값을 제 2 BOST 장치(200)의 통신 회로(260)로 출력할 수 있다. 제 2 BOST 장치(200)의 통신 회로(260)는 제 2 테스트 동작의 결과값과 제 3 테스트 동작의 결과값을 제 1 BOST 장치(100)의 통신 회로(160)로 출력할 수 있다. 제 1 BOST 장치(100)의 통신 회로(160)는 제 1 테스트 동작의 결과값, 제 2 테스트 동작의 결과값, 및 제 3 테스트 동작의 결과값을 상향 장치로 출력할 수 있다. 상술된 방식으로 테스트 결과값은 상향 장치로 전송될 수 있다.
- [0055] 도 3은 본 발명의 실시 예에 따른 테스트 시스템(10)을 예시적으로 보여주는 블록도이다. 도 3을 참조하면, 테스트 시스템(10)은 테스트 루트와 이진 트리 구조로 연결된 BOST 장치들을 포함할 수 있다. 여기서 테스트 루트는 ATE일 수 있다.
- [0056] 실시 예에 있어서, BOST 장치들 각각은 테스트 장치(ATE)의 일부 혹은 전체 기능을 대신하여 수행하도록 구현될 수 있다.
- [0057] 한편, 도 3에서는 3개의 타이어들(Tier1, Tier2, Tier3)을 도시하지만, 본 발명의 타이어의 개수가 여기에 제한되지 않는다고 이해되어야 할 것이다.
- [0058] 도 4a 및 도 4b는 BOST 장치들의 다양한 연결 관계를 예시적으로 보여주는 도면들이다. 도 4a를 참조하면, 테스트 장치(A)를 기준으로 BOST 장치들이 2개의 체인 형태로 연결될 수 있다. 도 4b를 참조하면, 테스트 장치(A)와 BOST 장치(B)들이 링 네트워크를 형성하도록 연결될 수 있다.
- [0059] 한편, 본 발명의 BOST 장치들 사이는 2-레인(lane) 구조로 연결될 수 있다.
- [0060] 도 5는 본 발명의 실시 예에 따른 BOST 장치들의 2 레인 구조의 연결을 예시적으로 보여주는 도면이다. 도 5를 참조하면, 테스트 장치(예, ATE)로부터 BOST 장치들은 2-레인들(L1, L2)로 직렬 연결될 수 있다. 여기서 제 1 레인(L1)은 송신 전용 레인이고, 제 2 레인(L2)은 수신 전용 레인일 수 있다.
- [0061] 한편, 도 3 내지 도 5에서 테스트 루트는 ATE일 수 있다고 설명하였다. 하지만, 테스트 루트가 반드시 ATE 일 필요는 없다. 테스트 루트는 테스트 프로그램을 포함하는 컴퓨팅 장치일 수 있다.
- [0062] 도 6은 본 발명의 다른 실시 예에 따른 테스트 시스템(20)을 예시적으로 보여주는 블록도이다. 도 6을 참조하면, 테스트 시스템(20)은 퍼스널 컴퓨터(PC)와 이진 트리 구조로 연결된 BOST 장치들을 포함할 수 있다. 여기서 퍼스널 컴퓨터(PC)는 테스트 루트로서 테스트 프로그램을 포함할 수 있다.
- [0063] 한편, 도 3 및 도 6의 테스트 시스템들(10, 20)에서, BOST 장치들 각각은 셀프 테스트 기능과 통신 기능을 포함하였다. 하지만, 송수신되는 테스트 관련 정보만을 전송하는, 즉 통신 기능만을 수행하는 BOST 장치가 존재할 수도 있다. 이 경우 통신 기능만을 수행하는 BOST 장치를 버퍼 칩으로 대체 가능하다.
- [0064] 도 7은 본 발명의 또 다른 실시 예에 따른 테스트 시스템(30)을 예시적으로 보여주는 블록도이다. 도 7을 참조하면, 테스트 시스템(30)의 제 1 타이어는 버퍼 칩들(31, 32)로 구성될 수 있다. 버퍼 칩들(31,32) 각각은 테스트 장치(ATE/PC)와 BOST 장치들 사이에 테스트 관련 정보를 버퍼링하도록 구현될 수 있다. 버퍼 칩들(31, 32) 각각은 외부의 장치와 데이터 통신을 수행하기 위하여 도 1에 도시된 통신 회로(160)를 포함할 수 있다.
- [0065] 한편, 버퍼 칩은 DUT가 연결된 BOST 장치를 제외한 나머지 BOST 장치들에 대체 가능할 수 있다.
- [0066] 도 8은 본 발명의 또 다른 실시 예에 따른 테스트 시스템(40)을 예시적으로 보여주는 블록도이다. 도 8을 참조하면, 테스트 시스템(40)의 제 1 타이어(Tier1) 및 제 2 타이어(Tier2)는 모두 버퍼 칩들로 구성될 수 있다.
- [0067] 한편, 테스트 장치(ATE/PC)에서 사용하는 테스트 클럭과 BOST 장치들 각각에서 사용하는 테스트 클럭은 서로 다를 수 있다. 예를 들어, BOST 장치에서 사용하는 테스트 클럭이 테스트 장치(ATE/PC)에서 사용하는 테스트 클럭보다 빠를 수 있다.
- [0068] 도 9는 주파수 관점에서 바라본 본 발명의 테스트 시스템(50)을 보여주는 블록도이다. 도 9에서는 설명의 편의를 위하여 종단의 BOST 장치에 n(n는 2 이상의 자연수)개의 DUT들이 연결되어 있다고 가정하였다.
- [0069] 테스트 장치(ATE/PC)는 제 1 주파수(fa)로 테스트 관련 정보를 제 1 타이어의 BOST 장치와 송수신 할 수 있다. 제 1 타이어의 BOST 장치는 제 2 주파수(fb)로 테스트 관련 정보를 제 2 타이어 BOST 장치와 송수신 할 수 있다. 제 2 타이어의 BOST 장치는 제 3 주파수(fc)로 연결된 DUT들 (DUT1 ~ DUTn)에 대한 테스트 동작을 수행할

수 있다. 실시 예에 있어서, 제 3 주파수(fc)는 제 1 주파수(fa)보다 높을 수 있다. 실시 예에 있어서, 제 3 주파수(fc)는 제 2 주파수(fb)와 동일하거나 높을 수 있다.

- [0070] 일반적으로 ATE의 테스트 총량은 ATE에 물리적으로 연결되는 데이터 대역폭이 고정되기 때문에 변하지 않는다. 하지만, 본 발명의 경우 BOST 장치의 테스트 동작 속도를 ATE의 그것보다 빠르게 할 수 있다. 따라서, 본 발명의 테스트 시스템은 종래의 데이터 대역폭으로 최대의 효과를 꾀할 수 있다.
- [0071] 도 10은 본 발명의 실시 예에 따른 테스트 시스템의 테스트 방법을 예시적으로 보여주는 흐름도이다. 도 1 내지 도 10을 참조하면, 테스트 방법은 다음과 같이 진행된다.
- [0072] 제 2 BOST 장치(200, 도 2 참조)는 제 1 BOST 장치(100, "제 1 보조 테스트 장치"도 2 참조)로부터 출력된 테스트 요청을 입력 받을 수 있다(S110). 제 2 BOST 장치(200, "제 2 보조 테스트 장치")는 테스트 요청에 응답하여 필요한 테스트 패턴을 발생할 수 있다(S120). 제 2 BOST 장치(200)는 테스트 패턴을 이용하여 연결된 DUT들을 테스트할 수 있다(S130). 제 2 BOST 장치(200)는 테스트 에러를 제 1 BOST 장치(100)로 전송할 수 있다. 여기서 제 1 및 제 2 BOST 장치들(100, 200)은 데이터 송수신을 위한 동일한 통신 회로를 포함할 수 있다.
- [0073] 본 발명의 실시 예에 따른 테스트 시스템의 테스트 방법은, 제 1 BOST 장치(100)와 제 2 BOST 장치(200) 사이에서 테스트 요청 및 테스트 결과값을 송수신할 수 있다.
- [0074] 한편, 도 1 내지 도 10에서 설명된 BOST 장치들 사이의 연결 관계로 구성된 연결 트리(이하, BOST 연결 트리)는 테스트 보드에 실장 될 수 있다. 여기서 테스트 보드는 복수의 DUT들을 삽입할 수 있는 소켓들을 구비할 수 있다.
- [0075] 도 11은 본 발명의 BOST 연결 트리를 구비한 테스트 시스템을 예시적으로 보여주는 블록도이다. 도 11을 참조하면, 테스트 시스템(1000)은 테스트 장치(1100) 및 테스트 보드(1200)를 포함할 수 있다. 테스트 보드(1200)는 DUT들을 삽입하는 소켓들(1210) 및 BOST 연결 트리(1220)를 포함할 수 있다. 여기서 BOST 연결 트리(1220)는 도 1 내지 도 10에서 설명된 BOST 장치들 사이의 연결들 중 적어도 하나 포함할 수 있다.
- [0076] 한편, 도 1 내지 도 11에서는 DUT 밖의 테스트 장치(BOST)에 대하여 개시하였다. 하지만, 본 발명이 반드시 여기에 제한되지 않을 것이다. 본 발명의 테스트 장치는 DUT 안에 포함될 수도 있으며, 테스트 기능과 통신 기능을 수행하도록 구현될 수 있다.
- [0077] 한편, 상술 된 본 발명의 내용은 발명을 실시하기 위한 구체적인 실시 예들에 불과하다. 본 발명은 구체적이고 실제로 이용할 수 있는 수단 자체뿐 아니라, 장차 기술로 활용할 수 있는 추상적이고 개념적인 아이디어인 기술적 사상을 포함할 것이다.

부호의 설명

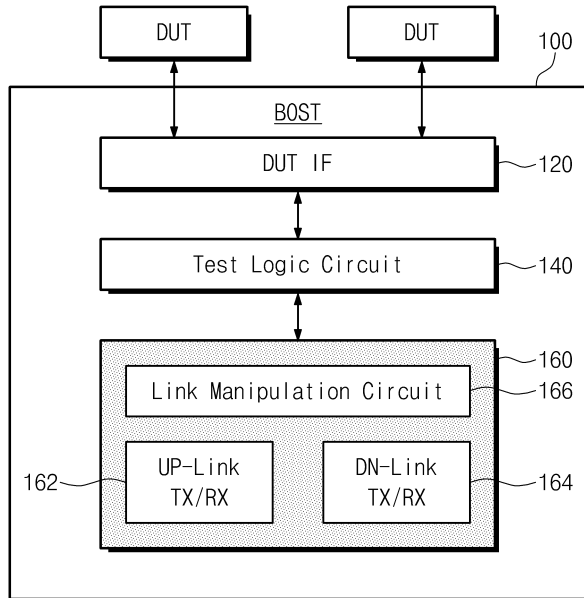
- [0078] 100, BOST: 보조 테스트 장치
- 120: DUT 인터페이스
- 140: 테스트 로직 회로
- 160: 통신 회로
- 162: 상향 링크 송수신기
- 164: 하향 링크 송수신기
- 166: 링크 조작 회로
- 10, 20, 30, 40, 50: 테스트 시스템
- L1, L2: 라인
- 31, 32: 버퍼 칩
- 1000: 테스트 시스템
- 1100: 테스트 장치
- 1200: 테스트 보드

1210: 소켓들

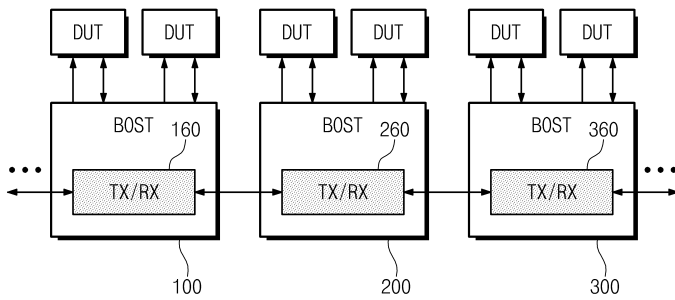
1220: BOST 연결 트리

도면

도면1

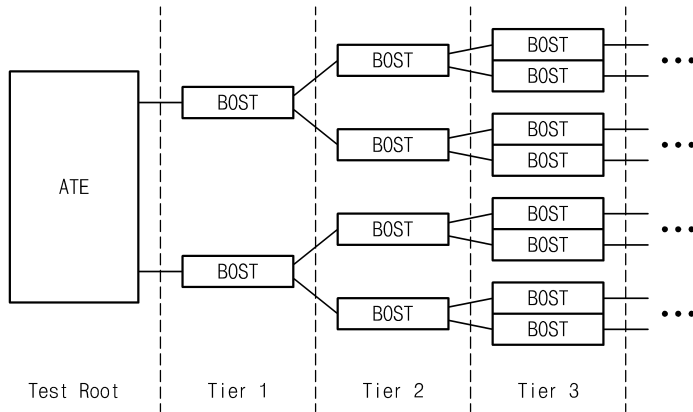


도면2

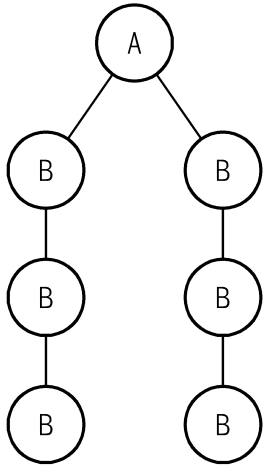


도면3

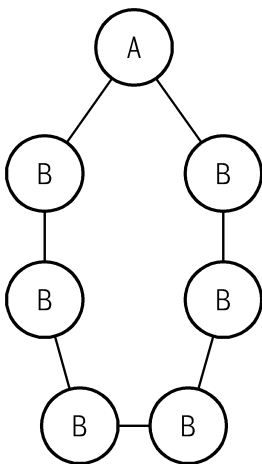
10



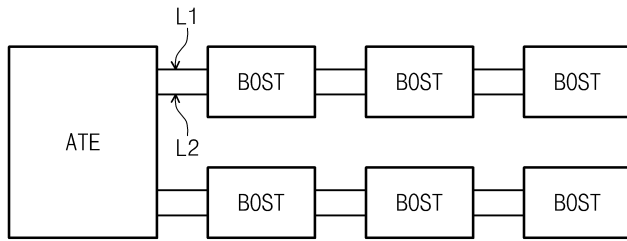
도면4a



도면4b

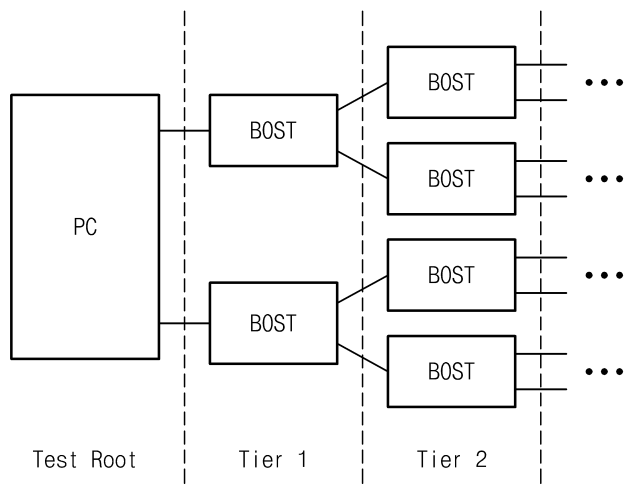


도면5



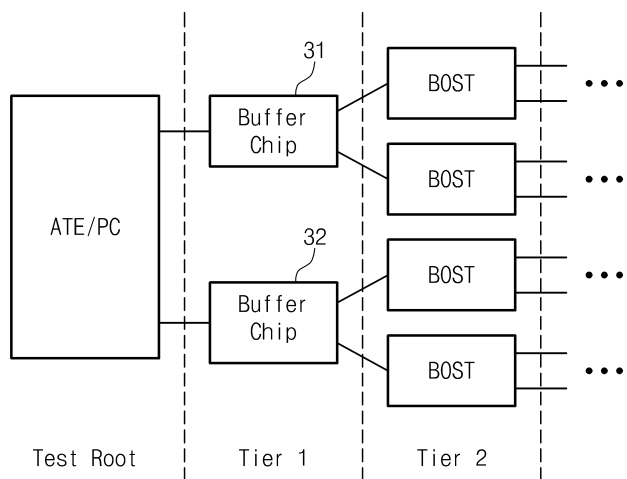
도면6

20



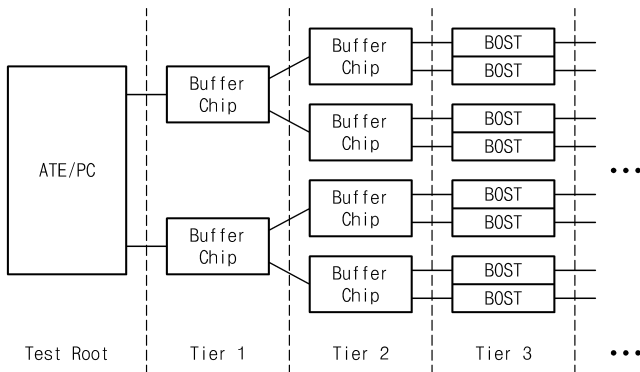
도면7

30



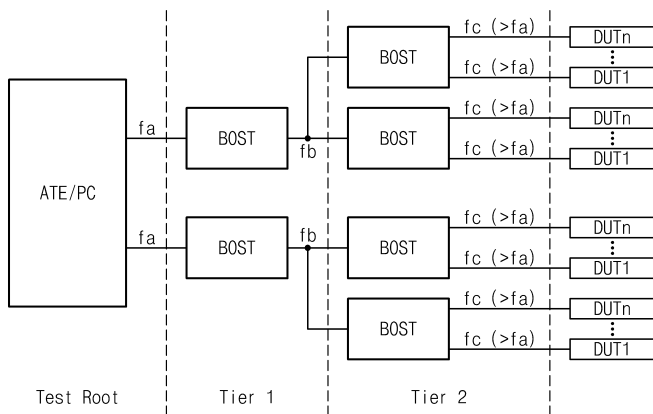
도면8

40

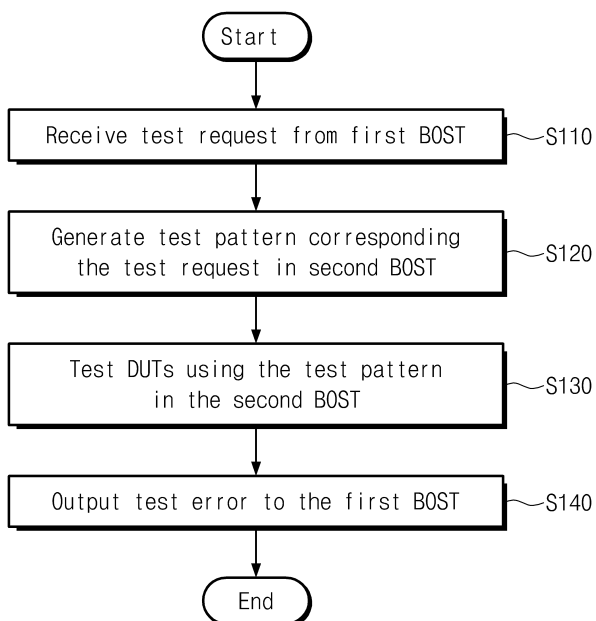


도면9

50



도면10



도면11

