



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0006940
(43) 공개일자 2014년01월16일

- (51) 국제특허분류(Int. Cl.)
C30B 11/14 (2006.01) C30B 19/12 (2006.01)
C30B 29/06 (2006.01)
- (21) 출원번호 10-2013-7023132
- (22) 출원일자(국제) 2012년01월10일
심사청구일자 없음
- (85) 번역문제출일자 2013년08월30일
- (86) 국제출원번호 PCT/US2012/020695
- (87) 국제공개번호 WO 2012/106071
국제공개일자 2012년08월09일
- (30) 우선권주장
13/017,453 2011년01월31일 미국(US)

- (71) 출원인
코닝 인코포레이티드
미국 뉴욕 (우편번호 14831) 코닝 원 리버프론트 플라자
- (72) 발명자
마중더, 프랜틱
미국, 뉴욕 14850, 이타카, 이스트 페일스 스트리트 316
세네흐네, 웨기샤
미국, 뉴욕 14845, 호스헤드스, 하일란 테라스 109
우드, 도날드
벨기에, 비-7181 알퀴엔스, 튀 데 쉐브르몽 42
- (74) 대리인
청운특허법인

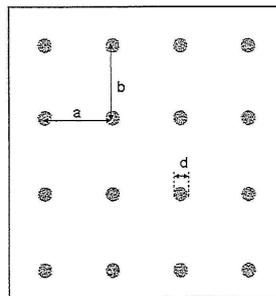
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 거대 입자 다결정 실리콘막을 형성하기 위한 방법 및 제품

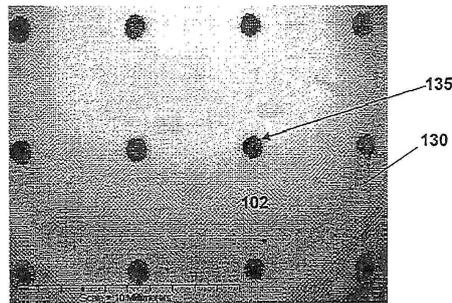
(57) 요약

템플릿된 몰드는 몰드 물질로부터 형성된 몰드 몸체를 포함한다. 상기 몰드 몸체는 주 표면 위에 배치된 패턴 물질로부터 형성된 패턴 층을 갖는 적어도 하나의 주 표면을 갖는다. 상기 패턴 층은 높은 핵형성 에너지 배리어 표면 및 복수의 핵형성 표면을 한정하여, 상기 핵형성 표면을 갖는 용융된 반도체 물질의 접촉 각이 상기 높은 핵형성 에너지 배리어 표면을 갖는 용융된 반도체 물질의 접촉 각보다 작고, 상기 핵형성 표면이 상기 몰드 물질 또는 패턴 물질로부터 형성된다.

대표도 - 도4



도 4a



도 4b

105

특허청구의 범위

청구항 1

몰드 물질로부터 형성되고, 적어도 하나의 주 표면을 갖는 몰드 몸체, 및

상기 주 표면 위에 배치된 패턴 물질로부터 형성되고, 높은 핵형성 에너지 배리어 표면 및 복수의 핵형성 표면을 한정하는 패턴 층을 포함하며, 여기서

상기 핵형성 표면에서 용융된 반도체 물질의 접촉 각은 상기 높은 핵형성 에너지 배리어 표면에서 용융된 반도체 물질의 접촉 각보다 작고, 상기 핵형성 표면은 상기 몰드 물질 또는 패턴 물질로부터 형성되는 템플릿된 몰드.

청구항 2

청구항 1에 있어서,

상기 몰드 물질은 상기 패턴 물질과 다르고, 상기 몰드 물질 및 패턴 물질은 용융 실리카, 그래파이트, 탄화 규소, 질화 규소, 질화 알루미늄, 산화 알루미늄, 6붕화 란탄늄, 산화 이트륨, 산화 지르코늄, 질화 붕소, 및 산화 실리콘으로 이루어진 군으로부터 독립적으로 선택된 템플릿된 몰드.

청구항 3

청구항 1에 있어서,

상기 몰드 물질은 산화 지르코늄, 질화 붕소 및 산화 실리콘으로 이루어진 군으로부터 선택되며, 상기 패턴 물질은 탄화 규소인 템플릿된 몰드.

청구항 4

청구항 1에 있어서,

상기 몰드 몸체는 완전 고밀도인 템플릿된 몰드.

청구항 5

청구항 1에 있어서,

상기 몰드 몸체는 다공성인 템플릿된 몰드.

청구항 6

청구항 1에 있어서,

상기 핵형성 표면의 총 면적은 상기 높은 핵형성 에너지 배리어 표면의 총 면적보다 적은 템플릿된 몰드.

청구항 7

청구항 1에 있어서,

상기 핵형성 표면의 총 면적은 상기 주 표면의 총 면적의 약 1% 내지 10%인 템플릿된 몰드.

청구항 8

청구항 1에 있어서,

상기 핵형성 표면의 개별적인 면적은 0.001 내지 10 mm²의 범위인 템플릿된 몰드.

청구항 9

청구항 1에 있어서,

상기 몰드 물질은 상기 핵형성 표면을 형성하고, 상기 패턴 물질은 상기 높은 핵형성 에너지 배리어 표면을 형

성하는 템플릿된 몰드.

청구항 10

청구항 1에 있어서,

상기 몰드 물질은 상기 높은 핵형성 에너지 배리어 표면을 형성하고, 상기 패턴 물질은 상기 핵형성 표면을 형성하는 템플릿된 몰드.

청구항 11

청구항 1에 있어서,

상기 패턴 물질은 실질적인 결정인 템플릿된 몰드.

청구항 12

청구항 1에 있어서,

상기 패턴 물질은 실질적인 무정질인 템플릿된 몰드.

청구항 13

청구항 1에 있어서,

상기 핵형성 표면은 상기 주 표면 위에 배열로서 형성되는 템플릿된 몰드.

청구항 14

템플릿된 몰드를 용융된 반도체 물질로 침수시키고, 상기 용융된 반도체 물질로부터 상기 템플릿된 몰드를 회수시켜, 상기 템플릿된 몰드의 외부 표면 위에 반도체 물질의 고체층을 형성시키는 단계를 포함하며, 여기서 상기 템플릿된 몰드는:

몰드 물질로부터 형성되고, 적어도 하나의 주 표면을 갖는 몰드 몸체, 및

상기 주 표면 위에 배치된 패턴 물질로부터 형성되고, 높은 핵형성 에너지 배리어 표면 및 복수의 핵형성 표면을 한정하는 패턴 층을 포함하여, 그 결과

상기 핵형성 표면에서 용융된 반도체 물질의 접촉 각은 상기 높은 핵형성 에너지 배리어 표면에서 용융된 반도체 물질의 접촉 각보다 작고, 상기 핵형성 표면은 상기 몰드 물질 또는 패턴 물질로부터 형성되는 반도체 물질의 고체층을 형성하는 방법.

청구항 15

청구항 14에 있어서,

상기 몰드는 실질적으로 일정한 속도로 침수 및 회수되는 반도체 물질의 고체층을 형성하는 방법.

청구항 16

청구항 14에 있어서,

상기 몰드의 초기 온도는 약 -50℃ 내지 1400℃의 범위인 반도체 물질의 고체층을 형성하는 방법.

청구항 17

청구항 14에 있어서,

상기 용융된 반도체 물질 및 템플릿된 몰드의 온도 사이의 차이는 500℃ 미만인 반도체 물질의 고체층을 형성하는 방법.

청구항 18

청구항 14에 있어서,

침수 속도는 약 0.5 내지 50 cm/sec인 반도체 물질의 고체층을 형성하는 방법.

청구항 19

청구항 14에 있어서,

회수 속도는 약 0.5 to 50 cm/sec인 반도체 물질의 고체층을 형성하는 방법.

청구항 20

청구항 14에 있어서,

침수 속도는 회수 속도와 실질적으로 같은 반도체 물질의 고체층을 형성하는 방법.

청구항 21

청구항 14의 방법에 따라 만들어진 반도체 물질의 고체층.

명세서

기술분야

- [0001] 본 출원은 2011년 1월 30일자에 출원된 미국 특허출원 제13/017,453호의 우선권을 주장하며, 이의 전체적인 내용은 본 발명에 참조로서 포함된다.
- [0002] 본 발명은 반도체 물질 (semiconducting material) 제품의 제조방법 및 이러한 방법을 수행하기 위한 몰드 형상 (mold configuration)에 관한 것으로, 좀더 구체적으로는 반도체 물질의 제품이 템플릿된 몰드 (templated mold)의 외부 표면 위에 형성되는 외부주조 방법 (exocasting method)에 관한 것이다.

배경기술

- [0003] 반도체 물질은 다양한 적용에 사용되고, 예를 들어, 광기전 장치 (photovoltaic device)와 같은 전자기기에 포함될 수 있다. 광기전 장치는 광기전 효과를 통해 광 복사열 (light radiation)을 전기 에너지로 전환시킨다.
- [0004] 반도체 물질의 특성은 결정 구조, 고유 결함 (intrinsic defects)의 농도 및 타입, 및 도펀트 및 다른 불순물의 존재 및 분포를 포함하는 다양한 요인에 의존할 수 있다. 반도체 물질 내에서, 입자 크기 및 입자 크기 분포는, 예를 들어, 최종 기기의 성능에 영향을 미칠 수 있다. 예로서, 광전지 (photovoltaic cell)와 같은 반도체-계 기기의 전기 전도성 및 전체 효율은 일반적으로 입자가 더 크고 더 균일해지면 개선될 것이다.
- [0005] 실리콘-계 소자에 대하여, 실리콘은 다양한 기술을 사용하여 형성될 수 있다. 예로는 잉곳 (ingot), 시트 (sheet) 또는 리본 (ribbon)으로 형성된 실리콘을 포함한다. 상기 실리콘은 기저 기판에 의해 지지되거나 또는 지지되지 않을 수도 있다. 그러나, 지지된 및 지지되지 않은 실리콘 제품을 제조하기 위한 종래의 방법은 많은 단점을 갖는다.
- [0006] 실리콘 시트를 포함하는, 지지되지 않는 얇은 반도체 물질 시트를 제조하는 방법은 반도체 물질 공급원료를 느리게 하거나 또는 낭비할 수 있다. 지지되지 않는 단결정 반도체 물질은, 예를 들어, Czochralski 또는 Bridgman 공정을 사용하여 제조될 수 있다. 그러나, 이러한 벌크 방법 (bulk methods)은 상기 물질이 얇은 시트 또는 웨이퍼로 절단된 경우 상당한 커프 로스 (kerf loss)를 불리하게 결과할 수 있다. 지지되지 않는 다결정 반도체 물질이 제조될 수 있는 부가적인 방법은 전자기 연속주조 (electromagnetic casting) 및 리본 성장 공정 (ribbon growth processes)과 같은 직접 그물-형상 시트 성장 방법 (direct net-shape sheet growth methods)을 포함한다. 그러나, 이들 기술은 느리고 고비용인 경향이 있다. 실리콘 리본 성장 기술을 사용하여 제조된 다결정 실리콘 리본은 단지 약 1-2 cm/min의 속도로 통상적으로 형성된다.
- [0007] 지지된 반도체 물질 시트는 적은 비용으로 제조될 수 있지만, 상기 반도체 물질 시트는 이것이 형성된 기판에 의해 제한될 수 있고, 상기 기판은 충돌할 수 있는 다양한 공정 및 적용 요구조건을 만족시켜야 한다.
- [0008] 지지되지 않는 다결정 반도체 물질을 제조하기 위한 방법은 2009년 5월 14일자 출원된, 공동-소유된 미국 특허

출원 제12/466,143호, 및 2009년 2월 27일자에 출원된, 공동-소유된 미국 특허출원 제12/394,608호에 개시되었고, 이들의 개시는 본 발명에 참조로서 포함된다. 이들 발명은 일반적으로 다결정 반도체 물질을 형성하기 위한 외부주조 방법에 관한 것으로, 여기서 반도체 물질의 고체층은 용융된 반도체 물질에 담긴 몰드의 외부 표면 위에 형성된다.

발명의 내용

해결하려는 과제

[0009] 본 발명에 기술된 바와 같이, 본 발명자들은 반도체 물질의 지지된 및 지지되지 않는 제품이 만들어질 수 있는 또 다른 방법을 발견하였다. 본 발명의 방법은 재료 낭비를 감소시키고 생산성을 증가시키는 반면 증가된 입자 크기 및 제어된 입자 크기 분포를 포함하는 원하는 속성을 갖는 외부주조 반도체 물질의 형성을 촉진시킬 수 있다.

과제의 해결 수단

[0010] 고체층의 특성은 외부주조 동안 사용된 몰드의 다양한 관점을 제어하여 영향을 미칠 수 있다. 외부주조를 수행하기 위한 템플릿된 몰드는 적어도 하나의 주 표면을 갖는 몰드 물질로부터 형성된 몰드 몸체, 및 높은 핵형성 에너지 배리어 표면 (nucleation energy barrier surface) 및 복수의 핵형성 표면을 한정하는 주 표면 위에 배치된 패턴 물질로부터 형성된 패턴 층 (patterned layer)을 포함한다. 핵형성 표면을 갖는 용융 반도체 물질의 접촉 각 (contact angle)은 높은 핵형성 에너지 배리어 표면을 갖는 용융된 반도체 물질의 접촉 각보다 작다. 구체 예에 있어서, 상기 핵형성 표면은 몰드 물질 또는 패턴 물질로부터 형성된다.

[0011] 다양한 대표적인 구체 예에 따르면, 반도체 물질의 고체층을 만들기 위한 외부주조 방법은 용융된 반도체 물질에 템플릿된 몰드를 침수시키는 단계 및 템플릿된 몰드의 외부 표면 위에 반도체 물질의 고체층을 형성하기 위해 용융된 반도체 물질로부터 템플릿된 몰드를 회수시키는 단계를 포함한다.

[0012] 본 발명에 사용된 바와 같은, 용어 "반도체 물질"은 예를 들어, 실리콘, 실리콘의 합금 및 화합물, 게르마늄, 게르마늄의 합금 및 화합물, 갈륨 비소, 갈륨 비소의 합금 및 화합물, 및 이들의 조합과 같이, 반도체 특성을 나타낼 수 있는 물질을 포함한다. 다양한 구체 예에 있어서, 상기 반도체 물질은 (예를 들어, 본래의 또는 i-형의 실리콘과 같이) 순수할 수 있거나 또는 (예를 들어, 인 또는 붕소와 같은, 적어도 하나의 n-형 또는 p-형 도펀트를 각각 함유하는 실리콘과 같이) 도핑될 수 있다.

[0013] 본 발명에 사용된 바와 같은, 문구 "반도체 물질의 고체층", "반도체 물질의 제품", "외부주조 제품", 및 이의 변형은 본 발명의 방법을 사용하여 제조된 반도체 물질의 어떤 형상 또는 형태를 포함한다. 이러한 제품의 예로는 매끄러운, 직조된, 평평한, 곡선의, 굽은, 각진, 치밀한, 다공성, 대칭 또는 비대칭일 수 있다. 반도체 물질의 제품은 예를 들어, 시트, 웨이퍼, 또는 튜브와 같은 형태를 포함할 수 있다.

[0014] 상기 용어 "몰드"는 상기 반도체 물질의 제품이 외부 표면 위에 또는 걸쳐 형성될 수 있는 외부 표면을 갖는 물리적 구조를 의미한다. 상기 몰드의 외부 표면 위에 형성된 용융된 또는 고체 반도체 물질은 비록 접촉이 일어날지라도, 몰드 표면에 물리적으로 접촉할 필요는 없다.

[0015] 상기 용어 "템플릿된 몰드"는 상기 몰드의 하나 이상의 외부 표면 위에 형성된 패턴 층을 갖는 몰드를 의미한다. 상기 패턴 층은 상기 몰드 상에 높은 핵형성 에너지 배리어 표면 및 복수의 핵형성 표면을 한정한다. 상기 핵형성 표면은 인접한 높은 핵형성 에너지 배리어 표면과 실질적으로 동일 평면상 (co-planar)일 수 있거나, 또는 상기 핵형성 표면은 인접한 높은 핵형성 에너지 배리어 표면에 대하여 돌출 또는 오목할 수 있다.

[0016] 상기 용어 "지지된"은 반도체 물질의 제품이 몰드와 통합되는 것을 의미한다. 반도체 물질의 지지된 제품은 추가 공정을 위해 상기 몰드에 선택적으로 남아 있을 수 있다.

[0017] 상기 용어 "지지되지 않은"은 반도체 물질의 제품이 몰드와 통합되지 않는다는 것을 의미한다. 반도체 물질의 지지되지 않은 제품은 형성될 몰드에 의해 지지될 수 있지만, 그 다음 상기 몰드로부터 분리된다.

[0018] 상기 문구 "몰드의 외부 표면 위에 반도체 물질의 고체층을 형성" 및 이의 변형은 상기 용융된 반도체 물질로부터

터 적어도 약간의 반도체 물질이 상기 몰드의 외부 표면 위 또는 상에 고체화를 의미한다.

- [0019] 상기 용어 "결정"은 예를 들어, 단결정 및 다결정 반도체 물질을 포함하는 결정 구조를 포함하는 어떤 물질을 의미한다.
- [0020] 상기 용어 "다결정"은 다수의 결정 입자를 포함한 어떤 물질을 포함한다. 예를 들어, 다결정 물질은 0.1 mm 내지 10 cm 범위의 입자 크기를 가질 수 있지만, 마이크로-결정 및 나노-결정 물질을 포함하는 더 작은 입자 크기도 또한 형성될 수 있다.
- [0021] 상기 용어 "용융된 반도체 물질의 온도", "용융된 반도체 물질의 벌크 온도" 및 이의 변형은 용기 내에 함유된 용융된 반도체 물질의 평균 온도를 의미한다. 상기 용융된 반도체 물질 내에 국부적 온도는 예를 들어, 용융-용기 근처 또는 용융-대기 경계, 또는 상기 몰드가 침수된 동안 상기 몰드에 가까운 용융된 반도체 물질의 영역과 같이, 어떤 시점에서 공간적으로 변화할 수 있다. 다양한 구체 예에 있어서, 상기 용융된 반도체 물질의 평균 온도는 어떤 국부적 온도 변화에도 불구하고 실질적으로 균일하다.
- [0022] 본 발명에서 사용된 바와 같은, 용어 "과냉각 (Undercooling)"은 물질이 변형되지 않고 변형 온도 이하에서 냉각되는 공정에 관한 것이다. 액체의 과냉각 양은, 예를 들어, 상기 액체의 고체화 온도 및 측정된 온도 사이의 온도 차이이다. 과냉각의 양은 섭씨 (°C) 또는 화씨 (°F)로 측정될 수 있다.
- [0023] 본 발명에서 사용된 바와 같은, 용어 "침수 시간"은, 별도의 언급이 없는 한, 몰드가 용융된 반도체 물질에 침수되는 평균 시간에 관한 것이다. 길이 L을 갖고, 침수 및 회수 (withdrawal) 동안 가속 또는 감속이 없는 전제하의 몰드에 대하여, 평균 침수 시간은 $L/2V_{in} + L/2V_{out} + t_{dwell}$ 과 동일하고, 여기서 V_{in} 및 V_{out} 은 각각 침수 및 회수 속도이고, t_{dwell} 은 침수 및 회수 사이에 선택적 지연 시간 (예를 들어, 정지 시간)이다. 침수 속도가 회수 속도와 동일하고 지연 시간이 0인 구체 예에 있어서, 평균 침수 시간은 단순히 L/V 과 같다. 길이 L을 갖는 몰드에 대하여, 상기 몰드의 리딩 엣지 (leading edge)에 상응하는 "제1 침수 시간"은 $L/V_{in} + L/V_{out} + t_{dwell}$ 과 같은 반면, 상기 몰드의 트레일링 엣지 (trailing edge)에 상응하는 "제2 침수 시간"은 t_{dwell} 과 같다.
- [0024] 외부구조 공정 동안 형성된 고체층의 입자 크기, 입자크기 분포 및/또는 모폴로지에 영향을 미치는 방법은 본 발명에 기술된다. 다음의 설명에 있어서, 특정 관점 및 구체 예는 명백하게 될 것이다. 본 발명은, 광범위한 의미에서, 이들 관점 및 구체 예의 하나 이상의 특징을 갖지 않고 실행될 수 있는 것으로 이해될 수 있다. 또한 이들 관점 및 구체 예들은 단지 예시적이고 대표적인 것이지, 청구된 바와 같은 본 발명을 제한하지 않는 것으로 이해될 수 있다.

발명의 효과

- [0025] 본 발명의 방법은 재료 낭비를 감소시키고 생산성을 증가시키는 반면 증가된 입자 크기 및 제어된 입자 크기 분포를 포함하는 원하는 속성을 갖는 외부구조 반도체 물질의 형성을 촉진시킬 수 있다.

도면의 간단한 설명

- [0026] 이하 기술되고, 상세한 설명의 일부를 구성하는 첨부된 도면은 대표적인 구체 예를 설명하는 것이지, 본 발명의 범주를 제한하려는 것은 아니다. 도면에서 크기는 필수적이지는 않으며, 도면의 어떤 특징 및 어떤 도는 명확하고 간결한 관점에서 개략적으로 또는 크기를 확대하여 도시될 수 있다.
 - 도 1a-11은 반도체 물질의 제품을 제조하기 위한 대표적인 외부구조 방법을 도시하고;
 - 도 2는 어떤 구체 예에 따른 고체층 두께 대 침수 시간의 그래프이며;
 - 도 3은 어떤 구체 예에 따른 템플릿된 구조의 예의 개략적인 단면도이며;
 - 도 4a는 어떤 구체 예에 따른 템플릿된 몰드의 개략도이고, 도 4b는 탄화수소 패터닝 실리카 몰드의 사진이고;
 - 도 5a 및 5b는 핵형성 표면 (도 5a)의 고밀도 및 핵형성 표면 (도 5b)의 저밀도를 나타내는 템플릿된 몰드의 예를 나타내는 평면도이며;

도 6a-6d는 반도체 물질의 고체층을 형성하기 위한 공정의 예를 나타내는 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 외부구조 공정에 있어서, 고체 몰드는 부피의 용융된 반도체 물질에 침수되고, 그 다음 회수된다. 상기 몰드 및 환경에 대한 대부분의 열 손실 때문에, 상기 용융된 반도체 물질의 일부는 상기 몰드의 외부 표면 위에 반도체 물질의 고체층의 형성을 결과하는 액체-대-고체상 변형을 진행한다. 상기 공정에 있어서, 상기 몰드는 고체화가 일어나기 위한 히트 싱크 (heat sink) 및 고체 형태로서 작용한다. 상기 몰드의 기하학을 포함하는, 공정의 다양한 관점을 제어하여, 입자 크기 및 입자 크기 분포를 포함하는 최종 고체층의 속성은 영향을 받을 수 있다.
- [0028] 구체 예에 따르면, 템플릿된 몰드는 높은 핵형성 에너지 배리어 및 낮은 핵형성 에너지 배리어 영역을 모두 갖는 것으로 제공된다. 구조적 및 화학적으로 모두 실질적으로 균일한, 종래의 몰드와 대조적으로, 본 발명의 템플릿된 몰드는 변조된 에너지 배리어를 포함하고, 여기서 용융된 반도체 물질과 관련한 핵형성에 대해 낮은 에너지 배리어를 갖는 분리된 영역은 높은 에너지 배리어 배경 가운데 형성된다. 이러한 템플릿된 몰드는 외부구조 공정을 통해 형성된 고체층에서 핵형성 밀도 및 최종 입자 크기 및 입자 크기 분포를 제어하는데 사용될 수 있다. 구체 예에 있어서, 낮은 핵형성 에너지 배리어가 존재하는 영역에서 우선적으로 핵은, 초기 핵의 총 수를 감소시키고, 교대로, 상기 최종 고체층 내에 평균 입자 크기를 증가시킨다.
- [0029] 도 1a의 단면에 도시된 바와 같이, 외부 표면 (102)을 갖는 고체 몰드 (100)은 용융된 반도체 물질 (120)을 함유하는 용기 (110) 위에 매달린다. 몰드 (100)은 본 발명의 방법에서 사용하기 위한 적절한 어떤 형태일 수 있다. 예를 들어, 몰드 (100)는 모노리스 (monolith) 또는 웨이퍼의 형태일 수 있다. 몰드 (100)은 하나 이상의 다공성 또는 비-다공성 코팅을 선택적으로 갖는 다공성 또는 비-다공성 물체를 포함할 수 있다. 몰드 (100)은 하나 이상의 평평한 외부 표면 (102) 또는 하나 이상의 곡선 외부 표면을 포함할 수 있다. 곡선 외부 표면은 볼록 (convex) 또는 오목 (concave)일 수 있다. 이하 더욱 상세하게 개시된 바와 같이, 패턴 물질을 포함하는 패턴 층은 상기 몰드 물체의 외부 표면 위에 형성되고, 이것은 상기 몰드 상에 복수의 핵형성 표면 및 높은 핵형성 배리어 표면을 한정한다. 상기 몰드 및 이의 외부 표면은 형상, 치수, 표면적, 표면 거칠기, 등을 포함하는 특성에 의해 특징지어질 수 있다. 하나 이상의 이들 특성은 균일 또는 비-균일일 수 있다. 상기 몰드 (100) 및 이의 외부 표면 (102)의 특성은 최종 외부구조 제품의 특성에 영향을 미칠 수 있는 것으로 이해될 수 있다.
- [0030] 비록 몰드 (100) 및 외부 표면 (102)이 이-차 단면 (two-dimensional cross-section)으로 도시되었을 지라도, 몰드 (100)은 3-차원 물체이고, 상기 몰드의 외부 표면 (102) 위에 형성된 고체층 (140)은 또한 길이, 폭, 및 두께를 갖는 3차원 물체이다. 이하 더욱 상세하게 개시된 바와 같이, 상기 외부구조 고체층 (140)은 외부구조 공정의 다른 단계 동안 형성되고, 적어도 세 단계의 고체화 동안 형성된 고체 물질을 포함한다.
- [0031] 구체 예에 있어서, 몰드 (100)은 상기 용융된 반도체 물질 (120)과 공존할 수 있는 물질로부터 형성된다. 예를 들어, 몰드 (100)은 침수된 경우 용융 또는 연화되지 않는 물질로부터 형성될 수 있다. 또 다른 실시 예에 따르면, 상기 몰드 (100)은 상기 용융된 반도체 물질 (120)에 열적으로 안정한 및/또는 화학적으로 불활성일 수 있고, 따라서 상기 용융된 반도체 물질과 비-반응성 또는 실질적으로 비-반응성이다.
- [0032] 상기 용융된 반도체 물질 (120)은 용기 (110)에서 적절한 반도체 물질을 용융시켜 제공될 수 있다. 용기 (110)는 유리질의 실리카, 그래파이트 (graphite), 및 질화 규소로부터 선택된 고온 또는 내화성 물질 (refractory material)로부터 만들어질 수 있다. 선택적으로, 용기 (110)은 제1 고온 또는 내화성 물질로부터 형성될 수 있고, 제2 고온 또는 내화성 물질의 내부 코팅으로 제공될 수 있으며, 여기서 상기 내부 코팅은 상기 용융된 반도체 물질과 접촉이 적용된다. 상기 반도체 물질은 실리콘일 수 있다. 실리콘에 부가하여, 상기 용융된 반도체 물질 (120)은 실리콘의 합금 및 화합물, 게르마늄, 게르마늄의 합금 및 화합물, 갈륨 비소, 갈륨 비소의 합금 및 화합물, 및 이의 조합으로부터 선택될 수 있다. 상기 용융된 반도체 물질은 반도체 합금 또는 화합물을 형성할 수 있는 적어도 하나의 비-반도체 원소 (element)를 포함할 수 있다. 예를 들어, 상기 용융된 반도체 물질은 갈륨 비소 (GaAs), 질화 알루미늄 (AlN) 또는 인듐 포스파이드 (InP)를 포함할 수 있다.
- [0033] 다양한 구체 예에 따르면, 상기 용융된 반도체 물질 (120)은 순수하거나 또는 도핑될 수 있다. 만약 존재한다면, 도펀트 예는 붕소, 인, 또는 알루미늄을 포함할 수 있고, 적절한 농도, 예를 들어, 1-100 ppm으로 존재할 수 있고, 이것은 예를 들어, 최종 반도체 물질의 제품에서 원하는 도펀트 농도에 기초하여 선택될 수 있다.
- [0034] 반도체 물질의 제품을 형성하기 위하여, 몰드 (100)은 용융된 반도체 물질에 적어도 부분적으로 침수되고, 그

다음 회수된다. 침수 및 회수의 실행 동안, 상기 용융된 반도체 물질 (120)은 고체화되고, 몰드의 외부 표면 (102) 위에 반도체 물질의 고체층 (140)을 형성한다.

- [0035] 이론에 한정되는 것을 원하지는 않지만, 고체화는 세 가지 주된 단계에서 일어난다. 단계 I-III에서의 고체화의 좀더 상세한 설명을 포함하는, 외부구조 공정은 다양한 구체 예에 따른 일련의 순차적인 개략도로 묘사하는 도 1a-1l을 참조하여 이해될 수 있다. 용융된 반도체 물질 (120)에 몰드 (100)의 침수는 도 1a-1f에서 개략적으로 도시된 반면, 용융된 반도체 물질 (120)로부터 몰드 (100)의 회수는 도 1g-1l에서 개략적으로 도시된다.
- [0036] 어떤 적절한 가열 장치 또는 방법을 사용하는, 하나의 대표적인 구체 예에 있어서, 몰드 (100)는 온도, T_M 으로 될 수 있고, 상기 용융된 반도체 물질 (120)은 벌크 온도, T_S 로 될 수 있는데, 이는 상기 반도체 물질의 용융 온도보다 같거나 크다.
- [0037] 적어도 하나의 가열 소자 (도시되지 않음)는 몰드 (100), 용기 (110)를 가열하고, 및/또는 원하는 온도에서 상기 용융된 반도체 물질 (120)을 유지하는데 사용될 수 있다. 적절한 가열 소자의 예는 저항 또는 유도 가열 소자, 적외선 (IR) 가열 원 (예를 들어, IR 램프), 및 화염 열원을 포함한다. 유도 가열 소자의 예는 무선 주파수 (radio frequency, RF) 유도 가열 소자이다. RF 유도 가열은 상기 용융에서 이물질 (foreign matter)의 존재를 최소화하여 깨끗한 환경을 제공할 수 있다.
- [0038] 상기 용융된 반도체 물질 (120) 위에 분위기 (190)의 조성은 침수 전, 동안, 및 후에 제어될 수 있다. 상기 몰드 (100) 및/또는 용기 (110)에 대한 석영 유리의 사용은 반도체 물질의 제품의 산소 오염을 유도할 수 있는 것으로 믿어진다. 따라서, 다양한 구체 예에 있어서, 산소 오염은, 예를 들어, 건조한 수소 혼합물 (예를 들어, 1 ppm 미만의 물) 및 아르곤 (argon), 크립톤 (krypton), 또는 제논(xenon)과 같은 불활성 기체를 포함하는 저-산소 환경에서 상기 반도체 물질을 용융하고, 상기 제품을 형성하여, 선택적으로 완화될 수 있거나 또는 실질적으로 완화될 수 있다. 저-산소 환경은 하나 이상의 수소, 헬륨, 아르곤, 또는 질소를 포함할 수 있다. 적어도 하나의 대표적인 구체 예에 있어서, 상기 분위기는 Ar/1.0wt.%H₂ 혼합물 또는 Ar/2.5wt.%H₂ 혼합물로부터 선택될 수 있다.
- [0039] 침수 (도 1a) 전에, 상기 몰드의 온도, T_M 및 상기 용융된 반도체 물질의 온도, T_S 는 각각 $T_M < T_S$ 로 제어될 수 있다. 상기 용융된 반도체 물질이 실리콘을 포함하는 구체 예에 있어서, 상기 용융된 실리콘의 벌크 온도, T_S 는 예를 들어, 1450°C 내지 1490°C, 예를 들어, 1460°C와 같은, 1414°C 내지 1550°C의 범위 일 수 있다. 상기 몰드의 초기 온도, T_M 은 상기 용융된 반도체 물질 (120)에 침수하기 전에 -50°C 내지 1450°C (예를 들어, -35°C-0°C, 20°C-30°C, 300°C-500°C, 600-900°C, 1000-1450°C)로부터의 범위일 수 있다.
- [0040] 구체 예에 있어서, 상기 몰드의 초기 온도는 과냉각의 정도 (즉, 몰드 및 용융 사이의 온도차)가 최소화되도록 상기 용융된 반도체 물질의 온도에 비례하여 제어될 수 있다. 예를 들어, 상기 몰드의 초기 온도는 용융된 반도체 물질의 온도의 1000°C 이내 (예를 들어, 1000, 900, 800, 700, 600, 500, 400, 300, 200, 100, 50, 20 또는 10°C 이내)로 제어될 수 있다. 상기 몰드 및 용융된 반도체 물질 온도를 제어에 부가하여, 용기 (110)의 벽 (112)과 같은, 복사 (radiant) 환경의 온도, T_E 는 또한 제어될 수 있다.
- [0041] 도 1b 및 1c를 참조하면, 상기 몰드 (100)는 상기 용융된 반도체 물질 (120)에 더 근접한 다음, 침수되며, 상기 몰드의 온도, 예를 들어, 리딩 엣지 (104)에서 상기 몰드 (100)의 온도는 방열을 시작하기 때문에 증가할 것이고, 그 다음 전도성 및 대류성 열은 상기 용융된 반도체 물질 (120)로부터 몰드 (100)로 이동된다.
- [0042] 상기 몰드 (100)가 실리카를 포함하고, 상기 용융된 반도체 물질 (120)이 실리콘을 포함하는 구체 예에 있어서, 볼록 매니스커스 (convex meniscus) (124)는 점성 견인 (viscous dragging) 효과에 기인하고, 용융된 실리콘이 실리카 표면에 다소 비-젖음성이기 때문에 용융된 실리콘으로 상기 몰드의 진입점에서 형성될 것이다. 용융된 실리콘 및 실리카 사이의 접촉 각은 약 92° 이다.
- [0043] 초기에, 상기 몰드 (100)의 평균 온도는 상기 용융된 반도체 물질 (120)의 온도 미만으로 유지될 것이다. 상기 몰드가 상기 용융된 반도체 물질에 더욱 침수됨에 따라 (도 1d 및 1e), 상기 몰드 (100) 및 용융된 반도체 물질 (120) 사이의 온도차는 상기 몰드의 외부 표면 (102) 위에 반도체 물질의 고체층 (140)의 형성을 결과하는 액체-대-고체상 변형을 유도할 것이다.
- [0044] 상기 몰드 (100) 및 용융된 반도체 물질 (120) 사이의 온도차의 정도는 상기 고체층 (140)의 미세구조 및 다른 특성에 영향을 미칠 수 있다. 800°C 정도일 수 있는, 상기 몰드 (100) 및 용융된 반도체 물질 (120) 사이의

온도 구배는 상기 몰드의 외부 표면 위에 단계 I 고체층 (142)의 형성을 결과한다. 상기 단계 I 고체층은 상대적으로 미세한 입자 크기를 포함할 수 있다.

[0045] 실질적 구체 예에 있어서, 상기 몰드는 $V_y \sim 10$ cm/sec의 속도로 용융 반도체 물질에 침수된다. 고체화는 기관의 평면에 수직 방향 (normal direction) (v_x), 및 기관의 평면에 평행 방향 (v_y) 모두로 진행된다. 상기 수직 방향에서 특징적인 고체화 속도 및 온도 구배는 약 100 microns/sec 및 약 +100°C/cm인 반면, 상기 평행 방향에서 특징적인 고체화 속도 및 온도 구배는 약 10 cm/sec (즉, 침수 속도와 같지만, 반대 방향) 및 -500 내지 -1000°C/cm이다.

[0046] 이론에 한정되는 것을 원하지는 않지만, 만약 경계면에서 온도 구배, G (°C/cm)가 음의 값이라면, 고체화 전면 (solidification front)이 수지상 돌기 (dendritic) 모폴로지를 유도할 수 있게 불안정할 수 있는 것으로 이해된다. 한편, 만약 경계면에 온도 구배가 양의 값이라면, 고체-액체 경계면은 안정하고 실질적으로 평면일 수 있고, 만약 고체화 속도가 임계 속도 (critical velocity) 이하라면, $V_{crit} = \square G$ 인데, 여기서 \square 는 물질 특성에 의존한 파라미터이다.

[0047] $G \sim 100$ °C/cm을 위한 실리콘에 대한 계산된 V_{crit} 은 약 300 microns/sec이다. 외부주조 동안, V_x 은 약 100 microns/sec이고, 보통 성분의 고체화 속도는 안정된 체제 (regime) ($G > 0$, $V_x < V_{crit}$) 내에 있고, 경계면 모폴로지는 평면일 것이다. 그러나, 평행 성분, V_y 가 불안정한 체제 ($G < 0$)에 속하기 때문에, 경계면 모폴로지는 수지상 돌기이다.

[0048] 두 개의 직각 방향, 즉, 상기 몰드의 수직 방향에서 양의 값 및 상기 몰드의 평행 방향에서 음의 값에서 명확하게 다른 온도 구배는 두 개의 명확한 다른 모폴로지 (각각 평면 및 수지상 돌기)를 증진시킨다. 상기 몰드 표면에 평행 방향에서 큰 음의 값의 온도 구배는 매우 높은 종횡비 (aspect ratio)를 갖는 바늘-같은 수지상 돌기의 형성 및 성장을 유도한다. 부가적으로, 수지상 돌기의 선단의 단지 앞쪽의 용융은 과냉각되어 유지되고, 이것은 새로운 등축성 수지상 돌기 (equiaxed dendrites)의 핵형성을 증진시킨다. 이러한 등축성 수지상 돌기는 바늘-수지상 선단의 앞에 형성되고, 긴 수지상 돌기 바늘 및 수지상 돌기 팔 (dendrite arms) 사이에 미세한 입자 등축성 수지상 돌기를 포함하는 다중-길이 스케일 모폴로지를 유도하는 바늘-수지상 돌기 사이에서 포획된다. 기관 표면에 평행 방향에서 음의 값 온도 구배의 가장 바람직한 제거 및 감소는 최적의 미세구조를 생성하는데 바람직할 것이다.

[0049] 도 1c-1e에서 나타낸 바와 같이, 상기 몰드 (100)는 침수되고, 용융된 반도체 물질 (120)은 상기 몰드 (100)의 리딩 엣지 (104)에서 먼저 고체화된다. 상기 몰드가 더욱 침수됨에 따라, 얇은 단계 I 고체층 (142)은 상기 몰드의 노출된 외부 표면 위에 형성된다. 상기 단계 I 고체층 (142)의 성장 전면은 상기 볼록 메니스커스 (124)로부터 용융된 물질에 의해 침지되는 동안 연속적으로 공급되고, 단계 I 고체층 (142)의 성장 방향은 실질적으로 상기 몰드 및 용융 사이에서 상대적인 움직임의 방향에 실질적으로 평행하다 (즉, 단계 I 고체층의 성장 방향은 상기 몰드의 노출된 표면 (102)과 실질적으로 평행이다).

[0050] 동종 및 이종의 핵형성 모두가 가능하다. 그러나, 이종의 핵형성에 대한 에너지 배리어가 동종의 핵형성에 대한 것보다 더 작기 때문에, 핵형성 이벤트 (events)는 상기 몰드 상에 기원하는 것이 좀더 확실하다.

[0051] 구체 예에 따르면, 몰드 (100)는 이것이 침수됨에 따라 회전 또는 진동될 수 있다. 그러나, 다른 구체 예에 있어서, 상기 몰드는 이것이 용융된 반도체 물질 (120)로 낮아지고, 상승됨에 따라 종방향 치수 (transverse dimensions)에서 필수적으로 고정시켜 유지된다. 전술한 내용에 부가하여, 상기 몰드는 고정 유지될 수 있고, 상기 용융된 반도체 물질을 함유하는 용기는 상기 용융된 반도체 물질 내에 몰드를 침수시키기 위해 이동 (즉, 상승)될 수 있다. 구체 예에 있어서, 전체 몰드는 침수될 수 있거나 또는 상기 몰드의 실질적인 전부가 용융된 반도체 물질에 침수될 수 있다. 예를 들어, 이의 길이와 관련하여, 상기 몰드의 90% 이상은 침수 (예를 들어, 90, 95, 99 또는 100%)될 수 있다.

[0052] 도 1d-1f에서 나타낸 바와 같이, 상기 용융된 반도체 물질 (120)에 적어도 부분적으로 침수된 몰드 (100)로, (상기 몰드의 외부 표면에 실질적으로 평행한 성장 방향을 갖는 성장 경계면을 통해 형성된) 상기 단계 I 고체층 (142)은 단계 II 고체층의 형성에 대한 템플릿이 되고, 여기서 상기 용융으로부터 용융된 반도체 물질 (120)은 단계 I 고체층의 노출된 표면에서 고체화된다. 단계 I 성장보다 더 낮은 온도 차에서 통상적으로 일어나는, 단계 II 고체층 (144)의 초기 형성은 상기 고체층 (140)의 두께를 증가시킬 수 있다. 따라서, 단계 I 성장에 대조적으로, 상기 단계 II 고체층 (144)은 상기 몰드의 외부 표면에 실질적으로 수직인 성장 방향을 갖는

성장 경계면을 통해 형성된다. 실험적 데이터는 단계 II 성장 동안 고체층 성장 속도가 100 $\mu\text{m}/\text{sec}$ 와 비슷할 수 있다는 것을 나타낸다.

[0053] 상기 몰드 및 상기 용융 사이에 온도 구배의 의존에 부가하여, (단계 I 및 단계 II 고체층을 포함하는) 고체층 (140)의 미세구조는 몰드 (100)의 상대적인 위치가 용융된 반도체 물질 (120)에 대하여 변화되는 속도의 함수이다. 상대적으로 느린 침수 속도 (예를 들어, 약 1 cm/sec 과 비슷)에서, 상기 몰드 (100) 및 용융된 반도체 물질 (120) 사이에 온도차는 상기 몰드의 가열 때문에 감소되고, 이것은 일반적으로 상대적으로 거대입자이지만 상대적으로 작은 층 두께를 갖는 고체층 (140)을 결과한다. 한편, 약 50 cm/sec 과 비슷한 침수 속도에서, 상대적으로 높은 속도는 불록 메니스커스 (124)의 형상을 방해할 수 있고, 이것은 연속적인 입자 성장을 방해할 수 있고, 상대적으로 작은 결정 입자를 갖는 불연속 고체층 (140)을 결과할 수 있다. 구체 예에 있어서, 침수 속도는 약 0.5 내지 50 cm/sec , 예를 들어, 1, 2, 5, 10 또는 20 cm/sec 일 수 있다.

[0054] 또 다른 구체 예에 있어서, 상기 침수 속도는 상기 몰드가 가속되거나 감속되는 침수의 실행 동안 변화 (즉, 증가되거나 감소)될 수 있다. 일 실시 예에 있어서, 침수 동안 상기 몰드 속도는 침수된 몰드의 7.5 cm 에 대한 100 cm/sec^2 에서 약 10 cm/sec 내지 0 cm/sec 로 감소된다.

[0055] 단계 II 동안 고체층의 정지 성장 (Quiescent growth)은 침수 시간 (즉, 체류시간 (residence time))의 함수이고, 이것은, 외부구조 공정의 동적 본성 때문에, 몰드 (100)의 외부 표면 위에서 공간적으로 변화할 것이다. 상기 몰드의 리딩 엣지는 몰드의 트레일링 엣지보다 더 긴 시간 동안 용융된 반도체 물질과 접촉하여 있을 것이다. 이는 상기 트레일링 엣지와 비교하여, $L/V_{in} + L/V_{out}$ 과 동일한 상기 리딩 엣지에 대한 과다 체류시간을 유도하고, 여기서 L은 몰드의 길이이고, V_{in} 및 V_{out} 은 침수 및 회수 속도이다. 상기 몰드의 리딩 엣지 (104)는 침지될 몰드의 제1 부분이기 때문에, 단계 II 고체층 (144)의 초기 성장은 온도차가 가장 큰 리딩 엣지 (104)에서 또는 근처에서 가장 빠를 수 있다. 한편, 상기 몰드의 리딩 엣지가 회수될 몰드의 마지막 부분이기 때문에, 상기 리딩 엣지 (104) 근처 단계 II 고체층 (144)의 재용융은 상기 리딩 엣지 (104) 근처 고체층 (140)의 두께를 감소시킬 수 있다.

[0056] 몰드 (100)는 상기 몰드 (100)의 표면 (102) 위에서 고체화하는 반도체 물질의 고체층 (140)을 허용하도록 충분한 시간의 기간 동안 용융된 반도체 물질 (120)에 침수될 수 있다. 상기 몰드 (100)는 30 초 이상 (예를 들어, 0.5 내지 30 초)까지 용융된 반도체 물질 (120)에 침수될 수 있다. 또 다른 실시 예로서, 상기 몰드 (100)은 10초 (예를 들어, 1 내지 4초)까지 침수될 수 있다. 상기 침수 시간은 예를 들어, 시스템의 온도 및 열 전달 특성, 및 반도체 물질의 제품의 원하는 특성과 같은, 기술분야에서 당업자에게 알려진 파라미터에 기초하여 적절하게 변화될 수 있다.

[0057] 도 2는 침수 시간의 함수로서 몰드 (100)의 외부 표면 (102)으로부터 측정된 고체층 두께의 계산된 그래프를 나타낸다. 초기 시간 주기에 걸쳐, 상기 고체층은 최대 두께까지 급속히 성장한다. 상기 두께는 그 다음 후속 시간 동안에 감소된다. 초기 시간 주기 동안, 상기 용융된 반도체 물질의 고체화는 단계 I 고체층 (142) 및 용융 사이에 경계면에 시작되고, 단계 II 층 (144)은 용융된 반도체 물질로 진행되고, 이것은 상기 고체층 (140)에 대한 양의 성장 속도를 결과한다. 후속의 시간 주기 동안, 상기 몰드의 온도가 증가되고, 몰드의 열 용량이 소모됨에 따라, 단계 II 고체층 (144)의 재용융이 발생하고, 이것은 음의 성장 속도를 결과한다. 만약 상기 몰드가 막연하게 용융된 반도체 물질 (120)에 남는다면, 결국 전체 고체층 (140) (단계 I 및 단계 II 고체층)은 상기 몰드가 용융된 반도체 물질과 열적으로 평형이 됨에 따라 재용융 및 소실될 것이다.

[0058] 고체화로부터 재용융으로 전이가 발생하는 시간은 "전이 시간 (transition time)"으로 정의된다. 단계 II 고체층 (144)의 두께는 전이 시간에서 이의 최대 값을 달성한다. 구체 예에 따르면, 상기 몰드는 고체층의 원하는 두께에 상응하는 미리 결정된 시간 후 상기 용융된 반도체 물질로부터 제거될 수 있다.

[0059] 단계 II 층 (140)의 성장 및 재용융 모두의 동력은 또한 도 1e 및 1f를 특히 참조하여 나타낼 수 있다. 도 1e에 있어서, 상기 몰드 (102)가 용융된 반도체 물질 (120)로 이의 침지의 전체 범위 근처에 있을 때, 단계 II 층 (144)은 비-균일한 두께를 가질 수 있다. 평균 몰드 온도가 더 긴 침수 시간 때문에 가장 큰, 몰드 (100)의 리딩 엣지 (104) 근처에서, 단계 II 층 (144)은 국부 열 플럭스의 방향이 몰드로부터 외부로 향함에 따라 재용융을 시작한다. 상기 재용융은 상기 리딩 엣지 근처에서 단계 II 층 (144)의 국부적으로 얇아지는 것을 유발한다. 낮은 평균 몰드 온도를 갖는 상기 몰드의 다른 말단에서, 상기 국부 열 플럭스의 방향은 아직도 상기 몰드이다. 상기 몰드 (102)에 의한 열의 흡수는 상기 용융에 단계 II 층의 성장을 결과한다.

[0060] 도 1f를 참조하면, 단계 II 층 (144)의 비-균일 두께에서의 변화 (shift)는 몰드 온도가 증가하고 부가적인 채

용융이 진행함에 따라 상기 몰드의 길이 위에서 나타날 수 있다. 도 1e 및 1f에서 작은 화살표는 질적으로 단계 II 고체층 (144) 및 용융된 반도체 물질 (120) 사이의 경계면을 따라 다른 위치에서 상대적인 고체층 성장 속도를 나타낸다.

- [0061] 도 1a-1f에서 도시된 바와 같이, 침수 동안, 단계 I 고체층 (142)은 상기 몰드 (100)의 노출된 표면 (102) 위 및 선택적으로 직접 접촉하여 형성된다. 차례로, 단계 II 고체층 (144)은 단계 I 고체층 (142) 위에 및 직접 접촉하여 형성된다. 상기 고체층 (140)의 재용융이 완성되지 않은, 구체 예에 있어서, 단계 I 고체층의 두께는 침수 및 회수 동안 실질적으로 일정하게 유지되는 반면, 단계 II 고체층의 두께는 동적이고, 열 전달 동적 함수이며, 이것은, 예를 들어 상기 몰드의 국부적 두께에 의해 제어될 수 있다. 도 1d-1k에서 점선은 단계 I 및 단계 II 고체층 (142, 144) 사이에 경계를 표시한다.
- [0062] 상기 몰드의 침수시간의 함수로서 고체층의 성장 및 재용융의 추가적인 관점은 2009년 5월 14일자에 각각 출원된 공동-소유의 미국 특허출원 제12/466,104호 및 제12/466,143호에 기술되었고, 상기 특허들의 개시는 참조로서 본 발명에 혼입된다.
- [0063] 상기 몰드 (100)가 용융된 반도체 물질 (120)에 침수된 경우 일부분의 외부구조 공정은 전술되었고, 도 1a-1f에서 단면도로 개략적으로 나타내었다. 특히, 도 1f는 상기 몰드가 침수의 최대 범위에 있고, 상기 용융 반도체 물질 (120)에 대한 상기 몰드의 속도가 0인 경우, 상기 몰드의 위치 및 고체층 (140)의 형성을 나타낸다. 상기 몰드의 표면 위에 단계 III 고체층 (146)의 형성을 포함하는, 외부구조 공정의 또 다른 부분 (즉, 몰드 (100)가 용융된 반도체 물질 (120)으로부터 회수되는 경우)은 도 1g-1l를 특히 참조하여 다음에 기술된다.
- [0064] 상기 몰드의 회수 동안, 노출된 고체 표면은 본래의 몰드 물질이라기 보다는 고체화된 반도체 물질이기 때문에, 상기 고체 표면 및 용융 사이의 젖음성 동역학은 침수동안 직면한 것과는 다르다. 도 1g를 참조하면, 실리콘 고체층 (140) 위에 용융된 실리콘 고체화의 실시 예에 있어서, 동적 오목 메니스커스 (concave meniscus) (134)는 고체-액체-가스 삼중점 (triple point)에서 형성된다. 이러한 동적 메니스커스 (134)의 결과로서, 상기 용융된 반도체 물질 (120)으로부터 몰드의 회수 동안, 추가적인 고체층 (146) (단계 III 고체층)은 이전-형성된 고체층 (단계 I 및 단계 II 고체층) 위에 형성된다. 단계 III 고체층 (146)은 또한 본 발명에서 덧층 (overlayer)이라 하며, 외부구조를 통해 얻어진 고체층의 최대 두께를 결정한다.
- [0065] 비록 단계 I 고체층 (142) 위에 형성된 단계 II 고체층 (144)이 용융된 반도체 물질 (120)의 표면 (122) 하부의 국부적 열 플럭스 동역학에 따라 성장 또는 재용융이 연속될지라도, 단계 III 고체층 (146)은 용융된 반도체 물질 (120)에 의한 고체층의 젖음성 (예를 들어, 단계 II 고체층 (144)의 노출된 표면) 때문에 상기 용융된 반도체 물질 (120)의 평형 표면 (122) 위에 형성된다. 회수 동안, 단계 III 고체층 성장 전면 (136)은 동적 메니스커스 (134) 하부로부터 용융된 물질에 의해 연속적으로 공급된다.
- [0066] 구체 예에 있어서, 상기 고체층 (140)의 두께의 대부분은 단계 II (즉, 몰드의 외부 표면에 실질적으로 수직인 성장) 동안 형성될 것이다. 도 1g-1j를 참조하면, 상기 동적 메니스커스 (134), 상기 단계 II 고체층 (144) 및 회수 동안 형성된 단계 III 층 (146)은 용융된 반도체 물질 (120)의 평형 표면 (122) 위에 위치한 용융의 동적 부피 (128) 또는 "건인된 부피 (dragged volume)"를 한정한다. 다양한 열 전달 메커니즘의 결과로서 고체화에 도달하는, 동적 부피 (128)은, 회수 동안 상기 단계 III 고체화 전면 (136)에 연속적으로 공급된다.
- [0067] 구체 예에 있어서, 상기 회수 속도는 약 0.5 내지 50 cm/sec, 예를 들어, 1, 2, 5, 10 또는 20 cm/sec일 수 있다. 더 높은 회수 속도는 상기 단계 III 덧층으로 전달될 수 있는 동적 메니스커스에 섭동 (perturbations)을 유도할 수 있는 유체 건인을 유발할 수 있다. 또 다른 구체 예에 있어서, 침수 속도에 따라, 상기 회수는 상기 몰드가 가속 또는 감속되도록 회수의 작용 동안 변화 (즉, 증가 또는 감소)될 수 있다. 일 실시 예에 있어서, 회수 동안 상기 몰드 속도는 침수된 몰드의 7.5 cm에 걸쳐 10 cm/sec²에서 0 cm/sec으로부터 약 3 cm/sec까지 증가된다.
- [0068] 몰드 (100)가 용기 (110)으로부터 제거되고 충분히 냉각된 후, 반도체 물질의 고체층 (140)은, 예를 들어, 다른 팽창 및/또는 기계적 도움을 사용하여 상기 몰드 (100)으로부터 제거 또는 분리될 수 있다. 선택적으로, 상기 고체층 (140)은 지지된 반도체 물질의 제품으로 몰드 (100)에 유지될 수 있다.
- [0069] 도 2를 참조하면, 상기 고체층 두께 대 침수 시간 곡선이 전이 시간에서 최대 두께를 나타내기 때문에, 특별한 두께 (즉, 최대 두께와 다른 두께)를 갖는 고체층은 전이 시간보다 크거나 작은 침수 시간을 사용하여 얻을 수 있다. 도 2의 실시 예에 있어서, 200 마이크로미터 고체층은 ~1.2 초 또는 ~5 초의 침수 시간을 사용하여 제조될

수 있다.

- [0070] 침수 시간이 ~100-200 마이크로미터 두께 고체층을 제조하지만, 각각의 시간은 공정 거래 (process trade-offs)를 제공한다. 1.2 초 침수 시간을 포함하는 공정은 5 초 침수 시간을 포함하는 공정보다 더욱 빠르게 완성될 수 있고, 이것은 일정 비율의 증가에 점진적으로 중요하게 될 수 있다. 한편, 약 1.2 초에서 두께 변화율 (즉, 두께 대 침수 시간 곡선의 기울기)이 5초에서 두께 변화율보다 훨씬 더 크기 때문에, 더 빠른 공정에서 작은 변동 (fluctuations)은 고체층 두께에서 더 큰 가변성을 유도할 것이다.
- [0071] 출원인은 최종 고체층의 특성이 상기 몰드 (100)의 표면 특성을 제어함으로써, 특히 상기 용융된 반도체 물질의 핵형성을 위한 국부 구동력을 제어함으로써 영향을 받을 수 있다는 것을 보여주었다. 본 발명에 개시된 바와 같이, 다양한 고온 세라믹 상의 용융된 반도체 물질들 (예를 들어, 용융된 실리콘)의 젖음 특성 사이에 큰 불일치 (disparity)의 이점을 취하여, 이중 핵형성은 상기 몰드 상에 다른 부위에서 증진될 수 있고, 이것은 거대 입자 결정을 결과할 수 있다. 템플릿된 몰드 (105)의 침수 동안, 핵형성에 대해 훨씬 더 낮은 저항을 제공하는 복수의 핵형성 표면을 갖는 몰드의 외부 표면 (102)를 따라 핵형성 에너지 배리어의 조절이 있을 것이다.
- [0072] 일 구체 예에 따르면, 상기 용융된 반도체 물질에 대한 핵형성을 위해 상대적으로 높은 전체 배리어를 갖는 몰드 몸체 (130)은 상기 용융된 반도체 물질에 대한 핵형성을 위해 상대적으로 낮은 배리어를 갖는 영역으로 패턴화된다. 실시 공정에 있어서, 실리카 몰드 몸체와 같은 몰드 몸체 (130)은 탄화 규소의 층으로 패턴화된다. 상기 탄화 규소층은 별개의 핵형성 표면 (탄화 규소 표면)을 제공하고, 템플릿된 몰드 (105)를 형성하기 위해 패턴화된다. 상기 템플릿된 몰드는 그 다음 용융된 실리콘으로 침수된다.
- [0073] 이러한 실시 예에 있어서, 상기 용융으로부터 실리콘의 섬 성장 및 핵형성은 탄화규소 영역으로부터 우선적으로 진행될 것이다. 상기 템플릿된 몰드가 상기 용융된 실리콘에 유지됨에 따라, 입자는 이들의 측면 성장이 이웃 입자와 충돌로부터 최종적으로 억제될 때까지 각각의 탄화 규소 영역으로부터 성장한다.
- [0074] 당업자에게 적절할 수 있는 본 발명의 구체 예에 있어서, 패턴화된 핵형성 표면의 치수 및 공간은 반도체 물질의 최종 고체층을 충돌시킬 수 있다.
- [0075] 또 다른 구체 예에 따르면, 상기 용융된 반도체 물질의 핵형성에 대해 상대적으로 낮은 전체 배리어를 갖는 몰드 몸체 (130)는 상기 용융된 반도체 물질의 핵형성에 대해 상대적으로 낮은 배리어를 갖는 영역을 노출하는 패턴 층 (132)으로 패턴화된다.
- [0076] 실시 공정에 있어서, 탄화 규소 몰드 몸체와 같은 몰드 몸체는 SiO₂의 층으로 패턴화된다. 상기 SiO₂ 층은 선택된 영역에서 하부의 SiC를 드러내기 위해 패턴화되어 템플릿된 몰드 (105)를 형성한다. 상기 템플릿된 몰드는 그 다음 용융된 실리콘에 침수된다.
- [0077] 이러한 실시 예에 있어서, 상기 용융으로부터 실리콘의 섬 성장 및 핵형성은 드러낸 SiC 영역으로부터 주로 진행될 것이다. 상기 템플릿된 몰드가 용융된 실리콘에 유지됨에 따라, 입자는 이들의 측면 성장이 이웃 입자와 충돌로부터 억제될 때까지 각각의 SiC 영역으로부터 성장한다.
- [0078] 본 실시 예에 있어서, 노출된 핵형성 표면 사이의 치수 및 분리는 반도체 물질의 최종 고체층을 충돌시킬 수 있다. 상기 패턴화된 높은 핵형성 에너지 배리어 표면 (예를 들어, SiO₂)의 두께는 또한 그 결과에 영향을 줄 수 있다. 더 두꺼워진 패턴 층 (132)는 측면 성장이 시작할 수 있기 전에 더 작은 수의 입자의 선택이 가능할 수 있다. 더 두꺼운 패턴 층은, 이의 열적 질량 때문에, 국부적인 열적 환경에 영향을 받고, 이것은 상기 핵형성 표면 및 용융된 반도체 물질 사이에 열 전도성을 감소시킬 수 있다.
- [0079] 상기 높은 핵형성 에너지 배리어 표면상에 핵형성을 최소화하기 위하여, 상기 템플릿된 몰드의 과냉각은 상기 몰드 및 용융 사이의 평균 온도가 500°C 미만 (예를 들어, 500, 450, 400, 350, 300, 350, 200, 150, 100, 50, 25 또는 10°C 미만)이 되도록 최소화될 수 있다. 예를 들어, 상기 과냉각은 10 내지 500°C의 범위에서 유지될 수 있다.
- [0080] 각각의 높고 낮은 배리어 영역은 용융된 반도체 물질과 서로 다른 젖음 특성을 가질 수 있고, 여기서 핵형성에 대한 높은 배리어를 갖는 영역은 용융된 반도체 물질과 큰 접촉 각 (즉, 나쁜 젖음성)을 특징으로 하며, 핵형성에 대한 낮은 배리어를 갖는 영역은 용융된 반도체 물질과 작은 접촉 각 (즉, 우수한 젖음성)을 특징으로 한다. 예로서, 용융 실리카 (fused silica)와 용융된 실리콘의 접촉 각은 약 92° 인 반면, 탄화 규소 (SiC)와 용융된 실리콘의 접촉 각은 약 38° 이다. 이중 핵형성은 더 작은 접촉 각에서 열역학적으로 (thermodynamically) 및 역학적으로 (kinetically) 유리하다. 상기 접촉 각 사이의 차가 클수록, 패턴된 부위에 바람직한 핵형성에 좀

더 효과적이다. 별개 수의 핵형성 표면을 제공함으로써, 핵의 상대적으로 낮은 수밀도 (number density)는 외부구조 공정 동안 형성될 수 있고, 각 핵에 대한 더 큰 입자 크기를 결과한다.

[0081] 낮은 핵형성 배리어가 존재하는 부위의 배열을 포함하는 템플릿된 몰드의 예는 도 3에 나타난다. 템플릿된 몰드 (105)는 탄화 규소로 형성된 몰드 몸체 (130)을 갖고, 패턴 층 (132)은 몰드 몸체 위에 또는 몰드 몸체상에 형성된다. 도시된 구체 예에 있어서, 상기 몰드 몸체의 외부 표면 중 일부는 핵형성 표면 (135)의 2-차원 배열을 형성하기 위해 높은 핵형성 에너지 배리어 표면 (예를 들어, 실리카)로 패턴화된다. 상기 높은 핵형성 에너지 배리어 표면은 측면 치수 S를 갖고, 상기 핵형성 표면 (135)은 측면 치수 W를 갖는다.

[0082] 몰드 몸체 위에 형성된 복수의 핵형성 표면 (예를 들어, SiC)을 포함하는 선택적인 구체 예는 도 3의 구체 예의 물질을 교환하여 단지 형성될 수 있는 용융된 반도체 물질에 관한 높은 핵형성 에너지 배리어 표면을 포함하는 것이 적절할 것이다. 몰드의 외부 표면 위에 형성된 탄화 규소 핵형성 표면의 예시적인 배열의 평면도는 도 4a에 나타난다. 도시된 구체 예에 있어서, 각 탄화 규소 섬은 직경 d를 갖는다. 복수의 핵형성 표면은 벡터 a 및 b에 의해 한정된 배열에서 형성된다.

[0083] 패턴 층 (132)은 상기 몰드 몸체 (130)의 하나 또는 두 개의 주요 외부 표면 위에 제공된다. 상기 몰드 몸체 및 패턴 층은 용융 실리카, 그래파이트, 탄화 규소, 질화 규소, 질화 알루미늄, 산화 알루미늄, 6붕화 란타넘 (lanthanum hexaboride), 산화 이트륨, 산화 지르코늄, 질화 붕소, 및 산화 실리콘과 같은 하나 이상의 내화성 물질로부터 독립적으로 형성될 수 있다. 일 구체 예에 있어서, 상기 몰드 몸체 (130)은 유리질의 이산화규소 또는 석영으로 만들어질 수 있고, 상기 패턴 층은 탄화 규소로 만들어질 수 있다.

[0084] 잠재적인 몰드 몸체 및 패턴 물질은 용융된 실리콘에 대한 이들 각각의 접촉 각과 함께 표 1에 요약되었다. 알 수 있는 바와 같이, BN, SiO₂ 및 ZrO₂은 가장 높은 접촉 각을 갖는 반면, SiC는 가장 낮은 접촉 각을 갖는다. 그러므로, SiC 패턴 층을 갖는 BN, SiO₂ 또는 ZrO₂ 몰드 몸체의 템플릿 (또는 BN, SiO₂ 또는 ZrO₂의 패턴 층을 갖는 SiC 몰드 몸체의 템플릿)은 우선적인 핵형성을 위한 가장 큰 구동력을 제공한다. 구체 예에 있어서, 상기 핵형성 표면을 형성하는 층은 용융된 반도체 물질과 반응할 수 있고, 상기 반응성은 더 낮은 핵형성 배리어를 결과할 수 있다.

표 1

[0085] 몰드 및 패턴 물질 및 용융된 실리콘과의 접촉 각

물질	접촉 각 (degrees)
AlN	57
Al ₂ O ₃	80
BN	95
LaB ₆	52
SiC	38
Si ₃ N ₄	50
SiO ₂	92
Y ₂ O ₃	63
ZrO ₂	90

[0086] 구체 예에 있어서, 상기 템플릿된 몰드는 약 0.1 내지 100 mm의 총 두께 범위 (예를 들어, 0.1, 0.2, 0.5, 1, 2, 5, 10, 20, 50 또는 100 mm)를 가질 수 있다. 상기 몰드의 길이 및 폭은 약 1 cm 내지 100 cm 이상 (예를 들어, 1, 2, 5, 10, 50 또는 100 cm)의 독립적인 범위일 수 있다. 상기 패턴 층의 두께는 10 nm 내지 2 micron의 범위 (예를 들어, 10, 20, 50, 100, 200, 500, 1000 또는 2000 nm)일 수 있다.

[0087] 상기 패턴 층이 핵형성 표면을 형성하거나, 또는 패턴층이 핵형성 표면을 형성하는 몰드 몸체를 부분적으로 덮는 선택적인 구체 예에 있어서, 당업자는 이들의 공간적 배열뿐만 아니라 패턴 층에서 핵형성 표면/개구부의 치수 모두에 대한 값을 선택할 수 있고, 이것은 원하는 핵형성 밀도 및 상기 고체층 내에 최종 평균 입자 크기 및 입자 크기 분포를 제공하기 위하여, 상기 몰드 위에 균일 또는 비-균일일 수 있다.

- [0088] 상기 패턴 층에서 핵형성 표면/개구부는 어떤 원하는 형상 (예를 들어, 원, 타원, 사각형, 삼각형 등)을 가질 수 있고, 특징적 치수 (예를 들어, 길이, 폭, 직경)은 0.01 내지 10 mm (예를 들어, 0.1, 0.2, 0.5, 1, 2, 5, 또는 10 mm)의 범위일 수 있다. 상기 패턴 층에서 개별적 핵형성 표면/개구부의 면적은 0.001 내지 100 μm^2 의 범위일 수 있다.
- [0089] 상기 패턴 층에서 핵형성 표면/개구부는 상기 몰드의 외부 표면 위에 규칙적인 배열 또는 무작위적으로 배열될 수 있다. 이웃하는 핵형성 표면/개구부 사이의 간격은 약 1 mm 내지 50 mm (예를 들어, 1, 2, 5, 10, 20 또는 50 mm) 범위일 수 있다. 상기 핵형성 표면/개구부의 총 면적은 외부 표면의 총 면적의 약 1% 내지 10%의 범위일 수 있다.
- [0090] 다른 배열의 실시 예는 도 5a 및 5b에서 개략적으로 도시되었고, 여기서 고 밀도 핵형성 표면 (135) 및 저밀도 핵형성 표면 (135)을 각각 포함하는 템플릿된 몰드 (105)를 나타낸다.
- [0091] 상기 패턴 층은 예를 들어, 진공 기술 (PVD, PECVD)과 같은 다양한 기술을 사용하여, 또는 적절한 온도에서 경화를 수반하는, 액체 원으로부터 직접 적용하는 기술에 의해 형성될 수 있다. 상기 패턴 층을 통한 개구부는 레이저 절삭 (laser ablation), 또는 포토리소그래피 (photolithography) 및 에칭에 의해 형성될 수 있다. 예를 들어, 증착된 층에 내재된 다공도 (porosity)에 때문에, 인시튜 형성된 개구부를 갖는 층을 증착하는 것이 또한 가능할 수 있다.
- [0092] 하나의 접근법에 있어서, 패턴 층은 상기 몰드 몸체 (130) 상에 전구체 물질은 증착 및 패턴화 (또는 선택적으로 증착)시켜 형성될 수 있고, 그 다음 상기 패턴 층 (132)를 형성하기 위해 전구체 물질을 반응시킨다. 선택적인 접근법에 있어서, 상기 패턴 층을 형성하는 물질은 몰드 몸체 (130) 위에 직접적으로 증착될 수 있다. 전구체 접근법과 같이, 상기 패턴 층을 형성하기 위해 사용된 물질은 전면적으로 증착 및 패턴화되거나 또는 선택적으로 증착될 수 있다.
- [0093] 예시적인 구체 예에 있어서, 탄화 규소의 패턴화된 영역은 플루오로실란 (fluorosilane)으로 몰드의 외부 표면을 선택적으로 먼저 처리하여 용융 실리카 몰드 위에 형성될 수 있고, 그 다음 탄화 규소 패턴을 형성하기 위해 탄소 용융 환원 (carbothermal reduction) 및 건조를 수반하는 선택적으로 처리된 몰드 위에 폴리카보실란 용액을 프린팅한다. 플루오로실란으로 선택적 전-처리, 외부 표면의 소수성을 변경시키기 위해 사용될 수 있다. 적절한 폴리카보실란 (polycarbosilane) 전구체 및 탄소 용융 환원 조건을 선택함으로써, 최종 탄화 규소의 특성 (예를 들어, 결정상, 밀도, 다공도, 등)은 제어될 수 있다. 최종 탄화 규소는 다공성 또는 치밀성, 무정질 (amorphous) 또는 결정일 수 있고, 정방정계 (cubic) 또는 육방 정계 (hexagonal crystal) 구조를 포함할 수 있다.
- [0094] 또 다른 구체 예에 있어서, 탄화 규소 입자를 포함하는 분산은 탄화 규소의 패턴화된 배열을 형성하기 위해 하소 (calcination)를 수반하여 용융 실리카 몰드상에 패턴화될 수 있다. 상기 분산은 선택적 바인더를 포함할 수 있다. 만약 사용된다면, 상기 바인더는 하소 동안 상기 몰드에 입자의 점착성 (adhesion) 뿐만 아니라 프린팅 동안 SiC 입자의 내부-점착성을 증진할 수 있다.
- [0095] 전술한 프린팅 접근법에 부가하여, 다른 예시적인 접근법 예에 있어서, 기상 또는 에어졸계 증착, 잉크-젯트 프린팅, 나노/미세 접촉 프린팅, 딥 펜 리소그래피 (lithography) 또는 스프레이 코팅은 패턴층을 형성하기 위해 사용될 수 있다.
- [0096] SMP-10 및 CVD-4000 (Starfire Systems, Schenectady, NY)과 같은 액체 탄화 규소 전구체는 패턴층을 형성하기 위해 순수하게 또는 유기 용매에서 희석하여 사용될 수 있다. SMP-10은 850-1700°C의 온도 범위에서 무정질 또는 베타 SiC를 형성하기 위해 사용될 수 있는 반면, $-\text{[SiH}_2\text{-CH}_2\text{]}_n\text{-}$ 의 기본 구조를 갖는, CVD-4000은 상대적으로 낮은 온도 (~600°C)에서 기상 증착에 의해 SiC 층을 형성하기 위해 사용될 수 있다. 증착 후 추가 열 처리 (예를 들어, 1100-1300°C)는 더 큰 SiC 결정 입자의 형성을 증진할 수 있다.
- [0097] 폴리(메틸실릴렌)메틸렌과 같은 저 분자량 폴리카보실란 및 폴리(페닐메틸실란 공중합체 (50% 디메틸실란, 50% 페닐메틸실란) (Gelest, Inc., Bristol, PA)와 같은 고 분자량 폴리실란은 또한 SiC 전구체로 사용될 수 있다.
- [0098] DSC/TGA는 다양한 전구 물질에 대해 N_2 또는 Ar 분위기 하에서 온도에 관련된 중량 손실 및 조성 변화를 결정하기 위해 사용된다. 액체 SiC 전구체로부터, SMP-10은 500°C까지 약 12%의 중량 손실을 갖는 우수한 세라믹 수율을 갖고, 공정 온도에 의존하여 무정질, 베타-SiC 또는 알파-SiC를 형성한다. CVD-4000은 200°C까지 85% 중량 손실을 다소 초과하는 반면, 고 분자량 폴리실란은 400°C까지 75% 중량 손실을 다소 초과하게 나타낸다.

- [0099] 넓은 각 XRD 패턴은 아르곤 하의 1300°C에서 탄소용융 환원을 수반하는 열적 경화를 통해 패턴화 후 다른 실리콘 몰드에 대해 얻어진다. SMP-10 및 CVD-4000 유도된 층은 입방 SiC (moissanite 3C)와 일치하는 반사를 나타내는 반면, 폴리(페닐메틸)실란은 육방정계 SiC (moissanite 6H)를 제조한다. XRD는 SMP-10에 대해 잔여 무정질 탄소 또는 실리카가 없는 것으로 나타내지만, CVD-4000은 26.5Å에서 흑연 피크를 나타낸다. 폴리(페닐메틸)실란은 무정질 탄소 또는 실리카의 존재를 나타낼 수 있는 약 25Å 및 40 Å의 낮은 강도 (intensity)를 갖는 광대역 (broad band)을 나타낸다.
- [0100] 예비 실험은 실리카 몰드 위에 THF에 SMP-10, CVD-4000 (회석하지 않음)의 0.1-5 μl 액적, 및 5 wt.% 폴리(페닐메틸)실란의 1-5 μl을 분산시켜 수행된다. 상기 액적은 실온에서 건조하기 위해 방치한다. 과량의 액체는 고온에서 가열할 경우 퍼지는 것을 방지하기 위해 액적으로부터 제거된다. 상기 패턴화된 몰드는 그 다음 불활성 분위기 (N₂ 또는 Ar)에서 탄소용융 환원 단계 (1300°C)를 수반하는 열적 경화 단계를 사용하여 처리된다. 탄화 규소 템플릿된 실리카 몰드의 예는 도 4b에 나타낸다. 상기 템플릿된 몰드 (105)는 몰드 몸체 (130)의 외부 표면 (102) 위에 형성된 다수의 핵형성 표면 (135)을 포함한다.
- [0101] 일 예시적 구체 예에 따라 템플릿된 몰드에 혼입되는 외부구조 공정의 예는 도 6에 도시되었다. 단계 A에 있어서, 10-50 nm 두께 실리카 층 (131)은 탄화 규소 몰드 위에 형성된다. 단계 B에 있어서, 상기 실리카 층은 템플릿된 몰드를 형성하기 위해 선택된 영역인 하부 탄화 규소를 나타내기 위해 패턴화된다. 단계 C에서 나타낸 바와 같이, 상기 템플릿된 몰드 (105)는 용융된 반도체 물질에 침수되고, 여기서 분리된 섬 (148)의 성장 및 핵형성이 드러난 탄화 규소 영역으로부터 진행된다. 상기 고체층 (140)의 측면 성장은 인접한 실리콘 입자가 일치한 경우 억제될 수 있다. 템플릿된 몰드 (105)가 용융된 반도체 물질 (120)에서 유지됨에 따라, 상기 실리콘 입자는 성장할 수 있고, 몰드의 외부 표면 위에 반도체 물질의 고체층을 형성하기 위해 점진적으로 합체한다. 단계 D에 도시된 바와 같이, 상기 패턴화된 및 템플릿된 핵형성 및 성장은 상기 몰드의 양쪽 주 표면 위에 일어날 수 있다.
- [0102] 개시된 방법은 예를 들어, 총 두께, 두께 가변성, 평균 입자 크기, 입자 크기 분포, 불순물 함량 및/또는 표면 거칠기에 관련된 하나 이상의 원하는 속성을 갖는 반도체 물질의 제품을 생산하기 위해 사용될 수 있다. 예를 들어, 실리콘 시트와 같은 제품은, 광기전 장치와 같은 전자 장치에 사용될 수 있다. 예로서, 형성된 바와 같은 실리콘 시트는 약 156 mm x 156 mm의 영역 치수, 100 μm 내지 400 μm의 두께 범위, 및 1 mm 초과인 실질적인 입자 수를 가질 수 있다. 구체 예에 있어서, 고체층의 총 두께는 150, 200, 250, 300, 350 또는 400 μm이다. 또 다른 구체 예에 있어서, 고체층의 총 두께는 400 μm 미만 (예를 들어, 350, 300, 250, 200 또는 150 μm 미만)이다.
- [0103] 개시된 방법의 하나의 이점은 고체층의 면적 치수 위에 체류 시간 가변성에 기인한 총 두께 가변성 (TTV)을 최소화하는 능력을 포함한다. 또 다른 이점은 몰드 및 용융 온도와 같은 공정 파라미터의 변동에 기인한 총 두께 가변성을 최소화하는 능력이 있다. 또 다른 이점은 상기 고체층 내에 평균 입자 및/또는 입자 크기 분포를 조절하는 능력이 있다.
- [0104] 총 두께 가변성은 고체층의 샘플링 면적 안에 가장 두꺼운 점 및 가장 얇은 점 사이의 두께에서 표준화된 최대 차이를 의미한다. 상기 총 두께 가변성, TTV는 $(t_{\max} - t_{\min})/t_{\text{target}}$ 과 동일하고, 여기서 t_{\max} 및 t_{\min} 은 샘플링 면적 안에 최대 및 최소 두께이고, t_{target} 는 목적 두께이다. 상기 샘플링 면적은 고체층의 전체 또는 일부로서 한정될 수 있다. 구체 예에 있어서, 고체층의 총 두께 가변성은 30% 미만 (예를 들어, 10% 미만 또는 5% 미만)이다. 하나의 고체층 이상의 형성을 포함하는 공정에 있어서, 두께 분산은 평균 고체층 두께 대 목적 두께의 비의 표준 편차로 정의된다.
- [0105] 특별히 언급하지 않는 한, 상세한 설명 및 청구항에서 사용된 모든 숫자는 용어 "약"에 의해 언급되지 않는 모든 경우에서 변경될 수 있는 것으로 이해될 것이다. 상세한 설명 및 청구항에서 사용된 정확한 수의 값은 부가적인 구체 예를 형성하는 것으로 이해될 것이다. 본 발명에서 개시된 수의 값의 정확도를 보장하기 위해 노력하였다. 그러나, 어떤 측정된 수의 값은 이의 관련된 측정 기술에서 확인된 표준 편차를 결과하는 어떤 오차를 본질적으로 함유할 수 있다.
- [0106] 상세한 설명 및 첨부된 청구항에서 사용된 바와 같이, 단수형태는 특별한 언급이 없는 한 복수 형태를 포함한다. 따라서, 오직 예로서, 고체층에 대한 기준은 하나 이상의 층에 관한 것일 수 있고, 반도체 물질에 대한 기준은 하나 이상의 반도체 물질에 관한 것일 수 있다. 본 발명에 사용된 바와 같은, 용어 "포함하다" 및 이것의 문법적 변형은 비-제한적인 것으로 의도되고, 목록에서 항목의 인용은 기재된 항목에 치환되거나 첨

가될 수 있는 다른 유사한 항목들을 배제하는 것은 아니다.

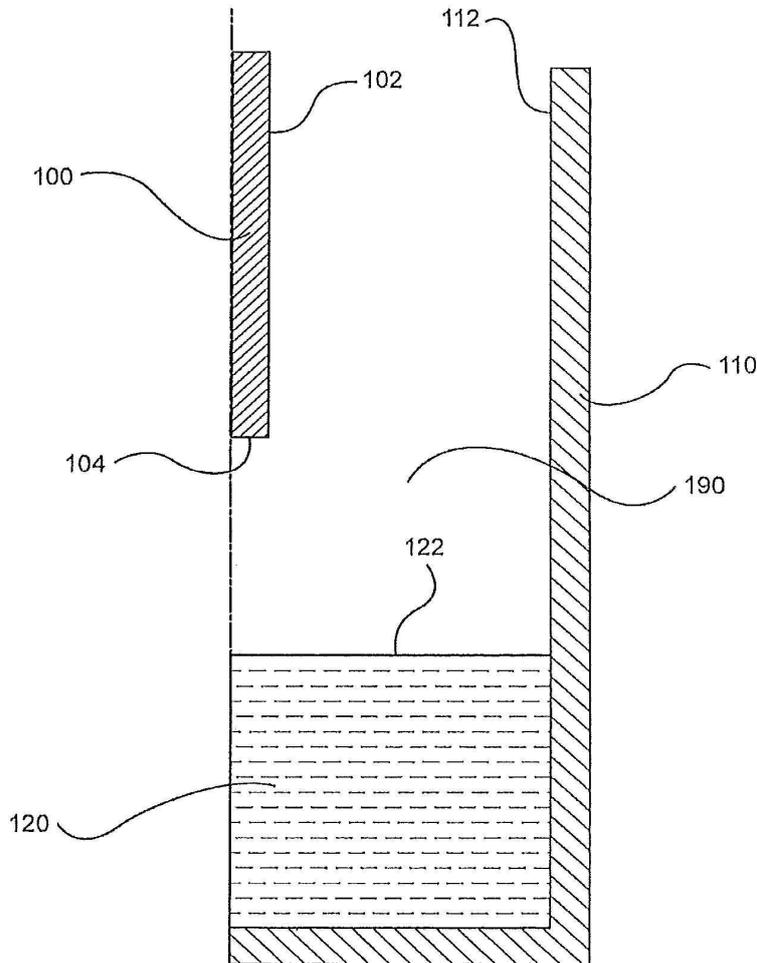
[0107] 다양한 변형 및 변화는 본 발명의 기술적 범주를 벗어나지 않는 범위 내에서 본 발명의 방법 및 프로그램에서 만들어질 수 있음은 기술분야에서 당업자에게 명백할 것이다. 본 발명의 다른 구체 예는 본 발명의 기술의 상세한 설명 및 실행의 고찰로부터 당업자에게 명백할 것이다. 이것은 상세한 설명에 개시된 구체 예가 오직 대표적인 예로서 간주되는 것으로 의도된다.

부호의 설명

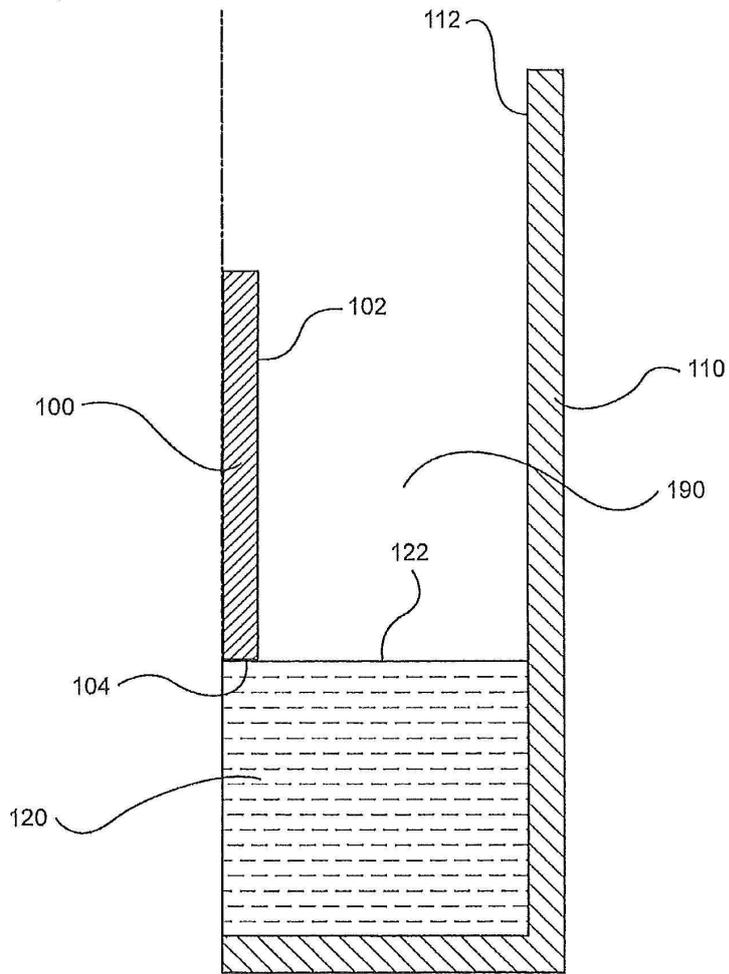
- | | | |
|--------|-------------|-----------------|
| [0108] | 100: 고체 몰드 | 105: 템플릿된 몰드 |
| | 110: 용기 | 120: 용융된 반도체 물질 |
| | 130: 몰드 몸체 | 132: 패턴 층 |
| | 135: 핵형성 표면 | 140: 고체층 |
| | 190: 분위기 | |

도면

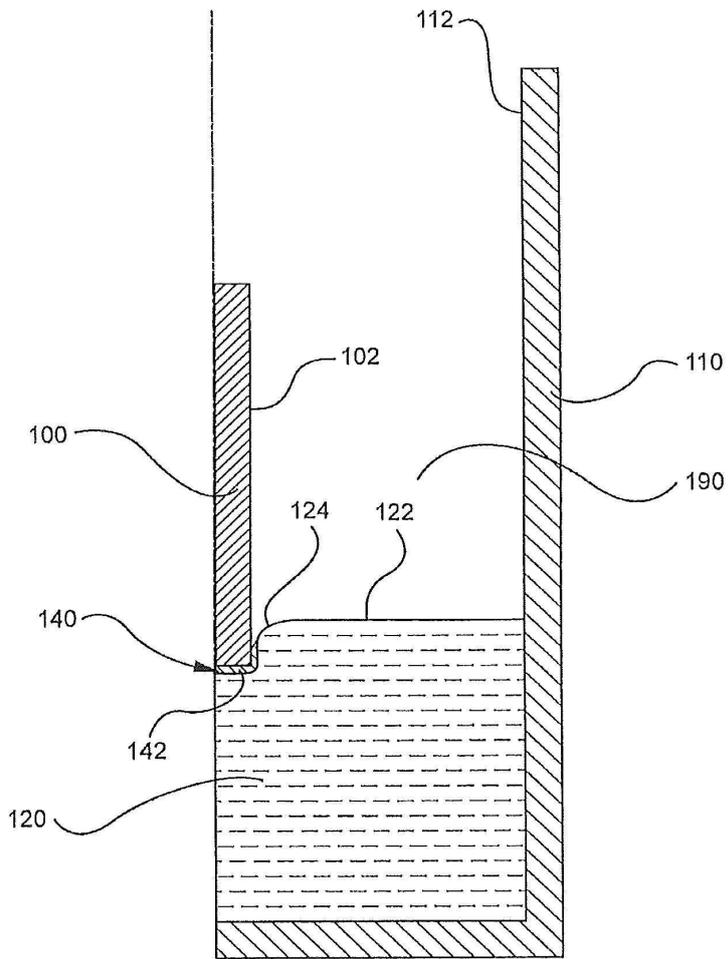
도면1a



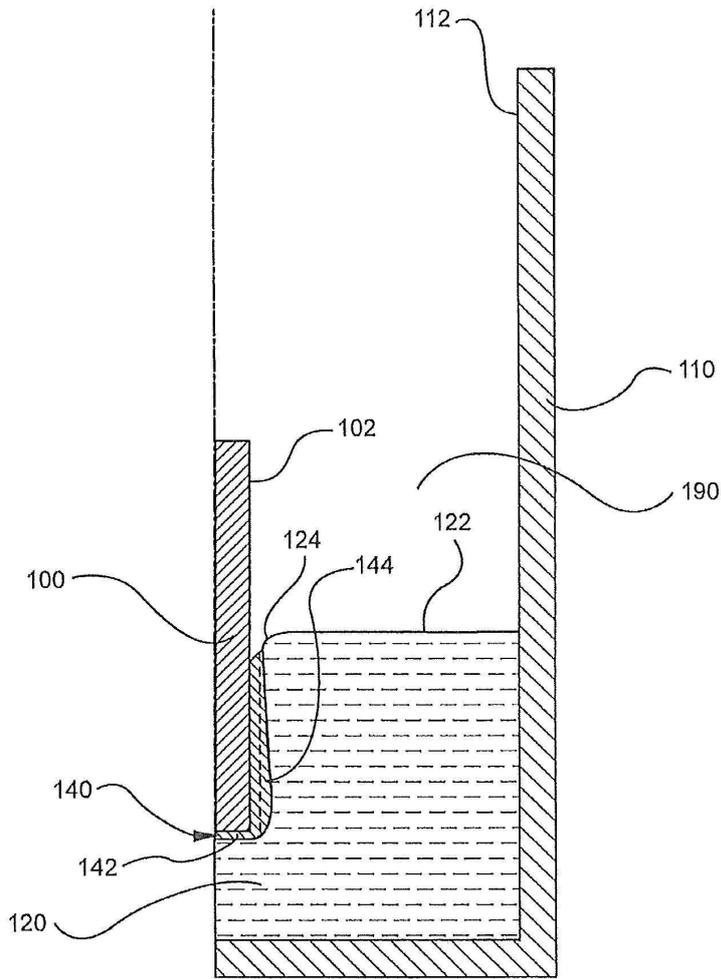
도면1b



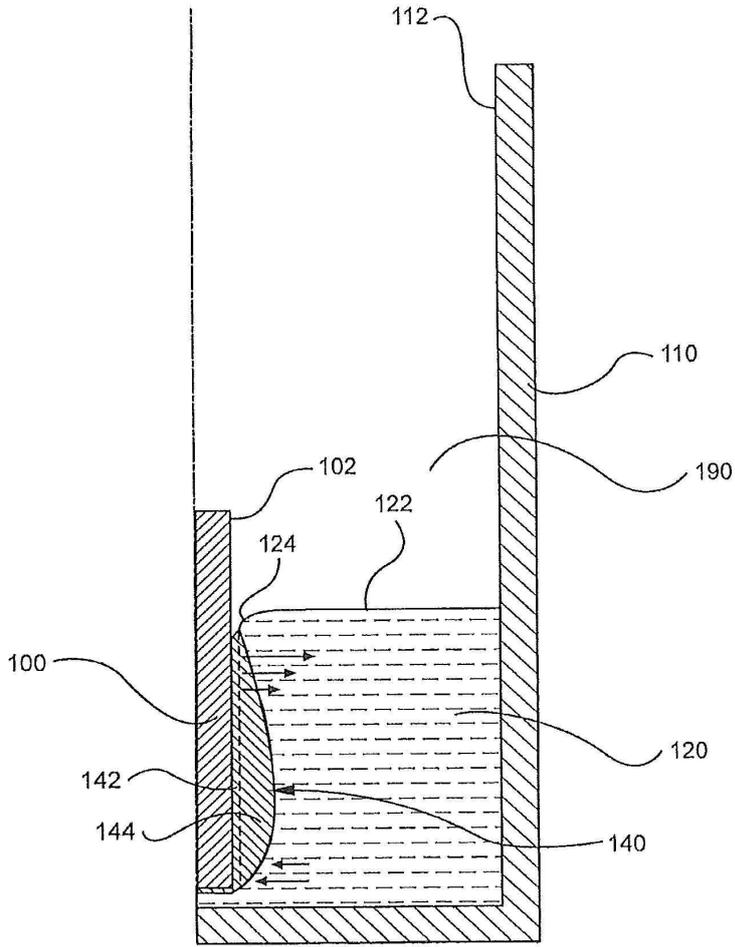
도면1c



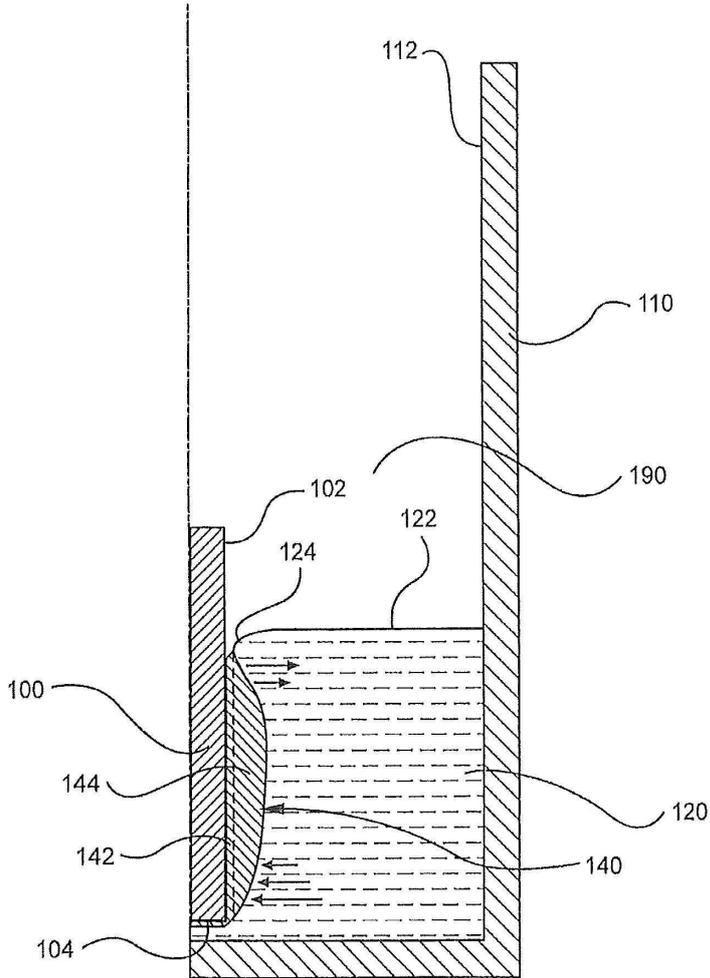
도면1d



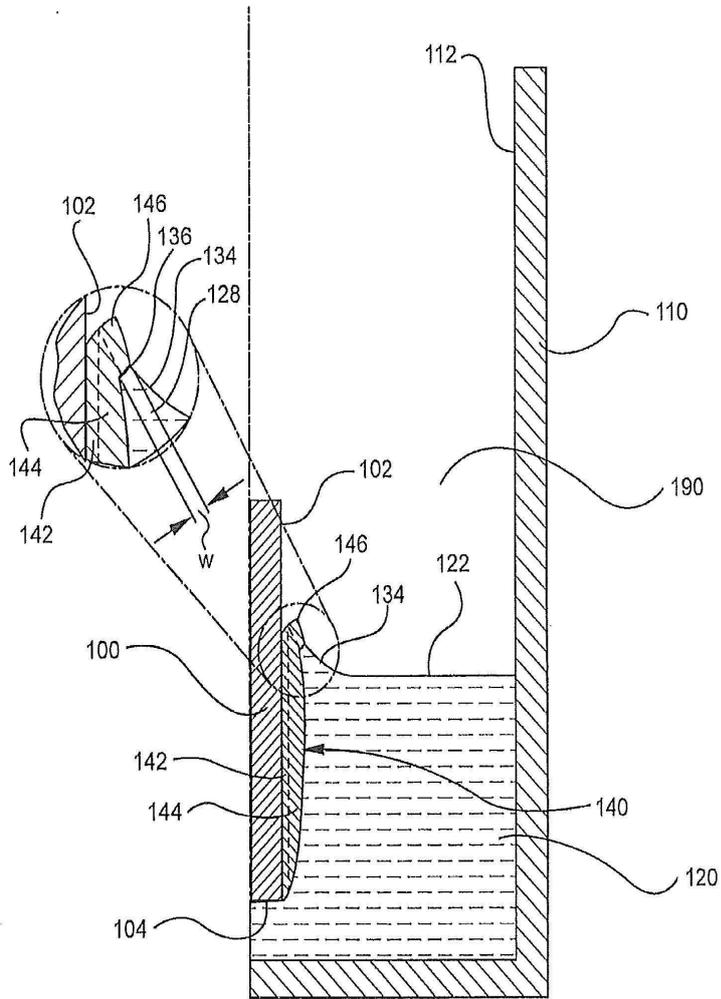
도면1e



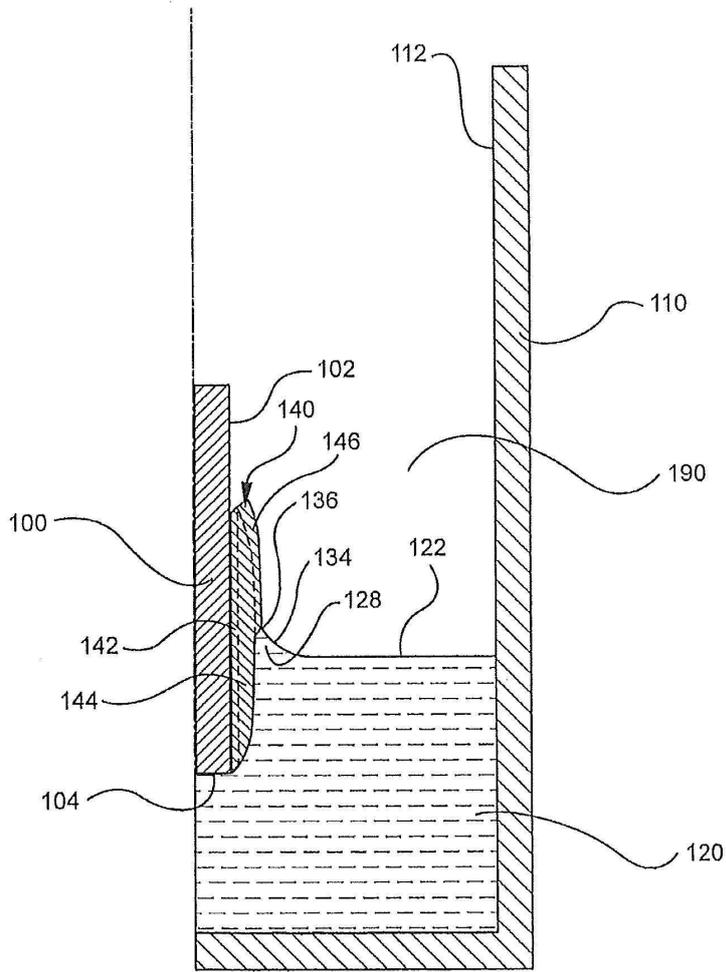
도면1f



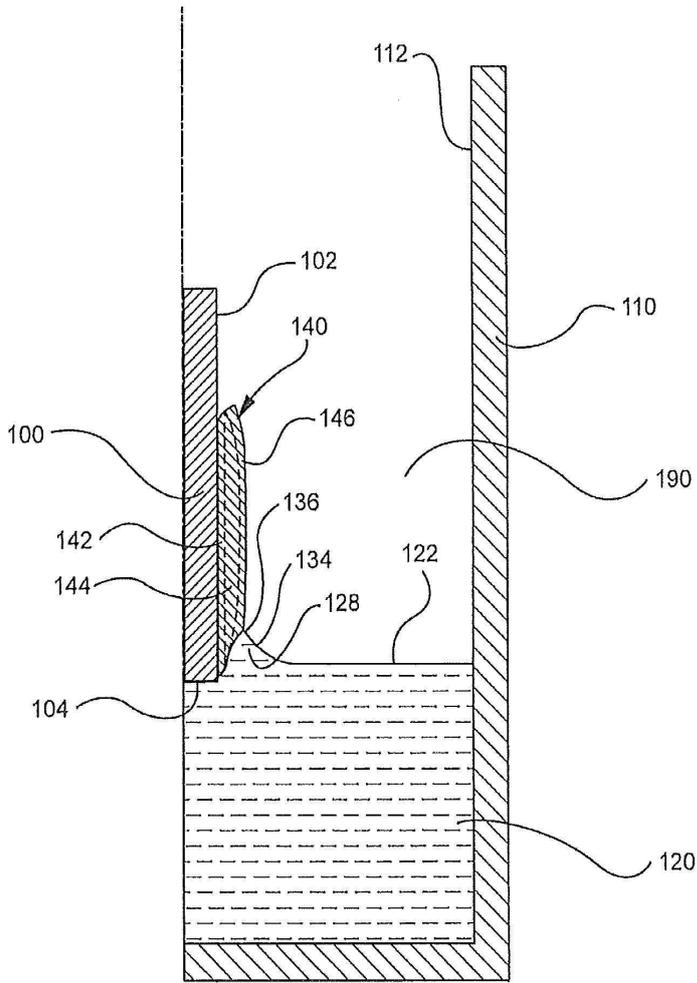
도면1g



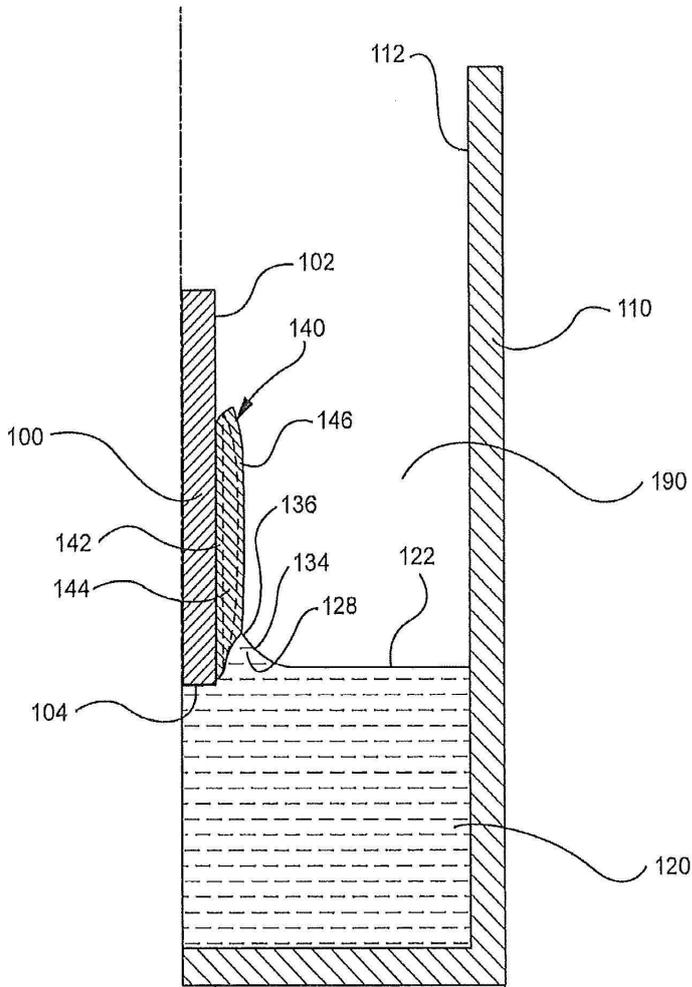
도면1h



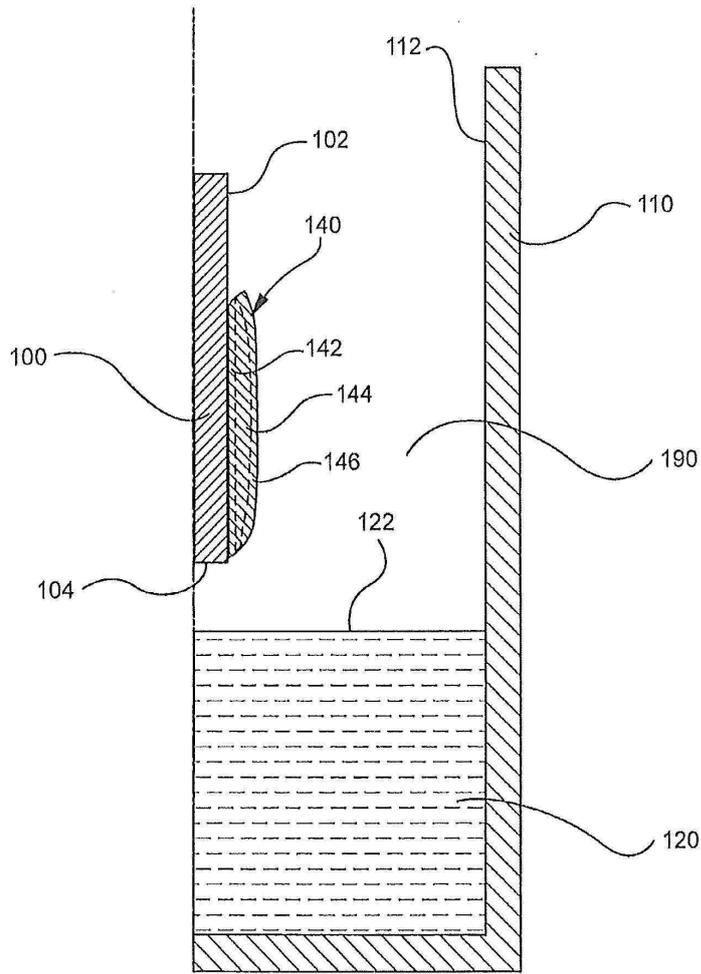
도면1i



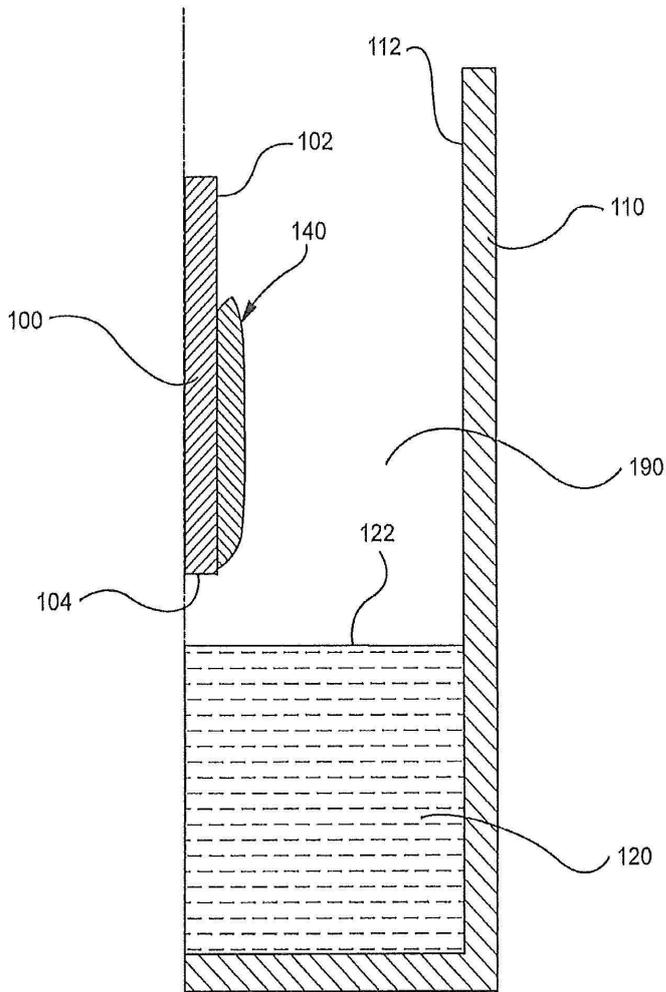
도면1j



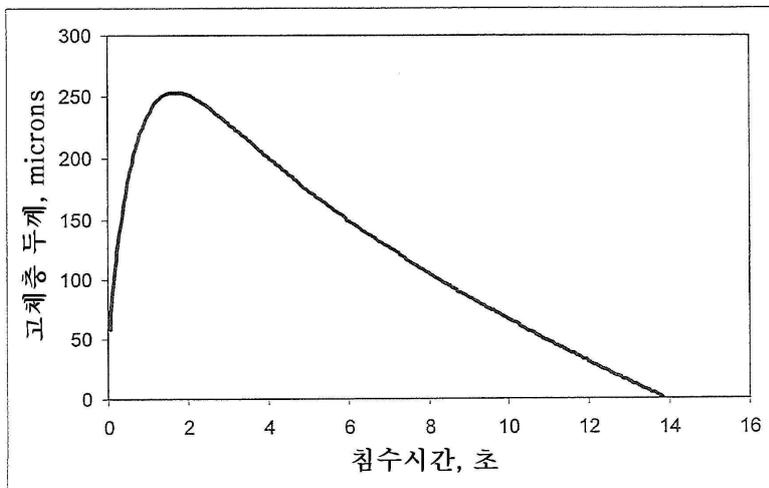
도면1k



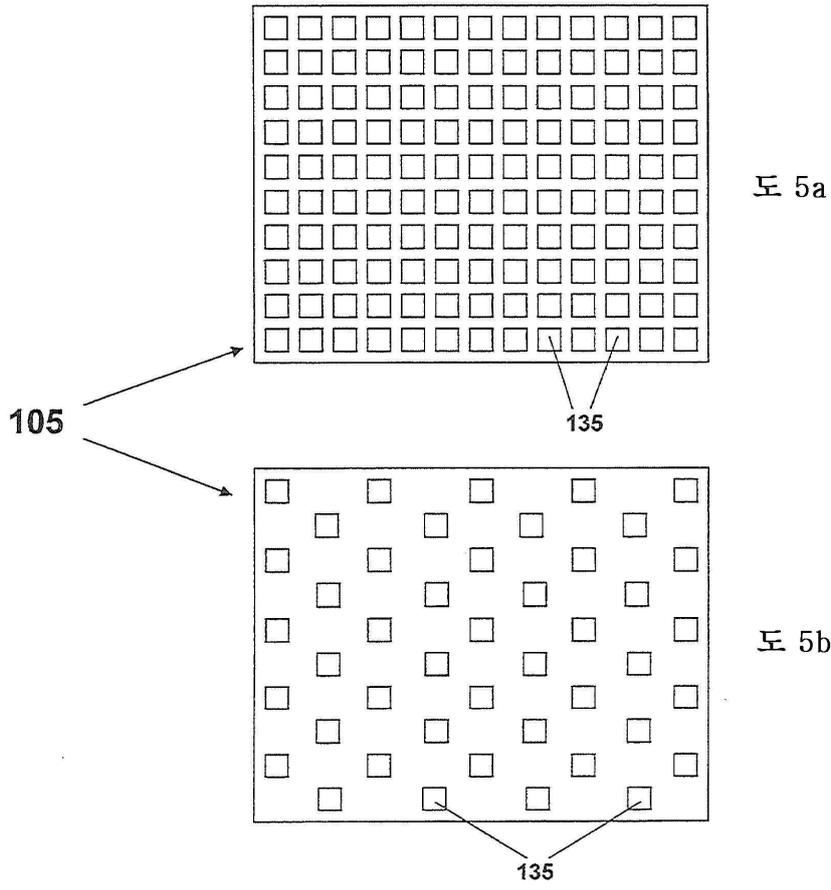
도면11



도면2



도면5



도면6

