



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월24일
(11) 등록번호 10-1117739
(24) 등록일자 2012년02월10일

(51) Int. Cl.

H01L 29/786 (2006.01)

- (21) 출원번호 10-2010-0022944
- (22) 출원일자 2010년03월15일
심사청구일자 2010년03월15일
- (65) 공개번호 10-2011-0103736
- (43) 공개일자 2011년09월21일
- (56) 선행기술조사문헌
KR1020070000840 A*
KR1020060084588 A
KR1020080048954 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
- (72) 발명자
이탁영
경기도 용인시 기흥구 삼성2로 95 (농서동)
박병건
경기도 용인시 기흥구 삼성2로 95 (농서동)
(뒷면에 계속)
- (74) 대리인
리앤목특허법인

전체 청구항 수 : 총 20 항

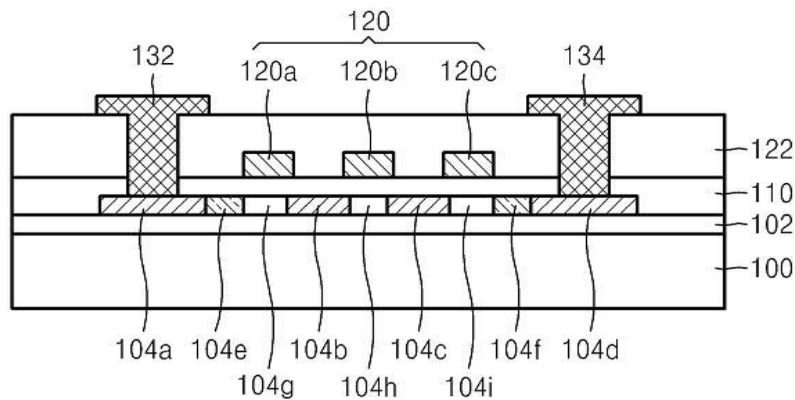
심사관 : 이상호

(54) 박막 트랜지스터 및 그 제조방법

(57) 요약

온전류의 크기를 유지하면서 누설전류를 줄일 수 있는 박막 트랜지스터를 개시한다. 본 발명에 의한 박막 트랜지스터는 기판; 양끝단의 소스 영역 및 드레인 영역, 상기 소스 영역 또는 상기 드레인 영역에 인접한 저농도 도핑 영역, 적어도 둘 이상의 채널영역, 상기 채널영역 사이의 고농도 도핑영역을 포함하는 상기 기판 위의 활성층; 상기 활성층 위의 게이트 절연막; 적어도 둘 이상의 개별 게이트 전극을 포함하고, 상기 개별 게이트 전극 아래에 채널영역이 위치하고, 최외각의 상기 개별 게이트 전극의 바깥쪽으로 상기 소스 영역 및 상기 드레인 영역이 위치한 상기 게이트 절연막 위의 다중 게이트 전극; 상기 다중 게이트 전극 위의 제1 층간 절연막; 및 상기 제1 층간 절연막을 관통하여 상기 소스 영역과 상기 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극; 을 포함한다.

대표도 - 도1



(72) 발명자

정윤모

경기도 용인시 기흥구 삼성2로 95 (농서동)

박종력

경기도 용인시 기흥구 삼성2로 95 (농서동)

이동현

경기도 용인시 기흥구 삼성2로 95 (농서동)

이기용

경기도 용인시 기흥구 삼성2로 95 (농서동)

서진욱

경기도 용인시 기흥구 삼성2로 95 (농서동)

정민재

경기도 용인시 기흥구 삼성2로 95 (농서동)

손용덕

경기도 용인시 기흥구 삼성2로 95 (농서동)

소병수

경기도 용인시 기흥구 삼성2로 95 (농서동)

박승규

경기도 용인시 기흥구 삼성2로 95 (농서동)

이길원

경기도 용인시 기흥구 삼성2로 95 (농서동)

정재완

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관;

양끝단의 소스 영역 및 드레인 영역, 상기 소스 영역 또는 상기 드레인 영역과 접하는 저농도 도핑영역, 복수의 채널영역, 상기 복수의 채널영역 사이에 있고, 상기 복수의 채널 영역과 접하는 고농도 도핑영역을 포함하는 상기 기관 위의 활성층;

상기 활성층 위의 게이트 절연막;

상기 게이트 절연막 위의 복수의 게이트 전극을 포함하는 다중 게이트 전극이되, 상기 복수의 게이트 전극 아래에 채널영역이 위치하고, 상기 다중 게이트 전극의 바깥쪽으로 상기 소스 영역 및 상기 드레인 영역이 위치한 다중 게이트 전극;

상기 다중 게이트 전극 위의 제1 층간 절연막; 및

상기 제1 층간 절연막을 관통하여 상기 소스 영역과 상기 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극; 을 포함하는 박막 트랜지스터.

청구항 2

제1 항에 있어서, 상기 고농도 도핑 영역은 상기 복수의 게이트 전극과 부분적으로 오버랩되는 박막 트랜지스터.

청구항 3

제1 항에 있어서, 상기 저농도 도핑영역은 상기 드레인 영역에 접한 제1 저농도 도핑영역을 포함하는 박막 트랜지스터.

청구항 4

제3 항에 있어서, 상기 저농도 도핑영역은 상기 소스 영역에 접한 제2 저농도 도핑영역을 더 포함하는 박막 트랜지스터.

청구항 5

제1 항에 있어서, 상기 소스 영역, 상기 드레인 영역, 상기 고농도 도핑영역 및 상기 저농도 도핑영역은 p형 도펀트로 도핑된 박막 트랜지스터.

청구항 6

제1 항에 있어서, 상기 소스 영역, 상기 드레인 영역, 상기 고농도 도핑영역 및 상기 저농도 도핑영역은 n형 도펀트로 도핑된 박막 트랜지스터.

청구항 7

제1 항에 있어서, 상기 다중 게이트 전극은 2개의 상기 게이트 전극으로 이루어진 박막 트랜지스터.

청구항 8

제1 항에 있어서, 상기 다중 게이트 전극은 3개의 상기 게이트 전극으로 이루어진 박막 트랜지스터.

청구항 9

제1 항에 있어서, 상기 활성층은 다결정 실리콘으로 형성된 박막 트랜지스터.

청구항 10

제1 항 내지 제9 항의 어느 하나의 박막 트랜지스터를 포함하는 유기발광장치.

청구항 11

기판 위에 활성층을 형성하는 단계;

상기 활성층 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 레지스트막을 형성하는 단계;

상기 레지스트막을 마스크로 하여 상기 활성층을 고농도로 도핑하여 상기 활성층 내에 소스 영역, 드레인 영역 및 고농도 도핑영역을 형성하는 단계;

상기 도핑 후 상기 레지스트막을 제거하고 복수의 게이트 전극을 포함하는 다중 게이트 전극을 형성하되, 상기 소스 영역 또는 상기 드레인 영역에 접한 부분에 상기 활성층의 도핑되지 않은 부분이 노출되도록 다중 게이트 전극을 형성하는 단계;

상기 다중 게이트 전극에 의하여 노출된 상기 활성층의 도핑되지 않은 부분에 저농도 도핑영역을 형성하는 단계;

상기 저농도 도핑영역을 형성한 후 제1 층간 절연막을 형성하는 단계; 및

상기 제1 층간 절연막을 관통하고 상기 소스 영역과 상기 드레인 영역에 각각 접촉하는 소스 전극과 드레인 전극을 형성하는 단계;를 포함하는 박막 트랜지스터의 형성방법.

청구항 12

제11 항에 있어서, 상기 고농도 도핑 영역은 상기 게이트 전극과 부분적으로 오버랩되도록 형성되는 박막 트랜지스터의 형성방법.

청구항 13

제11 항에 있어서, 상기 활성층은 다결정 실리콘을 포함하는 박막 트랜지스터의 형성방법.

청구항 14

제11 항에 있어서, 상기 저농도 도핑영역은 상기 드레인 영역에 접한 제1 저농도 도핑 영역을 포함하는 박막 트랜지스터의 형성방법.

청구항 15

제14 항에 있어서, 상기 저농도 도핑영역은 상기 소스 영역에 접한 제2 저농도 도핑 영역을 더 포함하는 박막 트랜지스터의 형성방법.

청구항 16

제14 항 또는 제15 항에 있어서, 상기 저농도 도핑영역이 형성되는 부분에 대응되는 상기 레지스트막의 너비는 상기 다중 게이트 전극 중 상기 저농도 도핑영역이 형성되는 부분에 대응되는 게이트 전극의 너비보다 더 큰 박막 트랜지스터의 형성방법.

청구항 17

제11 항에 있어서, 상기 고농도 도핑 및 상기 저농도 도핑은 p형 도펀트로 도핑하는 박막 트랜지스터의 형성방법.

청구항 18

제11 항에 있어서, 상기 고농도 도핑 및 상기 저농도 도핑은 n형 도펀트로 도핑하는 박막 트랜지스터의 형성방법.

청구항 19

제11 항에 있어서, 상기 다중 게이트 전극은 3개의 게이트 전극을 포함하는 박막 트랜지스터의 형성방법.

청구항 20

제11 항에 있어서, 상기 기판과 상기 활성층 사이에 베이스층을 형성하는 단계를 더 포함하는 박막 트랜지스터의 형성방법.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터에 관한 것으로서, 더욱 상세하게는 누설전류를 감소시킬 수 있는 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배경기술

[0002] 박막 트랜지스터(TFT: thin film transistor)는 절연성 지지 기판 위에 반도체 박막을 이용하여 만든 특별한 종류의 전계 효과 트랜지스터이다. 박막 트랜지스터는 전계 효과 트랜지스터와 마찬가지로 게이트, 드레인, 소오스의 세 단자를 가진 소자이며, 가장 주된 기능은 스위칭 동작이다. 게이트에 인가하는 전압을 조절하여 소오스와 드레인 사이에 흐르는 전류를 온 또는 오프 상태로 만들어서 스위칭 동작을 한다. 박막 트랜지스터는 센서, 기억 소자, 광 소자 등에도 이용되지만, 평판 디스플레이의 화소 스위칭 소자 또는 구동 소자로서 주로 이용된다.

[0003] 박막 트랜지스터에서 오프 상태에서 소스와 드레인 사이에 흐르는 누설전류를 감소시키는 한편, 전하 운반자의 이동도 및 온전류를 향상시키는 것이 구동력 향상을 위하여 중요하다. 박막 트랜지스터의 누설전류를 감소시키기 위하여 LDD(lightly doped 드레인) 구조 또는 오프셋 구조를 채택하거나 다중 게이트(multiple gate) 구조를 채택하고 있고, LDD 구조와 다중 게이트 구조를 동시에 채택하기도 한다.

[0004] LDD 구조는 Vgs가 증가하면서 누설전류값이 증가하는 테일 현상을 개선하는 반면, 다중 게이트 구조는 누설전류의 최소값을 감소시키는 효과를 갖는다. LDD 구조와 다중 게이트 구조를 모두 적용할 경우 누설전류 테일 현상 및 누설전류 최소값을 모두 감소시킬 수 있지만, 전하 운반자의 이동도 및 온전류를 감소시켜서 내장회로의 구동에 문제가 생길 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 누설전류를 감소시키면서, 이동도 및 온전류 손실을 최소화할 수 있는 박막 트랜지스터 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따라 기판; 양끝단의 소스 영역 및 드레인 영역, 상기 소스 영역 또는 상기 드레인 영역과 접하는 저농도 도핑영역, 복수의 채널영역, 상기 복수의 채널영역 사이에 있고, 상기 복수의 채널 영역과 접하는 고농도 도핑영역을 포함하는 상기 기판 위의 활성층; 상기 활성층 위의 게이트 절연막; 상기 게이트 절연막 위의 복수의 게이트 전극을 포함하는 다중 게이트 전극이되, 상기 복수의 게이트 전극 아래에 채널영역이 위치하고, 상기 다중 게이트 전극의 바깥쪽으로 상기 소스 영역 및 상기 드레인 영역이 위치한 다중 게이트 전극; 상기 다중 게이트 전극 위의 제1 층간 절연막; 상기 제1 층간 절연막을 관통하여 상기 소스 영역과 상기 드레인 영역에 각각 접촉하는 소스 전극 및 드레인 전극;을 포함하는 박막 트랜지스터가 개시된다.

[0007] 본 발명의 다른 일 측면에 따라 기판 위에 활성층을 형성하는 단계; 상기 활성층 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위에 레지스트막을 형성하는 단계; 상기 레지스트막을 마스크로 하여 상기 활성층을 고농도로 도핑하여 상기 활성층 내에 소스 영역, 드레인 영역 및 고농도 도핑영역을 형성하는 단계; 상기 도핑 후 상기 레지스트막을 제거하고 복수의 게이트 전극을 포함하는 다중 게이트 전극을 형성하되, 상기 소스 영역 또는 상기 드레인 영역에 접한 부분에 상기 활성층의 도핑되지 않은 부분이 노출되도록 다중 게이트 전극을 형성하는 단계; 상기 다중 게이트 전극에 의하여 노출된 상기 활성층의 도핑되지 않은 부분에 저농도 도핑영역을 형성하는 단계; 상기 저농도 도핑영역을 형성한 후 제1 층간 절연막을 형성하는 단계; 및 상기 제1 층간 절

연막을 관통하고 상기 소스 영역과 상기 드레인 영역에 각각 접촉하는 소스 전극과 드레인 전극을 형성하는 단계;를 포함하는 박막 트랜지스터의 형성방법이 개시된다.

발명의 효과

[0008] 다중 게이트 전극 구조와 LDD 구조를 사용하고, 다중 게이트 전극 사이의 활성층 내에 고농도 도핑 영역을 도입함에 의하여 누설전류의 최소값을 감소시키고 게이트 전압의 크기가 커짐에 따라 누설전류의 크기가 증가하는 현상을 완화시킴과 함께 온전류의 값이 작아지는 것을 방지하여 신뢰성과 구동력을 갖춘 박막 트랜지스터를 제공할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 개략적인 단면도이다.
 도 2는 도 1의 박막 트랜지스터의 활성층 부분을 확대하여 도시한 단면도이다.
 도 3은 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 개략적인 단면도이다.
 도 4는 유기발광장치(OLED)의 화소부를 나타낸 회로도이다.
 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.
 도 6a 내지 도 6e는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.
 도 7a 내지 도 7c는 비교예 및 본 발명의 실시예들의 박막 트랜지스터의 Id 대 Vg의 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하에서 첨부된 도면을 참조하여 본 발명의 실시예들을 상세하게 설명한다.

[0011] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터의 개략적인 단면도이고, 도 2는 도 1의 박막 트랜지스터의 활성층 부분을 확대하여 도시한 도면이다. 도 1 및 도 2를 참조하면, 기판(100) 상의 베이스층(102) 위에 박막 트랜지스터가 형성되어 있다.

[0012] 기판(100)은 유리, 석영, 플라스틱 재질이 사용될 수 있으며, 실리콘, 세라믹 또는 금속과 같은 다른 재질도 사용될 수 있다. 베이스층(102)은 기판(100)의 평활성과 불순 원소의 침투를 차단하기 위하여 또는 이동성 이온을 포함하거나 도전성인 기판을 사용하는 경우에 절연을 위하여 사용되거나 생략될 수 있다. 베이스층(102)은 예를 들어 실리콘 산화물(SiO₂), 실리콘 질화물(SiN_x) 또는 실리콘 산화질화물(SiO_xN_y)으로 형성될 수 있다.

[0013] 상기 베이스층(102) 상에는 소스 영역(104a), 드레인 영역(104d), 채널 영역(104g,104h,104i), LDD 영역(104e,104f), 고농도 도핑 영역(104b,10c)을 포함하는 활성층(104)이 형성되어 있다. 활성층(104)은 단결정 반도체, 다결정 반도체 또는 마이크로결정성을 갖는 반도체와 같이 결정구조를 포함하는 반도체로 형성될 수 있다. 예를 들어 활성층(104)은 단결정 실리콘 또는 다결정 실리콘으로 형성될 수 있다.

[0014] 활성층(104) 위에는 게이트 절연막(110)이 형성되어 있고, 게이트 절연막(110) 위에는 다중 게이트 전극(120)이 형성되어 있다. 도 1의 다중 게이트 전극(120)은 전기적으로 연결되어 있는 3개의 게이트 전극(120a,120b,120c)으로 이루어져 있으나, 이와 다르게 다중 게이트 전극(120)은 2개의 게이트 전극으로 이루어지거나 또는 4개 이상의 게이트 전극으로 이루어질 수도 있다. 다중 게이트 전극을 형성함으로써 오프 상태의 누설전류의 값을 낮출 수 있다.

[0015] 게이트 절연막(110)은 예를 들어 실리콘 산화막, 실리콘 질화막과 같은 절연막으로 형성할 수 있다. 다중 게이트 전극(120)은 도전성 물질로 형성할 수 있다. 다중 게이트 전극(120)은 예를 들어 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, W, Ti 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않고 인접층과의 밀착성, 적층되는 층의 평탄성, 전기 저항 및 가공성 등을 고려하여 다양한 재료를 사용할 수 있다.

[0016] 다중 게이트 전극(120) 위로 제1 층간 절연막(122)이 형성되어 있고, 상기 제1 층간 절연막(122)을 관통하여 소스 전극(132)과 드레인 전극(134)이 각각 소스 영역(104a) 및 드레인 영역(104d)과 접촉하고 있다.

- [0017] 제1 층간 절연막(122)은 실리콘 산화막, 실리콘 질화막과 같은 절연막으로 형성될 수 있다. 한편, 제1 층간 절연막(122)은 단층막 또는 다층막으로 형성될 수 있다. 소스 전극(132)과 드레인 전극(134)은 게이트 전극(120)과 마찬가지로 도전성 물질로 형성될 수 있으며, 예를 들어 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, W, Ti 또는 이들의 합금을 포함하여 다양한 재료로 형성될 수 있다.
- [0018] 활성층(104)에서는 소스 영역(104a) 및 드레인 영역(104d)이 다중 게이트 전극(120a, 120c)의 바깥쪽으로 활성 영역(104)의 양끝에 형성되어 있고, 다중 게이트 전극(120a, 120b, 120c)의 각각의 아래에는 채널 영역(104g, 104h, 104i)이 형성되어 있다. 소스 영역(104a)과 채널 영역(104g)의 사이에 LDD 영역(104e)이, 드레인 영역(104d)과 채널 영역(104i)의 사이에 LDD 영역(104f)이 형성되어 있다. 채널 영역들(104g, 104h, 104i) 사이에는 고농도 도핑 영역(104b, 104c)이 형성되어 있다. 고농도 도핑 영역(104b, 104c)의 일부는 다중 게이트 전극(120a, 120b, 120c)과 오버랩되어 있다.
- [0019] LDD 영역(104e, 104f)의 사용은 Vgs가 증가(NMOS에서는 감소)하면서 누설전류값이 증가하는 현상을 개선할 수 있는 한편, 고농도 도핑 영역(104b, 104c)의 사용은 채널 길이(channel length)를 줄임으로써 온전류의 손실을 최소화할 수 있다. 따라서 다중 게이트 구조와 LDD 구조와 함께 채널 영역 사이에 고농도 도핑 영역을 사용함으로써 온전류의 손실을 최소화하면서 누설전류를 효과적으로 줄일 수 있다. 한편, 도 1에 도시된 바와 같이 고농도 도핑 영역이 게이트 전극과 오버랩되도록 형성하여 저항이 낮은 부분을 확대함으로써 온전류를 더욱 향상시킬 수 있다.
- [0020] LDD 구조는 드레인 근방에서 전하 운반자가 가속되는 것을 억제하기 위하여 전기장을 완화시키도록 드레인 쪽에 낮게 도핑된 영역을 형성하는 구조이다. 오프 상태에서는 아직 전하 운반자의 가속이 일어나지 않는 소스 쪽은 누설전류에 영향을 미치지 않는다. 그러나 오프 상태에서 소스 영역과 드레인 영역이 고정되어 있지 않은 회로에서는 양쪽 노드의(소스 영역 또는 드레인 영역의) 전압에 따라서 소스 영역과 드레인 영역이 서로 바뀔 수 있어서, 소스 영역 및 드레인 영역 모두에 LDD 구조를 형성하는 것이 일반적이다. 그러나 대부분의 구동 트랜지스터와 같이 소스 영역 및 드레인 영역이 고정되어 있는 경우에는 드레인 영역 쪽에만 LDD를 형성해도 무방하다.
- [0021] 도 3은 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 개략적인 단면도이다. 도 3의 박막 트랜지스터는 LDD 영역이 소스 영역 쪽에만 형성되어 있는 것을 제외하면 도 1의 박막 트랜지스터와 동일한 구조를 갖는다. 도 3의 박막 트랜지스터가 NMOS 박막 트랜지스터일 경우, 전자는 소스 영역(104a)으로부터 드레인 영역(104d)으로 이동하면서 가속될 수 있는데, LDD 영역(104f)에 의하여 전자의 가속을 완화하여 핫캐리어에 의한 게이트 절연막(110)의 손상을 막아서 누설전류를 감소시킬 수 있다.
- [0022] 도 1 및 도 3의 박막 트랜지스터는 PMOS 박막 트랜지스터 또는 NMOS 박막 트랜지스터일 수 있다. PMOS 박막 트랜지스터의 경우에는 소스 영역, 드레인 영역, 고농도 도핑 영역은 p+ 도핑 영역일 수 있고, LDD 영역은 p- 도핑 영역일 수 있다. NMOS 박막 트랜지스터의 경우에는 소스 영역, 드레인 영역, 고농도 도핑 영역은 n+ 도핑 영역일 수 있고, LDD 영역은 n- 도핑 영역일 수 있다.
- [0023] 도 4는 유기발광장치(OLED: organic light emitting device)의 화소부를 나타낸 회로도이다.
- [0024] 도 4를 참조하면, 화소부는 구동할 화소를 선택하는 선택선(SL)과 화소에 전압을 인가하는 데이터선(DL), 선택선(SL)의 신호에 따라서 데이터선(DL)의 데이터의 흐름을 제어하는 스위칭 소자(T1), 전원을 공급하는 전원선(PL), 데이터선(DL)과 전원선(SL)의 전압차에 따른 전하를 축적하는 저장 커패시터(SC), 저장 커패시터(SC)에 축적된 전하에 의한 전압에 따라서 전류를 흐르게 하는 구동소자(T2)와 구동소자(T2)에 의하여 흐르는 전류에 의하여 구동되는 유기발광소자(P)로 구성된다.
- [0025] 본 발명의 실시예들에 의한 박막 트랜지스터는 도 4의 회로도에 의하여 나타낸 유기발광장치의 스위칭 소자(T1) 또는 구동소자(T2)에 적용될 수 있다. 또한, 본 발명의 실시예들에 의한 박막 트랜지스터는 유기발광장치 뿐만 아니라 액정표시장치나 다른 발광소자의 스위칭 소자 또는 구동소자에 적용될 수 있다.
- [0026] 도 5a 내지 도 5e는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.
- [0027] 도 5a를 참조하면, 기판(100)의 전면 위에 베이스층(102)을 형성한다. 기판(100)은 유리, 석영, 플라스틱 재질로 형성할 수 있으며, 실리콘, 세라믹 또는 금속과 같은 다른 재질로 형성할 수도 있다. 베이스층(102)은 예를 들어 실리콘 산화물(SiO₂), 실리콘 질화물(SiN_x) 또는 실리콘 산화질화물(SiO_xN_y)으로 형성될 수 있다. 베이스층(102)은 기판(100)의 평활성과 불순 원소의 침투를 차단하기 위하여 또는 이동성 이온을 포함하거나 도전성인

기관을 사용하는 경우에 절연을 위하여 형성할 수 있다.

- [0028] 베이스층(102) 위에 p형 반도체 막을 형성하고 패터닝하여 활성층(104)을 형성한다. 활성층(104)은 단결정 반도체, 다결정 반도체 또는 마이크로결정성을 갖는 반도체와 같이 결정구조를 포함하는 반도체로 형성할 수 있다. 예를 들어 활성층(104)은 단결정 실리콘 또는 다결정 실리콘으로 형성할 수 있다.
- [0029] 활성층(104) 위에 게이트 절연막(110)을 형성한다. 게이트 절연막(110)은 예를 들어 실리콘 산화막, 실리콘 질화막과 같은 절연막으로 형성할 수 있다.
- [0030] 도 5b를 참조하면, 게이트 절연막(110) 위에 레지스트막(112: 112a, 112b, 112c)를 형성한다. 레지스트막(112)을 마스크로 삼고 p+ 도핑을 수행하여 활성층(104) 내에 p+ 도핑 영역(104a, 104b, 104c, 104d)을 형성한다. p+ 도핑 영역(104a, 104d)은 소스 영역 및 드레인 영역에 해당하고, p+ 도핑 영역(104b, 104c)은 채널 영역 사이의 고농도 도핑 영역에 해당한다. 한편, p+ 도핑에 의하여 스토리지 커패시터 하부 전극(미도시)도 동시에 형성할 수 있다. p+ 도핑의 도펀트(dopant)로 보론이 첨가될 수 있으며, 보론은 예를 들어 다이보레인(B₂H₆)을 이온 임플란트하여 첨가될 수 있다. 도면부호 104n은 활성층(104)에서 도핑되지 않은 영역을 나타낸다.
- [0031] 도 5c를 참조하면, 레지스트막(112)를 제거한 후 도전막을 형성하고 패터닝하여 다중 게이트 전극(120: 120a, 120b, 120c)을 형성한다. 도전막은 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, W, Ti 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않고 인접층과의 밀착성, 적층되는 층의 평탄성, 전기 저항 및 가공성 등을 고려하여 다양한 재료를 사용할 수 있다. 다중 게이트 전극(120)은 고농도 도핑 영역(104b, 104c)이 다중 게이트 전극(120a, 120b, 120c)의 사이에 오도록 얼라인된다.
- [0032] 앞서 도 5b의 단계에서 다중 게이트 전극(120a, 120c) 보다 레지스트막(112a, 112c)의 폭이 넓도록 레지스트막(112)을 형성함으로써 p+ 도핑시 레지스트막(112)에 의하여 가려져서 도핑되지 않았던 활성층(104) 부분이 다중 게이트 전극(120)의 형성 후에 노출된다. 또한, 도 5b의 단계에서 레지스트막(112a, 112b, 112c)은 다중 게이트 전극(120a, 120c) 아래에 p+ 도핑 영역(104b, 104c)이 오버랩될 수 있도록 형성된다.
- [0033] 도 5d를 참조하면, 다중 게이트 전극(120)을 마스크로 하여 활성층(104)에 자기 정렬 방식으로 p- 도핑을 수행하여 LDD 영역(104e, 104f)을 형성한다. P- 도핑의 도펀트로 p+ 도핑과 마찬가지로 보론이 첨가될 수 있으며, 보론은 예를 들어 다이보레인(B₂H₆)을 이온도핑할 수 있다.
- [0034] p- 도핑의 수행 후에 활성층(104)에는 소스 영역(104a) 및 드레인 영역(104d)이 다중 게이트 전극(120a, 120c)의 바깥쪽으로 형성되어 있고, 다중 게이트 전극(120a, 120b, 120c)의 각각의 아래에는 채널 영역(104g, 104h, 104i)이 형성되어 있다. 소스 영역(104a)과 채널 영역(104g)의 사이에 LDD 영역(104e)이, 드레인 영역(104d)과 채널 영역(104i)의 사이에 LDD 영역(104f)이 형성되어 있다. 채널 영역들(104g, 104h, 104i) 사이에는 고농도 도핑 영역(104b, 104c)이 형성되어 있다. 고농도 도핑 영역(104b, 104c)의 일부는 다중 게이트 전극(120a, 120b, 120c)과 오버랩되어 있다.
- [0035] 도 5e를 참조하면, 다중 게이트 전극(120a, 120b, 120c) 위로 제1 층간 절연막(122)을 형성하고, 각각 소스 영역(104a) 및 드레인 영역(104d)과 접촉하도록 상기 제1 층간 절연막(122)을 관통하여 소스 전극(132)과 드레인 전극(134)을 형성한다. 제1 층간 절연막(122)은 실리콘 산화막, 실리콘 질화막과 같은 무기 절연막 또는 유기 절연막으로 형성될 수 있다. 소스 전극(132)과 드레인 전극(134)은 게이트 전극(120)과 마찬가지로 도전성 물질로 형성할 수 있으며, 예를 들어 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, W, Ti 또는 이들의 합금을 포함하여 다양한 재료로 형성할 수 있다.
- [0036] 도 6a 내지 도 6e는 본 발명의 다른 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서대로 도시한 단면도들이다.
- [0037] 본 실시예는 LDD 영역을 소스 영역과 드레인 영역의 한쪽, 바람직하게는 드레인 영역 쪽에만 형성하는 점에서 도 5a 내지 도 5e의 실시예와 다르다. 본 실시예에서 도 5a 내지 도 5e의 실시예와 동일한 부분의 설명은 생략하도록 한다.
- [0038] 도 6a를 참조하면, 기판(100)의 전면 위에 베이스층(102)을 형성한 후 베이스층(102) 위에 p형 반도체 막을 형성하고 패터닝하여 활성층(104)을 형성한다. 활성층(104) 위에 게이트 절연막(110)을 형성하고, 게이트 절연막(110) 위에 레지스트막(112: 112a, 112b, 112c)를 형성한다. 레지스트막(112a, 112b)은 채널영역과 그 사이의 고농도 도핑영역을 정의하도록 형성하고, 드레인 영역에 인접한 레지스트막(112c)은 채널영역과 LDD 영역을 포

함하도록 상대적으로 넓게 형성 한다.

- [0039] 레지스트막(112)을 마스크로 하여 p+ 도핑을 수행하여 활성층(104) 내에 p+ 도핑 영역(104a, 104b, 104c, 104d)을 형성한다. p+ 도핑에 의하여 스토리지 커패시터 하부 전극(미도시)도 동시에 형성할 수 있다.
- [0040] 도 6b를 참조하면, 레지스트막(112)를 제거한 후 도전막을 형성하고 패터닝하여 다중 게이트 전극(120: 120a, 120b, 120c)을 형성한다. 다중 게이트 전극(120)은 고농도 도핑 영역(104b, 104c)이 다중 게이트 전극(120a, 120b, 120c)의 사이에 오도록 열라인된다. p+ 도핑되지 않은 활성층(104) 부분은 다중 게이트 전극(120c)에 의하여 노출된다.
- [0041] 도 6c를 참조하면, 다중 게이트 전극(120)을 마스크로 하여 활성층(104)에 자기 정렬 방식으로 p- 도핑을 수행하여 LDD 영역(104f)을 형성한다.
- [0042] p- 도핑의 수행 후에 활성층(104)에는 소스 영역(104a) 및 드레인 영역(104d)이 다중 게이트 전극(120a, 120c)의 바깥쪽으로 형성되어 있고, 다중 게이트 전극(120a, 120b, 120c)의 각각의 아래에는 채널 영역(104g, 104h, 104i)이 형성되어 있다. 드레인 영역(104d)과 채널 영역(104i)의 사이에만 LDD 영역(104f)이 형성되어 있다. 채널 영역들(104g, 104h, 104i) 사이에는 고농도 도핑 영역(104b, 104c)이 형성되어 있다. 고농도 도핑 영역(104b, 104c)의 일부분은 다중 게이트 전극(120a, 120b, 120c)과 오버랩될 수 있다.
- [0043] 도 6d를 참조하면, 다중 게이트 전극(120a, 120b, 120c) 위로 제1 층간 절연막(122)을 형성하고, 각각 소스 영역(104a) 및 드레인 영역(104b)과 접촉하도록 상기 제1 층간 절연막(122)을 관통하여 소스 전극(132)과 드레인 전극(134)을 형성한다.
- [0044] 위의 실시예들에서 소스 영역과 드레인 영역을 지정하여 도시하였으나, 이와 다르게 소스 영역과 드레인 영역은 걸리는 전압에 따라서 서로 바뀔 수 있다. 그리고 상기 실시예들에서 다중 게이트 전극이 3개의 개별 게이트 전극으로 이루어진 경우에 대하여 설명하였으나, 다중 게이트 전극은 2개 또는 4개 이상의 개별 게이트 전극으로 이루어질 수도 있다. 한편, 상기 실시예에서 PMOS 박막 트랜지스터에 관하여만 설명하였으나, NMOS 박막 트랜지스터를 사용하는 경우에도 본 발명을 동일하게 적용할 수 있다.
- [0045] 특성
- [0046] 도 7a 내지 도 7c는 비교예 및 본 발명의 실시예들의 박막 트랜지스터의 Id 대 Vg의 그래프이다. 도 7a 내지 도 7c의 각각의 그래프는 Vds 전압이 -0.1V, -5.1V 및 -10.1V에 대하여 측정되었으며, Vds 전압이 커지는 순서로 오프 전류의 크기도 커짐이 보인다.
- [0047] 도 7a는 다중 게이트 전극과 고농도 도핑 영역이 적용되고 LDD 구조는 적용되지 않은 비교예 박막 트랜지스터의 Id 대 Vg의 그래프이다. 도 7a를 참조하면, 비교예의 온전류의 크기는 10⁻⁵A의 차수이고, 오프 전류의 최소값은 10⁻¹¹-10⁻¹³A의 범위를 가지며, 오프 전류의 크기가 Vg의 크기가 커질수록 높아지는 것이 보인다.
- [0048] 도 7b는 다중 게이트 전극, 고농도 도핑 영역 및 LDD 구조가 적용된 일 실시예의 박막 트랜지스터의 Id 대 Vg의 그래프이다. 도 7b의 실시예는 박막 트랜지스터에서는 고농도 도핑 영역이 다중 게이트 전극과 오버랩되도록 형성되어 있는 경우이다. 도 7b를 참조하면, 본 실시예의 온전류의 크기는 10⁻⁵A의 차수이고, 오프 전류의 최소값은 10⁻¹¹-10⁻¹³A의 범위를 가져서 비교예와 온전류 크기와 오프 전류의 최소값이 비교예와 유사하지만, Vg가 커짐에 따라 오프 전류가 커지는 정도는 비교예보다 작음을 알 수 있다.
- [0049] 도 7c는 다중 게이트 전극, 고농도 도핑 영역 및 LDD 구조가 적용된 다른 일 실시예의 박막 트랜지스터의 Id 대 Vg의 그래프이다. 도 7c의 실시예는 박막 트랜지스터에서는 고농도 도핑 영역이 다중 게이트 전극과 오버랩되지 않는 경우이다. 도 7c를 참조하면, 본 실시예의 온전류의 크기는 10⁻⁵A 보다 작고, 오프 전류의 최소값은 10⁻¹¹-10⁻¹³A의 범위를 가져서 비교예보다 온전류 크기는 작고 오프 전류의 최소값은 비교예와 유사한 것을 알 수 있다. 한편, Vg가 커짐에 따라 오프 전류가 커지는 정도는 비교예 및 도 7b의 실시예보다 작음을 알 수 있다.
- [0050] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위내의 다양한 실시예가 가능함을 이해할 수 있을 것이다.

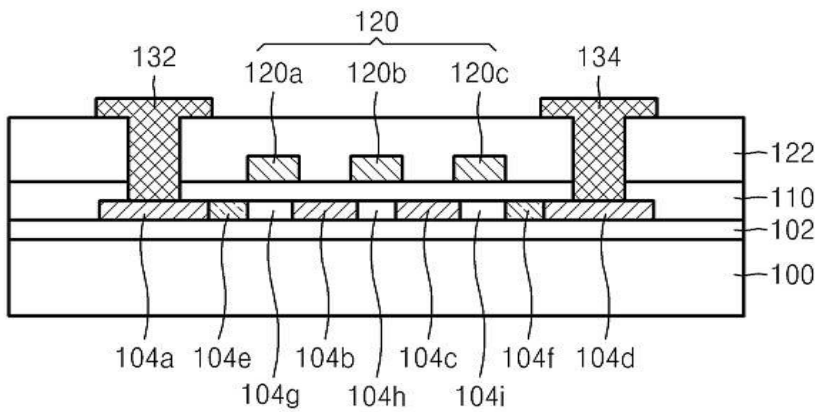
부호의 설명

[0051]

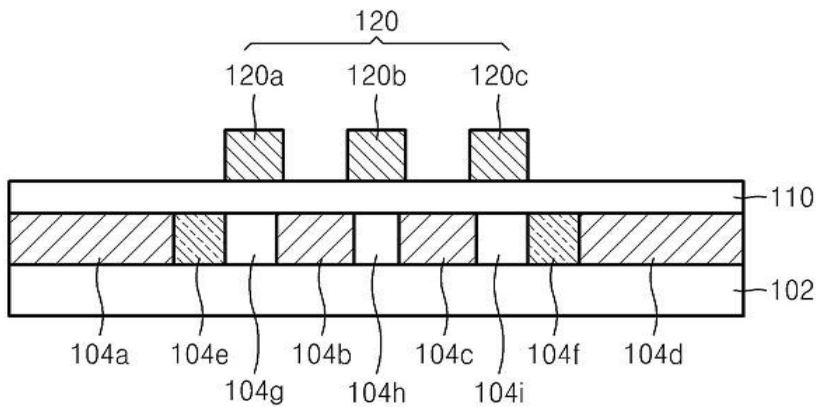
- | | |
|-------------------------------|----------------------|
| 100: 기판 | 102: 베이스층 |
| 104: 활성층 | 104a: 소스 영역 |
| 104d: 드레인 영역 | 104b,104c: 고농도 도핑 영역 |
| 104e,104f: LDD 영역 | 110: 게이트 절연막 |
| 112, 112a, 112b, 112c: 다중 게이트 | 122: 제1 층간 절연막 |
| 132: 소스 전극 | 134: 드레인 전극 |

도면

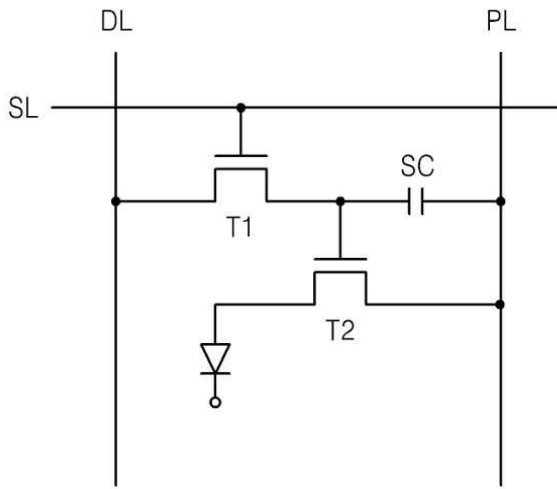
도면1



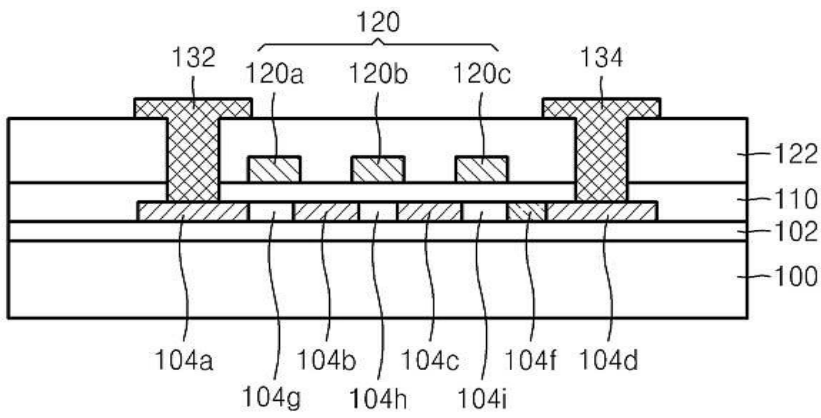
도면2



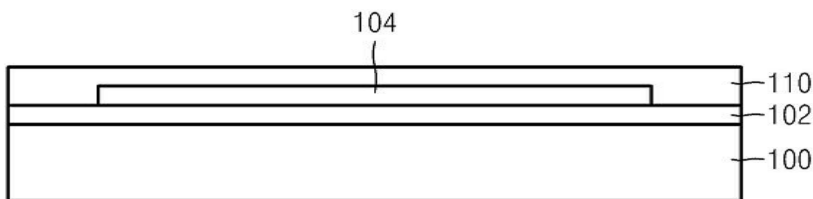
도면3



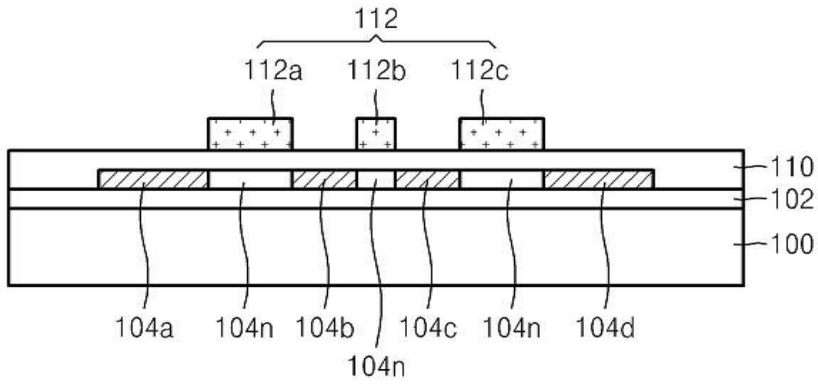
도면4



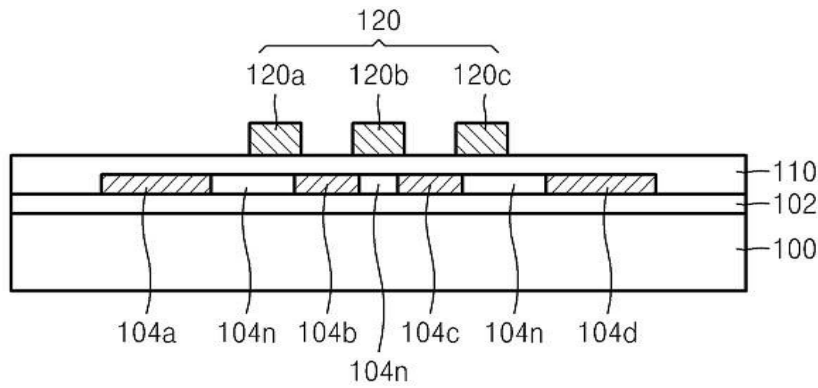
도면5a



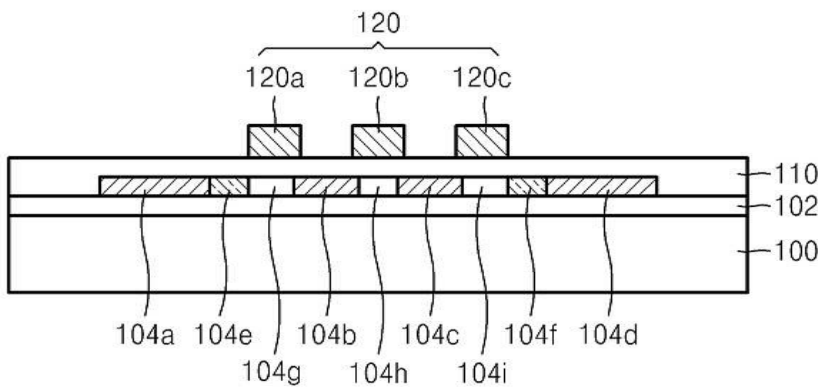
도면5b



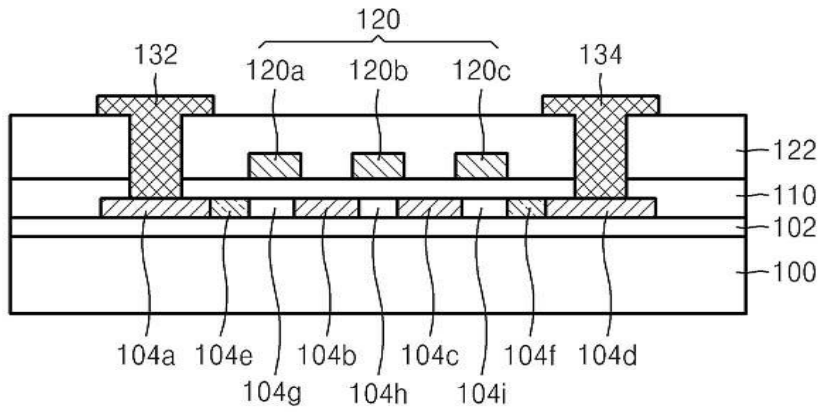
도면5c



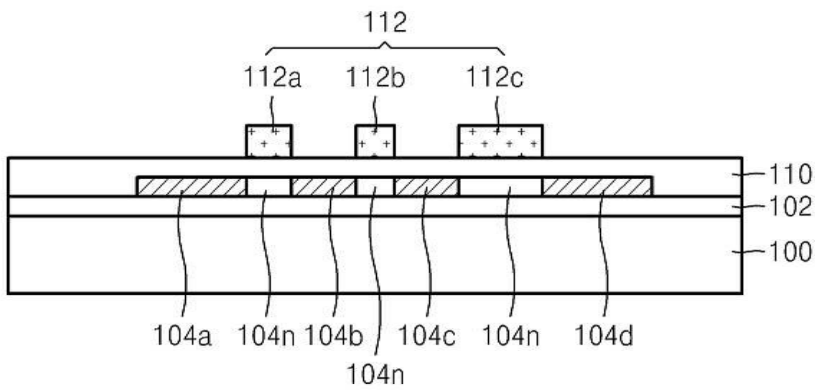
도면5d



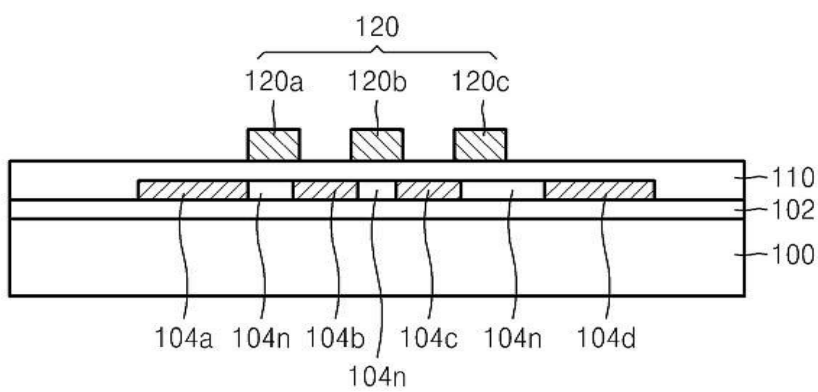
도면5e



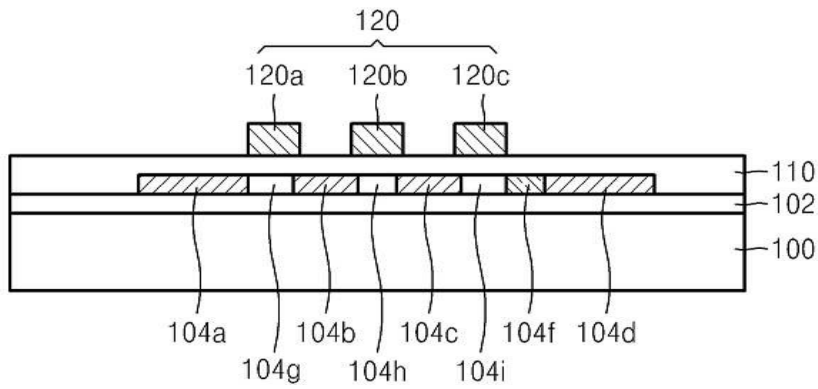
도면6a



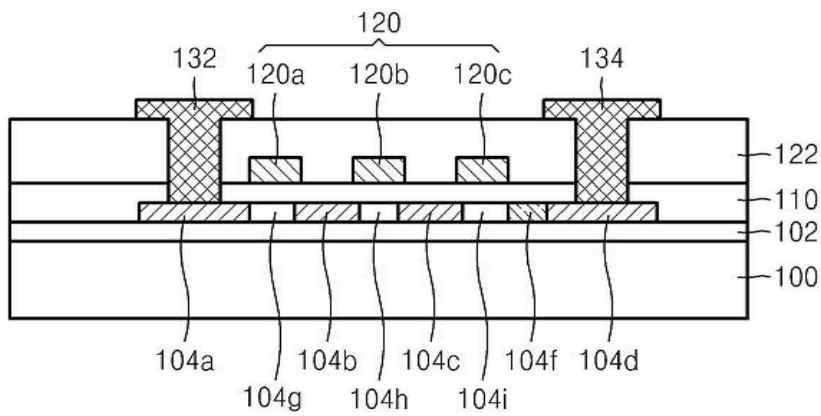
도면6b



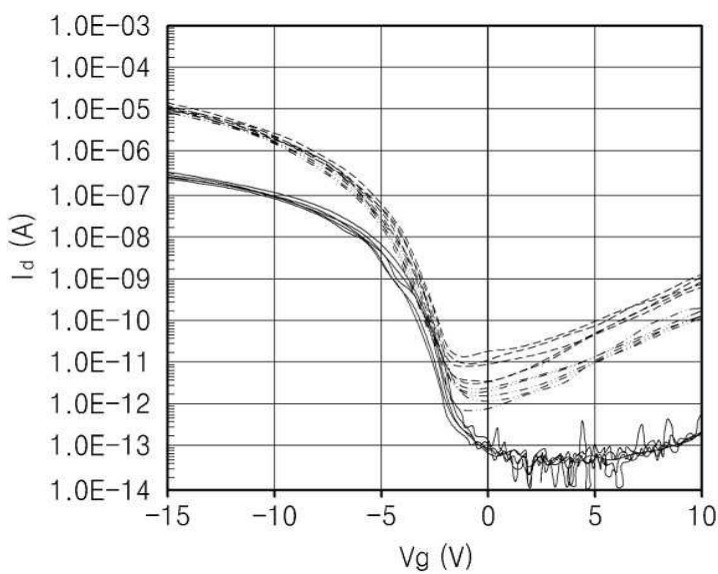
도면6c



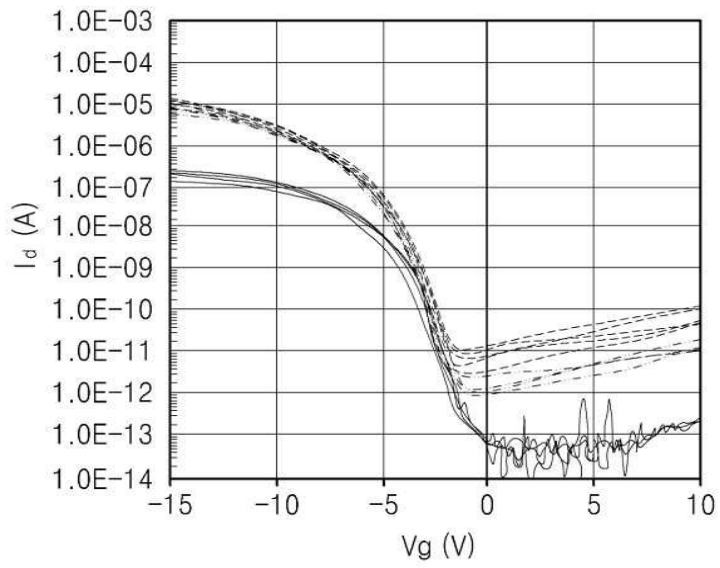
도면6d



도면7a



도면7b



도면7c

