



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년08월24일
 (11) 등록번호 10-1650938
 (24) 등록일자 2016년08월18일

(51) 국제특허분류(Int. Cl.)
 H01L 23/00 (2006.01) H01L 23/14 (2006.01)
 (21) 출원번호 10-2014-0128196
 (22) 출원일자 2014년09월25일
 심사청구일자 2014년09월25일
 (65) 공개번호 10-2016-0036247
 (43) 공개일자 2016년04월04일
 (56) 선행기술조사문헌
 KR1020130133199 A*
 JP2004511111 A
 KR1020140016150 A
 JP2004512667 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 코닝정밀소재 주식회사
 충청남도 아산시 탕정면 만전당길 30
 (72) 발명자
 김준수
 충청남도 아산시 탕정면 만전당길 30 코닝정밀소재(주)
 문형수
 충청남도 아산시 탕정면 만전당길 30 코닝정밀소재(주)
 최재영
 충청남도 아산시 탕정면 만전당길 30 코닝정밀소재(주)
 (74) 대리인
 김선민

전체 청구항 수 : 총 5 항

심사관 : 이준우

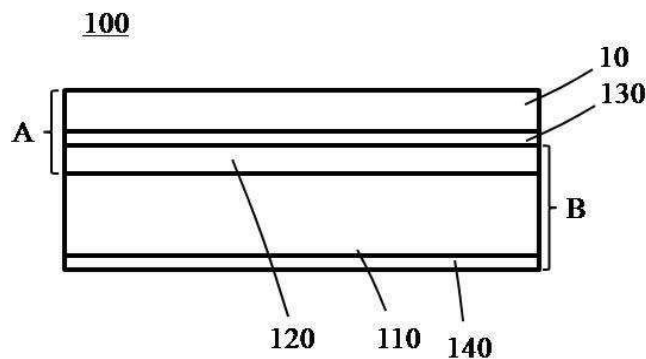
(54) 발명의 명칭 **집적회로 패키지용 기판**

(57) 요약

본 발명은 집적회로 패키지용 기판에 관한 것으로서 더욱 상세하게는 반도체 칩과의 열팽창 계수 불일치를 완화 시킴으로써, 리플로우(reflow) 공정 시 휨 발생이 방지 또는 최소화되는 집적회로 패키지용 기판에 관한 것이다.

이를 위해, 본 발명은, 반도체 칩과 인쇄회로기판 사이에 개재되어 상기 반도체 칩과 상기 인쇄회로기판을 전기적으로 연결시키는 집적회로 패키지용 기판에 있어서, 초 박판 유리; 상기 초 박판 유리의 상면에 형성되고, 상기 반도체 칩 및 상기 초 박판 유리와 열팽창 계수가 다른 물질로 이루어지는 제1 CTE 제어층; 상기 제1 CTE 제어층 상면에 형성되고, 상기 반도체 칩과 연결되는 제1 금속 박판; 및 상기 초 박판 유리의 하면에 형성되고, 상기 인쇄회로기판과 연결되는 제2 금속 박판을 포함하는 것을 특징으로 하는 집적회로 패키지용 기판을 제공한다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 칩과 인쇄회로기판 사이에 개재되어 상기 반도체 칩과 상기 인쇄회로기판을 전기적으로 연결시키는 집적 회로 패키지용 기판에 있어서,

초 박판 유리;

상기 초 박판 유리의 상면에 형성되고, 상기 반도체 칩 및 상기 초 박판 유리와 열팽창 계수가 다른 물질로 이루어지는 제1 CTE 제어층;

상기 제1 CTE 제어층 상면에 형성되고, 상기 반도체 칩과 연결되는 제1 금속 박판; 및

상기 초 박판 유리의 하면에 형성되고, 상기 인쇄회로기판과 연결되는 제2 금속 박판;

을 포함하되,

상기 초 박판 유리는 상기 반도체 칩의 두께 및 상기 제1 CTE 제어층의 두께에 의해, 두께가 결정되는 유리로 정의되는 것을 특징으로 하는 집적회로 패키지용 기판.

청구항 2

제1항에 있어서,

상기 반도체 칩, 상기 제1 금속 박판 및 상기 제1 CTE 제어층은 제1 복합체로, 상기 제1 CTE 제어층, 상기 초 박판 유리 및 상기 제2 금속 박판은 제2 복합체로 구분되되, 상기 제1 복합체의 열팽창 계수와 상기 제2 복합체의 열팽창 계수는 서로 일치하는 것을 특징으로 하는 집적회로 패키지용 기판.

청구항 3

제1항에 있어서,

상기 제1 CTE 제어층의 두께는 상기 반도체 칩의 두께 및 상기 초 박판 유리의 두께에 의해 결정되는 것을 특징으로 하는 집적회로 패키지용 기판.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 초 박판 유리와 상기 제2 금속 박판 사이에 형성되는 제2 CTE 제어층을 더 포함하는 것을 특징으로 하는 집적회로 패키지용 기판.

청구항 6

제5항에 있어서,

상기 반도체 칩, 상기 제1 금속 박판 및 상기 제1 CTE 제어층은 제3 복합체로, 상기 제1 CTE 제어층, 상기 초

박판 유리, 상기 제2 CTE 제어층 및 상기 제2 금속 박판은 제4 복합체로 구분되며, 상기 제3 복합체의 열팽창 계수와 상기 제4 복합체의 열팽창 계수는 서로 일치하는 것을 특징으로 하는 집적회로 패키지용 기판.

발명의 설명

기술 분야

[0001] 본 발명은 집적회로 패키지용 기판에 관한 것으로서 더욱 상세하게는 반도체 칩과의 열팽창 계수 불일치를 완화 시킴으로써, 리플로우(reflow) 공정 시 휨 발생이 방지 또는 최소화되는 집적회로 패키지용 기판에 관한 것이다.

배경 기술

[0002] 집적회로 패키지용 기판은 반도체 칩을 인쇄회로기판(PCB)과 전기적으로 연결시키는 중간기판으로, 반도체 칩과 인쇄회로기판 간에 전기신호를 전달하는 인터페이스(interface)이다. 이때, 통상적으로, 반도체 칩과 집적회로 패키지용 기판을 전기적으로 연결하기 위해서는 솔더 범프(solder bumps)를 이용하는데, 이러한 연결 공정을 리플로우(reflow) 공정이라고 한다. 리플로우 공정은 약 260℃에서 20초 정도 진행되고, 그 후, 상온으로 냉각시키는 공정이 수반된다. 하지만, 상온으로 냉각 시 상부의 반도체 칩과 하부의 집적회로 패키지용 기판 간의 열팽창 계수(coefficient of thermal expansion; CTE) 차이로 인해, 집적회로 패키지용 기판에 휨 불량이 발생하게 된다. 즉, 반도체 칩으로 주로 사용되는 실리콘은 약 2.6ppm/℃의 열팽창 계수(CTE)를 나타내고, 종래 집적회로 패키지용 기판으로 사용되는 CCL(copper clad laminate)는 약 15ppm/℃의 열팽창 계수(CTE)를 나타낸다. 이와 같이 상부의 반도체 칩과 하부의 CCL 간의 큰 열팽창 계수(CTE) 불일치는 260℃의 고온에서 진행되는 리플로우 공정에서 두 층의 서로 다른 열팽창을 야기하여, 냉각 과정에서 본래의 모양을 유지하지 못하고 휨 불량을 초래하게 된다. 또한, 이와 같은 휨 불량이 발생되면, 두 층을 전기적으로 연결하는 솔더 범프의 깨짐 현상이 초래되어, 전기적 차단 불량 야기, 즉, 전기 신호의 전달을 파괴하는 문제를 발생시키게 된다. 여기서, 어느 정도 두께를 갖는 기판의 경우에는 열팽창 계수(CTE) 차이로 인해 큰 불량은 야기되지 않는다. 하지만, 경박단소해지는 현재의 반도체 산업의 추세에 따라, 기판의 두께 또한 필연적으로 얇아지게 되는데, 기판의 두께가 얇아질수록, 열팽창 계수(CTE) 불일치는 휨 불량 및 이로 인해 야기되는 각종 불량의 주요 원인으로 작용하게 된다. 또한, 경박단소해지는 전자소재의 추세에 따라, 작은 피치(pitch) 사이즈와 함께 반도체 칩의 두께 또한 작아지고 있다. 이와 같이, 피치 사이즈가 작아질수록, 마이크로 솔더 범프의 크기도 작아지게 되는데, 이 경우에는 작은 휨 발생에도 마이크로 솔더 범프의 깨짐 현상이 초래되는 등, 휨 불량이 더욱 취약할 수 밖에 없다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 대한민국 등록특허공보 제10-0648968호(2006.11.16)

발명의 내용

해결하려는 과제

[0004] 본 발명은 상술한 바와 같은 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은 반도체 칩과의 열팽창 계수 불일치를 완화시킴으로써, 리플로우(reflow) 공정 시 휨 발생이 방지 또는 최소화되는 집적회로 패키지용 기판을 제공하는 것이다.

과제의 해결 수단

[0005] 이를 위해, 본 발명은, 반도체 칩과 인쇄회로기판 사이에 개재되어 상기 반도체 칩과 상기 인쇄회로기판을 전기적으로 연결시키는 집적회로 패키지용 기판에 있어서, 초 박판 유리; 상기 초 박판 유리의 상면에 형성되고, 상기 반도체 칩 및 상기 초 박판 유리와 열팽창 계수가 다른 물질로 이루어지는 제1 CTE 제어층; 상기 제1 CTE 제

어층 상면에 형성되고, 상기 반도체 칩과 연결되는 제1 금속 박판; 및 상기 초 박판 유리의 하면에 형성되고, 상기 인쇄회로기판과 연결되는 제2 금속 박판을 포함하는 것을 특징으로 하는 집적회로 패키지용 기판을 제공한다.

[0006] 여기서, 상기 반도체 칩, 상기 제1 금속 박판 및 상기 제1 CTE 제어층은 제1 복합체로, 상기 제1 CTE 제어층, 상기 초 박판 유리 및 상기 제2 금속 박판은 제2 복합체로 구분되며, 상기 제1 복합체의 열팽창 계수와 상기 제2 복합체의 열팽창 계수는 서로 일치할 수 있다.

[0007] 또한, 상기 제1 CTE 제어층의 두께는 상기 반도체 칩의 두께 및 상기 초 박판 유리의 두께에 의해 결정될 수 있다.

[0008] 그리고 상기 초 박판 유리의 두께는 상기 반도체 칩의 두께 및 상기 제1 CTE 제어층의 두께에 의해 결정될 수 있다.

[0009] 게다가, 상기 초 박판 유리와 상기 제2 금속 박판 사이에 형성되는 제2 CTE 제어층을 더 포함할 수 있다.

[0010] 이때, 상기 반도체 칩, 상기 제1 금속 박판 및 상기 제1 CTE 제어층은 제3 복합체로, 상기 제1 CTE 제어층, 상기 초 박판 유리, 상기 제2 CTE 제어층 및 상기 제2 금속 박판은 제4 복합체로 구분되며, 상기 제3 복합체의 열팽창 계수와 상기 제4 복합체의 열팽창 계수는 서로 일치할 수 있다.

발명의 효과

[0011] 본 발명에 따르면, 초 박판 유리 및 이의 상면 또는 상면과 하면에 각각 적층되는 CTE 제어층을 구비함으로써, 이에 실장되는 반도체 칩과의 열팽창 계수 불일치를 완화시킬 수 있고, 이를 통해, 리플로우 공정 중에 열팽창 계수 불일치에 따라 반도체 칩과 집적회로 패키지용 기판이 휘어지는 현상을 방지 또는 최소화시킬 수 있다.

[0012] 또한, 본 발명에 따르면, CTE 제어층이 초 박판 유리에 대한 보강층으로 작용됨으로써, 홀-드릴링(hole-drilling), 커팅(cutting)과 같은 가공 작업을 보다 용이하게 진행할 수 있다. 즉, 본 발명에 따르면, 직접회로 패키지용 기판의 가공성을 향상시킬 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판 및 이에 실장된 반도체 칩을 개략적으로 나타낸 단면 모식도.

도 2는 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판에서, CTE 제어층의 두께에 따른 CTE1 변화(좌) 및 초 박판 유리의 두께에 따른 CTE2의 변화(우)를 나타낸 그래프.

도 3은 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판 및 이에 실장된 반도체 칩을 개략적으로 나타낸 단면 모식도.

도 4는 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판에서, CTE 제어층의 두께에 따른 CTE1 변화(좌) 및 초 박판 유리의 두께에 따른 CTE2의 변화(우)를 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 첨부된 도면들을 참조하여 본 발명의 실시 예에 따른 집적회로 패키지용 기판에 대해 상세히 설명한다.

[0015] 아울러, 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단된 경우 그 상세한 설명은 생략한다.

[0016] 도 1에 도시한 바와 같이, 본 발명의 일 실시 예에 따른 집적회로 패키지(integrated circuit package)용 기판(100)은, 반도체 칩(10)과 인쇄회로기판(PCB) 사이에 개재되어, 이들을 전기적으로 연결시키는 중간 매개체 혹은 중간 기판이다. 이러한 집적회로 패키지용 기판(100)은 초 박판 유리(110), 제1 CTE 제어층(120), 제1 금속

박판(130) 및 제2 금속 박판(140)을 포함하여 형성된다.

- [0017] 초 박판 유리(110)는 본 발명의 일 실시 예에 따른 집적회로 패키지용 기관(110)의 전체 두께가 216 μm 로 이루어지는 경우, 120 μm 로 이루어진다. 이때, 초 박판 유리(110)는 반도체 칩(10)의 두께 및 제1 CTE 제어층(120)의 두께에 의해 그 두께가 결정된다. 즉, 도 2에 나타난 바와 같이, 반도체 칩(10)의 두께가 50 μm 이고, 제1 CTE 제어층(120)의 두께가 40 μm 인 경우, 초 박판 유리(110)의 두께는 120 μm 로 결정된다. 또한, 도 2에 나타난 바와 같이, 반도체 칩(10)의 두께 및 제1 CTE 제어층(120)의 두께에 따라, 초 박판 유리(110)의 두께가 변화될 수 있는데, 이에 대해서는 하기에서 보다 상세히 설명하기로 한다.
- [0018] 한편, 본 발명의 일 실시 예에 사용된 초 박판 유리(110)는 0.2~2.5의 푸아송비(Poisson's ratio), 3~5ppm/K의 열팽창 계수, 70~75Gpa의 영률(Young's modulus), 2.3~2.5g/cm³의 밀도 및 47.2Gpa의 체적탄성률(bulk modulus)를 갖는다.
- [0019] 제1 CTE 제어층(120)은 초 박판 유리(110)의 상면에 형성된다. 이러한 제1 CTE 제어층(120)은 반도체 칩(10) 및 초 박판 유리(110)와 열팽창 계수가 다른 물질로 이루어진다. 또한, 제1 CTE 제어층(120)은 반도체 칩(10)의 두께 및 초 박판 유리(110)의 두께에 의해 그 두께가 결정된다. 즉, 본 발명의 일 실시 예에서는 두께 50 μm 의 반도체 칩(10)이 사용되고, 두께 120 μm 의 초 박판 유리(110)가 사용되는데, 이 경우, 제1 CTE 제어층(120)의 두께는 40 μm 로 결정된다. 이와 같은 제1 CTE 제어층(120)의 두께는 반도체 칩(10), 제1 금속 박판(130) 및 제1 CTE 제어층(120)으로 정의 혹은 구분되는 제1 복합체(A) 및 제1 CTE 제어층(120), 초 박판 유리(110) 및 제2 금속 박판(140)으로 정의 혹은 구분되는 제2 복합체(B)의 열팽창 계수를 일치시키는 과정에서 결정되는데, 이에 대해서는 하기에서 보다 상세히 설명하기로 한다.
- [0020] 여기서, 제1 CTE 제어층(120)은 제1 복합체(A) 및 제2 복합체(B)에 모두 포함되어, 이들의 열팽창 계수를 제어하는 층으로 작용함과 아울러, 초 박판 유리(110)에 대한 보강층으로 작용하게 된다. 즉, 초 박판 유리(110) 상에 제1 CTE 제어층이 형성되면, 차후 홀-드릴링(hole-drilling), 커팅(cutting)과 같은 가공 작업을 보다 용이하게 진행할 수 있게 되어, 궁극적으로 집적회로 패키지용 기관(100)의 가공성을 향상시킬 수 있게 된다.
- [0021] 한편, 본 발명의 일 실시 예에 따른 제1 CTE 제어층(120)은 0.35의 푸아송비(Poisson's ratio), 50ppm/°C의 열팽창 계수, 1~100Gpa, 바람직하게는 11.3Gpa의 영률(Young's modulus), 1.75~1.77g/cm³의 밀도 및 12.5Gpa의 체적탄성률(bulk modulus)를 갖는다. 이때, 제1 CTE 제어층(120)은 상기와 같은 물성에 더해, 260~280°C 이상에서도 열적 안정성을 가져야 하고, 초 박판 유리(110)와의 접착력이 4~5N/mm² 이상 되어야 하며, 초 박판 유리(110) 상면에 박막 코팅이 가능하도록, 스핀, 딥, 바 코팅 등의 가공성이 우수해야 한다.
- [0022] 제1 금속 박판(130)은 구리(Cu) 박판으로, 제1 CTE 제어층(120) 상면에 형성된다. 또한, 제2 금속 박판(140)은 제1 금속 박판(130)과 동일한 구리(Cu) 박판으로, 초 박판 유리(110)의 하면에 형성된다. 이러한 제1 금속 박판(130)은 이의 상면에 위치되는 반도체 칩(10)과 연결되고, 제2 금속 박판(140)은 이의 하면에 위치되는 인쇄회로기판(미도시)과 연결된다.
- [0023] 본 발명의 일 실시 예에서, 제1 금속 박판(130) 및 제2 금속 박판(140)은 각각 3 μm 두께로 형성된다. 또한, 제1 금속 박판(130) 및 제2 금속 박판(140)은 0.34의 푸아송비(Poisson's ratio), 16.5ppm/K의 열팽창 계수, 110~128Gpa의 영률(Young's modulus), 8.96g/cm³의 밀도 및 128.6Gpa의 체적탄성률(bulk modulus)를 갖는다.
- [0024] 한편, 본 발명의 일 실시 예에서, 반도체 칩(10)은 0.064~0.28의 푸아송비(Poisson's ratio), 2.6ppm/K의 열팽창 계수, 130~188Gpa의 영률(Young's modulus), 2.329g/cm³의 밀도 및 119.2Gpa의 체적탄성률(bulk modulus)를 갖는다.
- [0025] 본 발명의 일 실시 예에서는, 반도체 칩(10), 제1 금속 박판(130) 및 제1 CTE 제어층(120)으로 구분되는 제1 복합체(A)와, 제1 CTE 제어층(120), 초 박판 유리(110) 및 제2 금속 박판(140)으로 구분되는 제2 복합체(B)의 열팽창 계수가 서로 일치하고, 이를 통해, 종래 반도체 칩과 CCL 층 간의 열팽창 계수 불일치로 인해, 반도체 칩과 CCL 층이 휘어지는 현상을 방지 또는 최소화시킬 수 있다.

[0026] 여기서, 제1 복합체(A)와 제2 복합체(B)의 열팽창 계수는 양 복합체(A, B)에 모두 포함되는 제1 CTE 제어층의 특성을 제어함으로써, 일치시킬 수 있다.

[0027] 먼저, 제1 복합체(A)와 제2 복합체(B) 각각의 열팽창 계수는 하기와 같은 복합체의 열팽창 계수를 계산하는 Turner's 모델을 적용하여 시뮬레이션할 수 있다.

$$[0028] \alpha = \frac{\alpha_c \phi_c K_c + \alpha_w \phi_w K_w + \alpha_p \phi_p K_p}{\phi_c K_c + \phi_w K_w + \phi_p K_p}$$

[0029] 이때, α 는 열팽창 계수, ϕ 는 복합체에서 금속 박판(c), 초 박판 유리(w), 제1 CTE 제어층(p)이 차지하는 부피비를 나타내며, K는 체적탄성률(bulk modulus)로, 정의는 다음과 같다.

$$[0030] K = \frac{E}{3(1-2\nu)}$$

[0031] 이때, E는 영률(Young's modulus) 값이며, ν 는 푸아송비(Poisson's ratio)를 나타낸다.

[0032] 도 2는 초 박판 유리, 제1 CTE 제어층, 제1 및 제2 금속 박판의 물성치를 상기의 식에 대입하고 이를 통해 산출한 제1 복합체(A)의 반도체 칩 및 제1 CTE 제어층의 두께 변화에 따른 열팽창 계수(좌), 및 제2 복합체(B)의 제1 CTE 제어층 및 초 박판 유리의 두께 변화에 따른 열팽창 계수(우) 변화를 그래프로 보여준다.

[0033] 본 발명의 일 실시 예에서는 이와 같은 도 2의 그래프를 토대로 제1 복합체(A) 및 제2 복합체(B)의 열팽창 계수를 일치시킬 수 있는 제1 CTE 제어층(120)의 두께 혹은 초 박판 유리(110)의 두께를 결정할 수 있다. 예를 들어, 반도체 칩(10)의 두께가 50 μ m이 경우, 제1 CTE 제어층(120)의 두께를 40 μ m로 설정한 경우, 제1 복합체(A)의 열팽창 계수는 약 8ppm/ $^{\circ}$ C가 된다. 이에 따라, 제2 복합체(B)가 8ppm/ $^{\circ}$ C의 열팽창 계수를 갖기 위해서는 초 박판 유리(110)의 두께는 120 μ m로 결정된다. 반대로, 반도체 칩(10)의 두께와 초 박판 유리(110)의 두께가 선정되어, 제2 복합체(B)의 열팽창 계수가 정해지면, 제1 복합체(A)가 제2 복합체(B)와 동일한 열팽창 계수를 가질 수 있는 제1 CTE 제어층(120)의 두께가 결정된다.

[0034] 상술한 바와 같이, 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판(100)은 반도체 칩(10), 제1 금속 박판(130) 및 제1 CTE 제어층(120)으로 구분되는 제1 복합체(A)와, 제1 CTE 제어층(120), 초 박판 유리(110) 및 제2 금속 박판(140)으로 구분되는 제2 복합체(B)의 열팽창 계수가 일치된다. 이를 통해, 리플로우 공정 중에 열팽창 계수 불일치에 따른 반도체 칩(10)과 집적회로 패키지용 기판(100)이 휘어지는 현상을 방지 또는 최소화시킬 수 있으며, 궁극적으로 반도체 칩(10)과 인쇄회로기판(미도시) 간의 전기적 연결에 대한 품질을 향상시킬 수 있다.

[0035] 또한, 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판(100)은 초 박판 유리(110)의 보강층으로 작용하는 제1 CTE 제어층(120)을 통해, 홀-드릴링(hole-drilling), 커팅(cutting)과 같은 가공 작업에 대한 가공 용이성을 확보할 수 있다.

[0036] 이하, 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판에 대하여 도 3 및 도 4를 참조하여 설명하기로 한다.

[0037] 도 3은 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판 및 이에 실장된 반도체 칩을 개략적으로 나타낸 단면 모식도이고, 도 4는 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판에서, CTE 제어층의 두께에 따른 CTE1 변화(좌) 및 초 박판 유리의 두께에 따른 CTE2의 변화(우)를 나타낸 그래프이다.

[0038] 도 3에 도시한 바와 같이, 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판(200)은 초 박판 유리(110), 제1 CTE 제어층(120), 제1 금속 박판(130), 제2 금속 박판(140) 및 제2 CTE 제어층(250)을 포함하여 형성된다.

[0039] 본 발명의 다른 실시 예는 본 발명의 일 실시 예와 비교하여, 제2 CTE 제어층이 더 포함되는 것에만 차이가 있을 뿐, 나머지 구성 요소들은 동일하므로, 동일한 구성 요소들에 대해서는 동일한 도면 부호를 부여하고, 이들에 대한 상세한 설명은 생략하기로 한다.

- [0040] 본 발명의 다른 실시 예에 따른 제2 CTE 제어층(250)은 초 박판 유리(110)와 제2 금속 박판(140) 사이에 형성된다. 이때, 제2 CTE 제어층(250)은 제1 CTE 제어층(120)과 동일한 두께 및 물성치를 갖는다.
- [0041] 본 발명의 다른 실시 예에서는 반도체 칩(10), 제1 금속 박판(130), 제1 CTE 제어층(120)이 제3 복합체(C)로 구분되고, 제1 CTE 제어층(120), 초 박판 유리(110), 제2 CTE 제어층(250), 제2 금속 박판(140)이 제4 복합체(D)로 구분된다. 그리고 제3 복합체(C)와 제4 복합체(D)의 열팽창 계수가 서로 일치하여, 반도체 칩(10) 및 집적회로 패키지용 기판(100)의 휨이 방지 혹은 최소화된다.
- [0042] 본 발명의 다른 실시 예는 본 발명의 일 실시 예와 마찬가지로, 도 4의 그래프를 토대로 제3 복합체(C)와 제4 복합체(D)의 열팽창 계수를 일치시킬 수 있는 제1 및 제2 CTE 제어층(120, 250)의 두께 혹은 초 박판 유리(110)의 두께를 결정할 수 있다. 예를 들어, 반도체 칩(10)의 두께가 50 μm 이 경우, 제1 및 제2 CTE 제어층(120, 250)의 두께를 40 μm 로 설정한 경우, 제3 복합체(A)의 열팽창 계수는 약 8ppm/ $^{\circ}\text{C}$ 가 된다. 이에 따라, 제4 복합체(D)가 8ppm/ $^{\circ}\text{C}$ 의 열팽창 계수를 갖기 위해서는 초 박판 유리(110)의 두께는 225 μm 로 결정된다. 반대로, 반도체 칩(10)의 두께와 초 박판 유리(110)의 두께가 선정되어, 제4 복합체(D)의 열팽창 계수가 정해지면, 제3 복합체(C)가 제4 복합체(D)와 동일한 열팽창 계수를 가질 수 있는 제1 및 제2 CTE 제어층(120, 250)의 두께가 결정된다.
- [0043] 여기서, 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판(200)은 제3 복합체(C)와 제4 복합체(D)의 열팽창 계수를 일치시키기 위해, 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판(100)보다 105 μm 더 두꺼운 초 박판 유리(110)가 요구되고, 두께 40 μm 의 제2 CTE 제어층(250)을 더 구비함에 따라, 전체적인 두께가 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판(100)보다 145 μm 더 두껍게 형성된다.
- [0044] 하지만, 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판(200)은 초 박판 유리(110)의 보강층으로 작용하는 두 개의 제1 및 제2 CTE 제어층(120, 250)을 구비함으로써, 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판(100)보다 기계적 안정성을 더욱 확보할 수 있고, 이를 통해, 보다 안정적인 가공 작업을 가능하게 한다. 그러나 본 발명의 일 실시 예는 본 발명의 다른 실시 예에서와 동일한 휨 개선 효과를 상대적으로 얇은 두께에서 나타낼 수 있기 때문에, 경박단소해지는 반도체 추세에 더욱 부합되는 구조가 된다.
- [0045] 즉, 본 발명의 일 실시 예에 따른 집적회로 패키지용 기판(100)과 본 발명의 다른 실시 예에 따른 집적회로 패키지용 기판(200)은 공정 및 필요 모델에 따라 선택적으로 사용될 수 있다.

[0046] 이상과 같이 본 발명은 비록 한정된 실시 예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시 예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

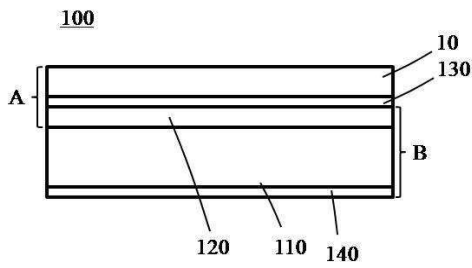
[0047] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

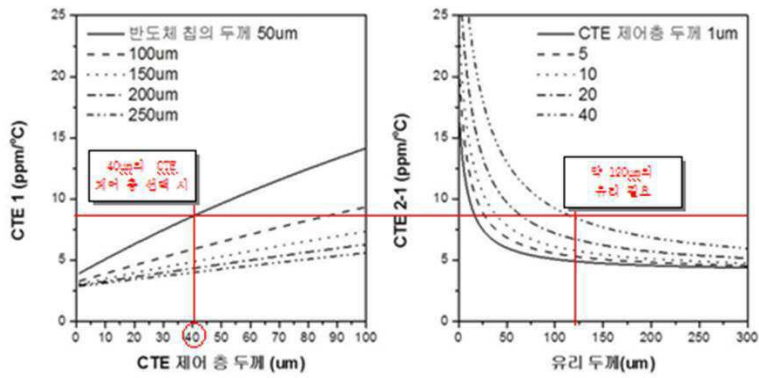
- [0048] 100, 200: 집적회로 패키지용 기판 110: 초 박판 유리
- 120: 제1 CTE 제어층 130: 제1 금속 박판
- 140: 제2 금속 박판 250: 제2 CTE 제어층
- A, B, C, D: 제1, 제2, 제3, 제4 복합체

도면

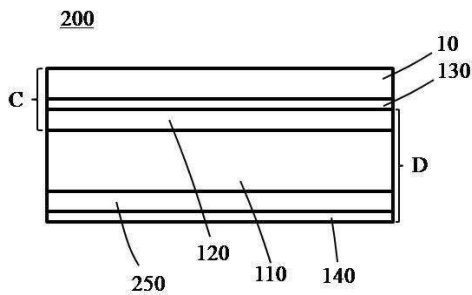
도면1



도면2



도면3



도면4

