



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I550722 B

(45)公告日：中華民國 105 (2016) 年 09 月 21 日

(21)申請案號：101135223

(22)申請日：中華民國 101 (2012) 年 09 月 26 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2011/10/07 美國

61/544,432

2012/03/15 美國

61/611,532

(71)申請人：應用材料股份有限公司(美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：王群華 WANG, QUNHUA (CN)；王偉杰 WANG, WEIJIE (CN)；崔永鎮 CHOI, YOUNG JIN (KR)；卓尚美 CHO, SEON-MEE (US)；崔羿 CUI, YI (CN)；朴範洙 PARK, BEOM SOO (KR)；崔秀英 CHOI, SOO YOUNG (KR)

(74)代理人：祁明輝；林素華；涂綺玲

(56)參考文獻：

TW 200915578A

CN 1926668A

US 2005/0164424A1

審查人員：侯鈺玲

申請專利範圍項數：18 項 圖式數：6 共 38 頁

(54)名稱

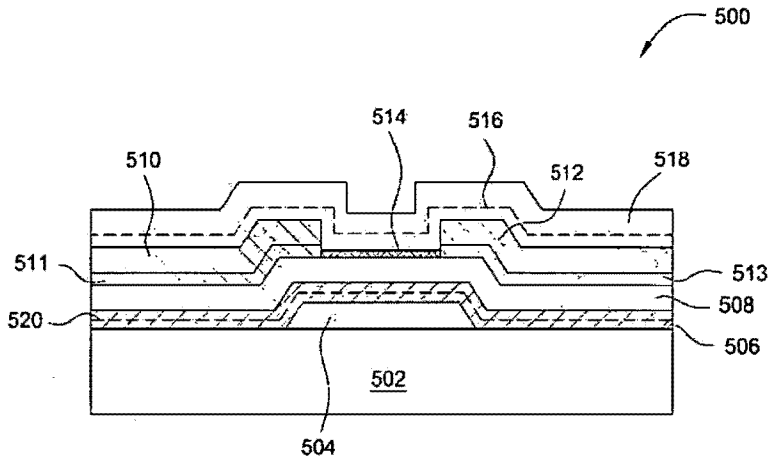
於基板上形成矽層之方法、形成矽氧化物層之方法及具有其之金屬氧化物薄膜電晶體元件
METHOD FOR FORMING A SILICON LAYER ON A SUBSTRATE, A METHOD FOR FORMING A SILICON OXIDE LAYER, AND A METAL OXIDE TFT DEVICE HAVING THE SAME

(57)摘要

本揭露書之實施例大體上是提供於薄膜電晶體元件中形成含矽層的方法。矽可用於在一低溫多晶矽薄膜電晶體中形成主動通道，或做為閘極介電層、鈍化層或甚至蝕刻終止層中之一種元素。含矽層係藉由一氣相沉積製程沉積，藉著氣相沉積製程而隨著矽前驅物提供一惰性氣體，如氬氣。該惰性氣體具有驅除弱的、懸浮的矽-氫鍵或矽-矽鍵的功能，因此保留較強的鍵結如矽-矽鍵或是矽-氧鍵，以形成一實質上不含氫之含矽層。

Embodiments of the disclosure generally provide methods of forming a silicon containing layers in TFT devices. The silicon can be used to form the active channel in a LTPS TFT or be utilized as an element in a gate dielectric layer, a passivation layer or even an etch stop layer. The silicon containing layer is deposited by a vapor deposition process whereby an inert gas, such as argon, is introduced along with the silicon precursor. The inert gas functions to drive out weak, dangling silicon-hydrogen bonds or silicon-silicon bonds so that strong silicon-silicon or silicon-oxygen bonds remain to form a substantially hydrogen free silicon containing layer.

指定代表圖：



第 5A 圖

符號簡單說明：

500 . . . 薄膜電晶體
元件

502 . . . 基板

504 . . . 閘極電極層

506 . . . 閘極絕緣層

508 . . . 主動通道

510 . . . 源極電極

511、513 . . . 主動
層

512 . . . 汲極電極

514 . . . 蝕刻終止層

516、520 . . . 虛線

518 . . . 鈍化層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 101135223

※申請日： 101.9.26

※IPC 分類： H01L21/336 (2006.01)

一、發明名稱：(中文/英文)

H01L 29/118b (2006.01)

於基板上形成矽層之方法、形成矽氧化物層之方法及具有其之金屬氧化物薄膜電晶體元件/METHOD FOR FORMING A SILICON LAYER ON A SUBSTRATE, A METHOD FOR FORMING A SILICON OXIDE LAYER, AND A METAL OXIDE TFT DEVICE HAVING THE SAME

二、中文發明摘要：

本揭露書之實施例大體上是提供於薄膜電晶體元件中形成含矽層的方法。矽可用於在一低溫多晶矽薄膜電晶體中形成主動通道，或做為閘極介電層、鈍化層或甚至蝕刻終止層中之一種元素。含矽層係藉由一氣相沉積製程沉積，藉著氣相沉積製程而隨著矽前驅物提供一惰性氣體，如氬氣。該惰性氣體具有驅除弱的、懸浮的矽-氬鍵或矽-矽鍵的功能，因此保留較強的鍵結如矽-矽鍵或是矽-氧鍵，以形成一實質上不含氬之含矽層。

三、英文發明摘要：

Embodiments of the disclosure generally provide methods of forming a silicon containing layers in TFT devices. The silicon can be used to form the active channel in a LTPS TFT or be utilized as an element in a gate

dielectric layer, a passivation layer or even an etch stop layer. The silicon containing layer is deposited by a vapor deposition process whereby an inert gas, such as argon, is introduced along with the silicon precursor. The inert gas functions to drive out weak, dangling silicon-hydrogen bonds or silicon-silicon bonds so that strong silicon-silicon or silicon-oxygen bonds remain to form a substantially hydrogen free silicon containing layer.

四、指定代表圖：

(一)本案指定代表圖為：第 (5A) 圖。

(二)本代表圖之元件符號簡單說明：

500：薄膜電晶體元件

502：基板

504：閘極電極層

506：閘極絕緣層

508：主動通道

510：源極電極

511、513：主動層

512：汲極電極

514：蝕刻終止層

516、520：虛線

518：鈍化層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明之實施例大體上是有關於形成含矽層(silicon containing layer)的方法。更準確地說，本發明是關於形成可運用於薄膜電晶體元件(Thin Film Transistor, TFT)之含矽層的方法。

【先前技術】

電漿顯示器面板及液晶顯示器(Liquid Crystal Display, LCD)普遍地用於平面顯示器上。LCD 通常包含兩個玻璃基板及一層夾於其中的液晶材料。玻璃基板可為半導體基板或可為透明基板，透明基板例如像是玻璃、石英、藍寶石或是透明塑膠膜。LCD 也可包含發光二極體，用以作為背光源。

隨著對於 LCD 之解析度的需求增加，控制大量的液晶胞的個別區域(稱為畫素)已變得相當重要。在現代的顯示面板中，可存在超過一百萬個畫素。至少有同數量的電晶體係形成於玻璃基板上，以使得各個畫素相對於其他設置在基板上的畫素可於開、關狀態(energized and de-energized)間切換。

含矽材料已成為大多數薄膜電晶體的基礎材料。含矽材料已被運用於形成通道材料，像是用於低溫多晶矽薄膜電晶體(Low Temperature Polysilicon Thin Film Transistor, LTPS TFT)的多晶矽，及作為用於形成薄膜電晶體中間極介電層(gate dielectric layer)、介面層(interface layer)、鈍

化層(passivation layer)或甚至蝕刻終止層(etch stop layer)的一種元素。

因此，在這個技術領域中需要利用含矽材料形成具有穩定性和可靠之效能(performance)的薄膜電晶體的方法。

【發明內容】

本揭露書之實施例大體上提供了形成薄膜電晶體、有機發光二極體(Organic Light-Emitting Diode, OLED)、發光二極體(Light-Emitting Diode, LED)及太陽電池元件中之含矽層的方法。含矽層可用於形成包含低溫多晶矽和金屬氧化物薄膜電晶體元件等等之薄膜電晶體元件中的主動通道，或是做為閘極介電層、介面層、鈍化層或蝕刻終止層中的一種元素。含矽層係藉由氣相沉積製程來沉積，藉著氣相沉積製程而隨著含矽之前驅物(precursor)提供一惰性氣體，例如氬氣。該惰性氣體具有驅除弱的、懸浮的矽-氬鍵或矽-矽鍵的功能，因此保留較強的矽-矽鍵或是矽-氧鍵。

在一實施例中，係揭露一種在基板上形成含矽層的方法。該方法包括運送基板至處理腔室中，並提供具有矽基氣體、惰性氣體且實質上不含氬的混合氣體至處理腔室。混合氣體之惰性氣體之每單位基板表面積的體積流率為矽基氣體之每單位基板表面積的體積流率的約 1.8 至約 79 倍。該方法另外包括施加一射頻功率至一電極，以將混合氣體激發成一電漿，並形成一非晶矽層於基板上。

在另外一實施例中，係揭露一種形成矽氧化物層的方法

法。該方法包括提供具有矽基氣體、惰性氣體及含氧氣體的混合氣體至一個處理腔室。混合氣體之惰性氣體之每單位表面積的體積流率為矽基氣體之每單位表面積的體積流率的約 11 至約 80 倍。該方法亦包括施加一射頻功率，以將混合氣體激發成一電漿，並形成一矽氧化物層於基板上。

再一實施例中，一金屬氧化物薄膜電晶體元件包括一基板、設置於基板上之一閘極絕緣層、設置於絕緣層上之一主動通道、設置於主動通道上之一源極-汲極電極及設置於源極-汲極電極層上之一鈍化層，其中閘極絕緣層包含一實質上不含氫之矽氧化物層，其中主動通道至少包含銦鎵鋅氧化物(InGaZnO)、銦鎵鋅氮氧化物(InGaZnON)、氧化鋅(ZnO)、氮氧化鋅(ZnON)、鋅錫氧化物(ZnSnO)、鎘錫氧化物(CdSnO)、鎵錫氧化物(GaSnO)、鈦錫氧化物(TiSnO)、銅鋁氧化物(CuAlO)、鋇銅氧化物(SrCuO)、鑷銅氧硫化物(LaCuOS)、氮化鎵(GaN)、銦鎵氮化物(InGaN)、鋁鎵氮化物(AlGaN)或銦鎵鋁氮化物(InGaAlN)其中之一，其中鈍化層包含一實質上不含氫之矽氧化物層。

又一實施例中，一金屬氧化物薄膜電晶體元件包含一基板及一主動通道，主動通道設置於基板上源極-汲極電極及一閘極絕緣層之間，其中，一介面形成於主動通道及閘極絕緣層之間，介面包含一實質上不含氫之介電表面。

【實施方式】

為了對本發明之上述特徵有更詳盡的了解，以下將藉

由實施例並配合所附圖式，而對本發明進行更完整之揭露。為求清楚起見，說明書與圖式中係盡可能地使用相同元件符號來表示相同元件。此外，一實施例中之元件與特徵亦可能出現於其他實施例中，以達較佳之實施方式，而相同的描述內容則就此省略。然而須注意，以下的實施例以及所附圖式僅為例示之用，而非用以限定本發明的範圍。

本揭露書之實施例大體上提供了於薄膜電晶體元件中形成一含矽層之方法。該含矽層可用於形成一低溫多晶矽薄膜電晶體或其他合適之金屬氧化物薄膜電晶體(metal oxide TFT)元件中的主動通道，或可作為一閘極介電層、一介面層、一鈍化層或甚至一蝕刻終止層中之一個元件。含矽層係藉由一氣相沉積製程來沉積，藉著氣相沉積製程而隨著矽之前驅物提供一惰性氣體，例如氫氣。該惰性氣體具有驅除弱的、懸浮的矽-氫鍵或矽-矽鍵的功能，因此保留較強的矽-矽鍵或是矽-氧鍵。

在一實施例中，係揭露一種形成一非晶矽層之方法，該非晶矽層可於之後轉變成一多晶矽層。該非晶矽層可用於一低溫多晶矽薄膜電晶體元件中，作為通道材料。或者，藉由此處所述之方法形成的非晶矽層、矽氧化物層、矽氮化物層、氮氧化矽層或其他合適之含矽層，也可應用於合適之薄膜電晶體元件中，例如金屬氧化物薄膜電晶體元件。非晶矽層、矽氧化物層、矽氮化物層、氮氧化矽層或其他合適之含矽層等等，亦可用於光二極體(photodiodes)、半導體二極體、發光二極體(LEDs)、有機

發光二極體(OLEDs)或其他顯示器應用上。非晶矽層、矽氧化物層、矽氮化物層、氮氧化矽層以最低之含氫量，提供高的薄膜品質和穩定性及低的薄膜漏電(film leakage)，從而有效地強化電晶體元件之電性表現。值得注意的是，除了上述提到的應用，非晶矽層可用於其他合適元件。

一低溫多晶矽薄膜電晶體元件 150 之一示範性實施例係繪示於第 1 圖中。低溫多晶矽薄膜電晶體元件為具有源極區 109a、通道區 109c 及汲極區 109b 形成於一透光基板(light transparent substrate)102 上的金屬氧化物半導體元件，透光基板 102 具有或不具有可選擇性的一光透介電層 104 設置於其上。源極區 109a、通道區 109c 及汲極區 109b 普遍地由一初始沉積時為非晶矽(a-Si)層，之後經熱處理處理(例如退火)以形成多晶矽層的層來形成。源極區 109a、通道區 109c 及汲極區 109b 可藉由圖案化透光基板 102 上之區域，並對初始沉積之非晶矽層進行離子摻雜來成形，該非晶矽層於之後會經熱處理以形成多晶矽層。一閘極介電層 106 接著沉積於多晶矽沉積層之上，以阻隔一閘極電極 114 與通道區 109c、源極區 109a 及汲極區 109b。閘極電極 114 係形成於閘極介電層 106 之頂部上。一絕緣層 112 及元件連結部(device connections)110a、110b 係接著被形成，通過絕緣層 112，以允許薄膜電晶體元件 150 之控制。

低溫多晶矽薄膜電晶體元件 150 之效能與沉積形成金

屬氧化物半導體結構之薄膜的品質相關。金屬氧化物半導體元件的關鍵效能元素是多晶矽通道層 108、閘極介電層 106 及多晶矽通道層/閘極介電層介面的品質。多晶矽通道層 108 的品質在近幾年來備受注意。如以上所討論的，多晶矽通道層 108 係初始地形成為非晶矽層，接著加熱至約攝氏 450 度或更高溫，以進行脫氫處理(dehydrogenation process)，自非晶矽層中除去氫。經過脫氫處理後，可進行一雷射退火處理，以將非晶矽層轉變為多晶矽層。接著，一閘極絕緣層(gate insulator)或其他合適的層可形成於其上，以完成元件結構。

在形成多晶矽通道層 108 之前，非晶矽層中過量的氫元素(例如一濃度過高的氫含量)可能穿透進入鄰近的閘極介電層 106 或其他鄰近層中，而導致漏電流(current leakage)或其他形式的元件失效(device failure)。非晶矽層可藉由合適之氣相沉積製程形成，例如是電漿輔助化學氣相沉積(Plasma Enhanced Chemical Vapor Deposition, PECVD)。

第 2 圖為一 PECVD 腔室 200 之一實施例的剖面示意圖，非晶矽層或其他含矽層(例如矽氧化物層)可在 PECVD 腔室 200 中形成。一合適的 PECVD 腔室可由位於加州聖塔克拉拉的應用材料公司(Applied Materials, Inc.)取得。可以預期的是，本發明可使用包括自其他製造商處取得之其他的沉積腔室來實施。

腔室 200 通常包括腔壁 202、腔底 204 及腔蓋 212。氣體分配板 210 及基板支撐組件 230 定義出一處理空間 206。處理空間 206 係由穿過腔壁而形成之一開口 208 與

外界相通，使得一基板 102 可被運送進入和移出腔室 200。

該基板支撐組件 230 包括一基板接收表面 232，用以支撐基板 102 於其上。基板接收表面 232 的尺寸通常等於或稍大於基板 102。一主幹(stem)234 將基板支撐組件 230 耦接至一抬升系統(lift system)236，抬升系統 236 於基板轉移及處理的位置之間升高和降低基板支撐組件 230。當進行處理時，為防止在基板 102 的邊緣沉積，一遮蔽框(shadow frame)233 可以可選擇性地放置在基板 102 之周圍上。抬銷(lift pin)238 係可動式的設置穿過基板支撐組件 230，用於在基板 102 移入與移出的過程中，使基板 102 自基板接收表面 232 分離。基板支撐組件 230 也可包含加熱及/或冷卻元件 239，用以將基板支撐組件 230 維持於一要求的溫度。基板支撐組件 230 也可包括射頻返回帶(RF return strap)231，環繞基板支撐組件 230 周圍，以縮短射頻返回路徑(RF return path)。

氣體分配板 210 係在其周圍藉由一懸吊部 214 耦接至腔室 200 之腔蓋 212 或腔壁 202。氣體分配板 210 亦可藉由一或多個中央支撐件(center support)216 耦接至腔蓋 212，以幫助防止氣體分配板 210 之下垂及/或控制該氣體分配板 210 之直線度(straightness)/曲率(curvature)。在一實施例中，氣體分配板 210 具有不同尺寸的不同配置。在一示範實施例中，氣體分配板 210 具有一四邊形之下游表面(downstream surface)250。下游表面 250 具有多個孔洞(aperture)211 形成於其中，該些孔洞 211 面對著設置在基板支撐組件 230 上之基板 102 之一上表面 218。孔洞 211

橫跨氣體分配板 210 而可具有不同的形狀、數量、密度、尺寸及分佈。

一氣體源(gas source)220 耦接至腔蓋 212，以通過腔蓋 212 提供氣體，然後再通過形成於氣體分配板 210 的孔洞 211，到達處理空間 206。一真空泵 209 係耦接至腔室 200，以維持處理空間 206 中的空氣於一要求的壓力。

一射頻功率源(RF power source)222 係耦接至腔蓋 212 及/或氣體分配板 210，以提供一射頻功率，該射頻功率於氣體分配板 210 與基板支撐組件 230 之間產生一電場，使得電漿可由氣體分配板 210 與基板支撐組件 230 之間的氣體產生。可以於一或多個射頻頻率施加射頻功率，舉例來說，可施加頻率介於約 0.3 百萬赫(MHz)與約 200 MHz 之間的射頻功率。在一實施例中，射頻功率係被提供於 13.56 MHz 之頻率。

一遠距電漿源 224，像是電感耦合式遠距電漿源(inductively coupled remote plasma source)，也可耦接於氣體源與背板之間。在處理基板的製程間隔中，一清洗用氣體可用於遠距電漿源 224 中被激發，以遠距離地提供用來清洗腔室組件的電漿。清洗氣體可更藉由射頻功率源 222 提供至氣體分配板 210 的射頻功率來激發。合適的清洗氣體包括但不限於三氟化氮(NF₃)、氟氣(F₂)及六氟化硫(SF₆)。

在一實施例中，可於腔室 200 中處理之基板 102 可具有 10,000 平方公分(cm²)或更大之表面積，例如 40,000 cm² 或更大，例如約 55,000 cm² 或是更大。可以理解的是，經

過處理後的基板可被切割以形成較小的元件。

在一實施例中，加熱及/或冷卻元件 239 可用於在沉積過程中，提供基板支撐組件 230 約為攝氏 400 度或是更低之一溫度，舉例來說介於約攝氏 100 度與約攝氏 400 度之間，或介於約攝氏 150 度與約攝氏 300 度之間，例如約攝氏 200 度。於沉積過程中，設置於基板接收表面 232 上之基板 102 之上表面 218 及氣體分配板 210 之間間隙 (spacing)，通常可於約 400 密耳 (mils) 與約 1200 密耳之間變化，例如於約 400 密耳與約 800 密耳之間，或其他用以提供所要的沉積結果而選擇的基板 102 及氣體分配板 210 之間的距離。在使用一凹面之下游表面氣體分配板 210 之一示範實施例中，氣體分配板 210 中央部分之邊緣與基板接收表面 232 之間間隙介於約 400 密耳與約 1400 密耳之間，氣體分配板 210 的角落與基板接收表面 232 之間間隙介於約 300 密耳與約 1200 密耳之間。

第 3 圖繪示一沉積製程 300 之一實施例的流程圖，製程 300 可於如第 2 圖所繪示的腔室 200 或其他適合的處理腔室中實施。該沉積製程 300 繪示一種沉積可用於薄膜電晶體元件或二極體元件之非晶矽層或其他適合的含矽層的方法。在一實施例中，含矽層可單獨或與任何其他適合的薄膜結合使用，以提高於薄膜電晶體元件或二極體元件的電性特性及表現。在一特定的實施例中，所述之含矽層為一非晶矽層，可接著在之後經由熱處理形成一多晶矽層。

製程 300 始於步驟 302，運送如第 4A 圖所繪示之基

板 102 至一處理腔室中，例如第 2 圖所繪示之 PECVD 腔室 200。基板 102 可具有可選擇性之介電層 104 設置於其上。值得注意的是，該基板 102 可具有預先形成於其上的薄膜、結構或是層的不同組合，以有助於在基板 102 上形成不同元件結構。在不存在介電層 104 的實施例中，非晶矽層可直接成形於基板 102 上。

在一實施例中，基板 102 可為玻璃基板、塑膠基板、聚合物基板、金屬基板、單片基板(singled substrate)、連續式基板(roll-to-roll substrate)或其他適合讓薄膜電晶體形成於其上之透明基板的任何一種。

在步驟 304，一混合氣體係通過氣體分配板 210 被提供至處理腔室中，以沉積一非晶矽層 402 於基板 102 上，如第 4B 圖所繪示。當提供混合氣體至處理腔室中以沉積非晶矽層 402 時，該混合氣體可包括一矽基氣體(silicon-based gas)、一惰性氣體，且實質上不含氫氣(H₂)。「實質上不含氫氣」一詞係用以指示不會使用氫氣作為直接來源以形成該混合氣體。在惰性氣體及/或矽基氣體中可存在著極微量的氫氣(trace amount of hydrogen)。合適的矽基氣體包括但不限定於矽烷(SiH₄)、二矽烷(Si₂H₆)、四氯化矽(SiF₄)、四乙氧基矽烷(TEOS)、四氯化矽(SiCl₄)、二氯矽烷(SiH₂Cl₂)及其組合。適合的惰性氣體的例子包括氮、氬、氖或氪等等。在一實施例中，矽基氣體為矽烷(SiH₄)，惰性氣體為氬氣。

矽基氣體及惰性氣體係以一預定氣體流率(gas flow ratio)來提供。惰性氣體與矽基氣體之預定氣體流率比例可

有助於使非晶矽層之沉積中，包含於薄膜中的氫原子數量為最小。在一實施例中，係以一預定比例提供矽基氣體及惰性氣體至處理腔室中，該預定比例例如超過 1:20。在一實施例中，惰性氣體(例如氫氣)比矽基氣體(例如矽烷)之比例(R)係控制在大約高於 20(氫氣/矽烷)，舉例來說超過 50，例如介於約 60 與 200 之間，在另一個例子中，介於約 70 與約 100 之間，例如約 75。或者，提供至處理腔室的矽基氣體及惰性氣體可依據每單位基板表面積(或大約等值的基板支撐表面)之體積流率來提供。在一實施例中，可提供介於約 0.042 單位時間標準毫升/平方公分(sccm/cm^2)與約 $0.31 \text{ sccm}/\text{cm}^2$ 之間的矽烷氣體(SiH_4)至處理腔室中，同時，可提供流率介於約 $0.55 \text{ sccm}/\text{cm}^2$ 與約 $3.29 \text{ sccm}/\text{cm}^2$ 之間的惰性氣體至處理腔室中。因此，惰性氣體對矽基氣體的每單位基板表面之體積流率比例介於約 1.8:1 與約 79:1 之間。換句話說，混合氣體之惰性氣體的每單位基板表面積之體積流率為矽基氣體的每單位基板表面積之體積流率的約 1.8 倍至約 79 倍。在一實施例中，該矽基氣體為矽烷，該惰性氣體為氫氣。

提供於混合氣體中之惰性氣體(例如氫氣)被認為是相較於提供於矽基氣體(例如矽烷氣體)中之矽原子及氫原子具有相對較大的分子量。當於製程中提供混合氣體時，混合氣體中之該氫原子可幫助除去矽-氫之弱鍵結及懸浮鍵及/或矽層中弱的矽-矽鍵，據此，可允許矽層中之矽原子形成強的矽-矽鍵，而非形成自矽烷氣體的矽-氫鍵。如上所敘述，強的矽-矽鍵提升了薄膜純度及矽的鍵能，進而改

善形成於非晶矽層 402 的薄膜品質及純度。此外，隨著氫原子幫助形成強的和健全的矽鍵並除去雜質，不只是矽層中的缺陷減少，非矽晶層亦可獲得良好的均勻性，因而可減少不理想的隨機晶界(random grain boundary)及晶界缺陷。此外，藉由使用氫氣稀釋而不使用傳統氫氣稀釋，於沉積製程中可最小化或消除氫原子的提供，進而減少在所產生的非晶矽層 402 中形成氫元素的可能性。氫氣稀釋沉積製程亦被認為也可提供一良好的沉積速率，例如每分鐘超過 300 埃(Å)，從而提升製造的產量(throughput of manufacture)。

於沉積製程中可控制數種製程參數。沉積過程中，可施加一射頻電源功率(RF source power)以維持電漿。在一實施例中，射頻電源功率密度(RF source power density)可被提供在介於約 10 毫瓦/平方公分(mWatt/cm²)與約 200 毫瓦/平方公分之間。或者，一超高頻能量(VHF power)可用於提供高達約 27 MHz 及約 200 MHz 之間的頻率。處理壓力係維持在約 0.1 托耳(Torr)與約 10 托耳之間，例如介於約 0.5 托耳與約 5 托耳之間，例如介於約 0.8 托耳與約 2 托耳之間。基板至氣體分佈板組件的間隙可依據基板尺寸來控制。在一實施例中，對於大於 1 平方公尺之一基板，處理間隙係被控制在約 400 密耳與約 1200 密耳之間，例如介於約 400 密耳與約 850 密耳之間，例如 580 密耳。基板溫度可被控制在約攝氏 150 度與約攝氏 500 度之間，例如約攝氏 370 度。

在一實施例中，可使用一相對低之射頻功率，例如低

於 1500 瓦(Watts)或少於 100 毫瓦/平方公分。在沉積過程中使用較低的射頻功率，相信這有助於形成具有良好之均勻性控制的非晶矽層 402。並且，使用相對較低之射頻功率相信可減少可能由惰性氣體產生之濺鍍效應(sputtering effect)，從而幫助於一相對溫和的電漿環境中沉積非晶矽層 402，而形成具有良好的均勻性及表面粗糙度控制的非晶矽層 402。

步驟 306 中，在非晶矽層 402 形成於基板 102 上之後，可進行一後期脫氫烘烤處理(post dehydrogenation bake process)，以自非晶矽層 402 除去氫氣，如第 4C 圖所繪示。經過後期脫氫烘烤處理後，存在於非晶矽層 402 中的氫含量大多數可被除去，以形成一脫氫非晶矽層(dehydrogenated amorphous silicon layer)404，如第 4C 圖所繪示。如以上所討論的，當藉由使用例如氫氣之一惰性氣體，取代氫氣做為稀釋氣體之一實質上不含氫的混合氣體以形成脫氫非晶矽層 404 時，後期脫氫烘烤處理可以相對短的時間進行，例如少於 5 分鐘或是可選擇性地取消。

在一實施例中，後期脫氫烘烤處理可於非晶矽層 402 沉積之處理腔室原處(*in-situ*)進行處理。後期脫氫烘烤處理可加熱基板 102 至超過攝氏 400 度的溫度，例如介於約攝氏 450 度與約攝氏 550 度之間，以幫助蒸發氫元素，形成脫氫非晶矽層 404。

在非晶矽層 402 的氫含量不高的實施例中，如有需要，可刪去於步驟 306 進行之後期脫氫烘烤處理。

步驟 308 中，在經過後期脫氫烘烤處理後，係進行一

雷射退火處理，以將脫氫非晶矽層 404 轉變成多晶矽層 406，如第 4D 圖所繪示。雷射處理幫助脫氫非晶矽層 404 結晶形成多晶矽層 406。在雷射退火處理過程中提供之熱能幫助非晶矽層 402 之晶粒成長成大尺寸的結晶晶粒，形成多晶矽層 406。在一實施例中，用於結晶非晶矽層 404 之雷射退火處理為準分子雷射退火處理。準分子雷射退火處理可熱處理基板至約攝氏 100 度與約攝氏 1500 度之間的溫度。

經過雷射退火處理後，脫氫非晶矽層 404 轉變成多晶矽層 406，多晶矽層 406 大部分之結晶方向在於(111)面，少部分的方向在於(220)面。當多晶矽層 406 形成要求的結晶，可獲得一高的光/暗導導電度比值(photo/dark conductivity ratio)，並改善多晶矽層 406 之整體電性性質。

在脫氫非晶矽層 404 轉變成多晶矽層 406 後，可進行圖案化製程、離子植入或其他沉積製程以形成源極區和汲極區、閘極介電層及源極和汲極電極層，進而完成薄膜電晶體元件結構，如第 1 圖所示及以上配合第 1 圖討論之內容。

如上所敘述，含矽層可用於製造薄膜電晶體元件中的其他層。第 5A 圖為根據本發明另一實施例之一薄膜電晶體元件 500 的剖面示意圖。薄膜電晶體元件 500 包括一基板 502，基板 502 具有一閘極電極層 504 形成於其上。基板 502 可包括玻璃，但可考慮其他基板材料，例如聚合物系的基板(polymer based substrate)及軟性基板(flexible substrate)。在一實施例中，閘極電極層 504 可由任何合適

的金屬材料製造而成，例如銦錫氧化物(ITO)、銦鋅氧化物(IZO)、銦錫鋅氧化物(ITZO)、鋁(Al)、鎢(W)、鉻(Cr)、鉭(Ta)、鉬(Mo)、銅(Cu)、鈦(Ti)、其合金或其組合。

在基板 502 及閘極電極層 504 之上，係形成一閘極絕緣層 506。適合於閘極絕緣層 506 之材料可為矽氧化物(SiO_2)、氮氧化矽(SiON)、矽氮化物(SiN)或其組合等等。閘極絕緣層 506 可為單層、複合層、雙層、多層或前述之其他種組合的形式，視需求而定。在一實施例中，閘極絕緣層 506 可具有矽氮化物層沉積於矽氧化物上(或者顛倒過來)，作為基板 502 上一雙層結構(dual layer)，如虛線 520 所示。或者，閘極絕緣層 506 可為一矽氧化物單層或一矽氮化物單層，視需求而定。該矽氧化物層及矽氮化物層(或一氮氧化矽層)可由如上所述之製程 300 製造而成。矽氧化物及/或矽氮化物層可藉由提供具有矽基氣體及例如氫氣之惰性氣體，且不具氫之一混合氣體來製造。

在形成矽氧化物層的實施例中，混合氣體包含矽基氣體、含氧氣體及惰性氣體。矽基氣體之合適的例子包括但不限於矽烷(SiH_4)、二矽烷(Si_2H_6)、四乙氧基矽烷(TEOS)、四氟化矽(SiF_4)、四氯化矽(SiCl_4)、二氯矽烷(SiH_2Cl_2)及其組合。含氧氣體合適的例子包括氧氣(O_2)、一氧化二氮(N_2O)、二氧化氮(NO_2)、水氣(H_2O)、過氧化氫(H_2O_2)及臭氧(O_3)等等。惰性氣體合適的例子包含氫、氫、氬或氬等等。在一特定的實施例中，用於形成矽氧化物之混合氣體包含矽烷(SiH_4)、氧氣(O_2)及氫氣，或矽烷(SiH_4)、一氧化二氮或二氧化氮(N_2O 或 NO_2)及氫氣(Ar)。然而值得注意的是，

若四乙氧基矽烷(TEOS)被用來當作矽基前驅物，則因為腔室中的總含氧量高，氧氣(O₂)不被使用為佳。

在形成矽氮化物層之實施例中，混合氣體包括矽基氣體、含氮氣體及惰性氣體。可使用之矽基氣體及惰性氣體之種類係如上所述。含氮氣體合適的例子包括氮(N₂)、一氧化二氮(N₂O)、二氧化氮(NO₂)、一氧化氮(NO)或氨氣(NH₃)及等等。在一特定的實施例中，用於形成矽氮化物層之混合氣體包括矽烷、氮氣或氨氣、及氫氣。

因為使用惰性氣體，需要的射頻功率相較於沒有使用惰性氣體時低。特別是射頻功率有可能減少達約 20%。因為惰性氣體原子很重，因而增強製程中的離子轟擊(ion bombardment)，所以使得射頻功率的降低成為可能。可施加之合適的射頻功率係介於約 1200 毫瓦/平方公分(mW/cm²) 至約 1300 毫瓦/平方公分之間。再者，當以一特定比例提供矽基氣體及惰性氣體至腔室中時，不只是降低射頻功率需要的量，亦改善了薄膜沉積厚度的均勻性。因此，惰性氣體的添加製造出具有可重複性、可靠度且高品質的矽氧化物薄膜。在一實施例中，惰性氣體(例如氫氣)之每單位基板表面積的體積流率介於約 1.05 sccm/cm² 與約 1.828 sccm/cm² 之間，例如約 1.65 sccm/cm²。含矽前驅物可以介由約 0.023 sccm/cm² 至約 0.095 sccm/cm² 之間的每單位基板表面積之體積流率提供，例如約 0.025 sccm/cm²。含氧前驅物可以介於約 1.05 sccm/cm² 至約 1.66 sccm/cm² 之間的每單位基板表面積之體積流率被提供，例如約 1.16 sccm/cm²。因此，惰性氣體的量為所供之矽基前

驅物的量的約 11 至約 80 倍。惰性氣體的量為所提供之含氧氣體(oxygen based gas)的量的約 0.6 至約 1.70 倍。含氧氣體的量為所提供之矽基前驅物的量的約 11 倍與約 82 倍之間，特別是約 11 倍與約 72 倍之間。

再者，值得注意的是，依照所需，製程參數的控制可相似於上述配合製程 300 之步驟 304 所敘述之形成非矽層之製程參數來控制。

接著，一主動通道 508 可設置於閘極絕緣層 506 上。主動通道 508 可為以上述配合第 3 圖所敘述之製程製造而成的低溫多晶矽層(Lower Temperature Poly-Silicon layer, LTPS)。合適的摻雜物例如是 N 型或 P 型摻雜物，可依需求添加至低溫多晶矽層中，以形成主動通道 508。在主動通道 508 之上，可選擇性的一蝕刻終止部(etch stop)514 可被形成，以於源極電極 510 和汲極電極 512 形成的過程中保護主動通道 508。可用於蝕刻終止部 514 的適合材料包括矽氧化物、矽氮化物及氮氧化矽。蝕刻終止部 514 可藉由相似於以上所述用於形成閘極絕緣層 506 的製程來形成。在一些實施例中，其他主動層 511、513 可先於源極和汲極電極 510、512 形成。主動層 511、513 可為 P 型主動層或 N 型主動層，例如 N 型含矽層或 P 型含矽層。

在源極和汲極電極 510、512 以及可選擇性的蝕刻終止部 514(如果存在)之上，可形成一鈍化層 518。可用於鈍化層 518 之合適材料包括矽氧化物、矽氮化物及氮氧化矽。在一實施例中，相似於上述之閘極絕緣層 506，鈍化層 518 可為單層、複合層、雙層、多層或前述其他組合之

形式，視需求而定。請參照虛線 516 所繪示，在一實施例中，鈍化層 518 可具有矽氮化物層設置於矽氧化物上，或者顛倒過來，作為源極和汲極電極 510、512 上之一雙層結構，如虛線 516 所示。該矽氧化物層及矽氮化物層(或一氮氧化矽層)可由如上所述之製程 300 製造而成，或者，矽氧化物層及矽氮化物層也可由如上所述用於形成閘極絕緣層 506 的製程形成。矽氧化物及/或矽氮化物層可藉由提供一混合氣體來製造，該混合氣體具有矽基氣體及例如氬氣之惰性氣體，且不具有氫氣氣體。或者，鈍化層可為矽氧化物單層或矽氮化物單層。

第 5B 圖繪示可根據本發明一實施例使用的金屬氧化物薄膜電晶體元件 550 的一實施例。除了主動通道 508 的材料不同之外，金屬氧化物薄膜電晶體元件 550 可具有一相似於以上配合第 5A 圖所述之低溫多晶矽薄膜電晶體元件 500 之結構。金屬氧化物薄膜電晶體元件 550 包含由一含金屬的層(metal containing layer)製造而成的一主動通道 530。形成於金屬氧化物薄膜電晶體元件 550 之主動通道 530 的合適例子特別是包括銦鎵鋅氧化物(InGaZnO)、銦鎵鋅氮氧化物(InGaZnON)、氧化鋅(ZnO)、氮氧化鋅(ZnON)、鋅錫氧化物(ZnSnO)、鎘錫氧化物(CdSnO)、鎵錫氧化物(GaSnO)、鈦錫氧化物(TiSnO)、銅鋁氧化物(CuAlO)、銦銅氧化物(SrCuO)、鑷銅硫氧化物(LaCuOS)、氮化鎵(GaN)、銦鎵氮化物(InGaN)、鋁鎵氮化物(AlGaN)或銦鎵鋁氮化物(InGaAlN)。在特定的一實施例中，主動通道 530 為一銦鎵鋅氧化物(IGZO)層。類似地，閘極絕緣層 506 及

鈍化層 518 亦可為單層、複合層、雙層、多層或前述之其他組合的形式，視需求而定。在一例中，鈍化層 518 及閘極絕緣層 506 可為一雙層結構，該雙層結構具有矽氮化物層設置於矽氧化物上。

當由氫稀釋氣體製造之實質上不含氫之矽氧化物層用於金屬氧化物薄膜電晶體元件中時，金屬氧化物薄膜電晶體元件可具有改善的電性表現。舉例來說，啟動電壓 V_{on} (turn on voltage) 及次臨界電壓擺幅 (Sub-threshold voltage swing value, S 值) 兩者均顯著地降低。在一例中， V_{on} 從約 -5.5 V 降低至約 -0.25V。S 值從約 0.7 V/decade 降低至約 0.4 V/decade。開啟電流 (I_{on}) 從約 3.3×10^{-4} 安培 (A) 降低至約 1.4×10^{-4} A。關閉電流 (I_{off}) 從約 4.8×10^{-12} A 降低至約 1.4×10^{-13} A。載子移動率 (μ_0) 從約 $9.8 \text{ cm}^2/(\text{V} \cdot \text{s})$ 增加至約 $9.9 \text{ cm}^2/(\text{V} \cdot \text{s})$ 。

第 6 圖繪示可依據本發明一實施例使用之金屬氧化物薄膜電晶體元件 600 的一實施例。金屬氧化物薄膜電晶體元件 600 可具有相似於以上配合第 5B 圖所述之金屬氧化物薄膜電晶體元件 550 之結構。金屬氧化物薄膜電晶體元件 600 亦包括由一含金屬的層製造而成的一主動通道 530。形成於金屬氧化物薄膜電晶體元件 600 之主動通道 530 的合適例子特別是包括銦鎵鋅氧化物 (InGaZnO)、銦鎵鋅氮氧化物 (InGaZnON)、氧化鋅 (ZnO)、氮氧化鋅 (ZnON)、鋅錫氧化物 (ZnSnO)、鎘錫氧化物 (CdSnO)、鎵錫氧化物 (GaSnO)、鈦錫氧化物 (TiSnO)、銅鋁氧化物 (CuAlO)、鋇銅氧化物 (SrCuO)、鐳銅硫氧化物 (LaCuOS)、氮化鎵

(GaN)、銦鎵氮化物(InGaN)、鋁鎵氮化物(AlGaN)或銦鎵鋁氮化物(InGaAlN)。此外，一上層介面(upper interface)540及一下層介面(lower interface)542與主動通道530接觸，並具有實質上不含氫之薄膜特性。上層介面540及下層介面542由不含氫之材料製成。舉例來說，下層介面542係形成於主動通道530及閘極絕緣層506之間。在這個情況下，閘極絕緣層506可選擇由實質上不含氫之矽氧化物層形成，如以上配合第5A-5B圖所示之薄膜電晶體元件所作的敘述。在閘極絕緣層506被設置成一雙層結構的實施例中，閘極絕緣層506可具有設置於基板502上的矽氮化物層，以及設置於矽氮化物層上實質上不含氫之矽氧化物層，該矽氧化物層與主動通道530接觸。類似地，上層介面540形成於主動通道530及鈍化層518之間，由源極-汲極通道532之開口所定義。上層介面540也可選擇由一實質上不含氫之矽氧化物層形成，如以上配合第5A-5B圖所示之薄膜電晶體元件所作的敘述。在鈍化層518配置為一雙層結構的實施例中，鈍化層518可具有實質上不含氫之矽氧化物層，設置於主動通道530上與主動通道530接觸，以及設置於實質上不含氫之矽氧化物層上的一矽氮化物層。

或者，額外的層也可形成於介面542、540，作為介面保護層。在一實施例中，一蝕刻終止層也可被使用，以作為形成於介面542、540之介面保護層，以維持介面實質上不含氫。類似地，在一例中，介面保護層為實質上不含氫之矽氧化物層，如以上配合第5A-5B圖所示之薄膜電晶

體元件所作的敘述。在另外一個例子中，介面保護層為含金屬的介電層，例如氮化鉭(TaN)、氮化鈦(TiN)、氮化鎢(WN)、氮化銅(CuN)及任何其他實質上不含氫(例如具有最低氫含量)之適合材料。

維持實質上不含氫之介面 540、542 與主動通道 530 的接觸，被認為可降低氫氣攻擊主動通道的可能性，進而獲得一高品質之介面，以改善金屬氧化物薄膜電晶體元件 600 之電性表現。

值得注意的是，用於本申請案之矽氮化物層亦可藉由其他所屬技術領域中合適之製程或技術來獲得。

因此，這裡描述的方法，藉由最小化一含矽層之氫含量以改善元件表現，係有利於改善電子元件之電子移動率、穩定度及一致性。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為一薄膜電晶體元件結構之剖面圖。

第 2 圖為繪示可用於沉積根據本發明一實施例之一非晶矽層的處理腔室的剖面圖。

第 3 圖為繪示一種形成可用於元件結構中之接著被轉變成多晶矽層的非晶矽層的方法之一實施例的製造流程

圖。

第 4A-4D 圖為繪示具有一非晶矽層之元件結構之一實施例於根據本發明之一實施例將非晶矽層轉變成一多晶矽層的各步驟的示意圖。

第 5A-5B 圖為根據一實施例之薄膜電晶體元件的剖面示意圖。

第 6 圖為根據一實施例之薄膜電晶體的剖面示意圖。

【主要元件符號說明】

- 102、502：基板
- 104：介電層
- 106：閘極介電層
- 108：多晶矽通道層
- 109a：源極區
- 109b：汲極區
- 109c：通道區
- 110a、110b：元件連結部
- 112：絕緣層
- 114：閘極電極
- 150：薄膜電晶體元件
- 200：腔室
- 202：腔壁
- 204：腔底
- 206：處理空間
- 208：開口

- 209：真空泵
- 210：氣體分配板
- 211：孔洞
- 212：腔蓋
- 214：懸吊部
- 216：中央支撐件
- 218：上表面
- 220：氣體源
- 222：射頻功率源
- 224：遠距電漿源
- 230：基板支撐組件
- 231：射頻返回帶
- 232：基板接收表面
- 233：遮蔽框
- 234：主幹
- 236：抬升系統
- 238：抬銷
- 239：加熱及/或冷卻元件
- 250：下游表面
- 300：沉積製程
- 302、304、306、308：步驟
- 402：非晶矽層
- 404：脫氫非晶矽層
- 406：多晶矽層
- 500：薄膜電晶體元件

- 504：閘極電極層
- 506：閘極絕緣層
- 508、530：主動通道
- 510：源極電極
- 511、513：主動層
- 512：汲極電極
- 514：蝕刻終止部
- 516、520：虛線
- 518：鈍化層
- 532：源極-汲極通道
- 540：上層介面
- 542：下層介面
- 550、600：金屬氧化物薄膜電晶體元件

七、申請專利範圍：

1. 一種於基板上形成矽層之方法，包括：

運送一基板至一處理腔室中；

提供一混合氣體至該處理腔室中，該混合氣體具有一矽基氣體、一惰性氣體且實質上不含氫，該混合氣體之該惰性氣體之每單位基板表面積之體積流率為該矽基氣體之每單位基板表面積之體積流率的約 1.8 倍至約 79 倍；

施加一射頻功率，以將該混合氣體激發成一電漿；以及

在該電漿存在的情況下形成一非晶矽層於該基板上；

在形成該非晶矽層之後，於該處理腔室中，在原處熱處理該基板，至介於約攝氏 450 度至約攝氏 550 度之間之溫度，該熱處理少於 5 分鐘。

2. 如申請專利範圍第 1 項所述之方法，更包括：

雷射退火該非晶矽層，以形成一多晶矽層。

3. 如申請專利範圍第 2 項所述之方法，其中雷射退火之步驟更包括：

加熱該基板至介於約攝氏 100 度至約攝氏 1500 度之間之溫度。

4. 如申請專利範圍第 1 項所述之方法，其中施加該射頻功率之步驟更包括：

提供低於 1500 瓦之一射頻功率。

5. 如申請專利範圍第 1 項所述之方法，其中提供該混合氣體之步驟更包括：

維持處理壓力於約 0.5 托耳至約 5 托耳之間。

6. 一種形成矽氧化物層之方法，包括：

提供一混合氣體至一處理腔室中，該混合氣體具有一矽基氣體、一惰性氣體及一含氧氣體，該混合氣體之該惰性氣體之每單位基板表面積之體積流率為該矽基氣體之每單位基板表面積之體積流率的約 11 倍至約 80 倍；

施加一射頻功率，以將該混合氣體激發成一電漿；以及

形成一矽氧化物層於該基板上；

在形成該矽氧化物層之後，於該處理腔室中，在原處熱處理該基板，至介於約攝氏 450 度至約攝氏 550 度之間之溫度，該熱處理少於 5 分鐘。

7. 如申請專利範圍第 6 項所述之方法，其中該矽基氣體包括矽烷。

8. 如申請專利範圍第 7 項所述之方法，其中該含氧氣體包括氧氣。

9. 如申請專利範圍第 7 項所述之方法，其中該含氧氣體包括一氧化二氮。

10. 如申請專利範圍第 6 項所述之方法，其中該矽基氣體包括四乙氧基矽烷。

11. 如申請專利範圍第 10 項所述之方法，其中該含氧氣體包括一氧化二氮。

12. 如申請專利範圍第 6 項所述之方法，其中該混合氣體之該惰性氣體之每單位基板表面積之體積流率為該含氧氣體之每單位基板表面積之體積流率的約 0.6 倍至約 1.7 倍。

13. 如申請專利範圍第 12 項所述之方法，其中該矽基氣體包括矽烷。

14. 如申請專利範圍第 13 項所述之方法，其中該含氧氣體包括氧氣或一氧化二氮。

15. 如申請專利範圍第 12 項所述之方法，其中該混合氣體之該含氧氣體的每單位基板表面積之體積流率為該矽基氣體的每單位基板表面積之體積流率的約 11 倍至約 82 倍。

16. 如申請專利範圍第 6 項所述之方法，其中該混合氣體之該含氧氣體的每單位基板表面積之體積流率為該矽基氣體的每單位基板表面積之體積流率的約 11 倍至約 82 倍。

17. 一種金屬氧化物薄膜電晶體元件，包括：

一基板；

一閘極絕緣層，設置於該基板上，其中該閘極絕緣層包括一實質上不含氫之矽氧化物層；

一主動通道，設置於該閘極絕緣層上，其中該主動通道包括銦鎵鋅氧化物(InGaZnO)、銦鎵鋅氮氧化物(InGaZnON)、氧化鋅(ZnO)、氮氧化鋅(ZnON)、鋅錫氧化物(ZnSnO)、鎘錫氧化物(CdSnO)、鎵錫氧化物(GaSnO)、鈦錫氧化物(TiSnO)、銅鋁氧化物(CuAlO)、鋇銅氧化物(SrCuO)、鑷銅硫氧化物(LaCuOS)、氮化鎵(GaN)、銦鎵氮化物(InGaN)、鋁鎵氮化物(AlGaN) 或銦鎵鋁氮化物(InGaAlN)之其中至少一者；

一源極-汲極電極，設置於該主動通道上；以及

一鈍化層，設置於該源極-汲極電極層上，其中該鈍化層包括一實質上不含氫之矽氧化物層；

其中該閘極絕緣層之該實質上不含氫之矽氧化物層或該鈍化層之該實質上不含氫之矽氧化物層係由以下步驟形成：

提供一混合氣體至一處理腔室中，該混合氣體具有一矽基氣體、一惰性氣體及一含氧氣體，該混合氣體之該惰性氣體的每單位基板表面積之體積流率為該矽基氣體的每單位基板表面積之體積流率的約 11 倍至約 80 倍；

施加一射頻功率，以將該混合氣體激發成一電漿；

形成該實質上不含氫之矽氧化物層於該基板上；以及

在形成該矽氧化物層之後，於該處理腔室中，在原處熱處理該基板，至介於約攝氏 450 度至約攝氏 550 度之間之溫度，該熱處理少於 5 分鐘。

18. 一種金屬氧化物薄膜電晶體元件，包括：

一基板；以及

一主動通道，設置於該基板上—源極-汲極電極及一閘極絕緣層之間，其中一介面形成於該主動通道及該閘極絕緣層之間，該介面包括一實質上不含氫之介電表面；

其中該閘極絕緣層包括一實質上不含氫之矽氧化物層，由以下步驟形成：

提供一混合氣體至一處理腔室中，該混合氣體具有一矽基氣體、一惰性氣體及一含氧氣體，該混合氣體之

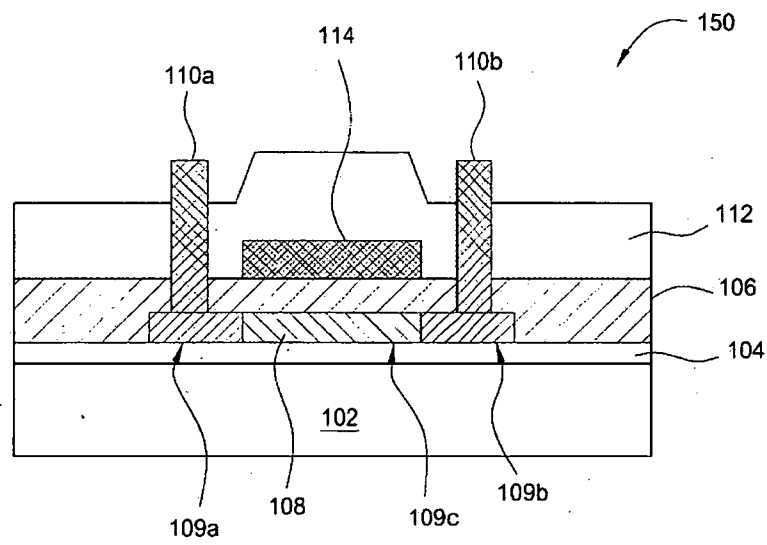
該惰性氣體的每單位基板表面積之體積流率為該矽基氣體的每單位基板表面積之體積流率的約 11 倍至約 80 倍；

施加一射頻功率，以將該混合氣體激發成一電漿；

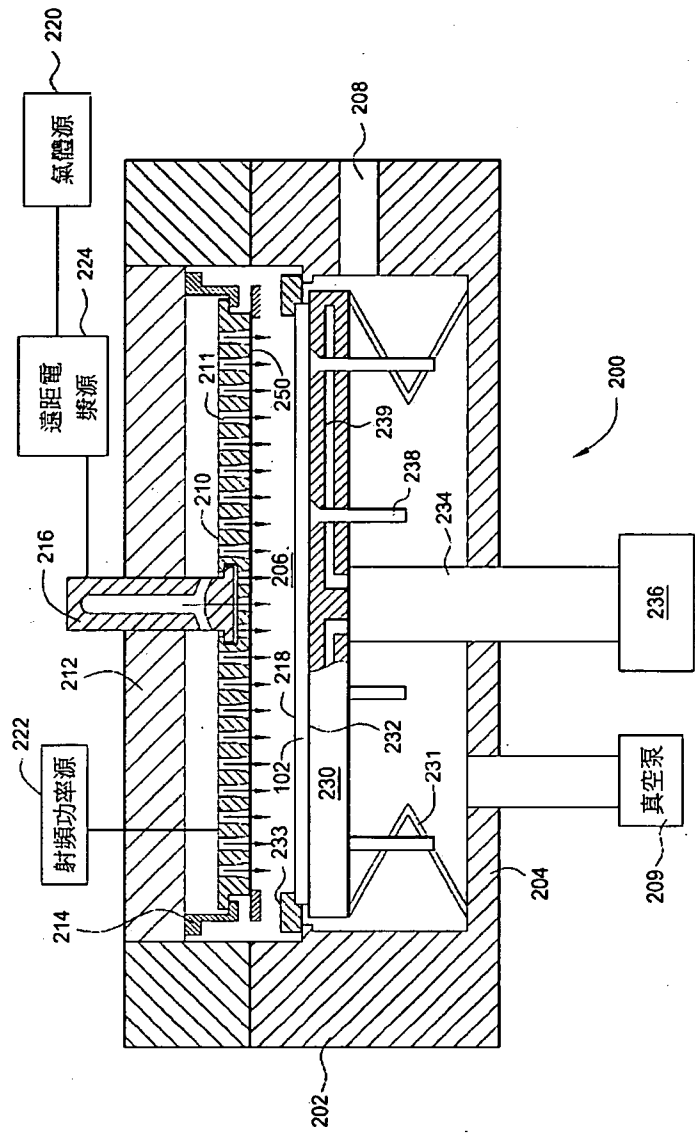
形成該實質上不含氫之矽氧化物層於該基板上；以及

在形成該矽氧化物層之後，於該處理腔室中，在原處熱處理該基板，至介於約攝氏 450 度至約攝氏 550 度之間之溫度，該熱處理少於 5 分鐘。

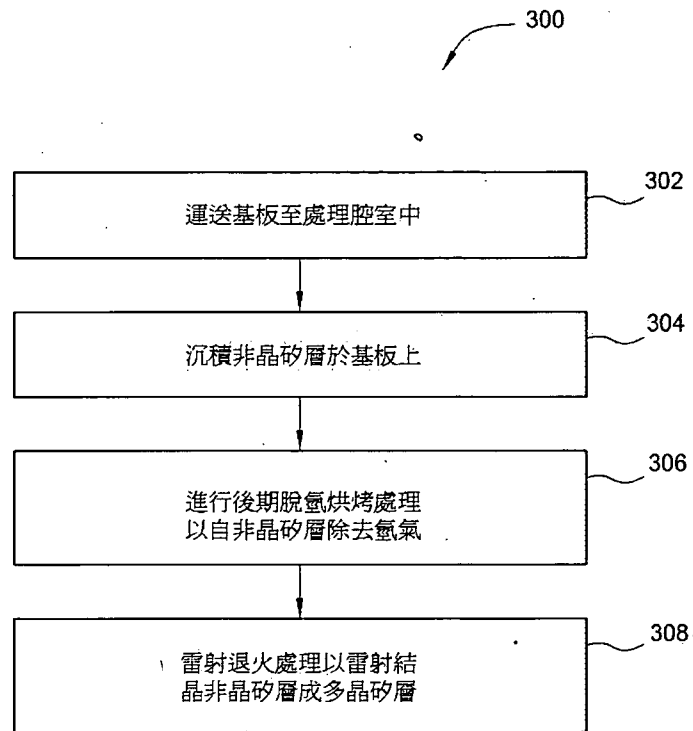
八、圖式：



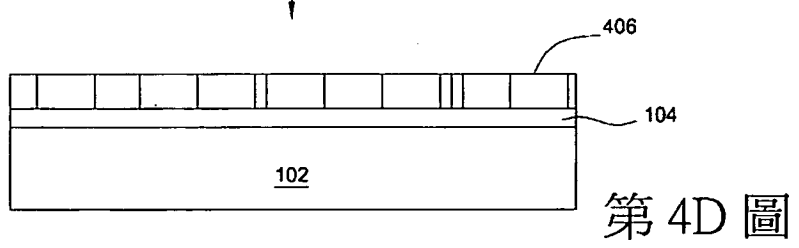
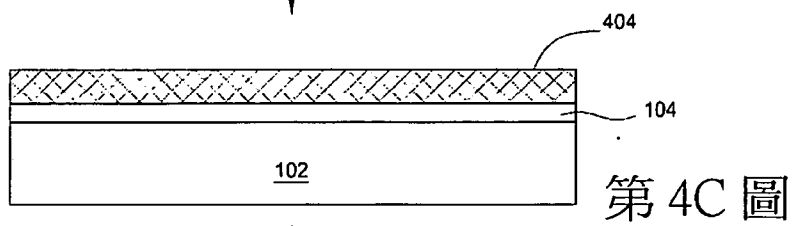
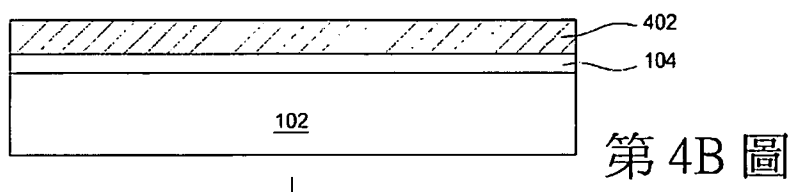
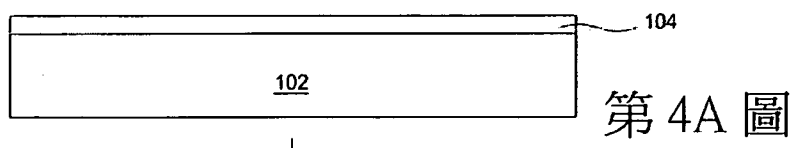
第 1 圖

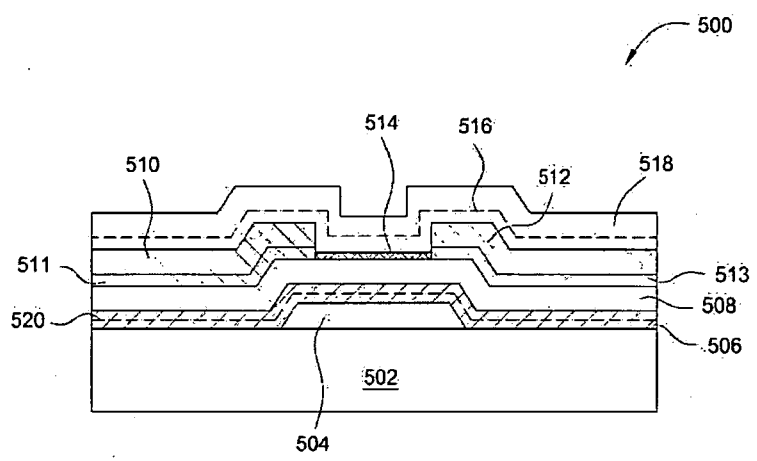


第 2 圖

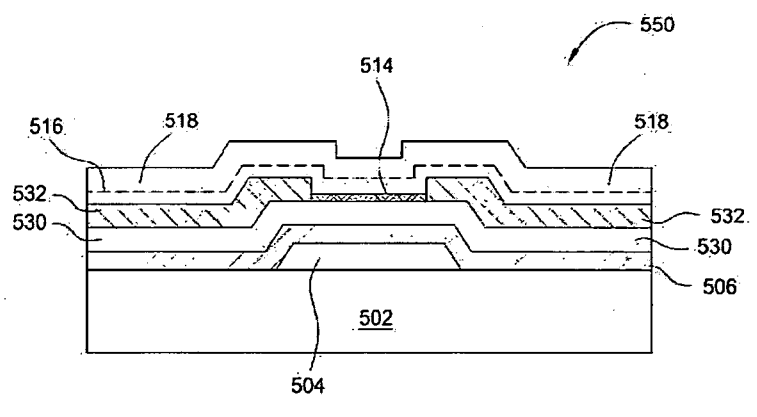


第 3 圖

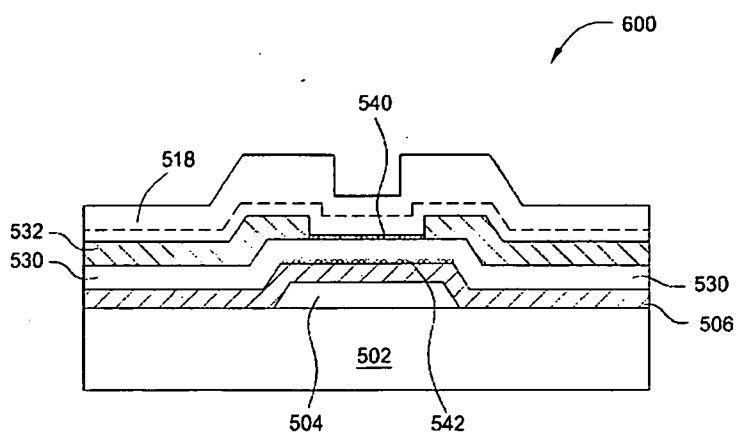




第 5A 圖



第 5B 圖



第 6 圖