

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 21/8238 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710089776.5

[43] 公开日 2008年10月1日

[11] 公开号 CN 101276758A

[22] 申请日 2007.3.26

[21] 申请号 200710089776.5

[71] 申请人 联华电子股份有限公司

地址 中国台湾新竹科学工业园区

[72] 发明人 李坤宪 黄正同 丁世汎 郑礼贤

洪文瀚 郑子铭 梁佳文

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

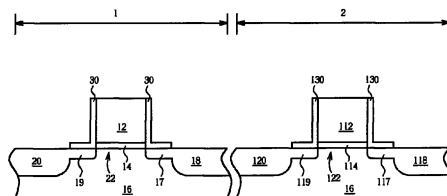
权利要求书4页 说明书11页 附图20页

[54] 发明名称

制作半导体晶体管元件的方法

[57] 摘要

本发明公开了一种制作金属氧化物半导体晶体管元件的方法。提供半导体基底；在半导体基底上形成栅极介电层；在栅极介电层上形成栅极；在该栅极的侧壁上形成衬垫层；在衬垫层上形成氮化硅间隙壁；对半导体基底进行漏极/源极离子注入工艺，由此在栅极两侧形成漏极/源极区域；接着，去除氮化硅间隙壁；然后，在漏极/源极区域上形成硅化金属层；接着，在衬垫层及硅化金属层上沉积盖层，该盖层与该衬垫层直接接壤，且该盖层具有特定的应力状态。



1. 一种制作金属氧化物半导体晶体管元件的方法，包含有：
提供半导体基底；
在该半导体基底上形成栅极介电层；
在该栅极介电层上形成栅极，该栅极具有侧壁及上表面；
在该栅极的该侧壁上形成衬垫层；
在该衬垫层上形成氮化硅间隙壁；
利用该栅极以及该氮化硅间隙壁作为注入掩模，对该半导体基底进行漏极/源极离子注入工艺，由此于该栅极两侧形成漏极/源极区域；
去除该氮化硅间隙壁；以及
去除该氮化硅间隙壁之后，在该漏极/源极区域上形成一硅化金属层。
2. 如权利要求1所述的制作金属氧化物半导体晶体管元件的方法，其中，该方法在进行该漏极/源极离子注入工艺之后以及去除该氮化硅间隙壁之前，另包含有以下的步骤：
进行蚀刻工艺，去除该漏极/源极区域表面上的硅氧层。
3. 如权利要求1所述的制作金属氧化物半导体晶体管元件的方法，其中，该方法于该漏极/源极区域上形成该硅化金属层之后，另包含有以下的步骤：
在该衬垫层以及该硅化金属层上沉积盖层，该盖层与该衬垫层直接接壤，且该盖层具有特定的应力状态。
4. 如权利要求3所述的制作金属氧化物半导体晶体管元件的方法，其中该盖层的厚度介于30至2000埃之间。
5. 如权利要求3所述的制作金属氧化物半导体晶体管元件的方法，其中该盖层在蚀刻接触孔时作为蚀刻停止层。
6. 如权利要求3所述的制作金属氧化物半导体晶体管元件的方法，其中该金属氧化物半导体晶体管元件为N型金属氧化物半导体晶体管元件，而该盖层为在拉伸应变状态。
7. 如权利要求3所述的制作金属氧化物半导体晶体管元件的方法，其中该金属氧化物半导体晶体管元件为P型金属氧化物半导体晶体管元件，而该覆盖层为在压缩应变状态。
8. 如权利要求3所述的制作金属氧化物半导体晶体管元件的方法，其中

该覆盖层包含有氮化硅。

9. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中该衬垫层包含有氧化硅。

10. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中该方法还包含有对该漏极/源极区域进行退火的步骤。

11. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中该硅化金属层包含有硅化镍、硅化钴、硅化钛、硅化钼、硅化钡及硅化铂。

12. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中该栅极包含有多晶硅以及金属。

13. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中在该氮化硅间隙壁形成后，还包含有以下步骤：

形成凹陷区域于该氮化硅间隙壁旁；以及
利用外延硅层回填该凹陷区域。

14. 如权利要求 13 所述的制作金属氧化物半导体晶体管元件的方法，其中该金属氧化物半导体晶体管元件为 N 型金属氧化物半导体晶体管，且该外延硅层为碳化硅层。

15. 如权利要求 13 所述的制作金属氧化物半导体晶体管元件的方法，其中该金属氧化物半导体晶体管元件为 P 型金属氧化物半导体晶体管，且该外延硅层为硅锗层。

16. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中去除该氮化硅间隙壁利用湿蚀刻法、干蚀刻法或者气体蚀刻法。

17. 如权利要求 16 所述的制作金属氧化物半导体晶体管元件的方法，其中该湿蚀刻法利用热磷酸溶液。

18. 如权利要求 16 所述的制作金属氧化物半导体晶体管元件的方法，其中该干蚀刻法利用混合有氟化氢气体以及气态氧化剂的气体。

19. 如权利要求 18 所述的制作金属氧化物半导体晶体管元件的方法，其中该气态氧化剂，包括有硝酸、臭氧、过氧化氢、次氯酸、氯酸、亚硝酸、氧、硫酸、氯或溴。

20. 如权利要求 16 所述的制作金属氧化物半导体晶体管元件的方法，其中该气体蚀刻法利用去水卤化氢，包括氟化氢或氯化氢气体。

21. 如权利要求 1 所述的制作金属氧化物半导体晶体管元件的方法，其中，在该氮化硅间隙壁形成后，还包括在该氮化硅间隙壁旁形成外延硅层。

22. 一种制作互补金属氧化物半导体晶体管元件的方法，包含有：

提供半导体基底，其上具有 N 型金属氧化物半导体区域以及 P 型金属氧化物半导体区域；

分别在该 N 型金属氧化物半导体区域、P 型金属氧化物半导体区域形成第一栅极与第二栅极；

在该第一栅极与第二栅极的侧壁上形成衬垫层；

在该衬垫层上形成氮化硅间隙壁；

进行离子注入工艺，分别将 N 型掺杂以及 P 型掺杂注入该 N 型金属氧化物半导体区域以及该 P 型金属氧化物半导体区域的该半导体基底中，由此形成漏极/源极区域；

去除该氮化硅间隙壁；以及

去除该氮化硅间隙壁之后，进行硅化金属工艺，以在该漏极/源极区域上形成硅化金属层。

23. 如权利要求 22 所述的制作互补金属氧化物半导体晶体管元件的方法，其中，该方法在该漏极/源极区域上形成该硅化金属层之后，还包含有以下的步骤：

在该 N 型金属氧化物半导体区域上形成拉伸应变盖层，且该拉伸应变盖层与该衬垫层直接接壤；以及

在该 P 型金属氧化物半导体区域上形成压缩应变盖层。

24. 如权利要求 23 所述的制作互补金属氧化物半导体晶体管元件的方法，其中该拉伸应变盖层及该压缩应变盖层包含有氮化硅。

25. 如权利要求 22 所述的制作互补金属氧化物半导体晶体管元件的方法，其中该衬垫层包含有氧化硅。

26. 如权利要求 22 所述的制作互补金属氧化物半导体晶体管元件的方法，其中该方法还包含有对该漏极/源极区域进行退火的步骤。

27. 如权利要求 22 所述的制作互补金属氧化物半导体晶体管元件的方法，其中该硅化金属层包含有硅化镍、硅化钴、硅化钛、硅化钼、硅化钡及硅化铂。

28. 如权利要求 22 所述的制作互补金属氧化物半导体晶体管元件的方

法，其中该栅极包含有多晶硅以及金属。

29. 如权利要求22所述的制作互补金属氧化物半导体晶体管元件的方法，其中去除该氮化硅间隙壁利用湿蚀刻法、干蚀刻法或者气体蚀刻法。

30. 如权利要求22所述的制作互补金属氧化物半导体晶体管元件的方法，其中，在该氮化硅间隙壁形成后，还包括在该氮化硅间隙壁旁形成外延硅层。

31. 如权利要求22所述的制作互补金属氧化物半导体晶体管元件的方法，其中在该氮化硅间隙壁形成后，另包含有以下步骤：

形成凹陷区域于该氮化硅间隙壁旁；以及

利用外延硅层回填该凹陷区域。

制作半导体晶体管元件的方法

技术领域

本发明关于一种半导体晶体管元件的制作方法，尤指一种无氮化硅间隙壁(silicon nitride spacer-less)的金属氧化物半导体(metal-oxide-semiconductor, MOS)场效晶体管元件的制作方法。本发明的特征在于结合具有不同应力(stress)作用下(压缩或拉伸)的氮化硅盖层，使N或P型金属氧化物半导体场效晶体管元件可以同时具有较高的饱和漏极电流(I_{dsat})，由此改善半导体晶体管元件的操作效能。

背景技术

如该行业者所知，目前具有应变硅(strained silicon)的高速金属氧化物半导体晶体管元件主要是利用硅锗层的晶格常数与硅不同导致当硅外延在硅锗上时产生结构上应变的原理。在此类型的应变硅-场效晶体管元件中，通常牵涉到硅层的双轴向拉伸应变(biaxial tensile strain)，这是由于硅锗层的晶格常数(lattice constant)比硅大，这使得硅的能带结构(band structure)发生改变，进而造成载流子移动性增加。因此沟道区域采用应变硅结构的元件可获得1.5倍甚至高达8倍左右的速度增益。

请参照图1至图3，其绘示的是现有技术的制作半导体NMOS晶体管元件10的方法剖面示意图。首先，如图1所示，已知的半导体NMOS晶体管元件10包括含有硅层16的半导体基底，在硅层16中形成有源极18以及与源极18通过沟道区域22互相分隔的漏极20。根据现有技术，硅层16可为外延于硅锗层上(图未示)的应变硅层。通常，半导体NMOS晶体管元件10另有浅结源极延伸17以及浅结漏极延伸19。在沟道区域22上形成有栅极介电层14，在栅极介电层14上则形成有栅极12，其中栅极12一般包含有多晶硅。

在图1中，半导体NMOS晶体管元件10的源极18以及漏极20为注入砷、锑或磷的N+掺杂区域，半导体NMOS晶体管元件10的沟道区域22则为注入硼的P型掺杂区域，在栅极12的侧壁上形成有氮化硅间隙壁32。在

氮化硅间隙壁 32 与栅极 12 的侧壁之间为衬垫层 30, 其通常为二氧化硅所构成。半导体 NMOS 晶体管元件 10 的裸露硅表面, 包括漏极/源极的表面, 则形成有硅化金属层(silicide layer)42。由于制作如图 1 中的半导体 NMOS 晶体管元件 10 乃该行业者所熟知, 因此其详细制作程序不再赘述。

在完成图 1 中的半导体 NMOS 晶体管元件 10 结构之后, 如图 2 所示, 通常会继续在半导体基底上沉积氮化硅盖层 46。其中, 氮化硅盖层 46 覆盖在硅化金属层 42 以及氮化硅间隙壁 32 之上, 而氮化硅盖层 46 的厚度通常介于 200 至 400 埃之间。沉积氮化硅盖层 46 的目的是在使后续的接触孔蚀刻能有明显的蚀刻终点, 也就是用来作为接触孔蚀刻停止层(contact etch stop layer, CESL)。在沉积氮化硅盖层 46 之后, 接着才沉积介电层 48, 例如硅氧层(silicon oxide layer)等, 通常介电层 48 较氮化硅盖层 46 厚许多。

接着, 如图 3 所示, 利用已知的光刻(lithography)以及蚀刻工艺, 在介电层 48 与氮化硅盖层 46 中形成接触孔(contact hole)52。如前所述, 在蚀刻接触孔 52 过程中, 氮化硅盖层 46 的功能在提供此等离子体干蚀刻的终点, 由此减轻等离子体蚀刻成分对于源极或漏极的伤害。

然而, 前述现有技术仍存有一些缺点需要进一步的改进与改善。由于前述的现有技术牵涉在硅沟道下方使用硅锗层, 而此硅锗层易导致硅层缺陷的发生, 此种缺陷又称为螺位错(threading dislocation), 而明显影响到成品率。此外, 硅锗层以整面晶片沉积, 使得 NMOS 与 PMOS 的个别调整或最佳化较为困难。另一个缺点则是硅锗层具有较差的热导性。再者, 由于部分的掺杂在硅锗层扩散较快, 也导致源极或漏极区域内的掺杂分布不尽理想。

发明内容

因此, 本发明的主要目的在提供一种制作无氮化硅间隙壁的半导体 MOS 晶体管元件制作方法, 使其具有优选的操作效能。

根据本发明的第一优选实施例, 本发明提供一种制作金属氧化物半导体(MOS)晶体管元件的方法。首先提供半导体基底; 在该半导体基底上形成栅极介电层; 在该栅极介电层上形成栅极, 该栅极具有侧壁及上表面; 在该栅极的该侧壁上形成衬垫层; 在该衬垫层上形成氮化硅间隙壁; 利用该栅极以及该氮化硅间隙壁作为注入掩模, 对该半导体基底进行漏极/源极离子注入工艺, 由此在该栅极两侧形成漏极/源极区域; 去除该氮化硅间隙壁; 然后, 去

除该氮化硅间隙壁之后,在该漏极/源极区域上形成硅化金属层;接下来,在该衬垫层以及该硅化金属层上沉积盖层,该盖层与该衬垫层直接接壤,且该盖层具有特定的应力状态。

根据本发明的第二优选实施例,本发明提供一种制作互补式金属氧化物半导体(CMOS)晶体管元件的方法。同样提供半导体基底,其上具有 NMOS 区域以及 PMOS 区域;然后,分别在该 NMOS 区域、PMOS 区域形成第一栅极与第二栅极;在该第一栅极与第二栅极的侧壁上形成衬垫层;在该衬垫层上形成氮化硅间隙壁;接着,分别对该 NMOS 区域、PMOS 区域进行离子注入工艺,将 N 型掺杂以及 P 型掺杂分别注入该 NMOS 区域以及该 PMOS 区域的该半导体基底中,由此形成漏极/源极区域;然后,去除该氮化硅间隙壁;在去除该氮化硅间隙壁之后,才进行硅化金属工艺,在该漏极/源极区域上形成硅化金属层。

根据本发明的第三优选实施例,本发明提供一种制作金属氧化物半导体(MOS)晶体管元件的方法。同样,提供半导体基底;接着,在该半导体基底上形成栅极介电层;然后在该栅极介电层上形成栅极,该栅极具有侧壁及上表面;接着在该栅极的该侧壁上形成衬垫层;在该衬垫层上沉积氮化硅层;进行干蚀刻工艺,蚀刻该氮化硅层及该半导体基底,以在该衬垫层上形成氮化硅间隙壁,并在该氮化硅间隙壁旁形成凹陷区域;利用半导体层回填该凹陷区域;利用该栅极以及该氮化硅间隙壁作为注入掩模,对该半导体基底进行漏极/源极离子注入工艺,由此在该栅极两侧形成漏极/源极区域;去除该氮化硅间隙壁;然后,去除该氮化硅间隙壁之后,在该漏极/源极区域上形成硅化金属层。

为了使能更近一步了解本发明的特征及技术内容,请参阅以下有关本发明的详细说明与附图。然而附图仅供参考与辅助说明用,并非用来对本发明加以限制。

附图说明

图 1 至图 3 绘示的是现有技术制作半导体 MOS 晶体管元件的方法剖面示意图。

图 4 至图 8 绘示的是本发明第一优选实施例的制作半导体 MOS 晶体管元件的方法的剖面示意图。

图 9 至图 14 绘示的是本发明第二优选实施例的一种制作半导体 CMOS 晶体管元件的方法的剖面示意图。

图 15 至图 20 绘示的是本发明第三优选实施例的一种制作半导体 CMOS 晶体管元件的方法的剖面示意图。

附图标记说明

1 NMOS 区域	2 PMOS 区域
12 栅极	
14 栅极介电层	16 硅层
17 浅结源极延伸	18 源极
19 浅结漏极延伸	20 漏极
22 沟道区域	30 衬垫层
32 氮化硅间隙壁	34 薄氧化层
42 硅化金属层	
46 氮化硅盖层	46a 氮化硅盖层
48 介电层	52 接触孔
60 离子注入工艺	68 掩模层
78 掩模层	88 掩模层
112 栅极	
114 栅极介电层	116 硅层
117 浅结源极延伸	118 源极
119 浅结漏极延伸	120 漏极
122 沟道区域	130 衬垫层
132 氮化硅间隙壁	134 薄氧化层
210 凹陷区域	220 凹陷区域
310 碳化硅层	320 硅锗层

具体实施方式

请参照图 4 至图 8, 其绘示的是本发明第一优选实施例制作半导体 MOS 晶体管元件的方法的剖面示意图, 其中相同的元件或部位仍沿用相同的符号来表示, 需要注意的是图示仅以说明为目的, 并未依照原尺寸作图。此外, 在

图4至图8中对于与本发明有关的部分光刻及蚀刻步骤由于为本领域的技术人员所熟知的，因此并未特别绘示于图示中。

本发明关于一种制作集成电路中的MOS晶体管元件或者CMOS元件的方法。图4至图8中先以MOS工艺作为说明，其可应用在NMOS工艺或者PMOS工艺领域。

如图4所示，先提供半导体基底，其包含有硅层16。前述的半导体基底可以是硅基底、外延硅、硅锗半导体基底、碳化硅基底或硅覆绝缘(silicon-on-insulator, SOI)基板等。首先，利用光刻以及蚀刻工艺，在硅层16上定义形成栅极介电层14与栅极12，其中栅极介电层14可以是硅氧层、氮化硅氧层、氮化硅层或者其它介电常数大于二氧化硅的高介电常数材料，例如， HfSiNO 或 ZrO_2 等。然后在栅极12的侧壁上形成硅氧衬垫层30，接着进行离子注入工艺，在硅层16中形成浅结源极延伸(shallow junction source extension)17以及浅结漏极延伸(shallow junction drain extension)19，其中浅结源极延伸17以及浅结漏极延伸19之间为沟道区域22。此外，栅极12可以是多晶硅或者金属栅极。

然后，在硅氧衬垫层30上沉积氮化硅层(图未示)，接着进行回蚀刻步骤，蚀刻该氮化硅层，由此在栅极12侧壁上形成氮化硅间隙壁32。根据本发明的优选实施例，氮化硅间隙壁32底部的厚度约介于300至600埃之间。

接着，进行离子注入工艺60，将掺杂注入氮化硅间隙壁32旁的硅层16中，形成源极18与漏极20。需注意的是，前述形成氮化硅间隙壁32的蚀刻步骤停止在硅氧衬垫层30，因此，在源极18与漏极20的表面上会有薄氧化层34，其厚度约为30至40埃之间。

此外，氮化硅间隙壁32也可以由氮氧化硅(silicon oxy-nitride, SiON)或者碳化硅(silicon carbide, SiC)所代替，并非仅限于氮化硅而已。

接着，如图5所示，进行蚀刻工艺，其可以是湿蚀刻或干蚀刻工艺，例如，利用稀释的氢氟酸溶液，蚀刻掉在源极18与漏极20的表面的薄氧化层34，由此暴露出源极18与漏极20的表面。

如图6所示，在去除薄氧化层34之后，接着进行另一蚀刻工艺，其可以是湿蚀刻、干蚀刻或者气体蚀刻法，例如，利用热磷酸溶液(hot phosphoric acid solution)，将栅极12侧壁上的氮化硅间隙壁32完全蚀刻掉，使栅极12侧壁上只剩下硅氧衬垫层30。

其中,若蚀刻氮化硅间隙壁 32 使用的是干蚀刻法,则可以利用混合有氟化氢(hydrogen fluoride, HF)气体以及气态氧化剂的气体,前述的氧化剂,例如,硝酸(HNO₃)、臭氧(O₃)、过氧化氢(H₂O₂)、次氯酸(HClO)、氯酸(HClO₃)、亚硝酸(HNO₂)、氧(O₂)、硫酸(H₂SO₄)、氯(Cl₂)或溴(Br₂)。

若使用气体蚀刻法蚀刻氮化硅间隙壁 32,则可以利用无水卤化氢(anhydrous hydrogen halogenide),例如氟化氢或氯化氢(HCl)气体。

如图 7 所示,在蚀刻掉氮化硅间隙壁 32 之后,接着,进行硅化金属工艺,在源极区域以及漏极区域或者在栅极上形成硅化金属层 42,例如,硅化镍(NiSi)、硅化钴(CoSi)、硅化钛(TiSi)、硅化钼(SiMo)、硅化钯(SiPd)及硅化铂(SiPt)等等。本发明的重要特征在于栅极侧壁上皆无氮化硅间隙壁,且在步骤上先去除氮化硅间隙壁 32 之后,在栅极 12 的侧壁上留下约略呈 L 型的衬垫层 30,然后,才进行硅化金属工艺,形成硅化金属层 42,如此一来,即可以避免蚀刻氮化硅间隙壁 32 时,伤害到硅化金属层 42。

如图 8 所示,接着沉积氮化硅盖层 46a,其厚度优选在 30 至 2000 埃之间。由于氮化硅间隙壁 32 已被去除,氮化硅盖层 46a 因此与栅极 12 侧壁上的衬垫层 30 直接接壤。根据本发明,氮化硅盖层 46a 在沉积时先设定沉积在预定的应力状态,例如,对于 NMOS 元件,此预定的应力状态为拉伸应变(tensile-stressed)状态,应力大小约为 0.1Gpa 至 3Gpa 之间,而对于 PMOS 元件,此预定的应力状态为压缩应变(compressive-stressed)状态,应力大小约为 -0.1Gpa 至 -3Gpa 之间。

接着在半导体基底上沉积介电层 48,其覆盖住氮化硅盖层 46。前述的介电层 48 可以为氧化硅、掺杂氧化硅或者低介电常数材料等等。此外,根据本发明的另一实施例,介电层 48 亦具有不同特定的应力状态,例如,拉伸应变状态或压缩应变状态。根据本发明的精神,氮化硅盖层 46a 在后续接触孔干蚀刻中亦扮演蚀刻停止层的角色,由此减轻等离子体蚀刻成分对于源极或漏极的伤害。

接下来,请参照图 9 至图 14,其绘示的是本发明第二优选实施例一种制作半导体 CMOS 晶体管元件的方法的剖面示意图,其中相同的元件或部位仍沿用相同的符号来表示。

如图 9 所示,先制备包含有硅层 16 的半导体基底,其中 NMOS 区域 1 乃用以制作 NMOS 元件的区域,而 PMOS 区域 2 则用以制作 PMOS 元件。

前述的半导体基底可以是硅基底、外延硅、硅锗半导体基底、碳化硅基底或硅覆绝缘(SOI)基板等。在区域1内,硅层16中形成有浅结源极延伸17以及浅结漏极延伸19,其中浅结源极延伸17以及浅结漏极延伸19之间为N沟道22。在区域2内的硅层16中形成有浅结源极延伸117以及浅结漏极延伸119,其中浅结源极延伸117以及浅结漏极延伸119之间为P沟道122。

在沟道22及122上分别形成有栅极氧化层14及114以及栅极12及112,其中栅极12及112通常包含有多晶硅。栅极氧化层14及114可由二氧化硅所构成。然而,在本发明其它实施例中,栅极氧化层14及114亦可以由其它高介电常数(high-k)材料所构成,例如,经氮化的硅氧层(nitrided oxide)、氮化物、氮氧硅铪化合物(HfSiNO)或者氧化锆(ZrO_2)等。

在栅极与氮化硅间隙壁之间另有衬垫层30以及130。前述的衬垫层可以为氧化硅所构成,通常为L型且厚度约在30至120埃之间。在栅极12及112的侧壁上接着形成氮化硅间隙壁32及132。形成氮化硅间隙壁32及132的方法先沉积氮化硅层(图未示),接着进行干蚀刻步骤,蚀刻该氮化硅层。氮化硅间隙壁32及132的干蚀刻步骤停止在硅氧衬垫层30上,因此,在源极与漏极的表面上会有薄氧化层34及134,其厚度约为30至40埃之间。

如图10所示,在形成氮化硅间隙壁32及132之后,利用如光致抗蚀剂等材料的掩模层68将区域2覆盖住。接着进行离子注入工艺,将N型掺杂物种,例如砷、锑或磷等注入区域1内的硅层16中,由此形成NMOS元件的源极区域18以及漏极区域20。完成前述的离子注入工艺之后,掩模层68随即被剥除。

如图11所示,以类似的方法,在区域1上利用如光致抗蚀剂等材料的掩模层78将其覆盖。接着进行另一离子注入工艺,将P型掺杂物种,例如硼等注入区域2内的硅层16中,由此形成PMOS元件的源极区域118以及漏极区域120。完成前述的离子注入工艺之后,掩模层78随即被剥除。本领域的技术人员应理解前述如图10以及图11中所示的离子注入顺序可以颠倒,换言之,可以先进行区域2内的P型掺杂,然后再进行区域1内的N型掺杂。

此外,在完成漏极源极的掺杂后,通常可以再进行退火(annealing)或活化(activation)掺杂的热工艺,此步骤亦为本领域的技术人员所熟知的,不再加以陈述。

接着,如图 12 所示,进行蚀刻工艺,其可以是湿蚀刻或干蚀刻工艺,例如,利用稀释的氢氟酸溶液,蚀刻掉在源极 18 与漏极 20 的表面的薄氧化层 34 及 134,由此暴露出源极与漏极的表面。

在去除薄氧化层 34 及 134 之后,接着进行另一蚀刻工艺,其可以是湿蚀刻、干蚀刻或者气体蚀刻法,例如,利用热磷酸溶液(hot phosphoric acid solution),将栅极 12 侧壁上的氮化硅间隙壁 32 及 132 完全蚀刻掉,使栅极 12 及 112 侧壁上只剩下硅氧衬垫层 30 及 130。

其中,若蚀刻氮化硅间隙壁 32 及 132 使用的是干蚀刻法,则可以利用混合有氟化氢(HF)气体以及气态氧化剂的气体,前述的氧化剂,例如,硝酸(HNO₃)、臭氧(O₃)、过氧化氢(H₂O₂)、次氯酸(HClO)、氯酸(HClO₃)、亚硝酸(HNO₂)、氧(O₂)、硫酸(H₂SO₄)、氯(Cl₂)或溴(Br₂)。

若使用气体蚀刻法蚀刻氮化硅间隙壁 32 及 132,则可以利用去水卤化氢,例如氟化氢或氯化氢(HCl)气体。

如图 13 所示,接着进行硅化金属工艺,在 NMOS 晶体管元件以及 PMOS 晶体管元件的源极区域、漏极区域、及栅极上形成硅化金属层 42,例如,硅化镍(NiSi)、硅化钴(CoSi)、硅化钛(TiSi)、硅化钼(SiMo)、硅化钯(SiPd)及硅化铂(SiPt)等等。

本发明的特征在于 NMOS 晶体管元件以及 PMOS 晶体管元件的栅极侧壁上皆无氮化硅间隙壁,在栅极侧壁上仅有约略呈 L 型的衬垫层 30 及 130,且在步骤上,先去除氮化硅间隙壁 32 及 132 之后,始进行硅化金属工艺。此外,衬垫层 30 及 130 不一定呈 L 型,亦可以进行较温和的蚀刻工艺,略微蚀刻衬垫层,以缩减其厚度者。在其它实施例中,衬垫层 30 及 130 可被完全去除。

接着,沉积氮化硅盖层 46a,其厚度优选在 30 至 2000 埃之间。由于氮化硅间隙壁 32 以及 132 已被去除,氮化硅盖层 46a 因此得与 NMOS 晶体管元件以及 PMOS 晶体管元件的栅极 12 与 112 侧壁上的衬垫层 30 及 130 直接接壤。根据本发明第二优选实施例,氮化硅盖层 46a 在沉积时先设定沉积在第一应力状态,如压缩应变(compressive-stressed)状态,其应力大小约为 -0.1Gpa 至 -3Gpa 之间。如此,使得沟道区域 122 受到氮化硅盖层 46a 的压缩应力作用。接着,利用掩模层 88 将位于区域 2 内的氮化硅盖层 46a 覆盖住。

接着,未被掩模层 88 覆盖的氮化硅盖层 46a 的应力状态被改变至第二

应力状态，其与第一应力状态相反，也就是说，区域2内的氮化硅盖层46a为压缩应变状态，则第二应力状态即为拉伸应变(tensile-stressed)状态，且其应力大小约为0.1Gpa至3Gpa之间。如此，使得沟道区域22受到氮化硅盖层46a的拉伸应力作用。

根据本发明的优选实施例，改变区域1内的氮化硅盖层46a的应力状态的方法可以利用锗(Ge)离子注入。然而，本领域的技术人员应理解改变区域1内的氮化硅盖层46a应力状态亦可以利用其它可达相同目的的方法进行。

如图14所示，接着在半导体基底上沉积介电层48，其覆盖住区域1及区域2内的氮化硅盖层46a。前述的介电层48可以为氧化硅、掺杂氧化硅或者低介电常数材料等等。此外，根据本发明的另一实施例，介电层48亦具有不同特定的应力状态，例如，区域1内的介电层48在拉伸应变状态，区域2内的介电层48在压缩应变状态。

接着，进行已知的光刻以及蚀刻工艺，在介电层48以及氮化硅盖层46a中形成接触孔52，其通达NMOS晶体管元件以及PMOS晶体管元件漏极或源极区域。在其它实施例中，亦可同时形成通达栅极的接触孔，但在图示中并未明示。根据本发明的精神，氮化硅盖层46a除了可以提供应力作用外，在所述的接触孔干蚀刻中亦扮演接触孔蚀刻停止层的角色，由此减轻等离子体蚀刻成分对于源极或漏极的伤害。

接下来，请参照图15至图20，其绘示的是本发明第三优选实施例一种制作半导体CMOS晶体管元件的方法的剖面示意图，其中相同的元件或部位仍沿用相同的符号来表示。

如图15所示，先准备包含有硅层16的半导体基底，同样的，区域1用以制作NMOS元件的区域，而区域2则用以制作PMOS元件。前述的半导体基底可以是硅基底、外延硅、硅锗半导体基底、碳化硅基底或硅覆绝缘(SOI)基板等。在区域1内，硅层16中形成有浅结源极延伸17以及浅结漏极延伸19，其中浅结源极延伸17以及浅结漏极延伸19之间为N沟道22。在区域2内的硅层16中形成有浅结源极延伸117以及浅结漏极延伸119，其中浅结源极延伸117以及浅结漏极延伸119之间为P沟道122。

在沟道22及122上分别形成有栅极氧化层14及114以及栅极12及112，其中栅极12及112通常包含有多晶硅。栅极氧化层14及114可由二氧化硅所构成。然而，在本发明其它实施例中，栅极氧化层14及114亦可以是由

其它高介电常数(high-k)材料所构成,例如,经氮化的硅氧层(nitrided oxide)、氮化物、氮氧硅钪化合物(HfSiNO)或者氧化锆(ZrO_2)等。

在栅极与氮化硅间隙壁之间另有衬垫层 30 以及 130。前述的衬垫层可以为氧化硅所构成,通常为 L 型且厚度约在 30 至 120 埃之间。在栅极 12 及 112 的侧壁上接着形成氮化硅间隙壁 32 及 132。形成氮化硅间隙壁 32 及 132 的方法先沉积氮化硅层(图未示),接着进行干蚀刻步骤,蚀刻该氮化硅层。氮化硅间隙壁 32 及 132 的干蚀刻步骤蚀穿硅氧衬垫层 30,并继续蚀刻硅层 16 至预定深度,例如 20 至 300 埃之间,由此在氮化硅间隙壁 32 及 132 的一侧形成凹陷区域(recessed area)210 及 220。

如图 16 所示,分别在区域 1 内的凹陷区域 210 以及区域 2 内的凹陷区域 220 中填入碳化硅层 310 以及硅锗层 320 等半导体层。

如图 17 所示,利用如光致抗蚀剂等材料的掩模层 68 将区域 2 覆盖住。接着进行离子注入工艺,将 N 型掺杂物种,例如砷、锑或磷等注入区域 1 内的硅层 16 中,由此形成 NMOS 元件的源极区域 18 以及漏极区域 20。完成前述的离子注入工艺之后,掩模层 68 随即被剥除。

如图 18 所示,以类似的方法,在区域 1 上利用如光致抗蚀剂等材料的掩模层 78 将其覆盖。接着进行另一离子注入工艺,将 P 型掺杂物种,例如硼等注入区域 2 内的硅层 16 中,由此形成 PMOS 元件的源极区域 118 以及漏极区域 120。完成前述的离子注入工艺之后,掩模层 78 随即被剥除。本领域的技术人员应理解前述如图 17 以及图 18 中所示的离子注入顺序可以颠倒,换言之,可以先进行区域 2 内的 P 型掺杂,然后再进行区域 1 内的 N 型掺杂。

此外,在完成漏极源极的掺杂后,通常可以再进行退火或活化掺杂的热工艺,此步骤亦为本领域的技术人员所熟知的,不再加以陈述。

接着,如图 19 所示,进行蚀刻工艺,其可以是湿蚀刻、干蚀刻或者气体蚀刻法,例如,利用热磷酸溶液,将栅极 12 侧壁上的氮化硅间隙壁 32 及 132 完全蚀刻掉,使栅极 12 及 112 侧壁上只剩下硅氧衬垫层 30 及 130。

其中,若蚀刻氮化硅间隙壁 32 及 132 使用的是干蚀刻法,则可以利用混合有氟化氢气体以及气态氧化剂的气体,前述的氧化剂,例如,硝酸(HNO_3)、臭氧(O_3)、过氧化氢(H_2O_2)、次氯酸($HClO$)、氯酸($HClO_3$)、亚硝酸(HNO_2)、氧(O_2)、硫酸(H_2SO_4)、氯(Cl_2)或溴(Br_2)。

若使用气体蚀刻法蚀刻氮化硅间隙壁 32 及 132, 则可以利用去水卤化氢, 例如氟化氢或氯化氢气体。

如图 20 所示, 接着进行硅化金属工艺, 在 NMOS 晶体管元件以及 PMOS 晶体管元件的源极区域、漏极区域、及栅极上形成硅化金属层 42, 例如, 硅化镍、硅化钴、硅化钛、硅化钼、硅化钡及硅化铂等等。

接着, 沉积氮化硅盖层 46a, 其厚度优选在 30 至 2000 埃之间。由于氮化硅间隙壁 32 以及 132 已被去除, 氮化硅盖层 46a 因此得与 NMOS 晶体管元件以及 PMOS 晶体管元件的栅极 12 与 112 侧壁上的衬垫层 30 及 130 直接接壤。根据本发明第三优选实施例, 氮化硅盖层 46a 在沉积时可设定沉积在第一应力状态, 如压缩应变状态, 其应力大小约为 -0.1Gpa 至 -3Gpa 之间。如此, 使得 P 沟道区域 122 受到氮化硅盖层 46a 的压缩应力作用。

接着, 将区域 1 内的氮化硅盖层 46a 的应力状态被改变至第二应力状态, 其与第一应力状态相反, 也就是说, 区域 2 内的氮化硅盖层 46a 为压缩应变状态, 则第二应力状态即为拉伸应变状态, 且其应力大小约为 0.1Gpa 至 3Gpa 之间。如此, 使得 N 沟道区域 22 受到氮化硅盖层 46a 的拉伸应力作用。

相较于现有技术, 本发明的优点在于 NMOS 晶体管元件以在拉伸应变状态下的氮化硅盖层覆盖, 而 PMOS 晶体管元件以在压缩应变状态下的氮化硅盖层覆盖, 由此分别调整 NMOS 元件以及 PMOS 元件的特性。

此外, 由于本发明将栅极侧壁上的氮化硅间隙壁去除, 因此前述的氮化硅盖层可以较为接近 NMOS 及 PMOS 晶体管元件的沟道 22 及 122, 可导致饱和电流增加并使元件操作效能获得明显改善。在步骤上, 先去除氮化硅间隙壁之后, 才进行硅化金属工艺, 形成硅化金属层, 如此一来, 即可以避免蚀刻氮化硅间隙壁时, 伤害到硅化金属层。

以上所述仅为本发明的优选实施例, 凡依本发明权利要求所做的等同变化与修饰, 皆应属本发明的涵盖范围。

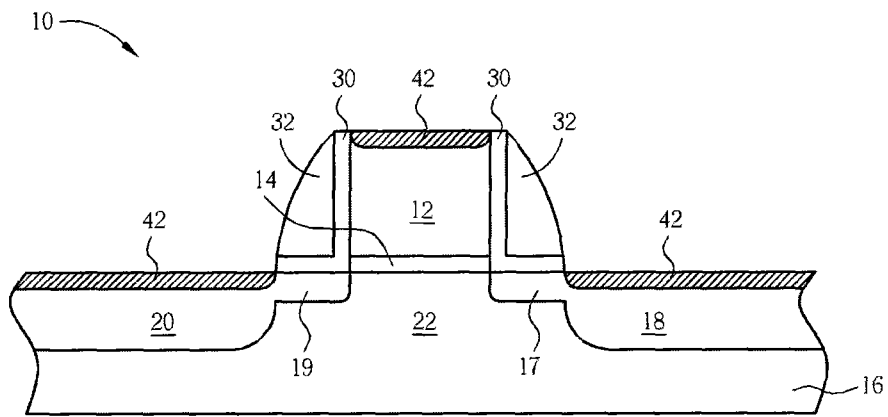


图 1

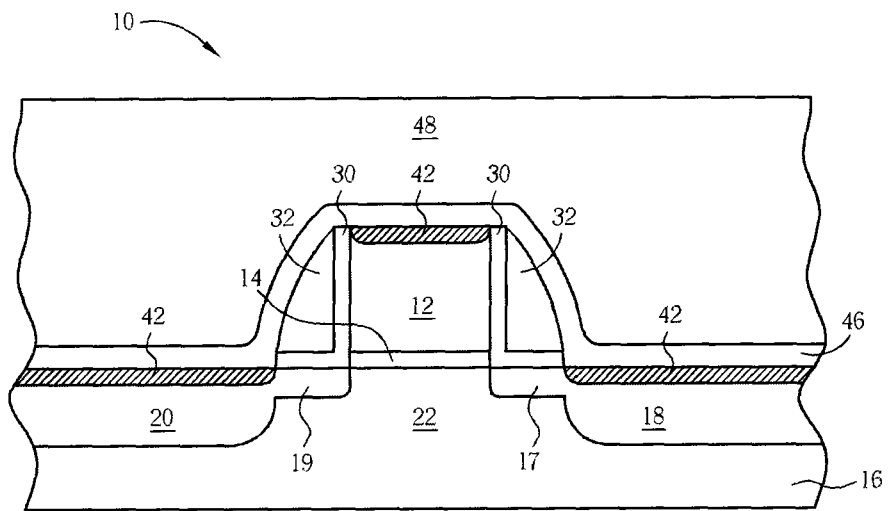


图 2

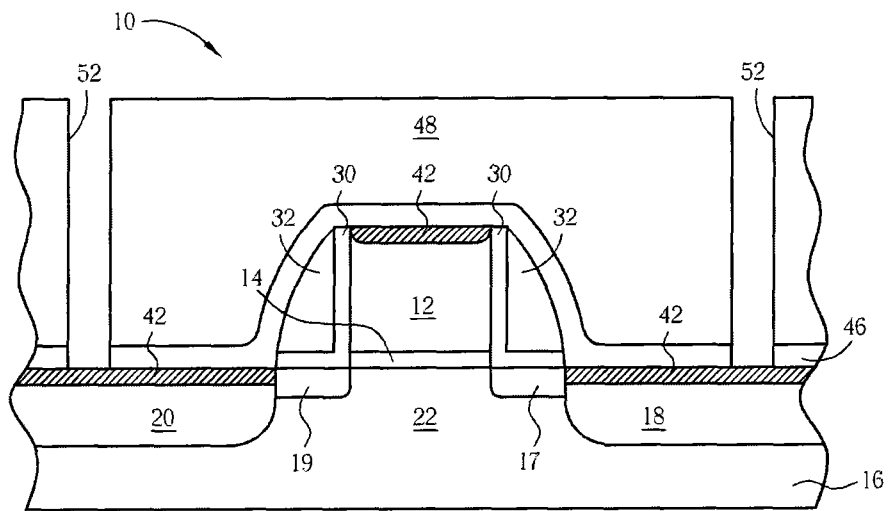


图 3

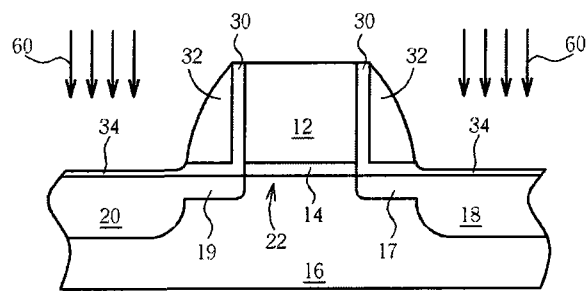


图 4

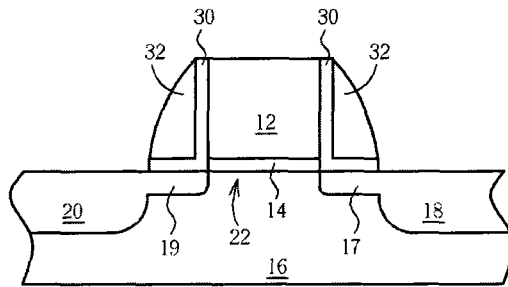


图 5

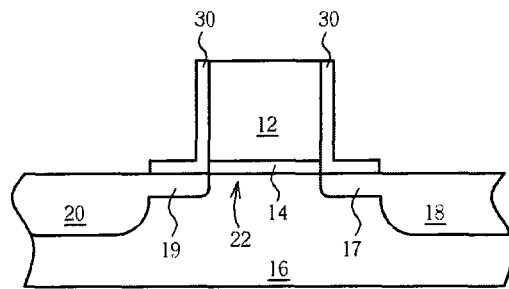


图 6

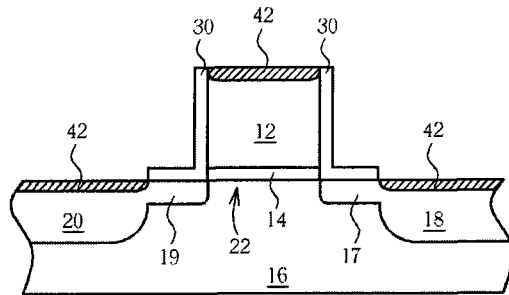


图 7

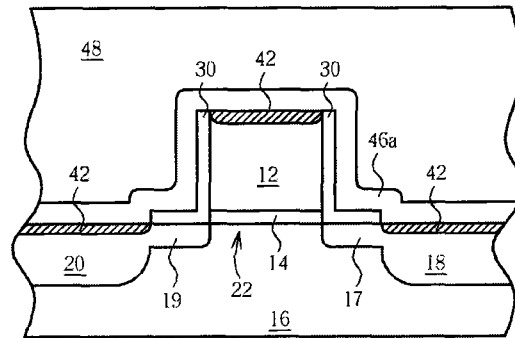


图 8

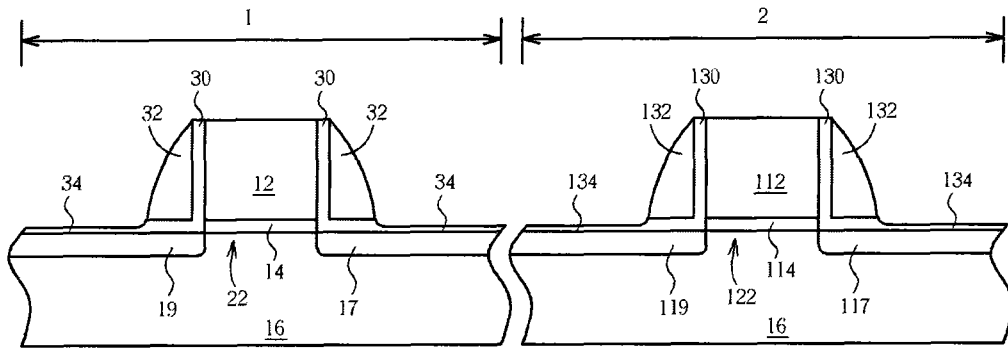


图 9

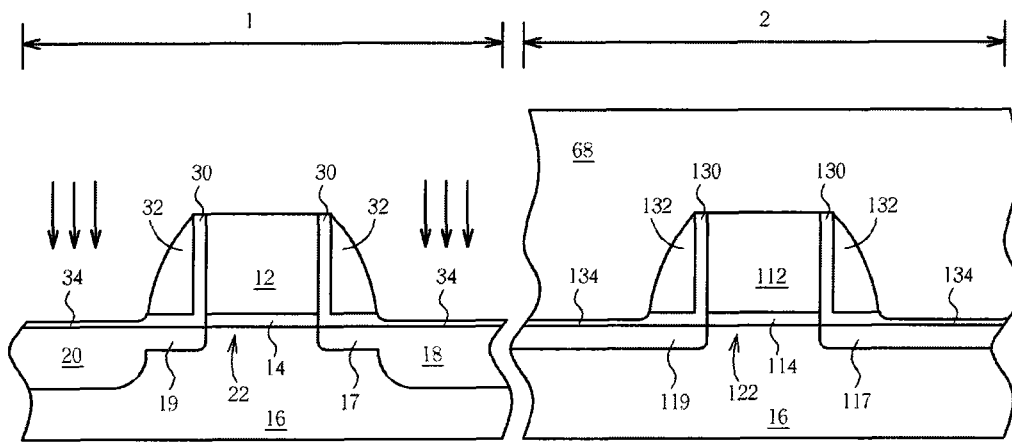


图 10

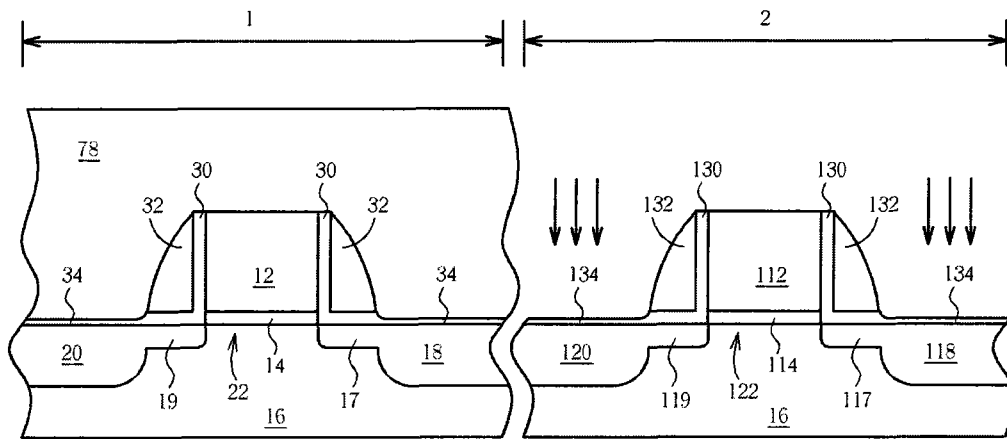


图 11

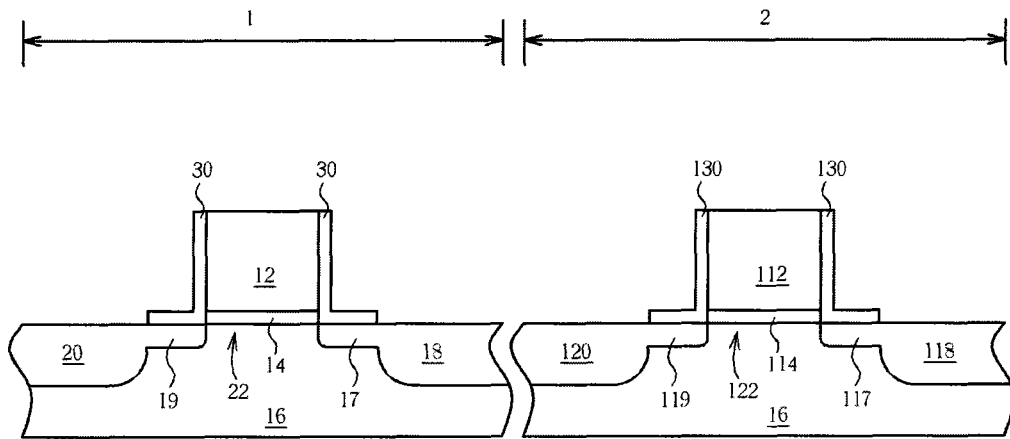


图 12

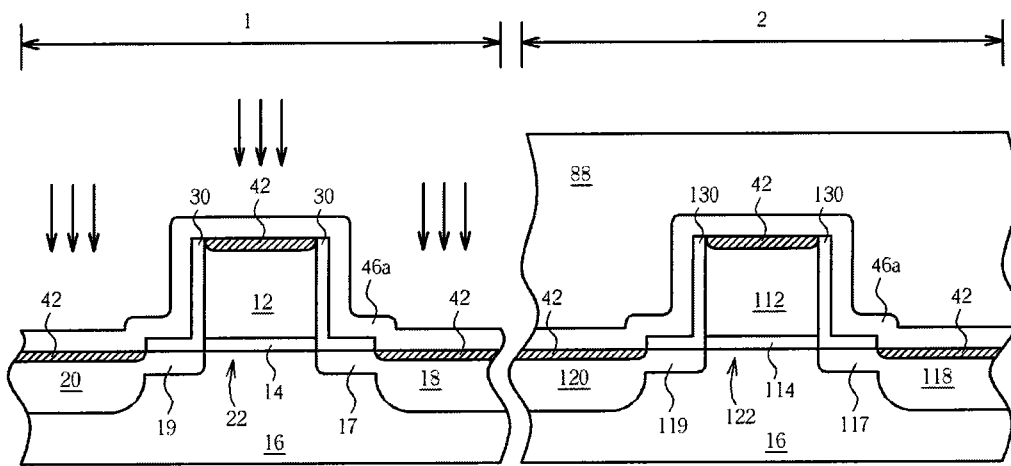


图 13

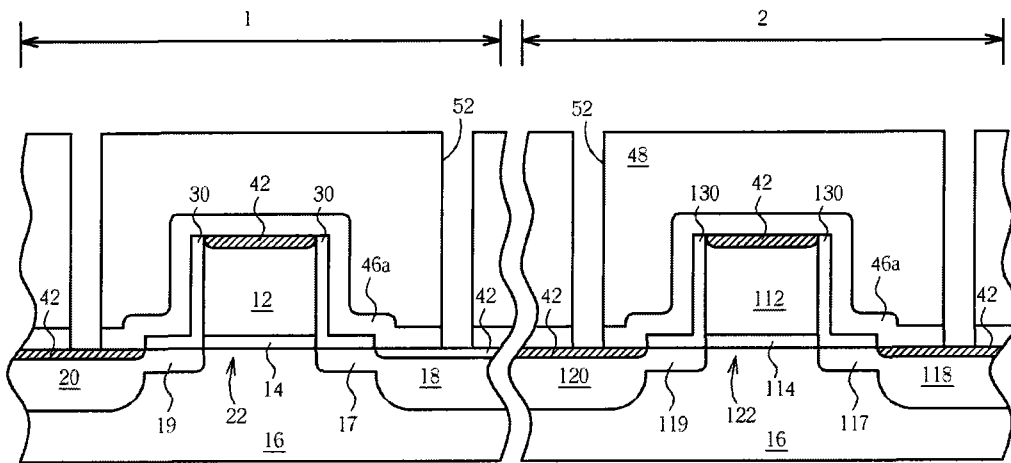


图 14

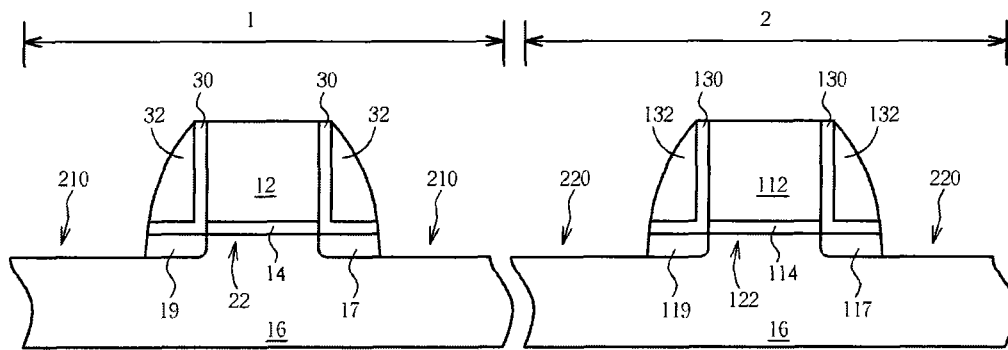


图 15

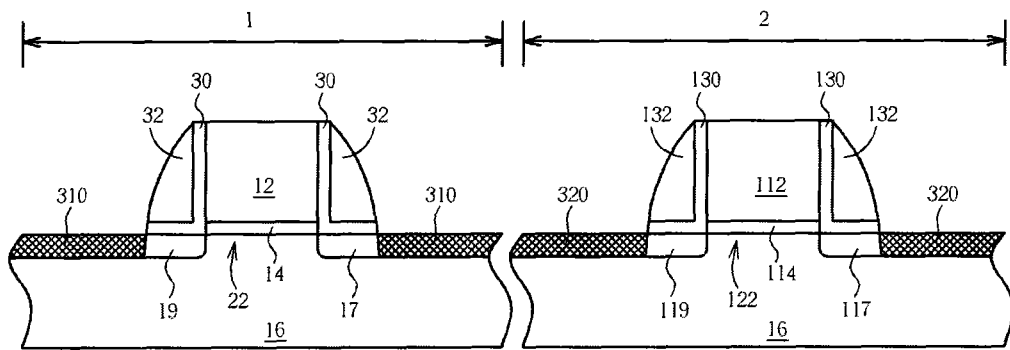


图 16

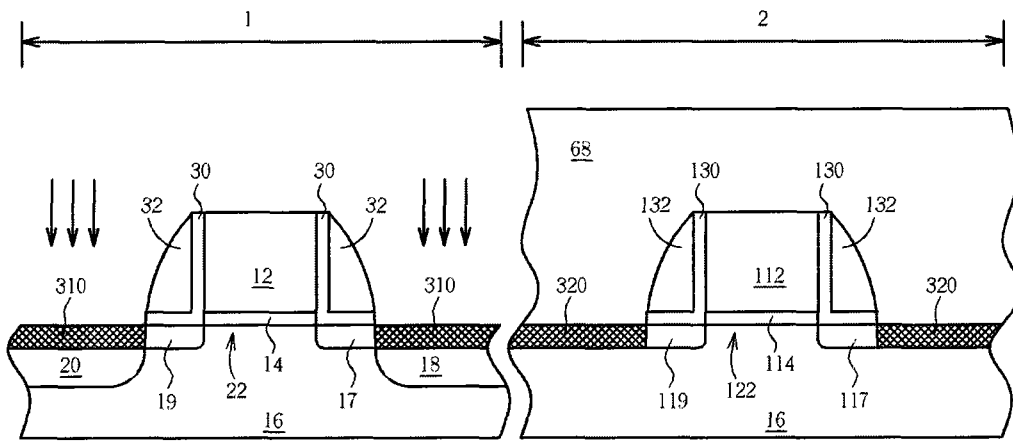


图 17

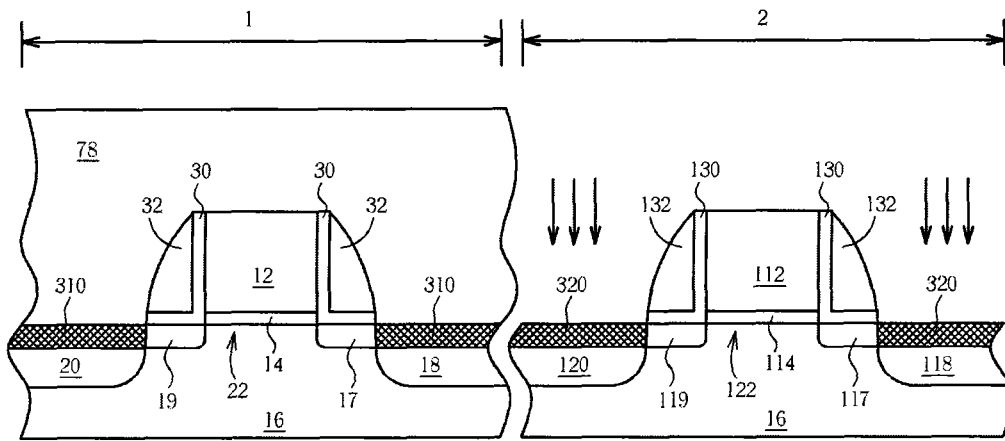


图 18

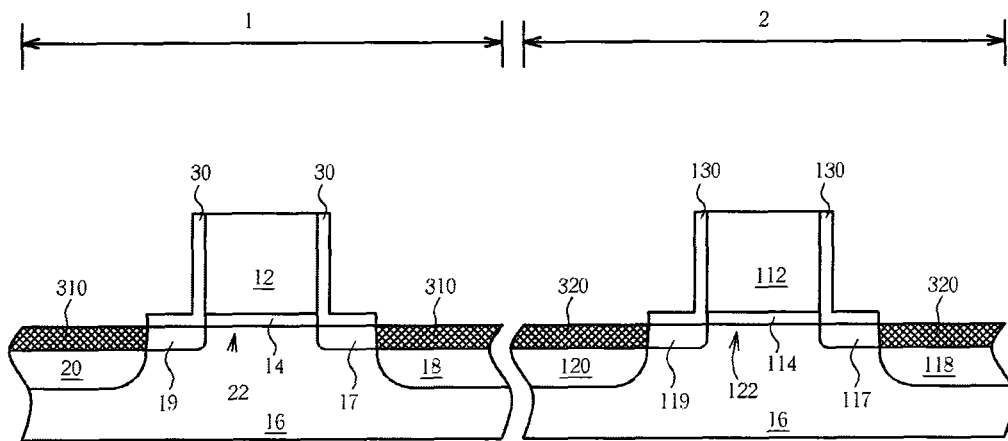


图 19

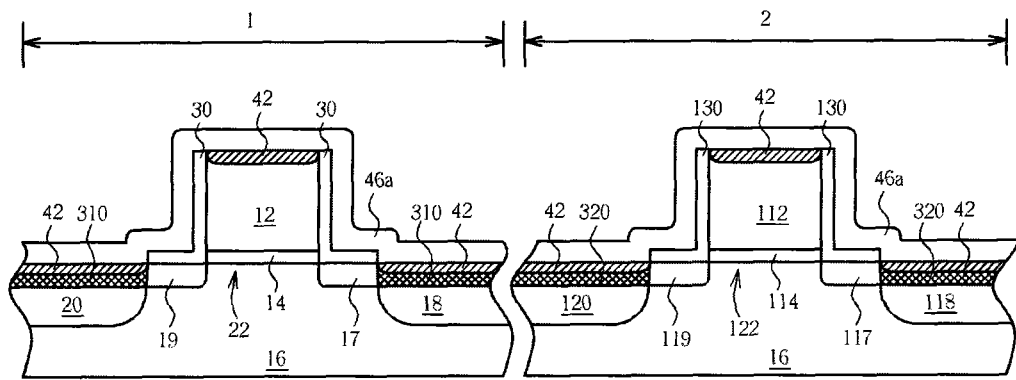


图 20