

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-70664
(P2023-70664A)

(43)公開日 令和5年5月19日(2023.5.19)

(51)国際特許分類	F I	テーマコード(参考)
H 0 1 L 21/336(2006.01)	H 0 1 L 29/78 3 0 1 X	5 F 0 3 2
H 0 1 L 21/76(2006.01)	H 0 1 L 29/78 3 0 1 R	5 F 1 4 0
	H 0 1 L 21/76 L	

審査請求 有 請求項の数 23 O L 外国語出願 (全26頁)

(21)出願番号 特願2022-178569(P2022-178569)	(71)出願人 521531148
(22)出願日 令和4年11月8日(2022.11.8)	インベンション アンド コラボレーショ
(31)優先権主張番号 63/277,178	ン ラボラトリー プロプライエタリー
(32)優先日 令和3年11月9日(2021.11.9)	リミテッド
(33)優先権主張国・地域又は機関 米国(US)	シンガポール共和国, 0 6 8 9 1 4 シ
	ンガポール, ロビンソン ロード 1 6 0
	, # 2 3 - 0 2
	(74)代理人 100107766
	弁理士 伊東 忠重
	(74)代理人 100070150
	弁理士 伊東 忠彦
	(74)代理人 100135079
	弁理士 宮崎 修
	(72)発明者 盧 超群
	台湾台北市大安区敦化南路二段六十三巷
	最終頁に続く

(54)【発明の名称】 トランジスタ構造

(57)【要約】 (修正有)

【課題】実施形態は、フィン構造が倒壊するのを防止し得るトランジスタ構造を提供する。

【解決手段】トランジスタ構造は、基板200と、絶縁壁(酸化物スペーサ304、窒化物スペーサ306)と、ゲート領域(ゲート材料504、複合キャップ層506)とを含んでいる。基板は、フィン構造を有する。絶縁壁は、フィン構造の側壁をクランプする。ゲート領域は、フィン構造及び絶縁壁の上にある。絶縁壁は、フィン構造が倒壊するのを防止する。

【選択図】図12

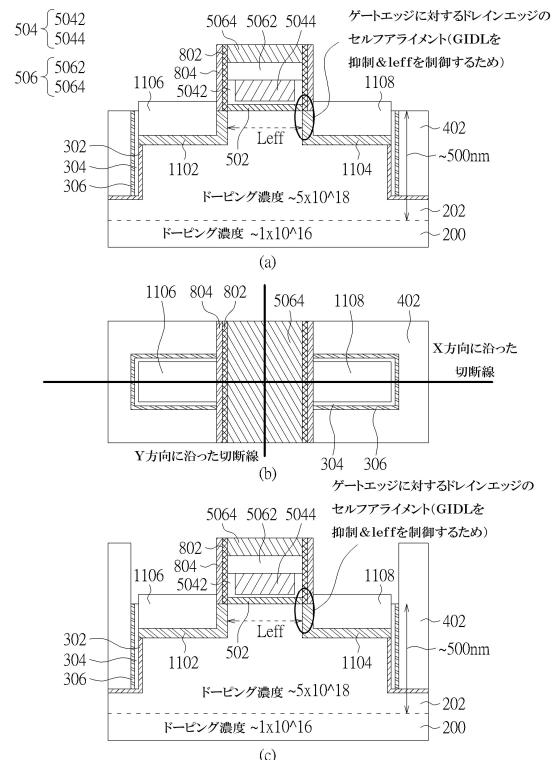


FIG. 12

【特許請求の範囲】

【請求項 1】

フィン構造を持つ基板と、
前記フィン構造の側壁をクランプする絶縁壁と、
前記フィン構造及び前記絶縁壁の上のゲート領域と、
を有し、
前記絶縁壁は、前記フィン構造が倒壊するのを防止するように構成されている、
トランジスタ構造。

【請求項 2】

前記絶縁壁は、前記フィン構造の 4 つの側壁をクランプする、請求項 1 に記載のトランジスタ構造。 10

【請求項 3】

前記絶縁壁を取り囲むシャロートレンチアイソレーション (S T I) 層、を更に有する請求項 2 に記載のトランジスタ構造。

【請求項 4】

当該トランジスタ構造は更に、前記フィン構造の前記側壁と前記絶縁壁との間に配置されたシートチャンネル層を有し、該シートチャンネル層は選択エピタキシャル成長技術によって形成されている、請求項 1 に記載のトランジスタ構造。

【請求項 5】

前記ゲート領域は、前記フィン構造の上のゲート誘電体層と、該ゲート誘電体層の上のゲート導電層と、該ゲート導電層の上のキャップ層とを有する、請求項 1 に記載のトランジスタ構造。 20

【請求項 6】

前記絶縁壁は、前記ゲート誘電体層、前記ゲート導電層、及び前記キャップ層の形成中に前記フィン構造が倒壊するのを防止するように構成されている、請求項 5 に記載のトランジスタ構造。

【請求項 7】

前記ゲート領域の側壁上のスペーサ層、を更に有する請求項 1 に記載のトランジスタ構造。

【請求項 8】

当該トランジスタ構造は更に、前記フィン構造に当接した第 1 の導電領域を有し、該第 1 の導電領域は前記基板とは独立である、請求項 7 に記載のトランジスタ構造。 30

【請求項 9】

前記第 1 の導電領域は、前記基板の当初表面の下第 1 の凹部内に形成されている、請求項 8 に記載のトランジスタ構造。

【請求項 10】

前記絶縁壁は、前記第 1 の凹部及び前記第 1 の導電領域の形成中に前記フィン構造が倒壊するのを防止するように構成されている、請求項 9 に記載のトランジスタ構造。

【請求項 11】

前記第 1 の凹部は、(1) 前記基板をエッチングして一時的な凹部を形成し、次いで、該凹部上に熱酸化物層が形成され、そして、(2) 該熱酸化物層をエッチングする、ことによって形成されている、請求項 9 に記載のトランジスタ構造。 40

【請求項 12】

第 1 の凹部は側壁を有し、前記第 1 の導電領域は、前記第 1 の凹部の前記側壁に当接した低濃度ドーフト領域と、該低濃度ドーフト領域に当接した高濃度ドーフト領域とを有する、請求項 11 に記載のトランジスタ構造。

【請求項 13】

前記第 1 の凹部の前記側壁の位置は、前記ゲート領域の前記側壁上の前記スペーサ層の厚さと、前記熱酸化物層の厚さとに依存する、請求項 11 に記載のトランジスタ構造。

【請求項 14】

前記ゲート領域のエッジと前記第 1 の導電領域のエッジとの間の相対位置は、前記ゲート領域の前記側壁上の前記スペーサ層の厚さと、前記熱酸化物層の厚さとに依存する、請求項 1 1 に記載のトランジスタ構造。

【請求項 1 5】

フィン構造を持つ基板と、
前記フィン構造の上のゲート領域と、
前記フィン構造と当接した第 1 の導電領域と、
を有し、
前記第 1 の導電領域の少なくとも 2 つの面が金属領域に接触している、
トランジスタ構造。

10

【請求項 1 6】

前記第 1 の導電領域の頂面及び側壁が前記金属領域に接触している、請求項 1 5 に記載のトランジスタ構造。

【請求項 1 7】

前記第 1 の導電領域の頂面、底面、及び側壁が前記金属領域に接触している、請求項 1 5 に記載のトランジスタ構造。

【請求項 1 8】

当該トランジスタ構造は更に、前記フィン構造を取り囲むシャロートレンチアイソレーション領域を有し、前記第 1 の導電領域は、前記シャロートレンチアイソレーション領域によって境界付けられている、請求項 1 5 に記載のトランジスタ構造。

20

【請求項 1 9】

前記第 1 の導電領域はどれも前記シャロートレンチアイソレーション領域の上に交わっていない、請求項 1 8 に記載のトランジスタ構造。

【請求項 2 0】

フィン構造を持つ基板と、
前記フィン構造の上のゲート領域と、
前記フィン構造と当接した第 1 の導電領域と、
を有し、
前記ゲート領域の底面の方が前記第 1 の導電領域の底面よりも低い、
トランジスタ構造。

30

【請求項 2 1】

当該トランジスタ構造は更に、前記フィン構造を取り囲むシャロートレンチアイソレーション領域を有し、該シャロートレンチアイソレーション領域の上の前記ゲート領域の前記底面は、前記第 1 の導電領域の前記底面より、10 nm を超えて低い、請求項 2 0 に記載のトランジスタ構造。

【請求項 2 2】

前記第 1 の導電領域の少なくとも 2 つの面が金属領域に接触している、請求項 2 0 に記載のトランジスタ構造。

【請求項 2 3】

当該トランジスタ構造は更に、前記フィン構造を取り囲むシャロートレンチアイソレーション領域を有し、前記第 1 の導電領域は、前記シャロートレンチアイソレーション領域によって境界付けられている、請求項 2 0 に記載のトランジスタ構造。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタ構造に関し、特に、活性領域又は幅狭フィン構造、特にフィン構造の側壁、をクランプする固体壁を形成し、ソース/ドレインのエッジとゲートのエッジとの間の相対的な位置又は距離を制御可能にし、ソース/ドレインの抵抗を改善し、ソース/ドレイン領域の大部分を絶縁材料によってアイソレートすることができるトランジスタ構造に関する。

50

【背景技術】

【0002】

FIN構造 (FinFET又はトライゲート) を持つ最先端の電界効果トランジスタ (例えば、NMOS (N型金属酸化膜半導体) トランジスタ) の一例を図1に示す。絶縁材料 (例えば、酸化物、又は酸化物/窒化物、又は一部のhigh-k誘電体など) を用いて他のトランジスタの側壁から絶縁された側壁を持つ三次元 (3D) シリコン表面上に、(金属、ポリシリコン、ポリサイドなどのような) 何らかの導電材料を絶縁体の上に用いたNMOSTランジスタのゲート構造10が形成される。イオン注入に熱アニーリングを加えた技術で高濃度のn型 (n+) ドーパントをp型基板 (又はpウェル) に注入することによって、NMOSTランジスタのソース11とドレイン12が形成され、ひいては、2つの離隔されたn+/pジャンクション領域がもたらされる。

10

【0003】

また、衝突電離及びホットキャリア注入を減少させるために、高濃度ドーパントn+/pジャンクションに先立って、イオン注入に熱アニーリングを加えた技術によってソース11及びドレイン12の前に低濃度ドーパントドレイン (n-型LDD) 13を形成することが一般的であり、このようなイオン注入に熱アニーリングを加えた技術は、(図1に示すように) ゲート構造10の下にある3D活性領域の部分に入り込んだLDD13を生じさせることが多い。従って、LDD13同士の間有効チャンネル長14が不可避免的に短くなる。

20

【0004】

一方で、製造プロセス技術の進歩は、NMOSTランジスタのジオメトリを水平及び垂直の両方向の寸法でスケールダウンする (例えば、ラムダ () と呼ばれる最小フィーチャーサイズを28nmから5nm又は3nmに縮小するなど) ことによって、急速に前進し続けている。しかし、このようなFinFET又はトライゲートジオメトリのスケールアップに起因して、多数の問題が導入されたり悪化したりする:

(1) 水平及び垂直の両方向の寸法がスケールダウン縮小されるにつれて、ゲート、スペーサ、及びイオン注入形成を用いた従来のセルフアライン法のみでは、LDDジャンクションエッジ (又はソース/ドレインエッジ) をゲート構造10のエッジに完璧な位置でアライメントすることが難しくなっている。また、イオン注入ダメージを除去するための熱アニーリング技術は、様々なエネルギー源や他の熱プロセスを用いることによる例えば急速熱アニーリング法などの高温処理技術に頼らなければならない。斯くして引き起こされる1つの問題はゲート誘起ドレインリーク (gate-induced drain leakage; GIDL) 電流であり、生じるGIDL電流は、リーク電流を減らすために最小化されるべきであるというのが事実であるにもかかわらず、制御するのが困難であり、引き起こされる他の問題は、有効チャンネル14の長さを制御するのが困難であり、それ故に短チャンネル効果 (short channel effect; SCE) が殆ど最小化されないことである。さらに、GIDLを制御し得るようにソース/ドレインエッジとゲート構造10のエッジとの間の相対位置を調節することも困難である;

30

(2) また、LDD13 (又はNMOSにおけるn+/pジャンクション、若しくはPMOS (p型金属酸化膜半導体) におけるp+/nジャンクション) を形成するためのイオン注入は、シリコン表面の上から基板に真っ直ぐ下に基板にイオンを挿入するための砲撃のように作用するので、より高いドーピング濃度を持つ頂面から、より低いドーピング濃度を持つジャンクション領域へと、ドーパント濃度が垂直方向に不均一に分布するため、ソース11及びドレイン12から有効チャンネル14及び基板本体領域まで欠陥の少ない均一な材料界面を作るのが困難である;

40

(3) さらに、水平方向の寸法が7nm、5nm、又は3nmへとスケールダウンされるとき、NMOSTランジスタのフィン構造の高さ (垂直方向の寸法) (例えば60-300nmなど) が、NMOSTランジスタのフィン構造の幅 (水平方向の寸法) (例えば3-7nmなど) よりも遥かに大きくなり、その結果、フィン構造が脆弱になったり、さらには、続くプロセス (例えばソース/ドレイン形成、ゲート形成など) 中に倒壊したり

50

する。

【 0 0 0 5 】

故に、本発明は、上述の 1) - 3) の問題を解決するためのトランジスタ構造を提供する。

【 発明の概要 】

【 0 0 0 6 】

本発明の一実施形態はトランジスタ構造を提供する。当該トランジスタ構造は、基板と、絶縁壁と、ゲート領域とを含む。基板はフィン構造を有する。絶縁壁は、フィン構造の側壁をクランプする。ゲート領域は、フィン構造及び絶縁壁の上にある。絶縁壁は、フィン構造が倒壊するのを防止するように構成されている。

10

【 0 0 0 7 】

本発明の一態様によれば、絶縁壁は、フィン構造の 4 つの側壁をクランプする。

【 0 0 0 8 】

本発明の一態様によれば、当該トランジスタ構造は更に、絶縁壁を取り囲むシャロートレンチアイソレーション (S T I) 層を含む。

【 0 0 0 9 】

本発明の一態様によれば、当該トランジスタ構造は更に、フィン構造の側壁と絶縁壁との間に配置されたシートチャンネル層を含み、該シートチャンネル層は選択エピタキシャル成長技術によって形成されている。

【 0 0 1 0 】

20

本発明の一態様によれば、ゲート領域は、フィン構造の上のゲート誘電体層と、該ゲート誘電体層の上のゲート導電層と、該ゲート導電層の上のキャップ層とを有する。

【 0 0 1 1 】

本発明の一態様によれば、絶縁壁は、ゲート誘電体層、ゲート導電層、及びキャップ層の形成中にフィン構造が倒壊するのを防止するように構成されている。

【 0 0 1 2 】

本発明の一態様によれば、当該トランジスタ構造は更に、ゲート領域の側壁上のスペーサ層を含む。

【 0 0 1 3 】

本発明の一態様によれば、当該トランジスタ構造は更に、フィン構造に当接した第 1 の導電領域を含み、該第 1 の導電領域は基板とは独立である。

30

【 0 0 1 4 】

本発明の一態様によれば、第 1 の導電領域は、基板の当初表面の下の第 1 の凹部に形成されている。

【 0 0 1 5 】

本発明の一態様によれば、絶縁壁は、第 1 の凹部及び第 1 の導電領域の形成中にフィン構造が倒壊するのを防止するように構成されている。

【 0 0 1 6 】

本発明の一態様によれば、第 1 の凹部は、(1) 基板をエッチングして一時的な凹部を形成し、次いで、該凹部上に熱酸化物層が形成され、そして、(2) 該熱酸化物層をエッチングする、ことによって形成されている。

40

【 0 0 1 7 】

本発明の一態様によれば、第 1 の凹部は側壁を有し、第 1 の導電領域は、第 1 の凹部の側壁に当接した低濃度ドーフト領域と、該低濃度ドーフト領域に当接した高濃度ドーフト領域とを有する。

【 0 0 1 8 】

本発明の一態様によれば、第 1 の凹部の側壁の位置は、ゲート領域の側壁上のスペーサ層の厚さと、熱酸化物層の厚さとに依存する。

【 0 0 1 9 】

本発明の一態様によれば、ゲート領域のエッジと第 1 の導電領域のエッジとの間の相對

50

位置は、ゲート領域の側壁上のスペーサ層の厚さと、熱酸化物層の厚さとに依存する。

【0020】

本発明の他の一実施形態はトランジスタ構造を提供する。当該トランジスタ構造は、基板と、ゲート領域と、第1の導電領域とを含む。基板はフィン構造を有する。ゲート領域はフィン構造の上にある。第1の導電領域はフィン構造と当接し、第1の導電領域の少なくとも3つの面が金属に接触している。

【0021】

本発明の他の一実施形態はトランジスタ構造を提供する。当該トランジスタ構造は、基板と、ゲート領域と、第1の導電領域とを含む。基板はフィン構造を有する。ゲート領域はフィン構造の上にある。第1の導電領域はフィン構造と当接し、ゲート領域の底面の方が第1の導電領域の底面よりも低い。

10

【0022】

様々な図及び図面に示される好適実施形態の以下の詳細な説明を読んだ後、本発明のこれら及び他の目的が当業者に明らかになるであろう。

【図面の簡単な説明】

【0023】

【図1】先行技術に従ったFinFETを示す図である。

【図2A】本発明の一実施形態に従ったフィン電界効果トランジスタ(FinFET)の製造方法を示すフローチャートである。

【図2B】図2B、図2C、図2Dは、図2Aを説明する図である。

20

【図2C】図2B、図2C、図2Dは、図2Aを説明する図である。

【図2D】図2B、図2C、図2Dは、図2Aを説明する図である。

【図3】パッド酸化物層が成長され、パッド窒化物層が堆積され、トレンチが形成されることを示す図である。

【図4】半導体層が形成され、半導体層上に酸化物スペーサが堆積され、酸化物スペーサ上に窒化物スペーサが堆積されることを示す図である。

【図5】シャロートレンチアイソレーション(STI)が形成されることを示す図である。

【図6】活性領域とアイソレーション領域とにまたがるゲートエリアが画成されることを示す図である。

30

【図7】ゲート材料が形成され、複合キャップ層が堆積されることを示す図である。

【図8】STIがエッチングされ、パッド窒化物層が除去されることを示す図である。

【図9】パッド酸化物層がエッチング除去され、STIの一部がエッチバックされ、酸化物2スペーサ及び窒化物2スペーサが形成されることを示す図である。

【図10】一部の露出したシリコンエリアがエッチング除去されて、ソース及びドレイン用の浅いトレンチが作り出されることを示す図である。

【図11】酸化物3層が熱成長されることを示す図である。

【図12】酸化物3層がエッチング除去され、SEG技術によってソース及びドレインが形成されることを示す図である。

【図13】SCBFETの断面と、SCBFETの該断面に対応するY方向ドーピング濃度及びX方向ドーピング濃度を示す図である。

40

【図14】p型ウェル上の酸化物スペーサ及び該酸化物スペーサ上の窒化物スペーサが形成されることを示す図である。

【図15】本発明の他の一実施形態に従ったFinFETを示す図である。

【図16A】図16A、図16Bは、本発明の他の一実施形態に従ったFinFETの製造方法を示すフローチャートである。

【図16B】図16A、図16Bは、本発明の他の一実施形態に従ったFinFETの製造方法を示すフローチャートである。

【図17】パッド酸化物層が成長され、パッド窒化物層が堆積され、トレンチが形成され、シャロートレンチアイソレーション(STI)が形成されることを示す図である。

50

【図 18】パッド酸化物層及びパッド窒化物層が除去されることを示す図である。

【図 19】H i - K 誘電体層が形成されることを示す図である。

【図 20】ゲートエリアが画成され、ゲートエリアに従った H i - K 誘電体層がエッチング除去され、熱酸化物 1 層が熱成長され、窒化物 1 スペース及び酸化物 2 スペースが形成されることを示す図である。

【図 21】S T I 酸化物 1 上に酸化物層が堆積されてから、該酸化物層がエッチバックされて S T I 酸化物 2 が形成されることを示す図である。

【図 22】一部の露出したシリコンエリアがエッチング除去されて、ソース及びドレイン用の浅いトレンチが作り出されることを示す図である。

【図 23】酸化物 3 層が熱成長されることを示す図である。

【図 24】酸化物 3 B 層上に窒化物 3 層が堆積されてから、窒化物 3 層がエッチバックされて、シリコン基板内への局所的アイソレーション (L I S S) が形成されることを示す図である。

【図 25】図 25、図 26、図 27、図 28、図 29 は、融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が形成されることを示す図である。

【図 26】図 25、図 26、図 27、図 28、図 29 は、融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が形成されることを示す図である。

【図 27】図 25、図 26、図 27、図 28、図 29 は、融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が形成されることを示す図である。

【図 28】図 25、図 26、図 27、図 28、図 29 は、融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が形成されることを示す図である。

【図 29】図 25、図 26、図 27、図 28、図 29 は、融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が形成されることを示す図である。

【図 30 A】融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が本発明の他の一実施形態に従って形成されること構造を示す図である。

【図 30 B】融合半導体ジャンクション・メタルコンダクタ (M S M C) 構造が本発明の他の一実施形態に従って形成されること構造を示す図である。

【発明を実施するための形態】

【0024】

図 2 A、図 2 B、図 2 C、図 2 D、図 3、図 4、図 5、図 6、図 7、図 8、図 9、図 10、図 11、図 12、図 13 を参照されたい。図 2 A は、本発明の一実施形態に従ったフィン電界効果トランジスタ (F i n F E T) の製造方法を示すフローチャートであり、図 2 A における F i n F E T の製造方法は、F i n F E T が持つゲート誘起ドレインリーク (G I D L) 電流及び短チャネル効果 (S C E) を低くすることができ、また、F i n F E T の活性領域又は幅狭フィン構造をクランプする固体壁を形成することができる。詳細な手順は次の通りである。

【0025】

工程 10 : 開始。

【0026】

工程 20 : p 型ウェル 202 に基づいて活性領域を画成し、フィン構造を形成する。

【0027】

工程 30 : p 型ウェル 202 の当初水平表面 (original horizontal surface ; O H S) の上に F i n F E T のゲートを形成する。

【0028】

工程 40 : F i n F E T のソース及びドレインを形成する。

【0029】

工程 50 : 終了。

【0030】

図 2 B と図 3、図 4 を参照されたい。工程 20 は以下を含み得る。

【0031】

10

20

30

40

50

工程 1 0 2 : パッド酸化物層 2 0 4 を成長させ、パッド窒化物層 2 0 6 を堆積させる。

【 0 0 3 2 】

工程 1 0 4 : 活性領域を画成し、活性領域の外側の O H S に対応するシリコン材料の部分を除去してトレンチ 2 1 0 を作り出すとともにフィン構造を形成する。

【 0 0 3 3 】

工程 1 0 6 : 活性領域を取り囲む半導体層 3 0 2 (シートチャンネル層 (sheet-channel layer ; S C L) 、これはオプションである) を成長させ、酸化物スペーサ 3 0 4 及び窒化物スペーサ 3 0 6 を形成し、酸化物スペーサ 3 0 4 及び窒化物スペーサ 3 0 6 をエッチバックする。

【 0 0 3 4 】

次いで、図 2 C と図 5 、図 6 、図 7 を参照されたい。工程 3 0 は以下を含み得る。

【 0 0 3 5 】

工程 1 0 8 : 酸化物層を堆積させ、化学機械研磨 (chemical mechanical polishing ; C M P) 技術を用いて余分な酸化物層を除去して S T I 4 0 2 を形成する。

【 0 0 3 6 】

工程 1 1 0 : 活性領域とアイソレーション領域とにまたがるゲートエリアを画成し、ゲートエリアに対応するパッド酸化物層 2 0 4 及びパッド窒化物層 2 0 6 をエッチング除去し、ゲートエリアに対応する S T I 4 0 2 をエッチバックする。

【 0 0 3 7 】

工程 1 1 2 : ゲート誘電体材料 5 0 2 を形成し、凹部 4 0 4 内にゲート材料 5 0 4 を堆積させ、次いで、ゲート材料 5 0 4 をエッチバックする。

【 0 0 3 8 】

工程 1 1 4 : 複合キャップ層 5 0 6 を形成し、C M P 技術により複合キャップ層 5 0 6 を研磨する。

【 0 0 3 9 】

図 2 D と図 8 、図 9 、図 1 0 、図 1 1 、図 1 2 、図 1 3 を参照されたい。工程 4 0 は以下を含み得る。

【 0 0 4 0 】

工程 1 1 6 : S T I 4 0 2 をエッチバックし、パッド窒化物層 2 0 6 を除去する。

【 0 0 4 1 】

工程 1 1 8 : パッド酸化物層 2 0 4 をエッチング除去し、S T I 4 0 2 をエッチバックする。

【 0 0 4 2 】

工程 1 2 0 : ゲート材料 5 0 4 及び複合キャップ層 5 0 6 のエッジ上に酸化物 2 スペーサ 8 0 2 及び窒化物 2 スペーサ 8 0 4 を形成する。

【 0 0 4 3 】

工程 1 2 2 : 露出したシリコンをエッチング除去する。

【 0 0 4 4 】

工程 1 2 4 : 酸化物 3 層 1 0 0 2 を熱成長させる。

【 0 0 4 5 】

工程 1 2 6 : 酸化物 3 層 1 0 0 2 部分をエッチング除去し、次いで、n 型低濃度ドーフトドレイン (L D D) 1 1 0 2 、1 1 0 4 を形成し、次いで、n + ドーフトソース 1 1 0 6 及び n + ドーフトドレイン 1 1 0 8 を形成する。

【 0 0 4 6 】

上述の製造方法の詳細な説明は以下の通りである。よく設計されたドーブされた p 型ウェル 2 0 2 から開始し、p 型ウェル 2 0 2 は p 型基板 2 0 0 内に設けられ (本発明の他の実施形態では、p 型ウェル 2 0 2 から始めるのではなく p 型基板 2 0 0 から始め得る) 、一例において、p 型ウェル 2 0 2 は、その頂面を O H S から約 5 0 0 n m カウントダウンされ、より低濃度 (パンチスルー注入ドーパントプロファイルを含めても) にドーブされた基板であった最先端 F i n F E T で使用されている濃度よりも高い (例えば) 5 × 1 0

10

20

30

40

50

10^{18} ドーパント / cm^3 に近い濃度を持つ。また、例えば、p型基板 200 は 1×10^{16} ドーパント / cm^3 に近い、より低い濃度を持つ。実際のドーパント濃度は、最終的な大量生産の最適化によって決定されることになる。結果として、大部分が空乏化されるフィン基板（これは、殆ど制御又は安定化されない電圧フローティングボディのように振る舞い、電圧安定ボディを有する半導体トランジスタよりも望ましくない）を生じさせるのではなく、FinFETのボディの大部分にわたってp型基板電圧（通常は接地され、すなわち、 0V ）を供給することができる。

【0047】

工程102にて、図3(a)に示すように、OHSを覆って、よく設計された厚さのパッド酸化物層204を成長させ、そして、パッド酸化物層204の頂面上に、よく設計された厚さのパッド窒化物層206を堆積させる。

10

【0048】

工程104にて、図3(a)に示すように、フォトリソグラフィマスキング技術を用いて、異方性エッチング技術によりFinFETの活性領域を画成し、該異方性エッチング技術は、活性領域の外側のOHSに対応するシリコン材料の部分除去して、後のSTI（シャロートレンチアイソレーション）ニーズ向けのトレンチ210（例えば、約 300nm 深さ）を作り出し、その結果、FinFETのフィン構造も作り出される。また、図3(b)は、図3(a)に対応する上面図であり、図3(a)は、図3(b)に示すX方向の切断線に沿った断面図である。

【0049】

20

工程106にて、図4(a)に示すように、露出したシリコン表面（フィン構造の2つの側壁とトレンチ210の底領域の頂面）を覆って、例えば選択エピタキシャル成長（selective epitaxial growth; SEG）技術などの選択成長法を用いて半導体層302を成長させる（以下、シートチャンネル層（SCL）と命名し、該SCLは、詳細なデバイス設計に合わせて十分に調節されるべき約 $1 - 2\text{nm}$ 厚のモノリシックp型ドーパントシリコンとし得る）。他の一例において、このシートチャンネル層（SCL）はオプションである。半導体層302上に酸化物スペーサ304を堆積させ、酸化物スペーサ304上に窒化物スペーサ306を堆積させ、そして、異方性エッチング技術を用いて酸化物スペーサ304及び窒化物スペーサ306をエッチバックして、酸化物スペーサ304及び窒化物スペーサ306の頂面をOHSに一致する高さにし、ここで、酸化物スペーサ304及び窒化物スペーサ306はFinFETの活性領域の外側にある。従って、ここで重要な点は、酸化物スペーサ304と窒化物スペーサ306とで、活性領域又は幅狭フィン構造、特にフィン構造の側壁、をクランプする固体壁を形成することである。この固体クランプ壁は、FinFETのソース/ドレイン又はゲートの形成中に幅狭フィン構造が倒壊しないように保護するための単層又は他の複合キャップ層とし得る。

30

【0050】

ここで重要なもう1つの点は、半導体層302がFinFETのチャンネル領域（これは、ゲート電圧がどのように印加されるのかに依存してチャンネル導通領域に完全に反転されるまで空乏領域に変えられることになる）に使用されることである。それ故に、半導体層302のドーピング濃度は、FinFETの閾値電圧に影響を与え、反転下で電子キャリアを持つ主要な導電層を形成してn型ソースとn型ドレインの双方を接続する。SEG層302がFinFETのバルクボディとは別に形成されるので、最も望ましい設計は、FinFETのバルクボディのいっそう安定な電圧条件による影響をあまり受けずに、空乏化から反転へと変化されるオフからオンへのチャンネル導通条件が半導体層302の内部で殆ど生じるように、フィンボディのドーピング濃度よりも好ましく低いドーピング濃度（例えば、 1×10^{16} から 3×10^{18} ）を持つことである。さらに、フィーチャサイズ（すなわち、ラインの寸法）が水平方向にスケールダウンされ続けるにつれて、フィンが比例して薄く且つ高くされてきているので、半導体層302もフィンの機械的安定性を強化する。より高いフィンは、（フィンが狭くなるにつれての不所望なチャンネル衝突に起因するキャリア移動度の低下を補償するために）デバイス幅を増加させることができるが、

40

50

一部の幅狭フィンの物理的な倒壊を生じさせてしまい得る。また、図4(b)は、図4(a)に対応する上面図であり、図4(a)は、図4(b)に示すX方向の切断線に沿った断面図である。

【0051】

工程108にて、図5(a)に示すように、厚い酸化物層を堆積させてトレンチ210を完全に充填し、CMP技術を用いて余分な酸化物層を除去してSTI402を形成する。STI402の頂面はパッド窒化物層206の頂面に一致する高さにある。やはり、STI402が更に、活性領域又は幅狭フィン構造、特にフィン構造の側壁、を包囲又はクランプして、FinFETのソース/ドレイン又はゲートを形成する際に幅狭フィン構造を倒壊から保護する。また、図5(b)は、図5(a)に対応する上面図であり、図5(a)は、図5(b)に示すX方向の切断線に沿った断面図である。

10

【0052】

次いで、工程110にて、図6(a)に示すように、フォトリソグラフィックマスキング技術を用いて、アクティブ領域とSTIアイソレーション領域とにまたがるゲートエリアを画成して、ゲートエリアに対応するパッド酸化物層204及びパッド窒化物層206が除去されて凹部404を作り出すようにする。さらに、ゲートエリアに対応するSTI402も一定量(例えば、40-80nm深さ)だけ下にエッチングされて、ゲートエリアに対応するエッチングされたSTI領域とフィン表面との間に段差構造を形成する。ゲートエリアに対応する酸化物スペーサ304及び窒化物スペーサ306も除去され得る。従って、半導体層302の上部が露出され、FinFETのゲート用の滑らかなラインエッジラフネスが提供される。また、図6(b)は、図6(a)に対応する上面図であり、図6(a)は、図6(b)に示すX方向の切断線に沿った断面図である。

20

【0053】

工程112にて、図7(a)に示すように、凹部404内(ゲートエリアに対応するエッチングされたSTI402とフィン表面との間の段差構造も)にゲート誘電体材料502(複合材料又は酸化物)が形成され、そして、ゲート誘電体材料502の上にゲート材料504(例えば、TiN5042を覆うタングステン5044のようなメタル)が堆積される。次いで、ゲート材料504の頂面を、残存したパッド窒化物層206の頂面に一致する高さにするために、CMP技術によってゲート材料504が研磨され、そして、ゲート材料504をエッチバックして、ゲート材料504の頂面を残存パッド窒化物層206の頂面より下にする。従って、トライゲート構造が存在し得る。

30

【0054】

次いで、工程114にて、図7(a)に示すように、ゲート材料504の頂面上で凹部404内に、窒化物1層5062とハードマスク酸化物層5064とで構成された複合キャップ層506を堆積させる。複合キャップ層506は、ゲート材料504の保護するために使用される。次いで、複合キャップ層506の頂面をパッド窒化物206の頂面に一致する高さにするために、CMP技術によって複合キャップ層506が研磨される。また、図7(b)は、図7(a)に対応する上面図であり、図7(a)は、図7(b)に示すX方向の切断線に沿った断面図である。

【0055】

工程116にて、図8(a)に示すように、STI402をエッチングし、パッド窒化物層206を除去して、STI402の頂面をパッド酸化物層204の頂面に一致する高さにする。また、図8(b)は、図8(a)に対応する上面図であり、図8(a)は、図8(b)に示すX方向の切断線に沿った断面図である。

40

【0056】

同様に、工程116まで、フィンの2つの側壁上に2つの半導体層302(シートチャネル層、SCL)(これら2つの半導体層302をそれぞれQleft及びQrightと命名する)が形成されているが、フィン構造の頂面はSCLを有しておらず、それ故に、より高いドーピング濃度を持つ上部MOSFET(Qtop)の閾値電圧は、FinFETの2つの側壁のものよりも高くなり得る)。

50

【 0 0 5 7 】

工程 1 1 8 にて、図 9 (a) に示すように、パッド酸化物層 2 0 4 をエッチング除去し、S T I 4 0 2 の一部をエッチバックする。

【 0 0 5 8 】

次いで、工程 1 2 0 にて、図 9 (a) に示すように、ゲート材料 5 0 4 及び複合キャップ層 5 0 6 のエッジに、酸化物 2 層を堆積させて酸化物 2 スペース 8 0 2 を形成し、窒化物 2 層を堆積させて窒化物 2 スペース 8 0 4 を形成する。また、図 9 (b) は、図 9 (a) に対応する上面図であり、図 9 (a) は、図 9 (b) に示す X 方向の切断線に沿った断面図である。

【 0 0 5 9 】

他の一例において、S T I 4 0 2 を保持してパッド窒化物層 2 0 6 を除去することで、S T I 4 0 2 がなおもフィン構造を取り囲むようにすることが可能である。次いで、図 9 (c) に示すように、パッド酸化物層 2 0 4 がエッチング除去され、残存した S T I 4 0 2 が依然として O H S よりも高い頂面を持つように S T I 4 0 2 の一部がエッチング除去される。従って、O H S よりも高い頂面を持つ残存 S T I 4 0 2 によってフィン構造が取り囲まれる。

【 0 0 6 0 】

次いで、工程 1 2 2 にて、図 1 0 (a) に示すように、一部の露出したシリコンエリアをエッチング除去して、F i n F E T のソース及びドレイン用の浅いトレンチ 9 0 2 (例えば、約 5 0 n m 深さ) を作り出す。また、図 1 0 (b) は、図 1 0 (a) に対応する上面図であり、図 1 0 (a) は、図 1 0 (b) に示す X 方向の切断線に沿った断面図である。図 1 0 (c) は、図 9 (c) の構造に基づいた、一部の露出したシリコンエリアをエッチング除去して浅いトレンチ 9 0 2 を作り出す他の一例を示している。

【 0 0 6 1 】

工程 1 2 4 にて、図 1 1 (a) に示すように、酸化 3 プロセスと呼ぶ熱酸化プロセスを用いて酸化物 3 層 1 0 0 2 を成長させる (F i n F E T のバルクボディ (シャープな結晶方位 (1 1 0) を持つと仮定) の垂直側壁に入り込む酸化物 3 V 層 1 0 0 2 2 と、浅いトレンチ 9 0 2 の底の頂面上の酸化物 3 B 層 1 0 0 2 4 との両方を含む) 。浅いトレンチ 9 0 2 の 2 つの側壁は酸化物 2 スペース 8 0 2 と窒化物 2 スペース 8 0 4 との垂直複合材料を持ち、浅いトレンチ 9 0 2 の他の側壁は酸化物スペース 3 0 4 と窒化物スペース 3 0 6 に接しているので、F i n F E T のソース/ドレインの幅はこのような熱酸化プロセスによって全く影響されない。また、図 1 1 及び後続の図に描く酸化物 3 V 層 1 0 0 2 2 及び酸化物 3 B 層 1 0 0 2 4 の厚さは、単に説明の目的で示すものであり、そのジオメトリは、それらの図に示される S T I 4 0 2 の寸法に比例していない。例えば、酸化物 3 V 層 1 0 0 2 2 と酸化物 3 B 層 1 0 0 2 4 の厚さはおよそ 2 0 - 3 0 n m であるが、S T I 4 0 2 の垂直方向の高さはおよそ 2 0 0 - 2 5 0 n m であるとし得る。

【 0 0 6 2 】

しかし、どちらも精密に制御された熱酸化温度、タイミング及び成長レートの下で酸化物 3 V 層 1 0 0 2 2 の厚さを非常に正確に制御することができるように、酸化 3 プロセスを設計することが非常に重要である。きちんと画成されたシリコン表面上での熱酸化は、酸化物 3 V 層 1 0 0 2 2 の厚さのうち 4 0 % が F i n F E T ボディの垂直壁の露出した (1 1 0) シリコン表面の厚さから持ち去られ、酸化物 3 V 層 1 0 0 2 2 の厚さのうち残りの 6 0 % が F i n F E T ボディの垂直壁の外側への追加と見なされるという結果をもたらすはずである (酸化物 2 スペース 8 0 2 / 窒化物 2 スペース 8 0 4 に対する、このような酸化物 3 V 層 1 0 0 2 2 についての 4 0 % と 6 0 % の配分を、図 1 1 中に破線によって特に明確に描いており、そうしているのは、その重要性が以下のテキスト中ではっきりと述べられることになるからである) 。また、図 1 1 (b) は、図 1 1 (a) に対応する上面図であり、図 1 1 (a) は、図 1 1 (b) に示す X 方向の切断線に沿った断面図である。図 1 1 (c) は、図 1 0 (c) の構造に基づいた、酸化 3 プロセスの他の一例を示している。

10

20

30

40

50

【 0 0 6 3 】

工程 1 2 6 にて、図 1 2 (a) に示すように、先ず酸化物 3 層 1 0 0 2 をエッチング除去する。そして、例えば S E G 技術などの選択成長法を用いて、n 型 L D D 1 1 0 2、1 1 0 4 を形成し、次いで n + ドープされたソース 1 1 0 6 及び n + ドープされたドレイン 1 1 0 8 を形成する。従って、F i n F E T の主要な部分が完成される。また、図 1 2 (b) は、図 1 2 (a) に対応する上面図であり、図 1 2 (a) は、図 1 2 (b) に示す X 方向の切断線に沿った断面図である。図 1 2 (c) は、図 1 1 (c) の構造に基づいた、選択成長プロセスの他の一例を示している。O H S よりも高い頂面を持つ残存 S T I 4 0 2 によってフィン構造が取り囲まれているため、ソース/ドレイン領域の選択成長において、選択成長されるソース/ドレイン領域が、残存 S T I 4 0 2 の上にはなくて残存 S T I 4 0 2 によって閉じ込められることになる。

10

【 0 0 6 4 】

また、気付くことには、一例において、S T I 領域上のゲート構造の底面 (図示されず) は、ドレイン/ソース領域の底面よりも約 1 0 - 2 0 n m 低くなり得る。

【 0 0 6 5 】

図 1 3 を参照されたい。図 1 3 (a) は、図 1 2 (b) に示す Y 方向の切断線に沿った断面図である。図 1 3 (a) に示すように、断面図上では、S E G 成長された p 型ドーパントシリコンチャネル領域である Q l e f t 及び Q r i g h t の両方が明瞭に見える。図 1 3 (b) に示すように、先行技術の Y 方向濃度プロファイル L Y N と Y 方向濃度プロファイル L Y P とがあり、Y 方向濃度プロファイル L Y N は、図 1 3 (a) に記す破線 L 1 に対応している。同様に、図 1 3 (c) に示すように、先行技術の X 方向濃度プロファイル L X N と X 方向濃度プロファイル L X P とがあり、X 方向濃度プロファイル L X N は、図 1 3 (a) に記す破線 L 2 に対応している。Q l e f t 及び Q r i g h t のドーピング濃度 (例えば、 1×10^{16} から 3×10^{18}) の方が F i n F E T のフィンボディのそれ (例えば、 5×10^{18}) よりも低いことが明らかである。

20

【 0 0 6 6 】

主な発明ポイントを以下にて説明する。F i n F E T のドレイン及びソースがどちらも、それらが Q l e f t 及び Q r i g h t の濃度よりも高い濃度の n 型ドーパントでドーパされることを除いて、S E G 技術によって形成されるので、ドレインとチャネルとの間及びソースとチャネルとの間にそれぞれ明確に作り出されるシームレスなコンタクト領域がどちらも明確に形成される。イオン注入なしで、チャネル、ドレイン、及びソースの全てを形成することが完了され、ドレイン及びソースを形成することの激しい衝撃に起因するダメージを除去するために高温熱アニーリングが必要ない。また、活性領域又は幅狭フィン構造、特にフィン構造の側壁、を固体壁 (例えば図 4 に示した酸化物スペーサ 3 0 4 と窒化物スペーサ 3 0 6) がクランプする。この固体クランプ壁は、F i n F E T のソース/ドレイン又はゲートの形成中に幅狭フィン構造を倒壊から保護する単層又は他の複合キャップ層とし得る。さらに、S T I 4 0 2 (図 5 に示した) が更に、活性領域又は幅狭フィン構造、特にフィン構造の側壁、を包囲又はクランプして、F i n F E T のソース/ドレイン又はゲートを形成する際に幅狭フィン構造を倒壊から保護する。従って、フィン構造の高さ (例えば 6 0 - 3 0 0 n m など) が F i n F E T のフィン構造の幅 (例えば 3 - 7 n m など) よりも遥かに大きくても、本発明の固体壁によって保護されたフィン構造は、続くプロセス (例えば、ソース/ドレイン形成、ゲート形成など) 中に脆弱になりにくい。図 9 に示したように、本発明の別の 1 つの利点は、ゲート領域 (すなわち、ゲート材料 5 0 4 及び複合キャップ層 5 0 6) のエッジ上に形成される酸化物 2 スペーサ 8 0 2 及び窒化物 2 スペーサ 8 0 4 の厚さが制御可能であるとともに、熱酸化プロセス (図 1 1 に示した) によって形成される酸化物 3 V 層 1 0 0 2 2 及び酸化物 3 B 層 1 0 0 2 4 の厚さも制御可能であるため、(図 1 2 に示したように) ソース/ドレインのエッジをゲート領域のエッジとアライメントすること又は実質的にアライメントすることができ、特に、ソース/ドレインが S E G 技術によって形成されることである。従って、本発明によれば、ソース/ドレインのエッジとゲート領域のエッジとの間の相対的な位置又は距離が制御可

30

40

50

能であり、ゲート領域のエッジ上に形成されるスペーサの厚さ、及び/又は酸化物層（例えば、図 1 1 に示した酸化物 3 V 層 1 0 0 2 2 などであるが、酸化物 3 V 層 1 0 0 2 2 は図 1 2 で除去される）の厚さに依存し得る。従って、ゲート誘起ドレインリーク（GIDL）電流問題が改善され得るように有効チャンネル長 L_{eff} （図 1 2 に示す）を制御し得る。

【 0 0 6 7 】

他の一実施形態において、図 4 に示したモノリシック p 型ドープトシリコンの薄いシートチャンネル層（SCL）を成長させる選択エピタキシャル成長（SEG）技術は必要とされないが、（図 1 4 に示すように）活性領域又は幅狭フィン構造、特にフィン構造の側壁、をクランプするために、なおも固体壁（例えば図 4 に示した酸化物スペーサ 3 0 4 及び窒化物スペーサ 3 0 6 など）は形成される。また、図 1 4（b）は、図 1 4（a）に対応する上面図であり、図 1 4（a）は、図 1 4（b）に示す X 方向の切断線に沿った断面図である。

10

【 0 0 6 8 】

そして、図 1 4 の後に、図 5 から図 1 2 においてと同様のプロセスを行って、図 1 5 における別のトランジスタ構造を形成し得る。やはり、フィン構造の高さ（例えば 6 0 - 3 0 0 nm など）がフィン構造の幅（例えば 3 - 7 nm など）よりも遥かに大きくても、固体壁によって保護されたこの実施形態のフィン構造は、続くプロセス（例えば、ソース/ドレイン形成、ゲート形成など）中に脆弱になりにくい。ソース/ドレインのエッジとゲート領域のエッジとの間の相対的な位置又は距離が制御可能であり、ゲート領域のエッジ上に形成されるスペーサの厚さ、及び/又は酸化物層（例えば、図 1 1 に示した酸化物 3 V 層 1 0 0 2 2 など）の厚さに依存し得る。従って、GIDL 電流問題が改善され得るように有効チャンネル長 L_{eff} を制御し得る。図 1 5（c）は、OHS よりも高い頂面を持つ残存 STI 4 0 2 によってフィン構造が取り囲まれ、選択成長されるソース/ドレイン領域が残存 STI 4 0 2 の上にはなくて残存 STI 4 0 2 によって閉じ込められることになる場合の別の一例を示している。

20

【 0 0 6 9 】

図 1 6 A、図 1 6 B、図 1 7、図 1 8、図 1 9、図 2 0、図 2 1、図 2 2、図 2 3、図 2 4、図 2 5、図 2 6、図 2 7、図 2 8、図 2 9 を参照されたい。図 1 6 A、図 1 6 B は、本発明の他の一実施形態に従った FinFET の製造方法を示すフローチャートであり、図 1 6 A、図 1 6 B における FinFET の製造方法も、FinFET が持つゲート誘起ドレインリーク（GIDL）電流及び短チャンネル効果（SCE）を低くすることができ、また、FinFET の活性領域又は幅狭フィン構造をクランプする固体壁を形成することができる。詳細な手順は次の通りである。

30

【 0 0 7 0 】

工程 1 6 0 0 : 開始。

【 0 0 7 1 】

工程 1 6 0 2 : p 型ウェル 2 0 2 に基づいてパッド酸化物層 2 0 4 を成長させ、パッド窒化物層 2 0 6 を堆積させる（図 1 7 に示す）。

【 0 0 7 2 】

工程 1 6 0 4 : FinFET の活性領域を画成し、活性領域の外側の OHS に対応するシリコン材料の部分を除去してトレンチ 2 1 0 及びフィン構造を作り出す（図 1 7 に示す）。

40

【 0 0 7 3 】

工程 1 6 0 6 : 酸化物 1 層を堆積させ、化学機械研磨（CMP）技術を用いて余分な酸化物 1 層を除去して STI 酸化物 1 1 7 0 2 を形成する（図 1 7 に示す）。

【 0 0 7 4 】

工程 1 6 0 8 : パッド酸化物層 2 0 4 及びパッド窒化物層 2 0 6 を除去する（図 1 8 に示す）。

【 0 0 7 5 】

50

工程 1 6 1 0 : O H S 上及び S T I 酸化物 1 1 7 0 2 の頂面上に H i - K 誘電体層 1 9 0 2 を形成する (図 1 9 に示す) 。

【 0 0 7 6 】

工程 1 6 1 2 : 活性領域とアイソレーション領域とにまたがるゲートエリアを画成し、ゲートエリアの外側の H i - K 誘電体層 1 9 0 2 をエッチング除去する。

【 0 0 7 7 】

工程 1 6 1 4 : H i - K 誘電体層 1 9 0 2 の上に、例えばゲート材料 2 0 0 2 (例えば、タングステン) を堆積させるなどで、ゲート領域を形成し、次いで、窒化物 1 層 5 0 6 2 とハードマスク酸化物層 5 0 6 4 とで構成される複合キャップ層 5 0 6 を形成する (図 2 0 に示す) 。

【 0 0 7 8 】

工程 1 6 1 8 : 熱酸化物 1 層 2 0 0 3 を熱成長させる (オプション) 。

【 0 0 7 9 】

工程 1 6 2 0 : 熱酸化物 1 層 2 0 0 3 上に窒化物 1 層を堆積させてから窒化物 1 層をエッチングして窒化物 1 スペース 2 0 0 4 を形成し、窒化物 1 スペース上に酸化物 2 層を堆積させてから酸化物 2 層をエッチングして酸化物 2 スペース 2 0 0 6 を形成する (図 2 0 に示す) 。

【 0 0 8 0 】

工程 1 6 2 2 : S T I 酸化物 1 1 7 0 2 上に酸化物層を堆積させてから該酸化物層をエッチバックして S T I 酸化物 2 2 1 0 2 を形成するとともに、シリコン表面を露わにする (図 2 1 に示す) 。

【 0 0 8 1 】

工程 1 6 2 4 : 露出したシリコンをエッチング除去して、 F i n F E T のソース及びドレイン用の浅いトレンチ 2 2 0 2 を形成する (図 2 2 に示す) 。

【 0 0 8 2 】

工程 1 6 2 6 : トレンチ 2 2 0 2 内に酸化物 3 層 2 3 0 0 を熱成長させ、酸化物 3 層 2 3 0 0 は、酸化物 3 V 層 2 3 0 2 と酸化物 3 B 層 2 3 0 4 とで構成される (図 2 3 に示す) 。

【 0 0 8 3 】

工程 1 6 2 8 : トレンチ 2 2 0 2 内で、酸化物 3 B 層 2 3 0 4 上に窒化物 3 層 2 4 0 2 (オプション) を堆積させてから窒化物 3 層 2 4 0 2 をエッチバックして、シリコン基板内への局所的アイソレーション (localized isolation into silicon substrate ; L I S S) を形成する (図 2 4 に示す) 。

【 0 0 8 4 】

工程 1 6 3 0 : トレンチ 2 2 0 2 内で、 T i N 2 5 0 2 を堆積させ、次いで、 T i N 2 5 0 2 の上にタングステンのようなメタル 2 5 0 4 を堆積させる (図 2 5 に示す) 。

【 0 0 8 5 】

工程 1 6 3 2 : T i N 2 5 0 2 及びタングステンのようなメタル 2 5 0 4 をエッチバックする (図 2 6 に示す) 。

【 0 0 8 6 】

工程 1 6 3 4 : 酸化物 3 V 層 2 3 0 2 の一部を下にエッチングして、シリコン側壁 2 7 0 2 を露出させる (図 2 7 に示す) 。

【 0 0 8 7 】

工程 1 6 3 6 : 選択エピタキシャル成長 (S E G) 技術を利用して、シリコン側壁 2 7 0 2 から n 型低濃度ドープドレイン (N L D D) 2 8 0 2 を形成し、次いで、 n + ドープドソース 2 8 0 4 及び n + ドープドレイン 2 8 0 6 を形成する (図 2 8 に示す) 。

【 0 0 8 8 】

工程 1 6 3 8 : タングステンのようなメタルを堆積させる (図 2 9 に示す) 。

【 0 0 8 9 】

工程 1 6 4 0 : 終了。

10

20

30

40

50

【 0 0 9 0 】

工程 1 6 0 2 - 1 6 2 6 については前述の工程 1 0 2 - 1 2 6 を参照することができ、それ故に、簡単のためにそれらの更なる説明は省略する。また、工程 1 6 2 8 - 1 6 3 8 は、この場合には F i n F E T の p 型ウェル 2 0 2 に直接接続されたソース及びドレインを形成するために、融合半導体ジャンクション・メタルコンダクタ (merged semiconductor junction and metal conductor ; M S M C) 構造 (2 0 2 0 / 8 / 1 2 に出願された米国特許出願第 1 6 / 9 9 1 , 0 4 4 号に開示されており、そのうち対応するコンテンツをここに援用する) を利用しており、簡単のためにそれらの更なる説明は省略する。

【 0 0 9 1 】

図 2 9 に示すように、やはり、(1) 当該実施形態 (図 1 6 A 、 1 6 B に示す) のフィン構造は固体壁によって保護され、且つ (2) ソース / ドレインのエッジとゲート領域のエッジとの間の相対的な位置又は距離は制御可能であり、酸化物 3 V 層 2 3 0 2 の厚さ (及び / 又はゲート領域のエッジ上に形成されるスペーサの厚さ) に依存し得る。また、図 2 9 に示すようにソース / ドレインに融合メタル - 半導体ジャンクションを形成することにより、ソース / ドレインの抵抗が改善され得る。さらに、殆どのソース / ドレイン領域が、酸化物 3 B 層 2 3 0 4 及び / 又は窒化物 3 層 2 4 0 2 による底部構造を含む絶縁材料によってアイソレートされ、それ故に、ジャンクションリークを大幅に低減させることができる。

【 0 0 9 2 】

他の一実施形態において、図 3 0 A に示すように、フィン構造を取り囲む S T I 領域の頂面の方がフィン構造の頂面よりも高く、その結果、選択成長されるソース / ドレイン領域が、S T I 領域の上にはなくて S T I 領域によって閉じ込められることになる。S T I 領域とゲート領域との間の穴の中に、そのような穴を作り出すために別のコンタクトマスクを使用することなく、メタルコンタクトプラグを堆積させることができる。また、ソース (ドレイン) 領域の頂面、底面、及び側壁がメタルに直接接触し、ソース / ドレイン領域のコンタクト抵抗が劇的に低減され得る。さらに、フィン構造を取り囲む S T I 領域上の又はそれを覆うゲート構造の底面 (図示されず) の方が、ドレイン / ソース領域の底面よりも約 1 0 - 2 0 n m 低くなり得ることが可能である。図 3 0 A では、メタル材料が n + ドープドレインの頂面、底面、及び 1 つの側壁を取り囲むか接触するかしている。

【 0 0 9 3 】

さらに、(図 3 0 B に示すような) 他の一実施形態において、図 3 0 A と図 3 0 B との間の違いは、図 2 5 及び図 2 6 の堆積 T i N 2 5 0 2 及びタングステン 2 5 0 4 のような堆積メタルを省略することができ、また、単に窒化物 3 層 2 4 0 2 の頂面を基準として用いて酸化物 3 V 層 2 3 0 2 の一部を下にエッチングしてシリコン側壁 2 7 0 2 を露出させ、次いで、選択成長技術を利用して n 型低濃度ドープドレイン (N L D D) 2 8 0 2 と n + ドープトソース 2 8 0 4 及び n + ドープドレイン 2 8 0 6 とを形成し、その後タングステンのようなメタル (図 3 0 B に示す) を堆積させる点である。図 3 0 B では、メタルプラグが n + ドープドレインの頂面と 1 つの側壁とに接触している。

【 0 0 9 4 】

まとめると、本発明によって提供される F i n F E T は、次のように記述される幾つかの利点を有する :

(1) 固体壁が形成されて、活性領域又は幅狭フィン構造、特にフィン構造の側壁をクランプする。従って、フィン構造の高さ (例えば 6 0 - 3 0 0 n m など) がフィン構造の幅 (例えば 3 - 7 n m など) よりも遥かに大きくても、本発明の固体壁によって保護されたフィン構造は脆弱になりにくい ;

(2) ソース / ドレインのエッジとゲート領域のエッジとの間の相対的な位置又は距離が制御可能であり、ゲート領域のエッジ上に形成されるスペーサの厚さ、及び / 又は酸化物層 (例えば、図 1 1 又は図 2 3 の酸化物 3 V 層など) の厚さに依存し得る ;

(3) ソース / ドレインにメタル - 半導体ジャンクション (例えば、図 3 0 A 、 図 3 0

10

20

30

40

50

B、又は図29など)を形成することにより、ソース/ドレインの抵抗が改善され得る；
 (4) 殆どのソース/ドレイン領域が、酸化物3B層及び/又は窒化物3層(図29に示した)による底部構造を含む絶縁材料によってアイソレートされ、それ故に、ジャンクションリーク電流を大幅に低減させることができる；
 (5) フィン構造を取り囲むSTI領域の頂面の方がフィン構造の頂面よりも高くなることができ、その結果、選択成長されるソース/ドレイン領域が、STI領域の上にはなくてSTI領域によって閉じ込められることになる。

【0095】

実施形態を参照して本発明を図示して説明してきたが、理解されるべきことには、本発明は、開示された実施形態に限定されるものではなく、それどころか、添付の請求項の精神及び範囲に含まれる様々な変更及び均等構成をカバーすることを意図している。

【図面】

【図1】

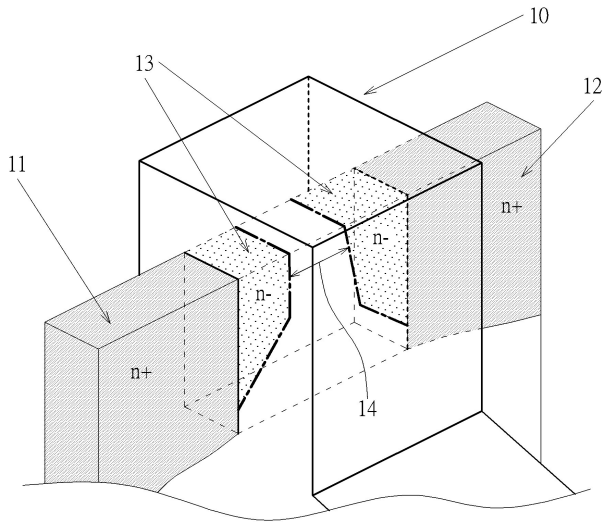


FIG. 1

【図2A】

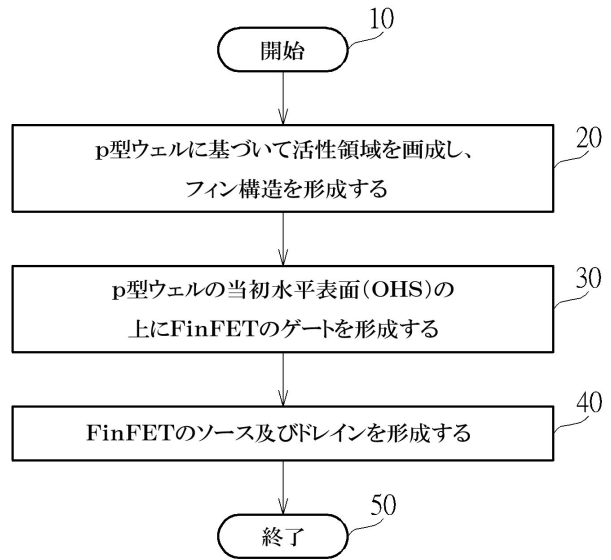


FIG. 2A

10

20

30

40

50

【図 2 B】

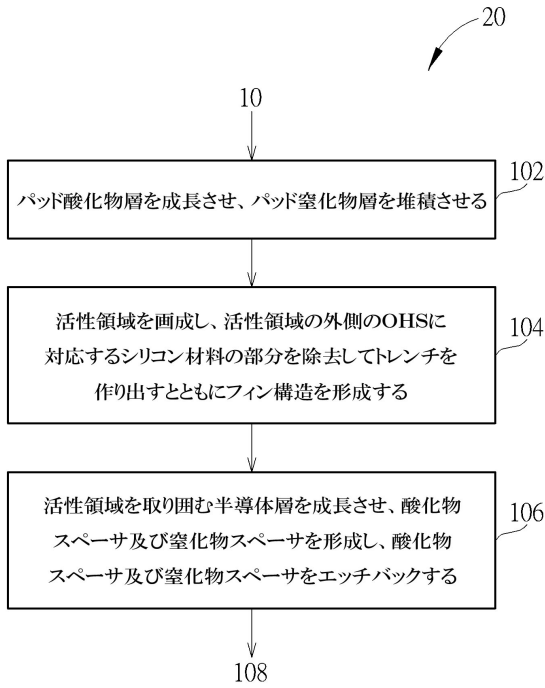


FIG. 2B

【図 2 C】

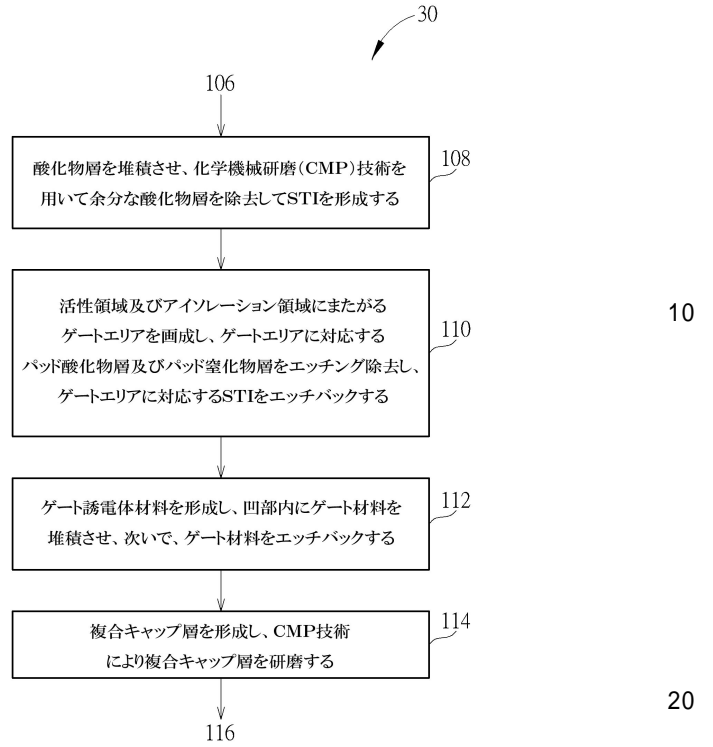


FIG. 2C

【図 2 D】

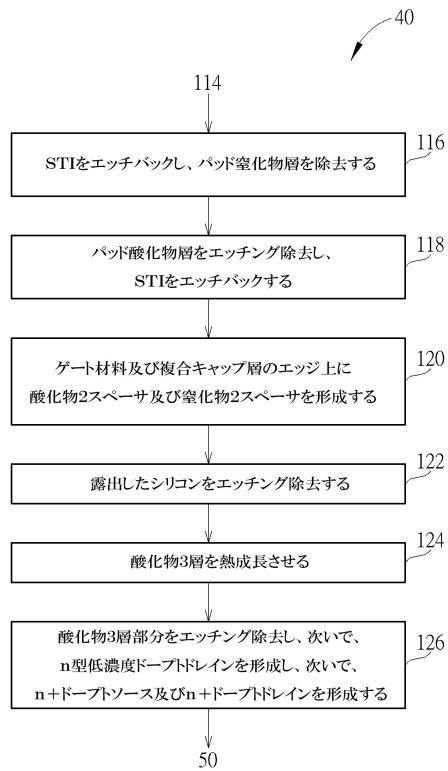


FIG. 2D

【図 3】

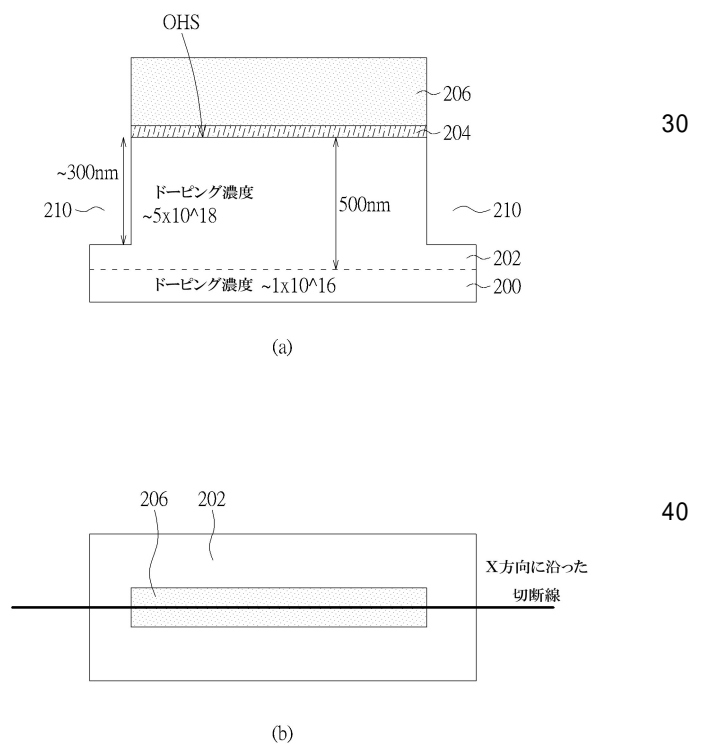


FIG. 3

【 図 4 】

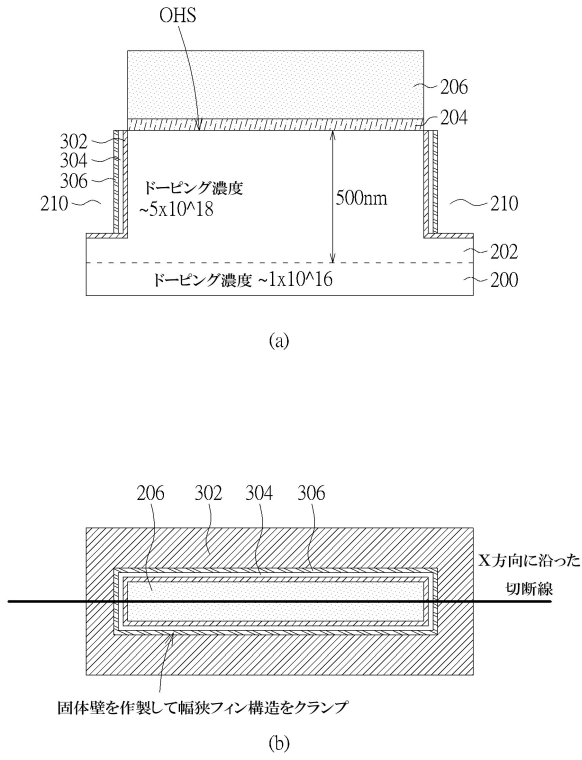


FIG. 4

【 図 5 】

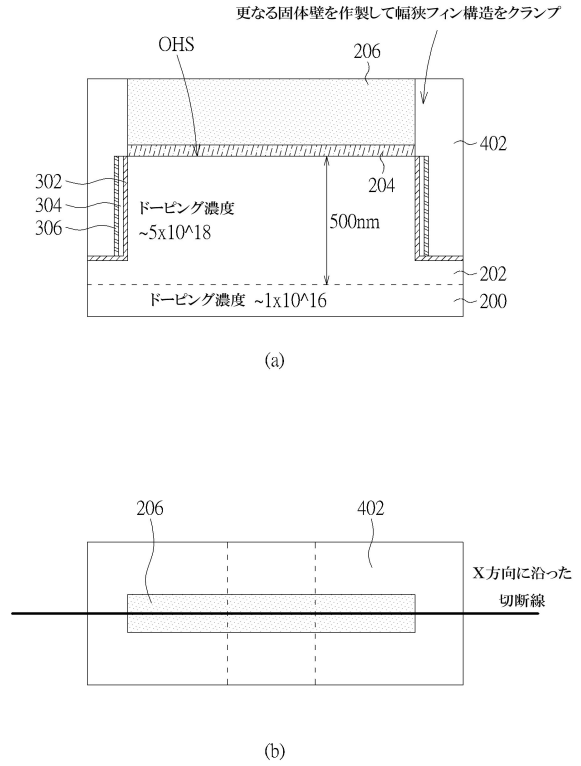


FIG. 5

10

20

【 図 6 】

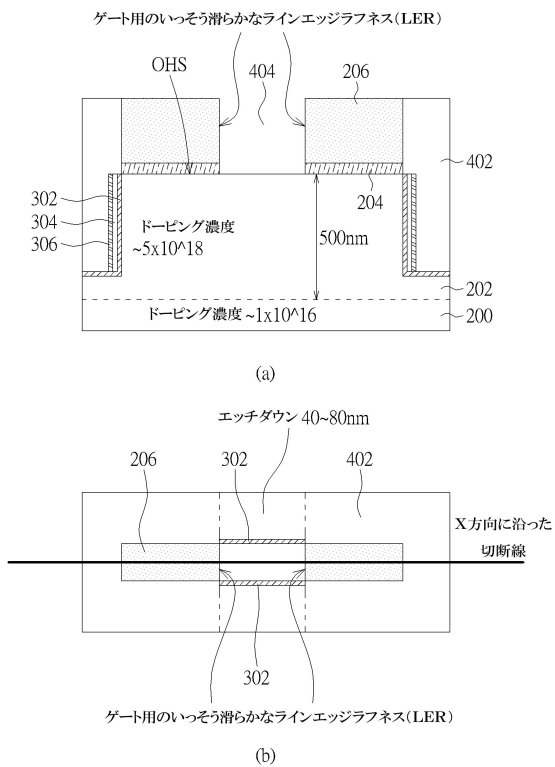


FIG. 6

【 図 7 】

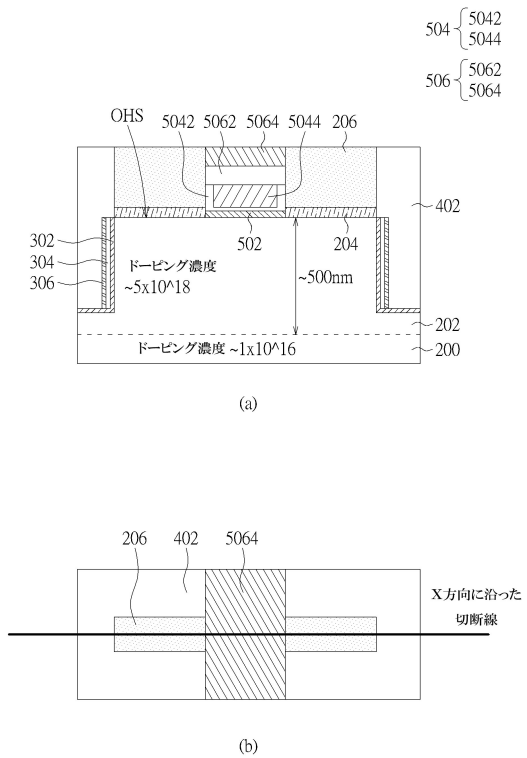


FIG. 7

30

40

50

【 図 8 】

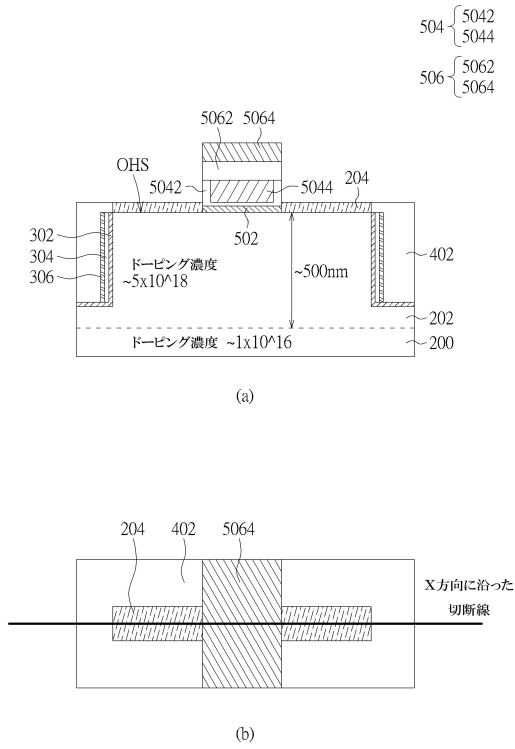


FIG. 8

【 図 9 】

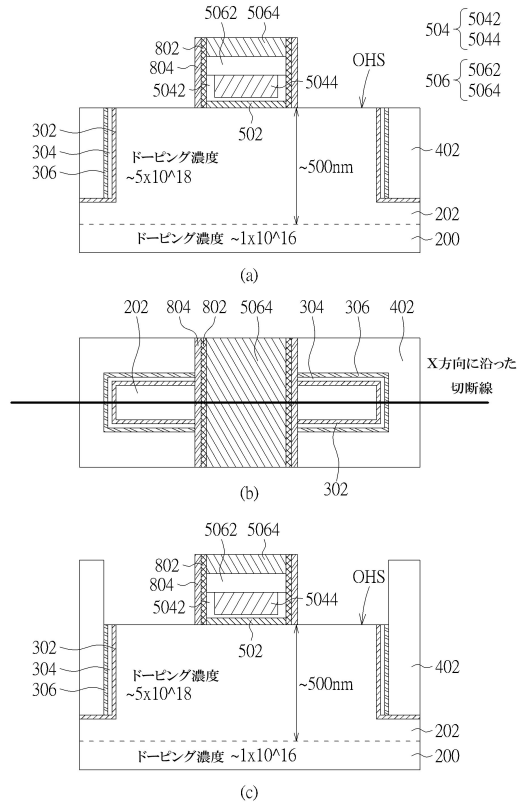


FIG. 9

10

20

【 図 10 】

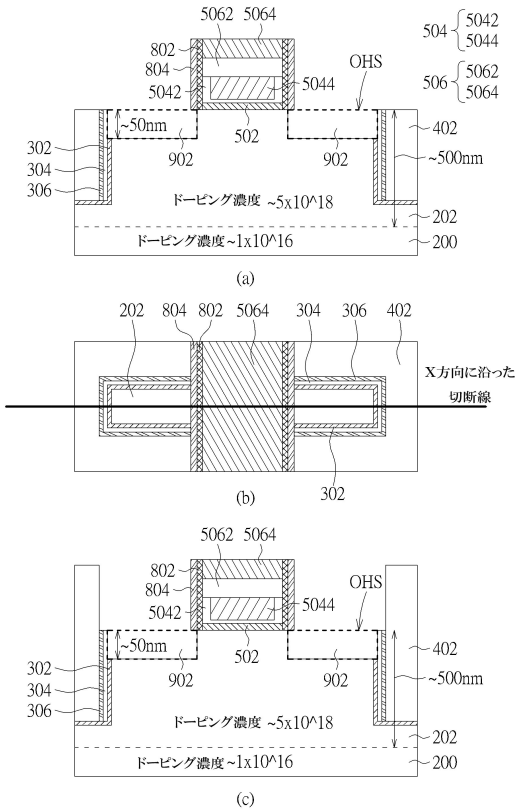


FIG. 10

【 図 11 】

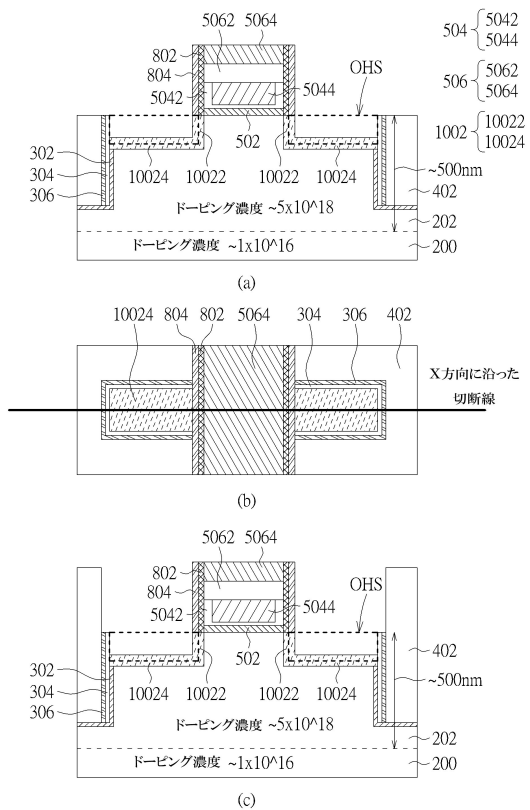


FIG. 11

30

40

50

【 図 1 2 】

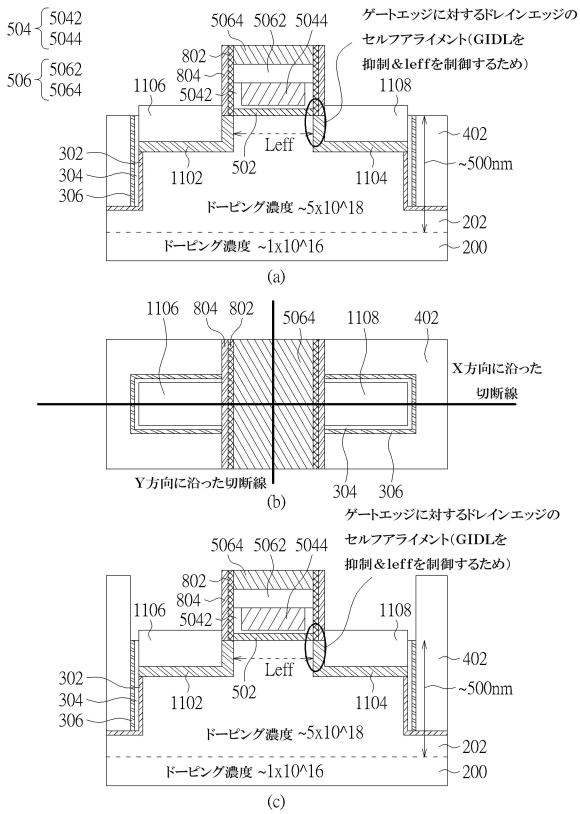


FIG. 12

【 図 1 3 】

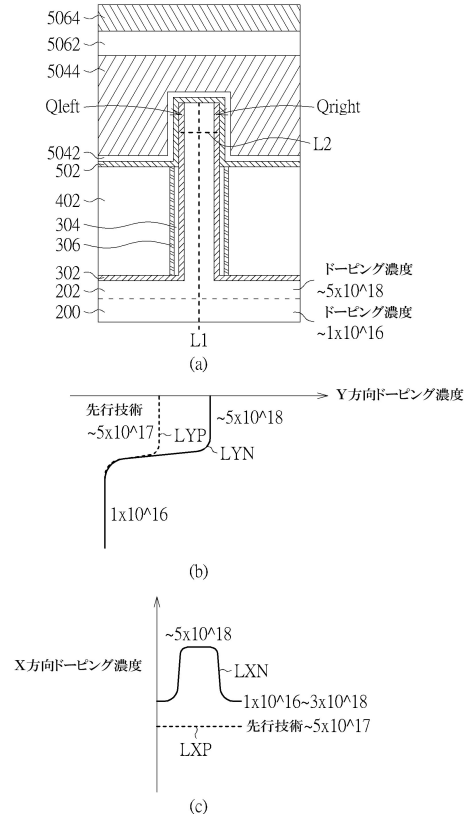


FIG. 13

10

20

【 図 1 4 】

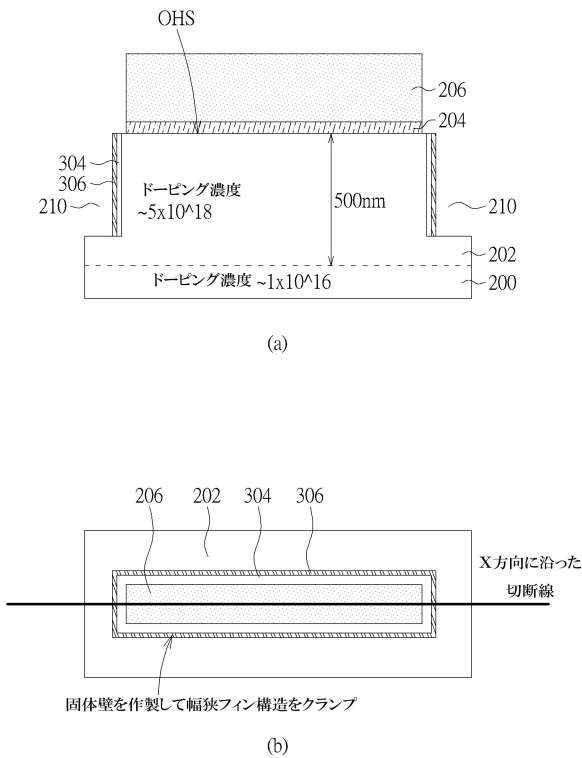


FIG. 14

【 図 1 5 】

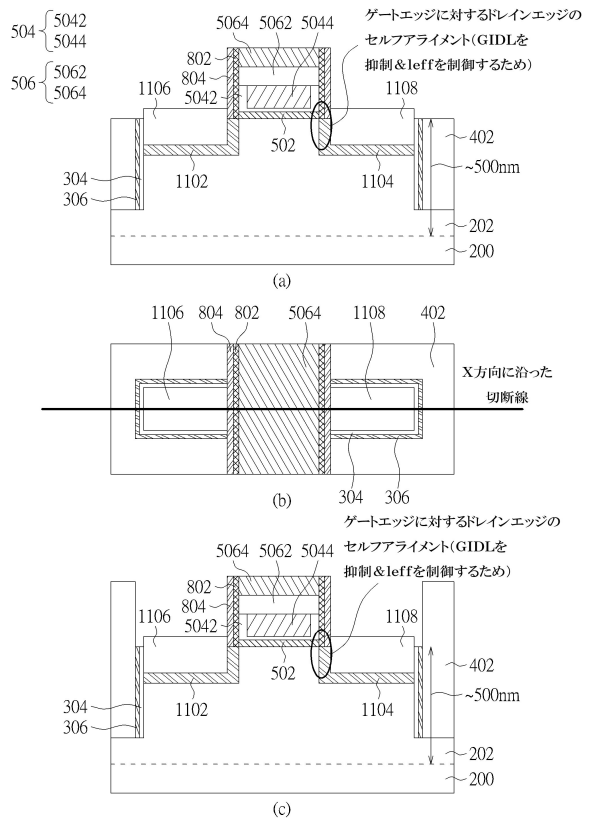


FIG. 15

30

40

50

【 図 1 6 A 】

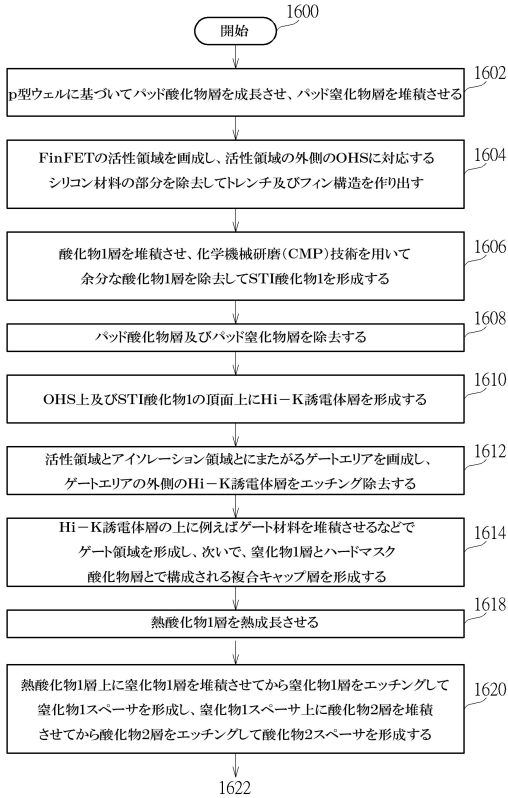


FIG. 16A

【 図 1 6 B 】

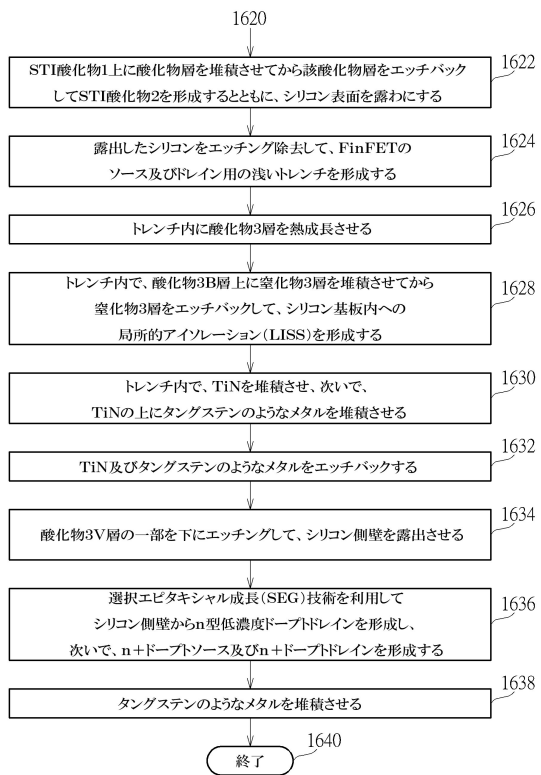


FIG. 16B

【 図 1 7 】

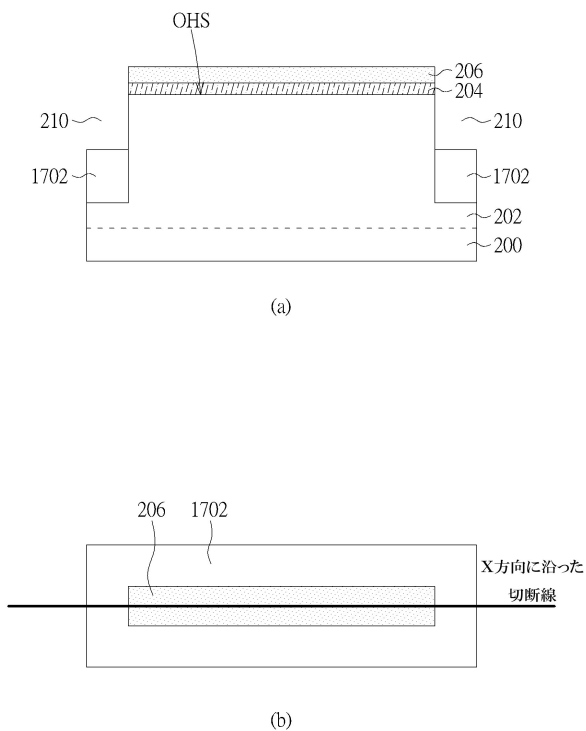


FIG. 17

【 図 1 8 】

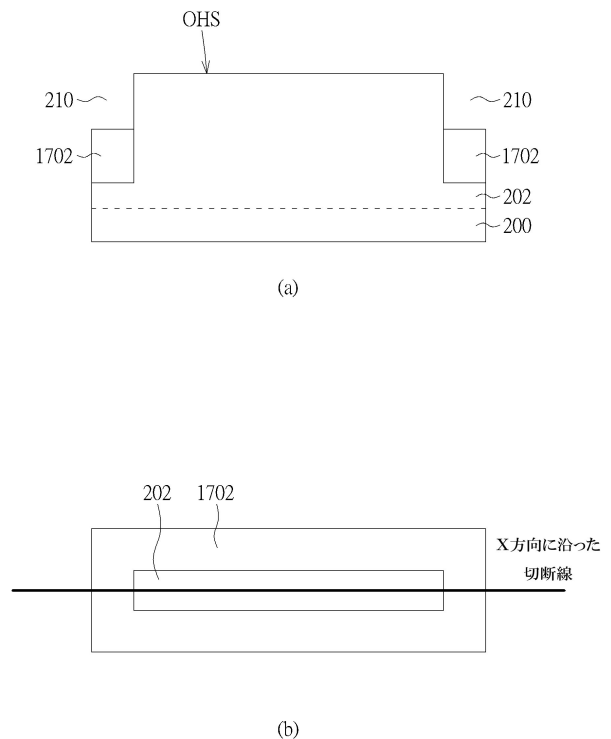


FIG. 18

10

20

30

40

50

【 図 19 】

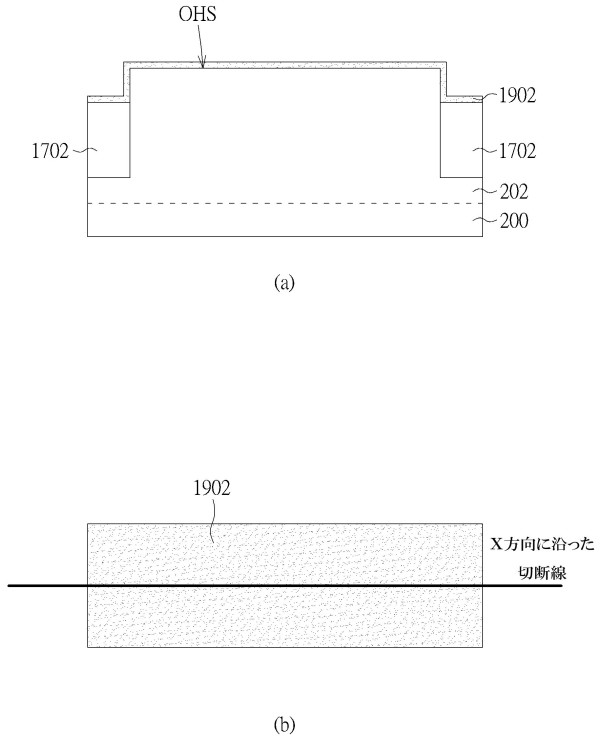


FIG. 19

【 図 20 】

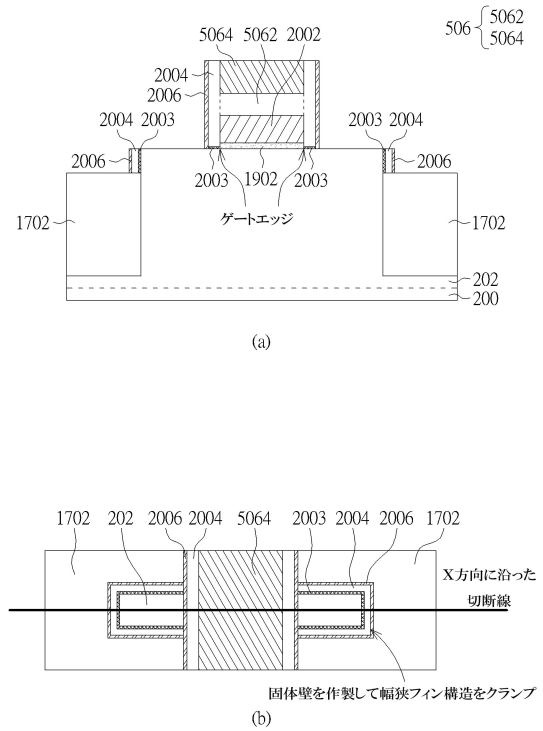


FIG. 20

10

20

【 図 21 】

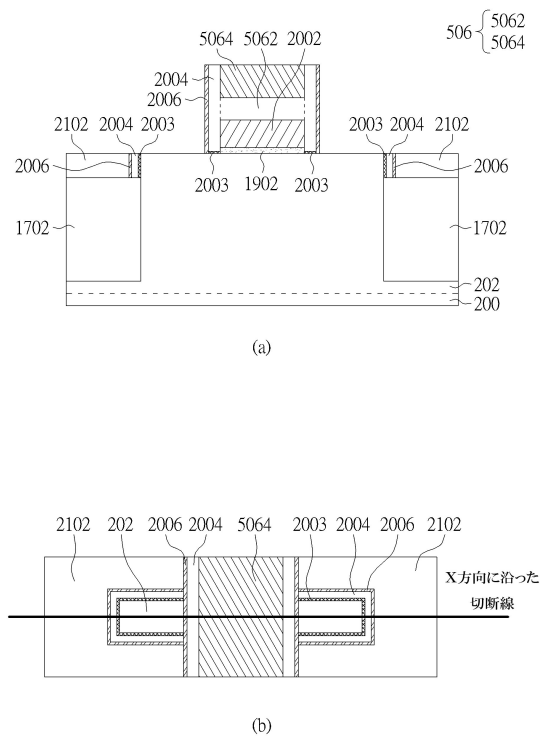


FIG. 21

【 図 22 】

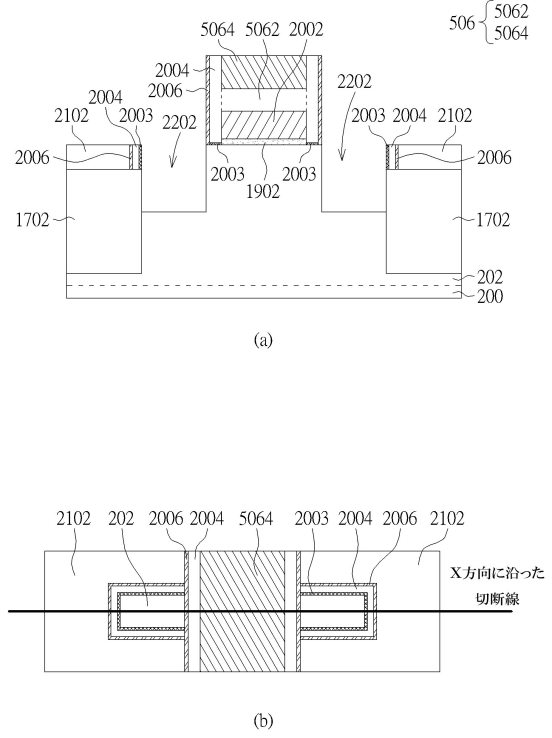


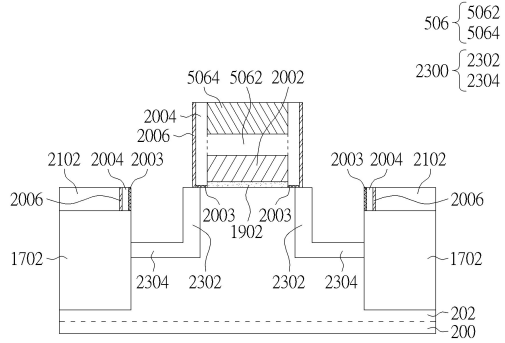
FIG. 22

30

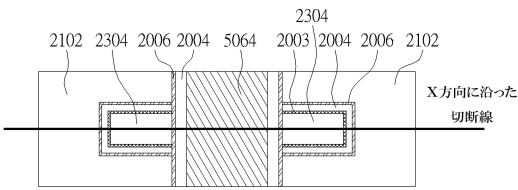
40

50

【 図 2 3 】



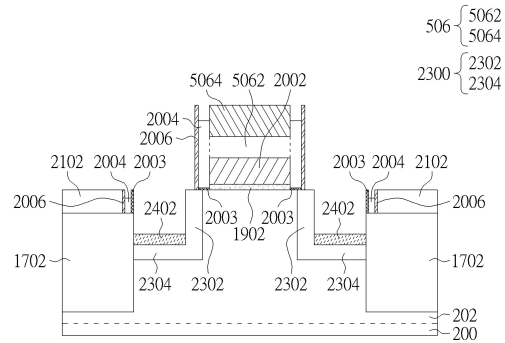
(a)



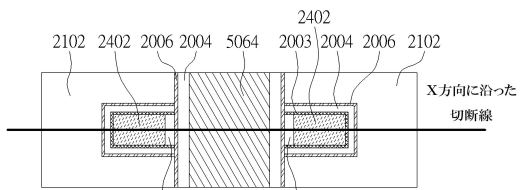
(b)

FIG. 23

【 図 2 4 】



(a)



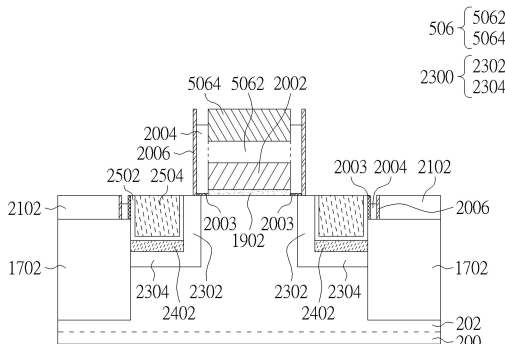
(b)

FIG. 24

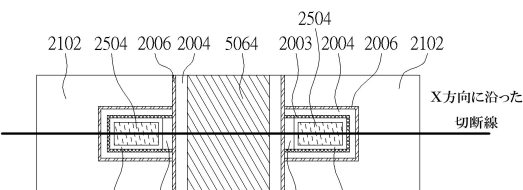
10

20

【 図 2 5 】



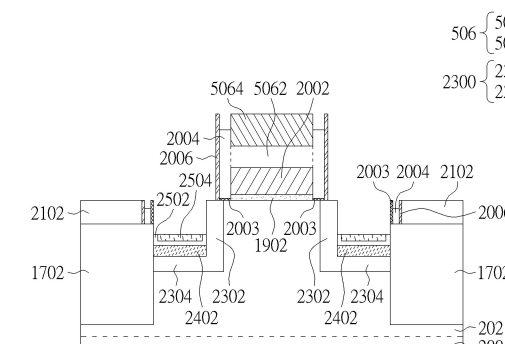
(a)



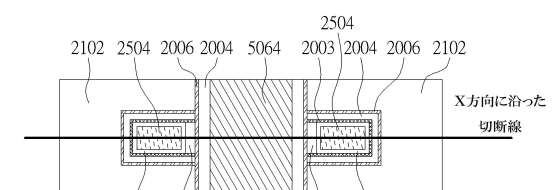
(b)

FIG. 25

【 図 2 6 】



(a)



(b)

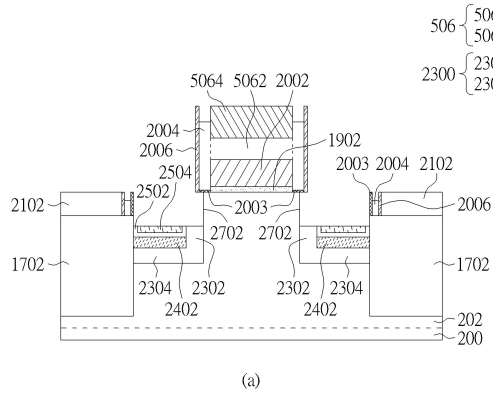
FIG. 26

30

40

50

【図 27】



(a)

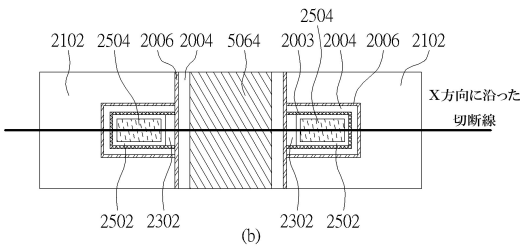
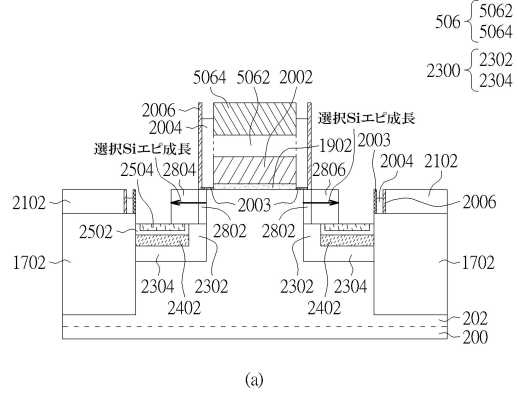


FIG. 27

【図 28】



(a)

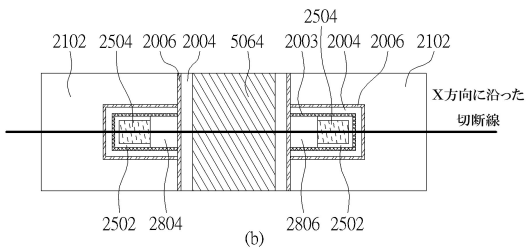
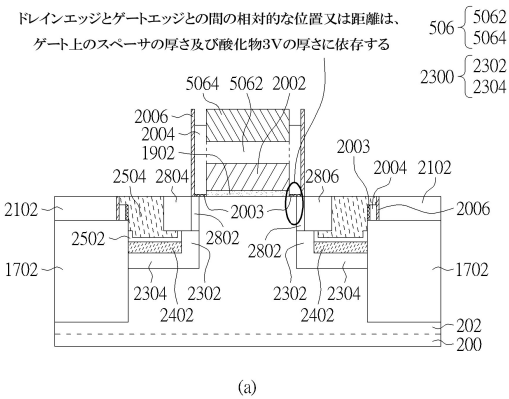


FIG. 28

【図 29】

ドレインエッジとゲートエッジとの間の相対的な位置又は距離は、ゲート上のスペーサの厚さ及び酸化物3Vの厚さに依存する



(a)

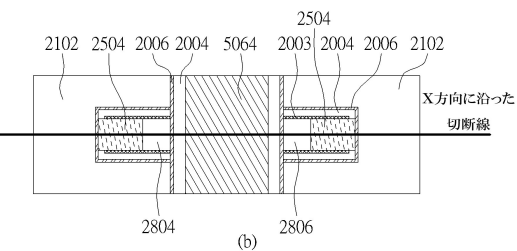
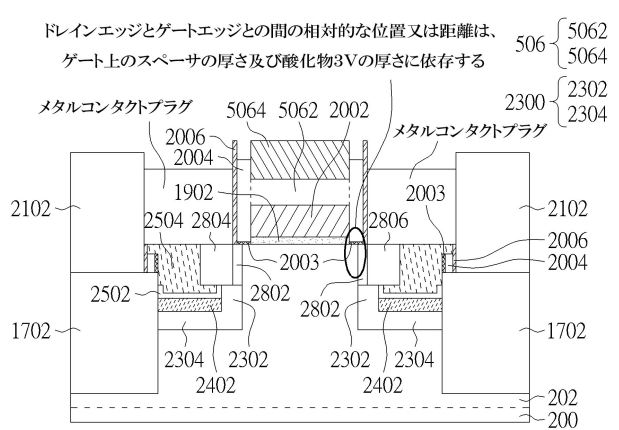


FIG. 29

【図 30 A】

ドレインエッジとゲートエッジとの間の相対的な位置又は距離は、ゲート上のスペーサの厚さ及び酸化物3Vの厚さに依存する



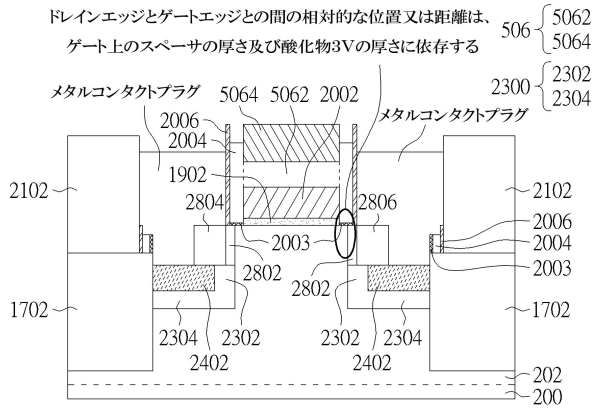
30

FIG. 30A

40

50

【 図 3 0 B 】



10

FIG. 30B

【 外国語明細書 】

202307066400037.pdf

20

30

40

50

フロントページの続き

五號八樓

Fターム(参考) 5F032 AA34 AA44 AA46 CA17 DA23 DA33 DA34
5F140 AA00 BA01 BB05 BC15 BF10 BF11 BF17 BG09 BH15 BH17
BK09 BK18 CB04 CB10 CC01 CE07