



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I616891 B

(45) 公告日：中華民國 107 (2018) 年 03 月 01 日

(21) 申請案號：104100529 (22) 申請日：中華民國 104 (2015) 年 01 月 08 日

(51) Int. Cl. : G11C7/18 (2006.01) G11C8/14 (2006.01)

(30) 優先權：2014/07/10 南韓 10-2014-0086793

(71) 申請人：愛思開海力士有限公司 (南韓) SK HYNIX INC. (KR)

南韓

(72) 發明人：安正烈 AHN, JUNG RYUL (KR) ; 李閔敬 LEE, YUN KYOUNG (KR)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US	7079437B2	US	8717814B2
US	2006/0139997A1	US	2012/0294091A1
US	2013/0170297A1	US	2014/0085983A1

審查人員：蕭明椿

申請專利範圍項數：20 項 圖式數：12 共 49 頁

(54) 名稱

包含三維陣列結構的半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE INCLUDING THREE-DIMENSIONAL ARRAY STRUCTURE

(57) 摘要

一種半導體記憶體裝置可包含耦接至一共同的源極線的源極選擇電晶體；耦接在所述源極選擇電晶體以及正常記憶胞之間的源極側虛設記憶胞；以及耦接至一位元線的汲極選擇電晶體。所述半導體記憶體裝置可包含耦接在汲極選擇電晶體以及正常記憶胞之間的汲極側虛設記憶胞。所述源極側虛設記憶胞的數量是小於所述汲極側虛設記憶胞的數量，並且所述汲極選擇電晶體的數量可以是大於所述源極選擇電晶體。

A semiconductor memory device may include source selection transistors coupled to a common source line, source side dummy memory cells coupled between the source selection transistors and the normal memory cells, and drain selection transistors coupled to a bit line. The semiconductor memory device may include drain side dummy memory cells coupled between the drain selection transistors and the normal memory cells. A number of the source side dummy memory cells is less than a number of the drain side dummy memory cells, and a number of the drain selection transistors may be greater than the source selection transistors.

指定代表圖：

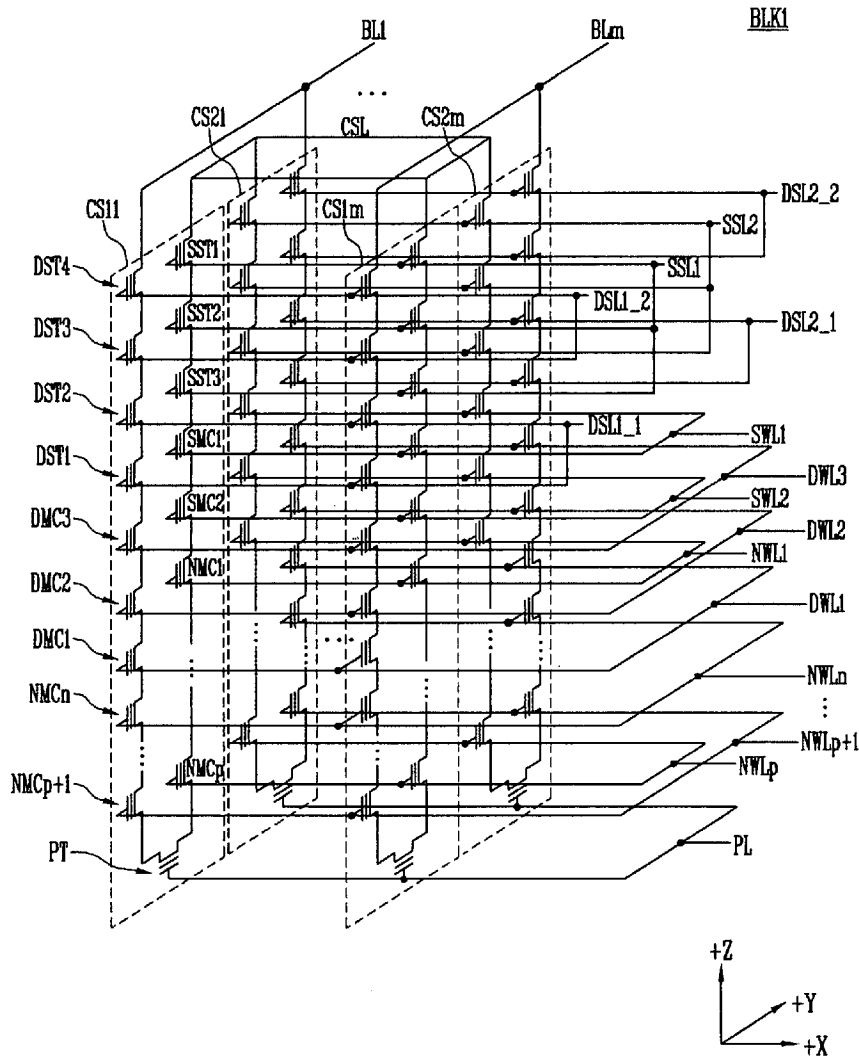


圖3

符號簡單說明：

- DMC1 至 DMC3 . . . 第一至第三汲極側虛設記憶胞
- DST1 至 DST4 . . . 第一至第四汲極選擇電晶體
- NMC1 至 NMCn . . . 第一至第 n 正常記憶胞
- PT . . . 管道電晶體
- SMC1 及 SMC2 . . . 第一及第二源極側虛設記憶胞
- SST1 至 SST3 . . . 第一至第三源極選擇電晶體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

包含三維陣列結構的半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE INCLUDING
THREE-DIMENSIONAL ARRAY STRUCTURE

【技術領域】

【0001】 各種的實施例是大致有關於一種電子裝置，並且更具體而言是有關於一種包含三維陣列結構的半導體記憶體裝置。

【0002】 相關申請案的交互參照

【0003】 本申請案主張 2014 年 7 月 10 日向韓國智慧財產局申請的韓國專利申請案號 10-2014-0086793 的優先權，所述申請案的整個揭露內容是被納入在此作為參考。

【先前技術】

【0004】 半導體記憶體裝置是利用例如是矽(Si)、鍺(Ge)、砷化鎵(GaAs)或磷化銦(InP)的半導體來加以體現。半導體記憶體裝置可被分類成爲兩種類別。一種類別可包含易失性(volatile)記憶體裝置，而另一種類別可包含非易失性記憶體裝置。

【0005】 易失性記憶體裝置在電源關斷時會失去所儲存的資料。易失性記憶體裝置的例子包含靜態 RAM(SRAM)、動態 RAM(DRAM)以及同步的 DRAM(SDRAM)。非易失性記憶體裝置可以保存所儲存的資料，而不論電源的通/斷狀況爲何。非易失性記憶體的例子包含唯讀記憶體(ROM)、遮罩 ROM(MROM)、可編程 ROM(PROM)、可抹除的可編程 ROM(EPROM)、電性

可抹除且可編程 ROM(EEPROM)、快閃記憶體、相變隨機存取記憶體 (PRAM)、磁性式 RAM(MRAM)、電阻式 RAM(RRAM)以及鐵電 RAM(FRAM)。快閃記憶體可被分類成爲兩種類型的記憶體。一種類型可包含 NOR 型記憶體，而另一種類型可包含 NAND 型記憶體。

【0006】 近來，爲了改善在半導體記憶體裝置中的集成度，已經在具有三維陣列結構的半導體記憶體裝置上進行研究。

【發明內容】

【0007】 在一實施例中，一種半導體記憶體裝置可包含堆疊在一基板之上的正常記憶胞，並且可包含耦接至一共同的源極線的源極選擇電晶體。所述半導體記憶體裝置可包含耦接在所述源極選擇電晶體以及正常記憶胞之間的源極側虛設(dummy)記憶胞；耦接至一位元線的汲極選擇電晶體；以及耦接在所述汲極選擇電晶體以及正常記憶胞之間的汲極側虛設記憶胞。所述半導體記憶體裝置可包含大於所述源極選擇電晶體的數量的汲極選擇電晶體，並且所述源極側虛設記憶胞的數量是小於所述汲極側虛設記憶胞的數量。

【0008】 在一實施例中，汲極選擇電晶體的數量可以是比源極選擇電晶體的數量大一個在源極側虛設記憶胞的數量以及汲極側虛設記憶胞的數量之間的差值。

【0009】 在一實施例中，所述汲極選擇電晶體可包含彼此串聯耦接的第一汲極選擇電晶體以及第二汲極選擇電晶體，所述第一汲極選擇電晶體可以共同耦接至一第一汲極選擇線，並且所述第二汲極選擇電晶體可以共同耦接至一第二汲極選擇線。

【0010】 在一實施例中，所述源極選擇電晶體可以共同耦接至單一源極選擇線。

【0011】 在一實施例中，所述半導體記憶體裝置可以進一步包含一管道(pipe)電晶體，其中所述源極選擇電晶體、源極側虛設記憶胞以及在所述正常記憶胞中的第一正常記憶胞是構成一第一子胞串；在所述正常記憶胞中的第二正常記憶胞、汲極側虛設記憶胞以及汲極選擇電晶體是構成一第二子胞串；並且所述第一及第二子胞串是透過所述管道電晶體來加以耦接。

【0012】 在一實施例中，所述第一正常記憶胞、源極側虛設記憶胞以及源極選擇電晶體可以是在一橫越所述基板的方向上被依序地堆疊。在一實施例中，所述第二正常記憶胞、汲極側虛設記憶胞以及汲極選擇電晶體可以是在橫越所述基板的所述方向上被依序地堆疊。

【0013】 在一實施例中，所述源極選擇電晶體、源極側虛設記憶胞、正常記憶胞、汲極側虛設記憶胞以及汲極選擇電晶體可以是在一橫越所述基板的方向上被依序地堆疊。

【0014】 根據一實施例的一種半導體記憶體裝置可包含一管道電晶體；一第一子胞串，其延伸在所述管道電晶體以及一共同的源極線之間並且包含耦接至所述共同的源極線的源極選擇電晶體以及耦接至所述源極選擇電晶體的源極側虛設記憶胞。所述半導體記憶體裝置可包含一第二子胞串，其延伸在所述管道電晶體以及一位元線之間，並且包含耦接至所述位元線的汲極選擇電晶體以及耦接至所述汲極選擇電晶體的汲極側虛設記憶胞。所述半導體記憶體裝置可包含小於汲極側虛設記憶胞的數量的源極側虛設記憶胞的數量；以及大於源極選擇電晶體的數量的汲極選擇電晶體的

數量。

【0015】 在一實施例中，汲極選擇電晶體的數量可以是比源極選擇電晶體的數量大一個在源極側虛設記憶胞的數量以及汲極側虛設記憶胞的數量之間的差值。

【0016】 在一實施例中，所述第一子胞串從所述管道電晶體起算的一高度可以是等於所述第二子胞串從所述管道電晶體起算的一高度。

【0017】 在一實施例中，所述第一子胞串可包含串聯耦接在所述源極側虛設記憶胞以及管道電晶體之間的第一正常記憶胞，並且所述第二子胞串可包含串聯耦接在所述汲極側虛設記憶胞以及管道電晶體之間的第二正常記憶胞。

【0018】 在一實施例中，第一正常記憶胞的數量可以是大於第二正常記憶胞的數量。

【0019】 在一實施例中，第一正常記憶胞的數量可以是比第二正常記憶胞的數量大一個在源極側虛設記憶胞的數量以及汲極側虛設記憶胞的數量之間的差值以及一個在源極選擇電晶體的數量以及汲極選擇電晶體的數量之間的差值的一總和。

【0020】 在一實施例中，所述汲極選擇電晶體可包含彼此串聯耦接的第一汲極選擇電晶體以及第二汲極選擇電晶體；所述第一汲極選擇電晶體可以共同耦接至一第一汲極選擇線；並且所述第二汲極選擇電晶體可以共同耦接至一第二汲極選擇線。

【0021】 在一實施例中，所述源極選擇電晶體可以共同耦接至單一源極選擇線。

【0022】 在一實施例中，一種半導體記憶體裝置可包含一第一子胞串，其被堆疊在一基板之上並且包含一第一組正常記憶胞；以及一第二子胞串，其被堆疊在所述基板之上並且包含一第二組正常記憶胞。所述半導體記憶體裝置可包含汲極選擇電晶體，其被耦接至所述第二組正常記憶胞；以及源極選擇電晶體，其被耦接至所述第一組正常記憶胞。所述第一及第二子胞串可被配置以藉由在所述第二子胞串中包含比在所述第一子胞串中的源極選擇電晶體更大數量的汲極選擇電晶體，來降低所述正常記憶胞的漏電流。

【圖式簡單說明】

【0023】

圖 1 是描繪一種半導體記憶體裝置的一種表現的方塊圖。

圖 2 是描繪在圖 1 中所描繪的一記憶胞陣列的一種表現的一實施例的方塊圖。

圖 3 是描繪在圖 2 中所描繪的記憶體區塊中的一記憶體區塊的一種表現的電路圖。

圖 4 是描繪在圖 3 中所描繪的胞串中的一胞串的一種表現的圖。

圖 5 是描繪在一種半導體記憶體裝置的一編程操作期間，施加至耦接到一所選的記憶體區塊的列線的電壓的一種表現的表。

圖 6 是描繪相鄰一未被選擇的胞串的源極側虛設記憶胞 SMC1 及 SMC2 的正常記憶胞以及其之一通道層在一編程操作期間的一電位的一種表現的圖。

圖 7 是描繪相鄰汲極側虛設字線 DWL1 至 DWL3 的正常記憶胞以及其

之一通道層在一編程操作期間的一電位的一種表現的圖。

圖 8 是描繪在圖 2 中所描繪的記憶體區塊中的一記憶體區塊的一種表現的一實施例的電路圖。

圖 9 是描繪在圖 8 中所描繪的胞串中的一胞串的一種表現的圖。

圖 10 是描繪一種包含在圖 1 中所描繪的半導體記憶體裝置的記憶體系統的一種表現的方塊圖。

圖 11 是描繪在圖 10 中所描繪的記憶體系統的一應用例子的一種表現的方塊圖。

圖 12 是描繪一種包含參考圖 11 所述的記憶體系統的計算系統的一種表現的方塊圖。

【實施方式】

【0024】 在以下，各種的實施例將會參考所附的圖式來加以詳細地描述。所述圖式是被提供以容許在此項技術中具有普通技能者能夠理解所述實施例的範疇。然而，所舉例說明的實施例可以用不同的形式來體現，因而不應該被解釋為受限於所闡述的實施例。而是，這些實施例是被提供以使得此揭露內容將會是徹底且完整的。此外，所述實施例是被提供以完整傳達本申請案的範疇給熟習此項技術者。

【0025】 在整個揭露內容中，元件符號是直接對應到在各種圖式及實施例中的相同編號的元件。亦應注意的是，在此說明書中，"連接/耦接"不只是指一構件直接耦接另一構件，而且亦指透過一中間的構件來間接耦接另一構件。此外，只要是未被指明的話，一單數形可包含複數形，並且反之亦然。

【0026】 各種的實施例可以有關於一種具有改善的可靠度的半導體記憶體裝置。

【0027】 圖 1 是描繪一種半導體記憶體裝置 100 的一種表現的方塊圖。

【0028】 參照圖 1，所述半導體記憶體裝置 100 可包含一記憶胞陣列 110 以及一週邊電路 120。

【0029】 所述記憶胞陣列 110 可以透過列線 RL 來耦接至一位址解碼器 121。所述記憶胞陣列 110 可以透過位元線 BL 來耦接至一讀取及寫入電路 123。

【0030】 所述記憶胞陣列 110 可包含複數個記憶體區塊。所述記憶體區塊的每一個可包含複數個胞串。所述胞串的每一個可包含複數個堆疊在一基板之上的記憶胞。根據一實施例，所述複數個記憶胞可以是非易失性記憶胞。根據一實施例，所述複數個記憶胞的每一個可被界定為單一位準的胞或是多位準的胞。所述記憶胞陣列 110 是參考圖 2 及 3 而被詳細地描述。

【0031】 所述週邊電路 120 可包含所述位址解碼器 121、一電壓產生器 122、以及所述讀取及寫入電路 123。所述週邊電路 120 可包含一輸入/輸出緩衝器 124 以及一控制邏輯 125。

【0032】 所述位址解碼器 121 可以透過列線 RL 來耦接至所述記憶胞陣列 110。所述列線 RL 可包含汲極選擇線、虛設字線、正常字線、源極選擇線以及一共同的源極線。根據一實施例，所述列線 RL 可包含一管道線。

【0033】 所述位址解碼器 121 可被配置以響應於控制邏輯 125 的控制來控制所述列線 RL。所述位址解碼器 121 可以從所述控制邏輯 125 接收一

位址 ADDR。

【0034】 根據一實施例，所述半導體記憶體裝置 100 的一編程操作以及一讀取操作可以用頁單位來加以執行。在編程操作以及讀取操作期間，所述位址 ADDR 可包含一區塊位址以及一系列位址。所述位址解碼器 121 可被配置以解碼在所接收到的位址 ADDR 中的區塊位址。所述位址解碼器 121 可以響應於經解碼的區塊位址以選擇一記憶體區塊。所述位址解碼器 121 可被配置以解碼在所接收到的位址 ADDR 中的一列位址。所述位址解碼器 121 可以響應於經解碼的列位址來選擇所選的記憶體區塊的汲極選擇線中的一汲極選擇線，並且選擇所選的記憶體區塊的複數個正常字線中的一正常字線。因此，對應於單一頁的正常記憶胞可被選出。

【0035】 根據一實施例，在一抹除操作期間，所述位址 ADDR 可包含一區塊位址。所述位址解碼器 121 可以解碼區塊位址，並且響應於經解碼的區塊位址來選擇一記憶體區塊。因此，所選的記憶體區塊的資料可被抹除。

【0036】 根據一實施例，所述位址解碼器 121 可包含一區塊解碼器、一系列解碼器以及一位址緩衝器。

【0037】 所述電壓產生器 122 可以藉由所述控制邏輯 125 來加以控制。所述電壓產生器 122 可以藉由利用一被提供至半導體記憶體裝置 100 的外部的電源電壓來產生一內部的電源電壓。例如，所述電壓產生器 122 可以藉由調節一外部的電源電壓來產生所述內部的電源電壓。所產生的內部的電源電壓可被提供至位址解碼器 121。所產生的內部的電源電壓可被提供至讀取及寫入電路 123。所產生的內部的電源電壓可被提供至輸入/輸出

緩衝器 124 以及控制邏輯 125，並且被使用作為所述半導體記憶體裝置 100 的一操作電壓。

【0038】 所述電壓產生器 122 可以藉由利用所述外部的電源電壓以及內部的電源電壓中的至少一個來產生複數個電壓。根據一實施例，所述電壓產生器 122 可包含複數個接收所述內部的電源電壓的泵送(pumping)電容器。所述電壓產生器 122 可以藉由響應於所述控制邏輯 125 的控制 CTRL 來選擇性地啟動所述複數個泵送電容器，以產生複數個電壓。例如，所述電壓產生器 122 可以產生各種的電壓以施加至所述列線 RL，並且提供所產生的電壓至所述位址解碼器 121。

【0039】 所述讀取及寫入電路 123 可以透過位元線 BL 來耦接至所述記憶體陣列 110。所述讀取及寫入電路 123 可以藉由所述控制邏輯 125 來加以控制。

【0040】 在抹除操作期間，所述讀取及寫入電路 123 可以浮接所述位元線 BL。在編程操作期間，所述讀取及寫入電路 123 可以從輸入/輸出緩衝器 124 傳輸待被編程的資料 DATA 至所述位元線 BL。所選的正常記憶胞可以響應於所傳輸的資料 DATA 來加以編程。在讀取操作期間，所述讀取及寫入電路 123 可以從所選的正常記憶胞透過位元線 BL 來讀取所述資料 DATA，並且輸出所讀取的資料 DATA 至所述輸入/輸出緩衝器 124。

【0041】 根據一實施例，所述讀取及寫入電路 123 可包含頁緩衝器(或是頁暫存器)以及一行選擇電路。

【0042】 所述控制邏輯 125 可以耦接至位址解碼器 121。所述控制邏輯 125 可以耦接至電壓產生器 122。所述控制邏輯 125 可以耦接至讀取及寫

入電路 123。所述控制邏輯 125 可以耦接至輸出緩衝器 124。所述控制邏輯 125 可以從輸入/輸出緩衝器 124 接收一控制信號 CTRL 以及所述位址 ADDR。所述控制邏輯 125 可被配置以響應於控制信號 CTRL 來控制所述半導體記憶體裝置 100 的一般操作。所述控制邏輯 125 可以傳輸位址 ADDR 至所述位址解碼器 121。

【0043】 所述輸入/輸出緩衝器 124 可以從一外部的裝置接收所述控制信號 CTRL 以及位址 ADDR，並且傳輸所述控制信號 CTRL 以及位址 ADDR 至所述控制邏輯 125。此外，所述輸入/輸出緩衝器 124 可以傳輸資料 DATA 至所述讀取及寫入電路 123。所述輸入/輸出緩衝器 124 可以將從讀取及寫入電路 123 所接收到的資料 DATA 輸出至一外部的裝置。

【0044】 根據一實施例，所述半導體記憶體裝置 100 可以是一種快閃記憶體裝置。

【0045】 圖 2 是描繪在圖 1 中所描繪的記憶胞陣列 110 的一實施例的一種表現的方塊圖。

【0046】 參照圖 2，所述記憶胞陣列 110 可包含複數個記憶體區塊 BLK1 至 BLKz。所述記憶體區塊的每一個可包含一種三維的結構。每個記憶體區塊可包含複數個堆疊在所述基板之上的記憶胞。所述複數個記憶胞可以實質被配置在+X 方向、+Y 方向以及+Z 方向上。每個記憶體區塊的結構將會參考圖 3 來加以詳細地描述。

【0047】 圖 3 是描繪在圖 2 中所描繪的記憶體區塊 BLK1 至 BLKz 中的一記憶體區塊(例如是 BLK1)的一種表現的電路圖。

【0048】 參照圖 3，所述記憶體區塊 BLK1 至 BLKz 中的一記憶體區

塊或例如是第一記憶體區塊 BLK1 可包含複數個胞串 CS11 至 CS1m 以及 CS21 至 CS2m。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可被形成爲一實質'U'形。在所述第一記憶體區塊 BLK1 中，m 個胞串可被配置在一列方向(亦即，+X 方向)上。在圖 3 中，爲了舉例之目的，只有兩個被配置在一行方向上的胞串被展示。然而，超過兩個的胞串可被配置在所述行方向(亦即，+Y 方向)上。

【0049】 所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可包含第一至第三源極選擇電晶體 SST1 至 SST3。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可包含第一及第二源極側虛設記憶胞 SMC1 及 SMC2。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可包含第一至第 n 正常記憶胞 NMC1 至 NMCn。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可包含一管道電晶體 PT。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可包含第一至第三汲極側虛設記憶胞 DMC1 至 DMC3。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的每一個可包含第一至第四汲極選擇電晶體 DST1 至 DST4。

【0050】 所述選擇電晶體 SST1 至 SST3 以及 DST1 至 DST4、虛設記憶胞 SMC1、SMC2、以及 DMC1 至 DMC3、以及正常記憶胞 NMC1 至 NMCn 可以具有類似的結構、或是實質類似的結構。根據一實施例，所述選擇電晶體 SST1 至 SST3 以及 DST1 至 DST4、虛設記憶胞 SMC1、SMC2 以及 DMC1 至 DMC3、以及正常記憶胞 NMC1 至 NMCn 的每一個可包含一通道層、一穿隧絕緣層、一電荷儲存層以及一阻擋絕緣層。

【0051】 所述胞串的每一個的第一至第三源極選擇電晶體 SST1 至

SST3 可以串聯耦接在所述共同的源極線 CSL 以及源極側虛設記憶胞 SMC1 及 SMC2 之間。所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的第一源極選擇電晶體 SST1 的源極可以共同耦接至所述共同的源極線 CSL。

【0052】 根據一實施例，被配置在相同的列(+X 方向)上的胞串(例如是 CS11 至 CS1m)的源極選擇電晶體可以耦接至一延伸在所述列方向上的源極選擇線(例如是 SSL1)。此外，每個胞串的第一至第三源極選擇電晶體 SST1 至 SST3 可以共同耦接至單一源極選擇線。被配置在不同列中的胞串(例如是 CS11 及 CS21)的源極選擇電晶體可以耦接至不同的源極選擇線(例如是 SSL1 及 SSL2)。

【0053】 每個胞串的源極側虛設記憶胞 SMC1 及 SMC2 可以耦接在所述源極選擇電晶體 SST1 至 SST3 以及正常記憶胞 NMC1 至 NMC_p 之間。在所述第一記憶體區塊 BLK1 中具有實質相同高度的源極側虛設記憶胞的閘極可以耦接至單一源極側虛設字線。所述第一源極側虛設記憶胞 SMC1 的一閘極可以耦接至一第一源極側虛設字線 SWL1。所述第二源極側虛設記憶胞 SMC2 的一閘極可以耦接至一第二源極側虛設字線 SWL2。

【0054】 每個胞串的第一至第 n 正常記憶胞 NMC1 至 NMC_n 可以耦接在所述源極側虛設記憶胞 SMC1 及 SMC2 以及汲極側虛設記憶胞 DMC1 至 DMC3 之間。

【0055】 所述第一至第 n 正常記憶胞 NMC1 至 NMC_n 可被分成第一至第 p 正常記憶胞 NMC1 至 NMC_p、以及第 p+1 至第 n 正常記憶胞 NMC_{p+1} 至 NMC_n。所述第一至第 p 正常記憶胞 NMC1 至 NMC_p、以及第 p+1 至第 n 正常記憶胞 NMC_{p+1} 至 NMC_n 可以透過所述管道電晶體 PT 來加以耦接。

【0056】 所述第一至第 p 正常記憶胞 NMC_1 至 NMC_p 可以被依序地配置在一和所述 $+Z$ 方向相反的方向上，並且串聯耦接在所述源極側虛設記憶胞 SMC_1 及 SMC_2 以及管道電晶體 PT 之間。所述第 $p+1$ 至第 n 正常記憶胞 NMC_{p+1} 至 NMC_n 可以被依序地配置在所述 $+Z$ 方向上，並且串聯耦接在所述管道電晶體 PT 以及汲極側虛設記憶胞 DMC_1 至 DMC_3 之間。所述第一至第 n 正常記憶胞 NMC_1 至 NMC_n 的閘極可以分別耦接至第一至第 n 正常字線 NWL_1 至 NWL_n 。所述正常記憶胞 NMC_{p+1} 至 NMC_p 的閘極可以分別耦接至 $p+1$ 至 p 正常字線 NWL_{p+1} 至 NWL_p 。

【0057】 資料可以分別透過第一至第 m 位元線 BL_1 至 BL_m 而被儲存在所述第一至第 n 正常記憶胞 NMC_1 至 NMC_n 中。儲存在所述第一至第 n 正常記憶胞 NMC_1 至 NMC_n 中的資料可以分別透過所述第一至第 m 位元線 BL_1 至 BL_m 來加以讀取。

【0058】 每個胞串的管道電晶體 PT 的閘極可以耦接至一管道線 PL 。

【0059】 每個胞串的汲極側虛設記憶胞 DMC_1 至 DMC_3 可以耦接在所述汲極選擇電晶體 DST_1 至 DST_4 以及正常記憶胞 NMC_{p+1} 至 NMC_n 之間。在第一記憶體區塊 BLK_1 中，具有實質相同高度的汲極側虛設記憶胞的閘極可以耦接至單一汲極側虛設字線。每個胞串的第一至第三汲極側虛設記憶胞 DMC_1 至 DMC_3 的閘極可以分別耦接至所述第一至第三汲極側虛設字線 DWL_1 至 DWL_3 。

【0060】 所述資料並不能夠被儲存在所述虛設記憶胞 SMC_1 、 SMC_2 以及 DMC_1 至 DMC_3 中。

【0061】 每個胞串的第一至第四汲極選擇電晶體 DST_1 至 DST_4 可以

串聯耦接在對應的位元線以及所述汲極側虛設記憶胞 DMC1 至 DMC3 之間。根據一實施例，如同在圖 3 中所繪，每個胞串的第一及第二汲極選擇電晶體 DST1 及 DST2 可以耦接至單一汲極選擇線，並且每個胞串的第三及第四汲極選擇電晶體 DST3 及 DST4 可以耦接至另一汲極選擇線。

【0062】 被配置在所述列方向上的胞串可以耦接至延伸在所述列方向上的汲極選擇線 DSL1_1、DSL1_2、DSL2_1 以及 DSL2_2。在一第一列中的胞串 CS11 至 CS1m 可以耦接至所述第一汲極選擇線 DSL1_1 及 DSL1_2。在所述第一列中的胞串 CS11 至 CS1m 的第一及第二汲極選擇電晶體 DST1 及 DST2 可以耦接至所述汲極選擇線 DSL1_1。在所述第一列中的胞串 CS11 至 CS1m 的第三及第四汲極選擇電晶體 DST3 及 DST4 可以耦接至所述汲極選擇線 DSL1_2。在一第二列中的胞串 CS21 至 CS2m 可以耦接至所述第二汲極選擇線 DSL2_1 及 DSL2_2。在所述第二列中的胞串 CS21 至 CS2m 的第一及第二汲極選擇電晶體 DST1 及 DST2 可以耦接至所述汲極選擇線 DSL2_1。在所述第二列中的胞串 CS21 至 CS2m 的第三及第四汲極選擇電晶體 DST3 及 DST4 可以耦接至所述汲極選擇線 DSL2_2。

【0063】 被配置在所述行方向(+Y 方向)上的胞串可以耦接至一延伸在所述行方向上的位元線。被配置在所述列方向上的第一至第 m 胞串 CS11 至 CS1m 或是 CS21 至 CS2m 可以分別耦接至所述第一至第 m 位元線 BL1 至 BLm。

【0064】 根據一實施例，偶數位元線以及奇數位元線可被提供，而不是所述第一至第 m 位元線 BL1 至 BLm。在配置於所述列方向上的胞串 CS11 至 CS1m 或是 CS21 至 CS2m 中的偶數胞串可以分別耦接至偶數位元線。在

配置於所述列方向上的胞串 CS11 至 CS1m 或是 CS21 至 CS2m 中的奇數胞串可以分別耦接至奇數位元線。

【0065】 如同在圖 3 中所繪，在每個胞串中，所述正常記憶胞 NMC1 至 NMCp、虛設記憶胞 SMC1 及 SMC2、以及源極選擇電晶體 SST1 至 SST3 可以是在一橫越所述基板的方向，亦即+Z 方向上被依序地堆疊。在每個胞串中，所述正常記憶胞 NMC_{p+1} 至 NMC_n、汲極虛設記憶胞 DMC1 至 DMC3、以及汲極選擇電晶體 SST1 至 SST4 可以在所述+Z 方向上被依序地堆疊。

【0066】 根據一實施例，源極側虛設記憶胞 SMC1 及 SMC2 的數量可以是小於汲極側虛設記憶胞 DMC1 至 DMC3 的數量，並且汲極選擇電晶體 DST1 至 DST4 的數量可以是大大於源極選擇電晶體 SST1 至 SST3 的數量。

【0067】 圖 4 是描繪在圖 3 中所描繪的胞串 CS11 至 CS1m 以及 CS21 至 CS2m 中的一胞串(例如是 CS11)的一種表現的圖。

【0068】 參照圖 3 及 4，所述胞串 CS11 可包含源極選擇電晶體 SST1 至 SST3、源極側虛設記憶胞 SMC1 及 SMC2、以及第一至第 n 正常記憶胞 NMC1 至 NMC_n。所述胞串 CS11 可包含管道電晶體 PT、汲極側虛設記憶胞 DMC1 至 DMC3、以及汲極選擇電晶體 DST1 至 DST4。

【0069】 所述胞串 CS11 可包含一第一子胞串 CS_{sub1}。所述胞串 CS11 可包含一第二子胞串 CS_{sub2}。所述第一子胞串 CS_{sub1} 可包含所述源極選擇電晶體 SST1 至 SST3。所述第一子胞串 CS_{sub1} 可包含源極側虛設記憶胞 SMC1 及 SMC2 以及第一至第 p 正常記憶胞 NMC1 至 NMC_p(亦即，一第一組正常記憶胞)。所述第二子胞串 CS_{sub2} 可包含所述第 p+1 至第 n 正常記憶胞 NMC_{p+1} 至 NMC_n(亦即，一第二組正常記憶胞)。所述第二子胞串 CS_{sub2}

可包含汲極側虛設記憶胞 DMC1 至 DMC3 以及汲極選擇電晶體 DST1 至 DST4。

【0070】 所述第一子胞串 CS_{sub1} 以及第二子胞串 CS_{sub2} 可以透過所述管道電晶體 PT 來加以耦接。

【0071】 根據一實施例，汲極選擇電晶體 DST1 至 DST4 的數量可以是比所述源極選擇電晶體 SST1 至 SST3 大一個在源極側虛設記憶胞 SMC1 及 SMC2 的數量以及汲極側虛設記憶胞 DMC1 至 DMC3 的數量之間的差值。例如，在圖 3 及 4 中，藉由從汲極側虛設記憶胞 DMC1 至 DMC3 的數量減去源極側虛設記憶胞 SMC1 及 SMC2 的數量所獲得的一個值是 1。例如，汲極選擇電晶體 DST1 至 DST4 的數量可以是比源極選擇電晶體 SST1 至 SST3 的數量多一個。

【0072】 所述第一子胞串 CS_{sub1} 的正常記憶胞的數量可以是大大於所述第二子胞串 CS_{sub2} 的正常記憶胞的數量。第一至第 p 正常記憶胞 NMC1 至 NMC_p 的數量可以是大大於第 p+1 至第 n 正常記憶胞 NMC_{p+1} 至 NMC_n 的數量。更明確地說，第一至第 p 正常記憶胞 NMC1 至 NMC_p 的數量可以是比第 p+1 至第 n 正常記憶胞 NMC_{p+1} 至 NMC_n 的數量大一個值，所述值是藉由加總從汲極側虛設記憶胞 DMC1 至 DMC3 的數量減去源極側虛設記憶胞 SMC1 及 SMC2 的數量所獲得的值以及藉由從汲極選擇電晶體 DST1 至 DST4 的數量減去源極選擇電晶體 SST1 至 SST3 的數量所獲得的值而獲得的。所述第一正常記憶胞 NMC1 可以位在和第二汲極側虛設記憶胞 DMC2 實質相同的高度，並且所述第二正常記憶胞 NMC2 可以位在和第一汲極側虛設記憶胞 DMC1 實質相同的高度。所述第一子胞串 CS_{sub1} 從管道電晶體

PT 起算的一高度可以是和所述第二子胞串 CSsub2 從管道電晶體 PT 起算的一高度實質相同的。

【0073】 因此，藉由設置較多的汲極選擇電晶體 DST1 至 DST4，透過所述汲極選擇電晶體 DST1 至 DST4 的漏電流可加以避免，並且正常記憶胞 NMC1 至 NMCn 的數量可被維持。

【0074】 圖 5 是描繪在所述半導體記憶體裝置 100 的一編程操作期間，被施加至耦接到所選的記憶體區塊的列線的電壓的一種表現的表。在以下，為了解說的方便，假設一編程操作是被執行在所述第二列中的胞串 CS21 至 CS2m 的一頁上。

【0075】 所述第一汲極選擇線 DSL1_1 及 DSL1_2 可能未被選擇，並且所述第二汲極選擇線 DSL2_1 及 DS2_2 可被選擇。參照圖 3 至 5，第一及第二汲極選擇線電壓 Vdsl1 及 Vdsl2 可被施加至所述第一汲極選擇線 DSL1_1 及 DSL1_2，以分別電性分開在所述第一列中的胞串 CS11 至 CS1m 與所述位元線 BL1 至 BLm。

【0076】 各種用於電性分開在所述第一列中的胞串 CS11 至 CS1m 與所述位元線 BL1 至 BLm 的電壓都可被提供作為所述第一及第二汲極選擇線電壓 Vdsl1 及 Vdsl2。所述第一及第二汲極選擇線電壓 Vdsl1 及 Vdsl2 可以是低電壓。例如，所述第一及第二汲極選擇線電壓 Vdsl1 及 Vdsl2 可以是低於所述第一至第四汲極選擇電晶體 DST1 至 DST4 的臨界電壓。在一實施例中，所述第一及第二汲極選擇線電壓 Vdsl1 及 Vdsl2 可以是漸增的。例如，所述第一汲極選擇線電壓 Vdsl1 可以是小於所述第二汲極選擇線電壓 Vdsl2。在一實施例中，所述第一及第二汲極選擇線電壓 Vdsl1 及 Vdsl2 可以

是彼此相等的。藉由設置較多的汲極選擇電晶體 DST1 至 DST4，自未被選擇的胞串 CS11 至 CS1m 流過所述汲極選擇電晶體 DST1 至 DST4 的電流可被降低。

【0077】 一第三汲極選擇線電壓 V_{dsl3} 可被施加至所述第二汲極選擇線 DSL2_1 及 DSL2_2，以將在所述第二列中的胞串 CS21 至 CS2m 電連接至所述位元線 BL1 至 BLm。例如，所述第三汲極選擇線電壓 V_{dsl3} 可以是高於所述第一至第四汲極選擇電晶體 DST1 至 DST4 的臨界電壓。

【0078】 因此，在所述第一列中的胞串 CS11 至 CS1m 可以分別和所述位元線 BL1 至 BLm 電性分開，並且在所述第二列中的胞串 CS21 至 CS2m 是分別連接到所述位元線 BL1 至 BLm。

【0079】 所述第一至第三汲極側虛設字線 DWL1 至 DWL3 可以分別被提供第三至第五虛設字線電壓 V_{dwl3} 至 V_{dwl5} 。根據一實施例，所述第三至第五虛設字線電壓 V_{dwl3} 至 V_{dwl5} 可以是漸減的。例如，所述第三虛設字線電壓 V_{dwl3} 可以是高於第四虛設字線電壓 V_{dwl4} ，並且所述第四虛設字線電壓 V_{dwl4} 可以是高於第五虛設字線電壓 V_{dwl5} 。根據一實施例，所述第三至第五虛設字線電壓 V_{dwl3} 至 V_{dwl5} 可以是彼此相等的。

【0080】 一通過電壓 V_{pass} 可被施加至所述正常字線 NWL1 至 NWLn 中的一未被選擇的正常字線 NWL_{us}。一編程電壓 V_{pgm} 可被施加至所述正常字線 NWL1 至 NWLn 中的一所選的正常字線 NWL_s。

【0081】 由於在所述第一列中的胞串 CS11 至 CS1m 是和所述位元線 BL1 至 BLm 以及共同的源極線 CSL 電性分開，因此在所述第一列中的胞串 CS11 至 CS1m 的通道層的電位可以響應於所述通過電壓 V_{pass} 以及編程電

壓 V_{pgm} 而被增高。

【0082】 在所述第二列中的胞串 CS21 至 CS2m 可以分別電連接至所述位元線 BL1 至 BLm。例如，如同在圖 1 中所繪，一參考電壓或是一電源電壓可以響應於待被編程的資料 DATA 而透過所述位元線 BL1 至 BLm 來加以傳輸。當所述參考電壓被施加至位元線時，所述參考電壓可藉由所述通過電壓 V_{pass} 以及編程電壓 V_{pgm} 而被傳輸到形成在對應的胞串的一通道層中的一通道。所選的正常字線 NWLs 的記憶胞的臨界電壓可以根據在所述參考電壓以及編程電壓 V_{pgm} 之間的差值而被增高。在所述參考電壓以及通過電壓 V_{pass} 之間的差值可能並未高到足以增高所述記憶胞的臨界電壓。當所述電源電壓被施加至位元線時，對應的汲極選擇電晶體 DST1 至 DST4 可藉由所述電源電壓以及被施加至第二汲極選擇線 DSL2_1 及 DSL2_2 的第三汲極選擇線電壓 V_{ds13} 而被關斷。對應的胞串可以和所述位元線以及共同的源極線 CSL 電性分開，並且對應的胞串通道層的電位可以響應於所述通過電壓 V_{pass} 以及編程電壓 V_{pgm} 而被增高。

【0083】 所述第一及第二源極側虛設字線 SWL1 及 SWL2 可以分別被提供所述第一及第二虛設字線電壓 V_{dwl1} 及 V_{dwl2} 。根據一實施例，所述第一及第二虛設字線電壓 V_{dwl1} 及 V_{dwl2} 可以是漸增的。例如，所述第一虛設字線電壓 V_{dwl1} 可以是小於所述第二虛設字線電壓 V_{dwl2} 。根據一實施例，所述第一及第二虛設字線電壓 V_{dwl1} 及 V_{dwl2} 可以是彼此相等的。

【0084】 第一及第二源極選擇線電壓 V_{ssl1} 及 V_{ssl2} 可以分別被施加至第一及第二源極選擇線 SSL1 及 SSL2。例如，所述第一源極選擇線電壓 V_{ssl1} 可以關斷所述源極選擇電晶體 SST1 至 SST3，以電性分開在所述第一

列中的胞串 CS11 至 CS1m 與所述共同的源極線 CSL。因此，在所述第一列中的胞串 CS11 至 CS1m 可以在編程操作期間，和所述位元線 BL1 至 BLm 以及共同的源極線 CSL 電性分開。例如，所述第二源極選擇線電壓 V_{ssl2} 可被施加以關斷所述源極選擇電晶體 SST1 至 SST3，使得在所述第二列中的胞串 CS21 至 CS2m 可以和所述共同的源極線 CSL 電性分開。在編程操作期間，在所述第二列中的胞串 CS21 至 CS2m 可以電連接至所述位元線 BL1 至 BLm，並且和所述共同的源極線 CSL 分開。

【0085】 圖 6 是描繪相鄰一未被選擇的胞串的源極側虛設記憶胞 SMC1 及 SMC2 的正常記憶胞以及其之一通道層在一編程操作期間的一電位的一種表現的圖。參照圖 6，假設一第二正常字線 NWL2 被選出，而其它字線 NWL1 以及 NWL3 至 NWLn 並未被選出。

【0086】 參照圖 3 及 6，編程操作可以在所述第一至第 n 正常字線 NWL1 至 NWLn 上被依序地執行。例如，一第 p 正常字線 NWLp (其中 p 是大於或等於 1 且小於或等於 n) 的正常記憶胞 (所述胞串 CS11 至 CS1m 以及 CS21 至 CS2m 的 NMCp)，以及一後續的正常字線 NWLp+1 的正常記憶胞 (所述記憶體串 CS11 至 CS1m 以及 CS21 至 CS2m 的 NMCp+1) 可被編程。

【0087】 因此，當編程操作在所述第二正常字線 NWL2 上執行時，所述第一正常記憶胞 NMC1 可以具有一編程狀態 PGMS 或是一抹除狀態 ERSS。為了解說的方便，假設所述第一正常記憶胞 NMC1 包含編程狀態 PGMS。為了解說的方便，假設所述第三至第六正常記憶胞 NMC3 至 NMC6 可包含抹除狀態 ERSS，因為所述編程操作尚未在其上加以執行。

【0088】 所述編程電壓 V_{pgm} 可被施加至第二正常字線 NWL2。所述

第二正常記憶胞 NMC2 的一通道層 CHL 的電壓可以響應於編程電壓 V_{pgm} 而被升壓至一具有一相對高位準的通道電壓 $CV1_1$ 。

【0089】 所述通過電壓 V_{pass} 可被施加至其它正常字線 $NWL1$ 以及 $NWL3$ 至 $NWL6$ 。所述第一正常記憶胞 NMC1 的通道層 CHL 的電壓可被升壓至一通道電壓 $CV1_2$ ，其對應於一藉由從所述通過電壓 V_{pass} 減去第一正常記憶胞 NMC1 的一臨界電壓所獲得的值。由於所述第一正常記憶胞 NMC1 具有編程狀態 PGMS，因此其臨界電壓可以是一正電壓。

【0090】 所述第三至第六正常記憶胞 NMC3 至 NMC6 的每一個的通道層 CHL 可被升壓至一通道電壓 $CV1_3$ ，其對應於一藉由從所述通過電壓 V_{pass} 減去對應的正常記憶胞的一臨界電壓所獲得的值。由於所述第三至第六正常記憶胞 NMC3 至 NMC6 具有抹除狀態 ERSS，因此其臨界電壓可以是負電壓。因此，被形成在所述第三至第六正常記憶胞 NMC3 至 NMC6 中的通道電壓 $CV1_3$ 可以是大大於被形成在所述第一正常記憶胞 NMC1 中的通道電壓 $CV1_2$ 。

【0091】 根據所述通道電壓 $CV1_1$ 至 $CV1_3A$ ，相鄰所述源極側虛設記憶胞 SMC1 及 SMC2 的正常記憶胞 NMC1 至 NMC6 的通道層 CHL 的一平均電位可以是一第一值 $AVR1$ 。

【0092】 圖 7 是描繪相鄰一未被選擇的胞串的汲極側虛設字線 $DWL1$ 至 $DWL3$ 的正常記憶胞以及其之一通道層在一編程操作期間的一電位的一種表現的圖。參照圖 7，假設一第 $n-1$ 正常字線 NWL_{n-1} 被選出，而其它字線 NWL_n 以及 NWL_{n-2} 至 $NWL1$ 並未被選出。

【0093】 參照圖 3 及 7，編程操作可以在所述第一至第 n 正常字線

NWL1 至 NWLn 上被依序地執行。因此，當編程操作在第 n-1 正常字線 NWLn-1 上執行時，第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 的每一個可包含所述編程狀態 PGMS 或是抹除狀態 ERSS。在以下，為了解說的方便，假設所述第 n-5 以及第 n-3 正常記憶胞 NMCn-5 及 NMCn-3 具有抹除狀態 ERSS。在以下，為了解說的方便，假設所述第 n-4 以及第 n-2 正常記憶胞 NMCn-4 及 NMCn-2 具有編程狀態 PGMS。由於第 n 正常記憶胞 NMCn 尚未被編程，因此所述第 n 正常記憶胞 NMCn 可包含抹除狀態 ERSS。

【0094】 所述編程電壓 V_{pgm} 可被施加至一第 n-1 正常記憶胞 NMCn-1。所述第 n-1 正常記憶胞 NMCn-1 的通道層 CHL 可以響應於具有一高位準的編程電壓 V_{pgm} 而被升壓至一通道電壓 $VC2_1$ 。

【0095】 所述其它正常字線 NWLn-5 至 NWLn-2 以及 NWLn 可以接收通過電壓 V_{pass} 。所述第 n 正常記憶胞 NMCn 的通道層 CHL 可被升壓至一通道電壓 $CV2_2$ ，其對應於一藉由從所述通過電壓 V_{pass} 減去第 n 正常記憶胞 NMCn 的一臨界電壓所獲得的值。由於所述第 n 正常記憶胞 NMCn 具有抹除狀態 ERSS，因此其臨界電壓可以是一負電壓。

【0096】 所述第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 的每一個的通道層 CHL 可被升壓至一通道電壓是低於或高於一藉由從所述通過電壓 V_{pass} 減去對應的正常記憶胞的一臨界電壓所獲得的值。

【0097】 每個正常記憶胞的一通道層的電壓可以由於一相鄰的正常記憶胞的通道層的電壓，而為低於或高於對應的正常記憶胞的一臨界電壓與所述通過電壓 V_{pass} 的差值。例如，具有編程狀態 PGMS 的第 n-4 及第 n-2 正常記憶胞 NMCn-4 及 NMCn-2 的通道層 CHL 的電壓可以由於具有抹除狀

態 ERSS 的第 n-5 及第 n-3 正常記憶胞 NMCn-5 及 NMCn-3 的通道層 CHL 的電壓而被增高。一高於藉由從所述通過電壓 V_{pass} 減去對應的正常記憶胞的臨界電壓所獲得的值的通道電壓 CV2_3 可被形成在所述第 n-4 及第 n-2 正常記憶胞 NMCn-4 及 NMCn-2 的每一個的通道層 CHL 中。具有抹除狀態 ERSS 的第 n-5 及第 n-3 正常記憶胞 NMCn-5 及 NMCn-3 的通道層 CHL 的電壓可以由於所述第 n-4 及第 n-2 正常記憶胞 NMCn-4 及 NMCn-2 的通道層 CHL 的電壓而被降低。一低於藉由從所述通過電壓 V_{pass} 減去對應的正常記憶胞的臨界電壓所獲得的值的通道電壓 CV2_4 可被形成在所述第 n-5 及第 n-3 正常記憶胞 NMCn-5 及 NMCn-3 的每一個的通道層 CHL 中。所述通道電壓 CV2_4 可以是大大於所述通道電壓 CV2_3。

【0098】 對應於一藉由從所述通過電壓 V_{pass} 減去所述第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 的臨界電壓的一平均所獲得的值的電壓可被形成在所述第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 的通道層中。由於資料已經儲存在所述第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 中，因此所述第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 的臨界電壓的平均可以是大大於抹除狀態 ERSS。因此，一低於在圖 6 中所描繪的第三至第六正常記憶胞 NMC3 至 NMC6 的臨界電壓的通道電壓可被形成在所述第 n-5 至第 n-2 正常記憶胞 NMCn-5 至 NMCn-2 的通道層 CHL 中。

【0099】 此外，以所述通道電壓 CV2_1 至 CV2_4 為基礎，相鄰所述汲極側虛設記憶胞 DMC1 至 DMC3 的正常記憶胞 NMCn-5 至 NMCn 的通道層 CHL 的一平均電位可以是一第二值 AVR2。所述第二值 AVR2 可以是低於以上參考圖 6 所述的第一值 AVR1。

【0100】 其可以假設電流是非故意地從所述胞串透過汲極側虛設記憶胞 DMC1 至 DMC3 以及汲極選擇電晶體 DST1 至 DST4 洩漏。所述第 n-5 至第 n 正常記憶胞 NMCn-5 至 NMCn 的通道層 CHL 的平均電位將會進一步被降低。換言之，低於所述第一值 AVR1 的第二值 AVR2 可能會進一步被一漏電流所降低。因此，所述第 n-5 至第 n 正常記憶胞 NMCn-5 至 NMCn 可能會根據在一通道電位以及施加至所述正常字線的電壓之間的差值而被不慎地編程。

【0101】 換言之，相較於當相鄰所述源極側虛設字線 SWL1 及 SWL2 的正常字線被選出，所述記憶胞可能會更容易受到當相鄰所述汲極側虛設字線 DWL1 至 DWL3 的正常字線被選出時的干擾所影響。

【0102】 根據一實施例，比所述源極選擇電晶體 SST1 至 SST3 多的汲極選擇電晶體 DST1 至 DST4 可加以設置。此外，源極側虛設記憶胞 SMC1 及 SMC2 的數量可以是小於汲極側虛設記憶胞 DMC1 至 DMC3 的數量。此外，第一至第 p 正常記憶胞 NMC1 至 NMCp 的數量可以是比第 p+1 至第 n 正常記憶胞 NMCp+1 至 NMCn 的數量大一個值，所述值是藉由加總一藉由從汲極側虛設記憶胞 DMC1 至 DMC3 的數量減去源極側虛設記憶胞 SMC1 及 SMC2 的數量所獲得的值以及一藉由從汲極選擇電晶體 DST1 至 DST4 的數量減去源極選擇電晶體 SST1 至 SST3 的數量所獲得的值所獲得的。

【0103】 因此，具有實質相同高度的第一及第二子胞串 CSsub1 及 CSsub2(參見圖 4)可加以設置，並且較多的汲極選擇電晶體 DST1 至 DST4 可加以設置，因而一漏電流可被降低。因此，當編程操作在相鄰所述汲極側虛設字線 DWL1 至 DWL3 的正常字線上執行時，儲存在所述正常記憶胞

NMC1 至 NMCn 中的資料可以不受損壞。

【0104】 圖 8 是描繪在圖 2 中所描繪的記憶體區塊 BLK1 至 BLKz 中的一記憶體區塊(BLK1)的一種表現的一實施例(BLK1')的電路圖。

【0105】 參照圖 8，一第一記憶體區塊 BLK1'可包含複數個胞串 CS11'至 CS1m'以及 CS21'至 CS2m'。所述胞串 CS11'至 CS1m'以及 CS21'至 CS2m'的每一個可以延伸在實質+Z 方向上。在所述記憶體區塊 BLK1'之下，所述胞串 CS11'至 CS1m'以及 CS21'至 CS2m'的每一個可包含被堆疊在一基板(未繪出)之上的第一至第三源極選擇電晶體 SST1 至 SST3、第一及第二源極側虛設記憶胞 SMC1 及 SMC2、第一至第 n 正常記憶胞 NMC1 至 NMCn、第一至第三汲極側虛設記憶胞 DMC1 至 DMC3、第一至第四汲極選擇電晶體 DST1 至 DST4。

【0106】 每個胞串的第一至第三源極選擇電晶體 SST1 至 SST3 可以串聯耦接在所述共同的源極線 CSL 以及源極側虛設記憶胞 SMC1 及 SMC2 之間。個別的胞串的第一源極選擇電晶體 SST1 的源極可以共同耦接至所述共同的源極線 CSL。

【0107】 根據一實施例，被配置在相同的列(+X 方向)中的胞串(例如是 CS11'至 CS1m')的源極選擇電晶體可以耦接至相同的源極選擇線(例如是 SSL1)。被配置在不同列方向中的胞串(例如是 CS11'及 CS21')的源極選擇電晶體可以耦接至不同的源極選擇線(例如是 SSL1 及 SSL2)。

【0108】 在一例子中，在所述第一記憶體區塊 BLK1'中具有實質相同高度的源極選擇電晶體可以耦接至單一源極選擇線。在一例子中，所述第一記憶體區塊 BLK1'的所有源極選擇電晶體都可以耦接至單一源極選擇

線。除了這些例子之外，所述源極選擇電晶體 SST1 至 SST3 可以用各種的其它方式來加以耦接。

【0109】 每個胞串的第一及第二源極側虛設記憶胞 SMC1 及 SMC2 可以串聯耦接在所述源極選擇電晶體 SST1 至 SST3 以及正常記憶胞 NMC1 至 NMCn 之間。具有實質相同高度的源極側虛設記憶胞可以耦接至相同的源極側虛設字線。所述第一及第二虛設記憶胞 SMC1 及 SMC2 的閘極可以分別耦接至所述第一及第二源極側虛設字線 SWL1 及 SWL2。

【0110】 每個胞串的第一至第 n 正常記憶胞 NMC1 至 NMCn 可以串聯耦接在所述源極側虛設記憶胞 SMC1 及 SMC2 以及汲極側虛設記憶胞 DMC1 至 DMC3 之間。具有實質相同高度的正常記憶胞可以耦接至相同的正常字線。所述第一至第 n 正常記憶胞 NMC1 至 NMCn 可以分別耦接至所述第一至第 n 正常字線 NWL1 至 NWLn。

【0111】 每個胞串的第一至第三汲極側虛設記憶胞 DMC1 至 DMC3 可以串聯耦接在所述汲極選擇電晶體 DST1 至 DST4 以及正常記憶胞 NMC1 至 NMCn 之間。所述第一至第三汲極側虛設記憶胞 DMC1 至 DMC3 可以分別耦接至所述第一至第三汲極側虛設字線 DWL1 至 DWL3。

【0112】 所述胞串的每一個可包含四個汲極選擇電晶體 DST1 至 DST4。每個胞串的第一至第四汲極選擇電晶體 DST1 至 DST4 可以耦接在一對應的位元線以及所述汲極側虛設記憶胞 DMC1 至 DMC3 之間。

【0113】 配置在所述列方向上的胞串可以耦接至延伸在所述列方向上的汲極選擇線 DSL1_1、DSL1_2、DSL2_1 以及 DSL2_2。在所述第一列中的胞串 CS11'至 CS1m'的第一及第二汲極選擇電晶體 DST1 及 DST2 可以耦接

至所述汲極選擇線 DSL1_1。在所述第一列中的胞串 CS11'至 CS1m'的第三及第四汲極選擇電晶體 DST3 及 DST4 可以耦接至所述汲極選擇線 DSL1_2。在所述第二列中的胞串 CS21'至 CS2m'的第一及第二汲極選擇電晶體 DST1 及 DST2 可以耦接至所述汲極選擇線 DSL2_1。在所述第二列中的胞串 CS21'至 CS2m'的第三及第四汲極選擇電晶體 DST3 及 DST4 可以耦接至所述汲極選擇線 DSL2_2。

【0114】 因此，除了所述管道電晶體 PT 並未被形成在每個胞串中之外，在圖 4 中所描繪的記憶體區塊 BLK1'可以具有一類似在圖 3 中所描繪的記憶體區塊 BLK1 的等效電路。

【0115】 圖 9 是描繪如同在圖 8 中所繪的胞串 CS11'至 CS1m'以及 CS21'至 CS2m'中的一胞串(CS11')的一種表現的圖。

【0116】 本申請案的技術思想亦可應用至所述其中在記憶體區塊 BLK1'之下，源極選擇電晶體 SST1 至 SST3、源極側虛設記憶胞 SMC1 及 SMC2、正常記憶胞 NMC1 至 NMCn、汲極側虛設記憶胞 DMC1 至 DMC3 以及汲極選擇電晶體 DST1 至 DST4 被依序地堆疊在所述基板(未繪出)之上的結構。

【0117】 參照圖 8 及 9，源極側虛設記憶胞 SMC1 及 SMC2 的數量可以是小於汲極側虛設記憶胞 DMC1 至 DMC3 的數量。汲極選擇電晶體 DST1 至 DST4 的數量可以是大於源極選擇電晶體 SST1 至 SST3 的數量。

【0118】 根據一實施例，汲極選擇電晶體 DST1 至 DST4 的數量可以是比源極選擇電晶體 SST1 至 SST3 的數量大一個藉由從汲極側虛設記憶胞 DMC1 至 DMC3 的數量減去源極側虛設記憶胞 SMC1 及 SMC2 的數量所獲得

的值。

【0119】 因此，藉由提供較多的汲極選擇電晶體 DST1 至 DST4，透過所述汲極選擇電晶體 DST1 至 DST4 的漏電流可加以避免，並且正常記憶胞 NMC1 至 NMCn 的數量可被維持。

【0120】 圖 10 是描繪一種包含在圖 1 中所描繪的半導體記憶體裝置 100 的記憶體系統 1000 的一種表現的方塊圖。

【0121】 參照圖 10，所述記憶體系統 1000 可包含所述半導體記憶體裝置 100 以及一控制器 1200。

【0122】 所述半導體記憶體裝置 100 可以用和以上參考圖 1 所述實質相同的方式來加以配置及操作。因此，其詳細說明將會被省略。

【0123】 所述控制器 1200 可以耦接至一主機以及所述半導體記憶體裝置 100。所述控制器 1200 可以響應於來自主機的請求以存取所述半導體記憶體裝置 100。例如，所述記憶體控制器 1200 可以控制半導體記憶體裝置 100 的讀取、寫入、抹除以及背景操作。所述控制器 1200 可以提供一在半導體記憶體裝置 100 以及主機之間的介面。所述控制器 1200 可以驅動用於控制半導體記憶體裝置 100 的韌體。

【0124】 所述控制器 1200 可包含隨機存取記憶體(RAM)1210、一處理單元 1220、一主機介面 1230、一記憶體介面 1240 以及一錯誤校正碼區塊 1250。

【0125】 所述 RAM 1210 可以作用為處理單元 1220 的操作記憶體、一介於所述半導體記憶體裝置 100 以及主機之間的快取記憶體、以及一介於所述半導體記憶體裝置 100 以及主機之間的緩衝器記憶體中的至少一個。

【0126】 所述處理單元 1220 可以控制控制器 1200 的一般操作。

【0127】 所述主機介面 1230 可包含一用於在主機以及控制器 1200 之間的資料交換的協定。根據一實施例的一個例子，所述控制器 1200 可以透過各種介面協定中的一種以和主機通訊，所述介面協定包含一萬用串列匯流排(USB)協定、一多媒體卡(MMC)協定、一週邊元件互連(PCI)協定、一 PCI-express(PCI-E)協定、一先進技術附件(ATA)協定、一串列 ATA 協定，一並列 ATA 協定、一小型電腦系統介面(SCSI)協定、一增強型小型磁碟介面(ESDI)協定、一整合式電子驅動介面(IDE)協定以及一私有協定。

【0128】 所述記憶體介面 1240 可包含一用於和半導體記憶體裝置 100 通訊的協定。例如，所述記憶體介面 1240 可包含至少一快閃介面，例如是一 NAND 介面以及一 NOR 介面。

【0129】 所述 ECC 區塊 1250 可以藉由利用一錯誤校正碼(ECC)以偵測來自所述半導體記憶體裝置 100 的資料中的錯誤。

【0130】 所述控制器 1200 以及半導體記憶體裝置 100 可被整合到單一半導體裝置中。在一實施例的一例子中，所述控制器 1200 以及半導體記憶體裝置 100 可被整合到單一半導體裝置中，以形成一記憶卡。例如，所述控制器 1200 以及半導體記憶體裝置 100 可被整合到單一半導體裝置中，以形成一 PC 卡(國際個人電腦記憶卡協會(PCMCIA))、一小型快閃(CF)卡、一智慧型媒體卡(SM 或是 SMC)、一記憶棒、一多媒體卡(MMC、RS-MMC 或是 MMCmicro)、一 SD 卡(SD、miniSD、microSD 或是 SDHC)、或是一通用快閃儲存卡(UFS)。

【0131】 所述控制器 1200 以及半導體記憶體裝置 100 可被整合到單

一半導體裝置中，以形成一半導體碟機(固態硬碟(SSD))。所述半導體碟機(SSD)可包含一被配置以將資料儲存在一半導體記憶體中的儲存裝置。當所述記憶體系統 1000 被使用作為半導體碟機(SSD)時，耦接至所述記憶體系統 1000 的主機的操作速度可以顯著地加以改善。

【0132】 在一例子中，所述記憶體系統 1000 可被使用作為一種電子裝置的各種構件中的一個，所述電子裝置例如是一電腦、一超級行動 PC(UMPC)、一工作站、一小筆電、個人數位助理(PDA)、一可攜式電腦、一網路平板電腦、一無線電話、一行動電話、一智慧型手機、一電子書、一可攜式多媒體播放器(PMP)、一可攜式遊戲機、一導航裝置、一黑盒子、一數位攝影機、一立體(3D)電視、一數位錄音機、一數位音訊播放器、一數位畫面記錄器、一數位畫面播放器、一數位錄影機、一數位視訊播放器、一用於在無線環境中的發送/接收資訊的裝置、用於家庭網路的各種電子裝置中的一個、用於電腦網路的各種電子裝置中的一個、用於遠程信息處理(telematics)網路的各種電子裝置中的一個、一 RFID 裝置及/或用於計算系統的一種裝置中的一個、等等。

【0133】 在一實施例的一例子中，所述半導體記憶體裝置 100 或是記憶體系統 1000 可以用各種方式來加以封裝。例如，在某些實施例中，所述半導體記憶體裝置 100 或是記憶體系統 1000 可以利用各種的方法來加以封裝，例如一疊層封裝(PoP)、球格陣列(BGA)、晶片尺寸封裝(CSP)、一帶引線的塑膠晶片載體(PLCC)、一塑料雙列直插式封裝(PDIP)、一窩伏爾(waffle)組件式晶粒、一晶圓形式晶粒、一板上晶片(COB)、一陶瓷雙列直插式封裝(CERDIP)、一塑料公制四方扁平封裝(MQFP)、一薄型四方扁平封裝(TQFP)、

一小外型積體電路(SOIC)、一緊縮小外型封裝(SSOP)、一薄型小外型封裝(TSOP)、一薄型四方扁平封裝(TQFP)、系統級封裝(SIP)、一多晶片封裝(MCP)、一晶圓級製造封裝(WFP)及/或一晶圓級處理堆疊封裝(WSP)、等等。

【0134】 圖 11 是描繪在圖 10 中所描繪的記憶體系統 1000 的一應用例子 2000 的一種表現的方塊圖。

【0135】 參照圖 11，一種記憶體系統 2000 可包含一半導體記憶體裝置 2100 以及一控制器 2200。所述半導體記憶體裝置 2100 可包含複數個半導體記憶體晶片。所述半導體記憶體晶片可被分成複數個群組。

【0136】 圖 11 描繪所述複數個群組分別透過第一至第 k 通道 CH1 至 CHk 以和控制器 2200 通訊。所述記憶體晶片的每一個可以用和以上參考圖 1 所述的半導體記憶體裝置 100 實質相同的方式來加以配置及操作。

【0137】 所述群組的每一個可以透過單一共同的通道以和控制器 2200 通訊。所述控制器 2200 可以用和以上參考圖 10 所述的控制器 1200 實質相同的方式來加以配置，並且可以控制所述半導體記憶體裝置 2100 的複數個記憶體晶片。

【0138】 圖 11 描繪所述複數個半導體記憶體晶片耦接至單一通道。然而，所述記憶體系統 2000 可加以修改，使得單一半導體記憶體晶片可以耦接至單一通道。

【0139】 圖 12 是描繪一種包含參考圖 11 所述的記憶體系統 2000 的計算系統 3000 的一種表現的方塊圖。

【0140】 參照圖 12，所述計算系統 3000 可包含一中央處理單元 3100、隨機存取記憶體(RAM)3200、一使用者介面 3300、一電源供應器 3400、

一系統匯流排 3500、以及所述記憶體系統 2000。

【0141】 所述記憶體系統 2000 可以透過系統匯流排 3500 來電耦接至所述中央處理單元 3100、RAM 3200、使用者介面 3300 以及電源供應器 3400。透過所述使用者介面 3300 所提供的資料、或是藉由所述中央處理單元 3100 所處理的資料可被儲存在所述記憶體系統 2000 中。

【0142】 圖 12 描繪所述半導體記憶體裝置 2100 是透過控制器 2200 來耦接至所述系統匯流排 3500。然而，所述半導體記憶體裝置 2100 可以直接耦接至系統匯流排 3500。所述控制器 2200 的功能可以藉由中央處理單元 3100 以及 RAM 3200 來加以執行。

【0143】 圖 12 描繪以上參考圖 11 所述的記憶體系統 2000。然而，所述記憶體系統 2000 可被以上參考圖 10 所述的記憶體系統 1000 所取代。根據一實施例，所述計算系統 3000 可以包含以上分別參考圖 10 及 11 所述的記憶體系統 1000 及 2000。

【0144】 根據所述實施例，一種具有改善的可靠度的半導體記憶體裝置可加以提供。

【符號說明】

【0145】

110：記憶胞陣列

120：週邊電路

121：位址解碼器

122：電壓產生器

123：讀取及寫入電路

124：輸入/輸出緩衝器

125：控制邏輯

DMC1 至 DMC3：第一至第三汲極側虛設記憶胞

DST1 至 DST4：第一至第四汲極選擇電晶體

NMC1 至 NMCn：第一至第 n 正常記憶胞

PT：管道電晶體

SMC1 及 SMC2：第一及第二源極側虛設記憶胞

SST1 至 SST3：第一至第三源極選擇電晶體

發明摘要

※ 申請案號：104100529

※ 申請日：104/01/08

※IPC 分類：G11C 7/18 (2006.01)
G11C 8/14 (2006.01)

【發明名稱】(中文/英文)

包含三維陣列結構的半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE INCLUDING
THREE-DIMENSIONAL ARRAY STRUCTURE

【中文】

一種半導體記憶體裝置可包含耦接至一共同的源極線的源極選擇電晶體；耦接在所述源極選擇電晶體以及正常記憶胞之間的源極側虛設記憶胞；以及耦接至一位元線的汲極選擇電晶體。所述半導體記憶體裝置可包含耦接在汲極選擇電晶體以及正常記憶胞之間的汲極側虛設記憶胞。所述源極側虛設記憶胞的數量是小於所述汲極側虛設記憶胞的數量，並且所述汲極選擇電晶體的數量可以是大於所述源極選擇電晶體。

【英文】

A semiconductor memory device may include source selection transistors coupled to a common source line, source side dummy memory cells coupled between the source selection transistors and the normal memory cells, and drain selection transistors coupled to a bit line. The semiconductor memory device may include drain side dummy memory cells coupled between the drain selection transistors and the normal memory cells. A number of the source side dummy memory cells is less than a number of the drain side dummy memory cells, and a number of the drain selection transistors may be greater than the source selection transistors.

申請專利範圍

1.一種半導體記憶體裝置，其包含堆疊在一基板之上的正常記憶胞，所述半導體記憶體裝置包括：

源極選擇電晶體，其耦接至一共同的源極線；

源極側虛設記憶胞，其耦接在所述源極選擇電晶體以及所述正常記憶胞之間；

汲極選擇電晶體，其耦接至一位元線；以及

汲極側虛設記憶胞，其耦接在所述汲極選擇電晶體以及所述正常記憶胞之間，

其中所述源極側虛設記憶胞的數量是小於所述汲極側虛設記憶胞的數量，以及

其中所述汲極選擇電晶體的數量是大於所述源極選擇電晶體的數量。

2.如申請專利範圍第 1 項的半導體記憶體裝置，其中所述汲極選擇電晶體的數量是比所述源極選擇電晶體的數量大一個在所述汲極側虛設記憶胞的數量以及所述源極側虛設記憶胞的數量之間的差值。

3.如申請專利範圍第 1 項的半導體記憶體裝置，其中所述汲極選擇電晶體包含彼此串聯耦接的第一汲極選擇電晶體以及第二汲極選擇電晶體，

所述第一汲極選擇電晶體被共同耦接至一第一汲極選擇線，以及

所述第二汲極選擇電晶體被共同耦接至一第二汲極選擇線。

4.如申請專利範圍第 1 項的半導體記憶體裝置，其中所述源極選擇電晶體被共同耦接至單一源極選擇線。

5.如申請專利範圍第 1 項的半導體記憶體裝置，其進一步包括一管道電

晶體，

其中所述源極選擇電晶體、所述源極側虛設記憶胞以及在所述正常記憶胞中的第一正常記憶胞是構成一第一子胞串，

在所述正常記憶胞中的第二正常記憶胞、所述汲極側虛設記憶胞以及所述汲極選擇電晶體是構成一第二子胞串，以及

所述第一及第二子胞串是透過所述管道電晶體來加以耦接。

6.如申請專利範圍第 5 項的半導體記憶體裝置，其中所述第一子胞串從所述管道電晶體起算的一高度是實質等於所述第二子胞串從所述管道電晶體起算的一高度。

7.如申請專利範圍第 6 項的半導體記憶體裝置，其中所述第一正常記憶胞的數量是大於所述第二正常記憶胞的數量。

8.如申請專利範圍第 5 項的半導體記憶體裝置，其中所述第一正常記憶胞、所述源極側虛設記憶胞以及所述源極選擇電晶體是在一橫越所述基板的方向上被依序地堆疊，以及

所述第二正常記憶胞、所述汲極側虛設記憶胞以及所述汲極選擇電晶體是在橫越所述基板的所述方向上被依序地堆疊。

9.如申請專利範圍第 1 項的半導體記憶體裝置，其中所述源極選擇電晶體、所述源極側虛設記憶胞、所述正常記憶胞、所述汲極側虛設記憶胞以及所述汲極選擇電晶體是在一橫越所述基板的方向上被依序地堆疊。

10.一種半導體記憶體裝置，其包括：

一管道電晶體；

一第一子胞串，其延伸在所述管道電晶體以及一共同的源極線之間，

並且包含耦接至所述共同的源極線的源極選擇電晶體以及耦接至所述源極選擇電晶體的源極側虛設記憶胞；以及

一第二子胞串，其延伸在所述管道電晶體以及一位元線之間，並且包含耦接至所述位元線的汲極選擇電晶體以及耦接至所述汲極選擇電晶體的汲極側虛設記憶胞，

其中所述源極側虛設記憶胞的數量是小於所述汲極側虛設記憶胞的數量，並且所述汲極選擇電晶體的數量是大於所述源極選擇電晶體的數量。

11.如申請專利範圍第 10 項的半導體記憶體裝置，其中所述汲極選擇電晶體的數量是比所述源極選擇電晶體的數量大一個在所述汲極側虛設記憶胞的數量以及所述源極側虛設記憶胞的數量之間的差值。

12.如申請專利範圍第 10 項的半導體記憶體裝置，其中所述第一子胞串從所述管道電晶體起算的一高度是實質等於所述第二子胞串從所述管道電晶體起算的一高度。

13.如申請專利範圍第 10 項的半導體記憶體裝置，其中所述第一子胞串包含串聯耦接在所述源極側虛設記憶胞以及所述管道電晶體之間的第一正常記憶胞，以及

所述第二子胞串包含串聯耦接在所述汲極側虛設記憶胞以及所述管道電晶體之間的第二正常記憶胞。

14.如申請專利範圍第 13 項的半導體記憶體裝置，其中所述第一正常記憶胞的數量是大於所述第二正常記憶胞的數量。

15.如申請專利範圍第 14 項的半導體記憶體裝置，其中所述第一正常記憶胞的數量是比所述第二正常記憶胞的數量大一個在所述源極側虛設記憶

胞的數量以及所述汲極側虛設記憶胞的數量之間的差值以及一個在所述源極選擇電晶體的數量以及所述汲極選擇電晶體的數量之間的差值的一總和。

16.如申請專利範圍第 10 項的半導體記憶體裝置，其中所述汲極選擇電晶體包含彼此串聯耦接的第一汲極選擇電晶體以及第二汲極選擇電晶體，所述第一汲極選擇電晶體被共同耦接至一第一汲極選擇線，以及所述第二汲極選擇電晶體被共同耦接至一第二汲極選擇線。

17.如申請專利範圍第 10 項的半導體記憶體裝置，其中所述源極選擇電晶體被共同耦接至單一源極選擇線。

18.一種半導體記憶體裝置，其包含：

一第一子胞串，其被堆疊在一基板之上並且包含一第一組正常記憶胞；

一第二子胞串，其被堆疊在所述基板之上並且包含一第二組正常記憶胞；

汲極選擇電晶體，其被耦接至所述第二組正常記憶胞；以及

源極選擇電晶體，其被耦接至所述第一組正常記憶胞，

其中所述第一及第二子胞串是被配置以藉由在所述第二子胞串中包含比在所述第一子胞串中的所述源極選擇電晶體更大數量的所述汲極選擇電晶體，來降低所述正常記憶胞的漏電流。

19.如申請專利範圍第 18 項的半導體記憶體裝置，其中所述第一子胞串從所述基板起算的一高度實質等於所述第二子胞串從所述基板起算的一高度。

20.如申請專利範圍第 18 項的半導體記憶體裝置，其進一步包括：

源極側虛設記憶胞，其耦接在所述源極選擇電晶體以及所述第一組正常記憶胞之間；以及

汲極側虛設記憶胞，其耦接在所述汲極選擇電晶體以及所述第二組正常記憶胞之間，

其中所述源極側虛設記憶胞的數量是小於所述汲極側虛設記憶胞的數量。

圖式

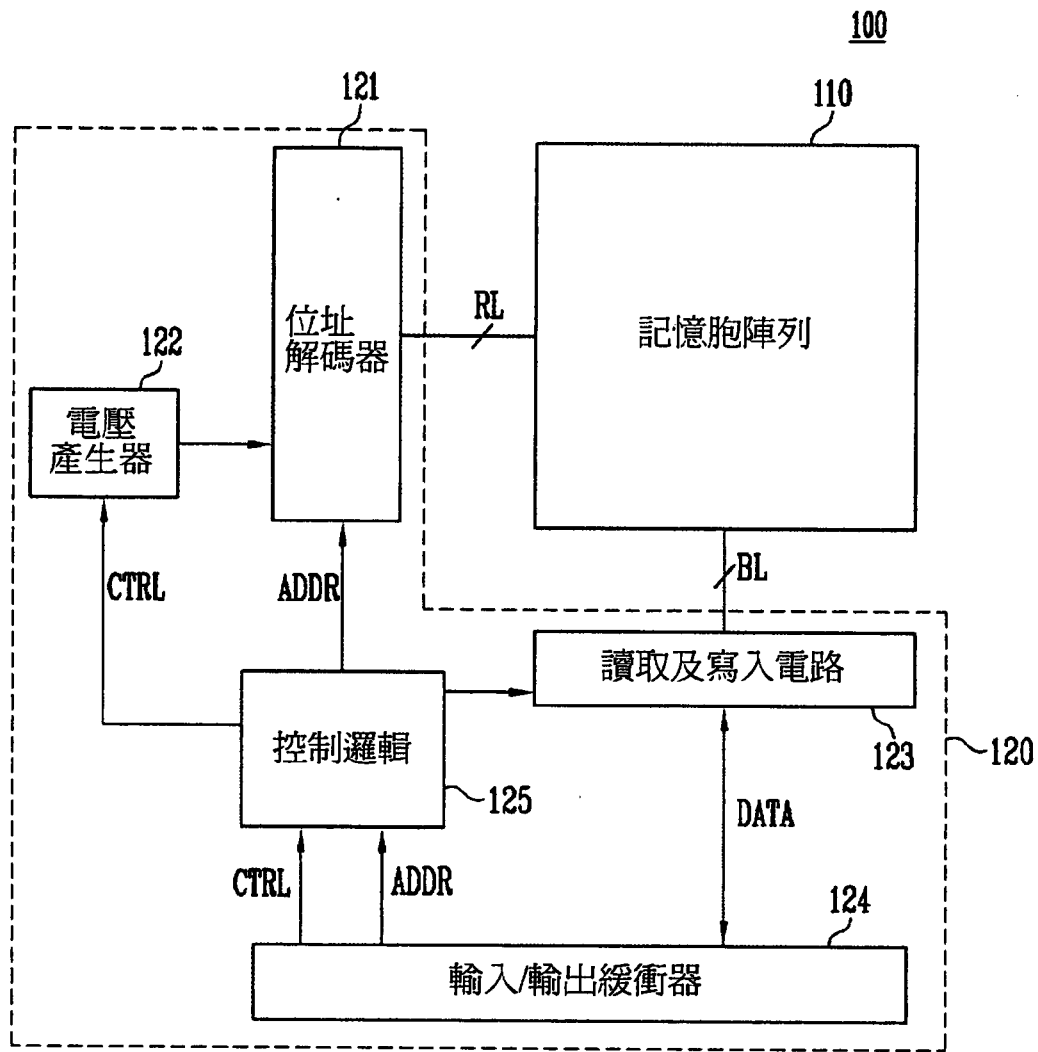


圖1

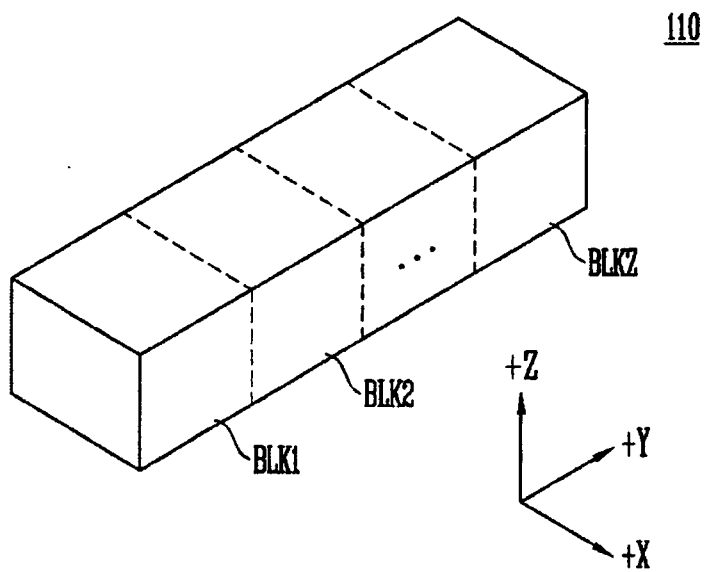


圖2

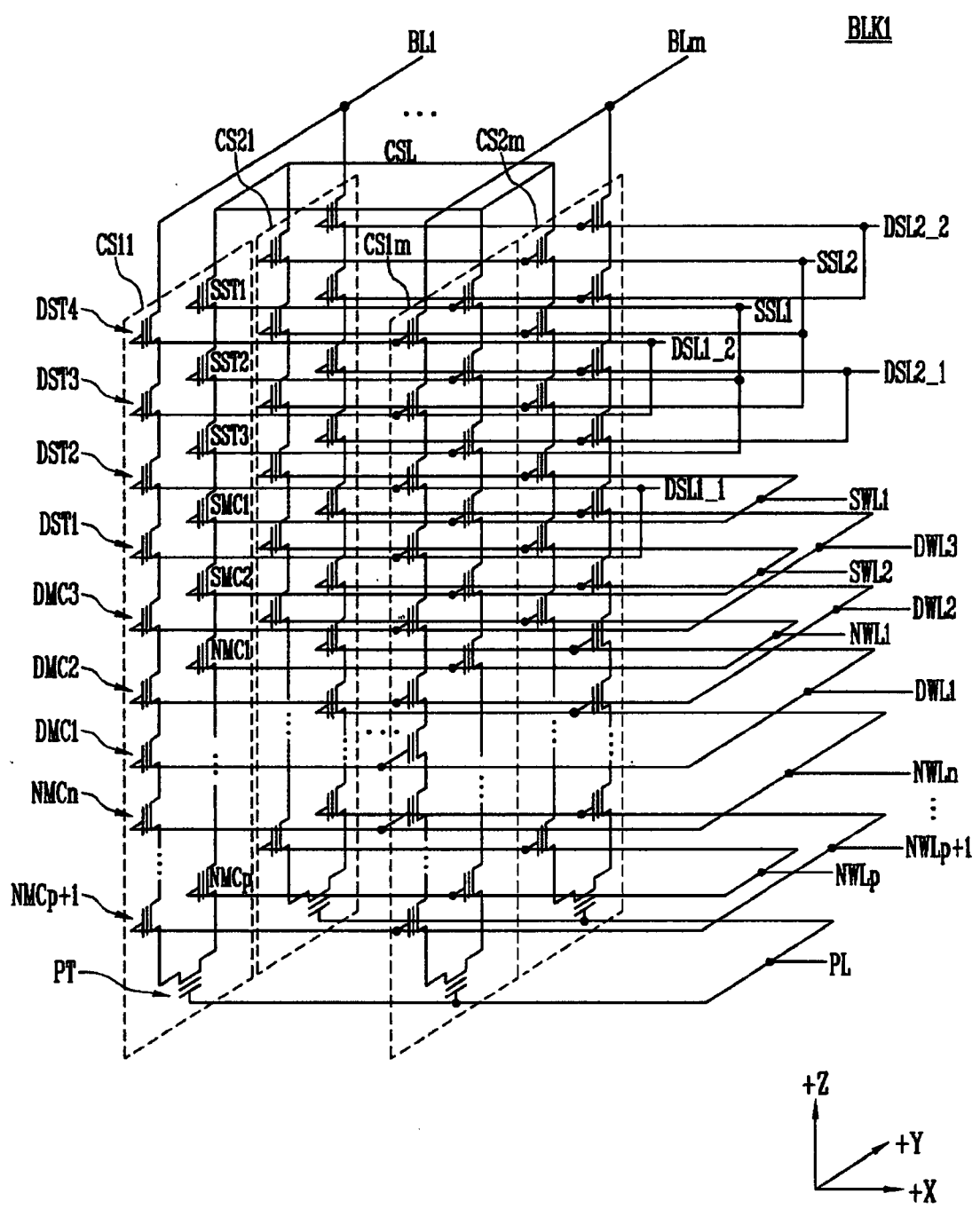


圖3

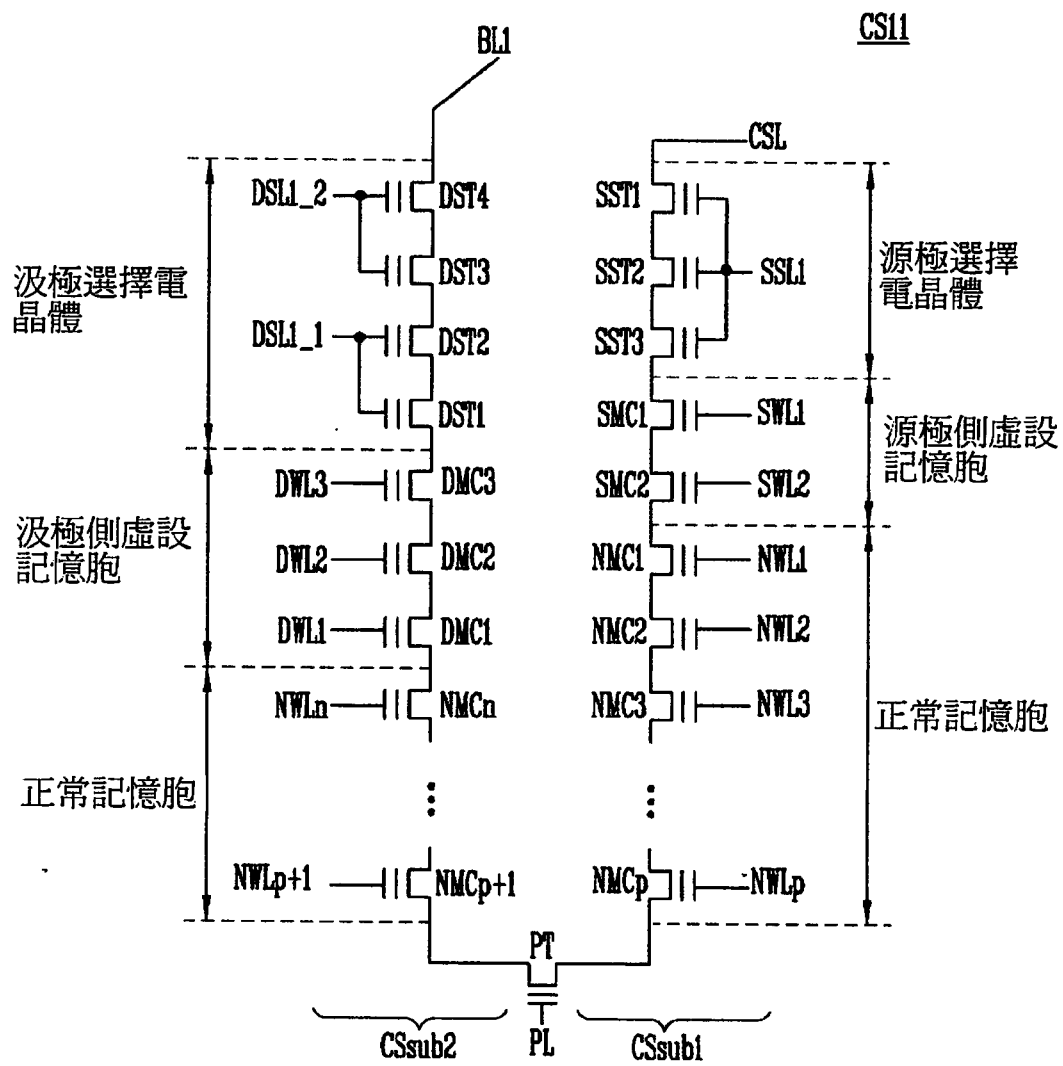


圖4

列線	電壓
DSL1_1 (未被選擇)	Vdsl1
DSL1_2 (未被選擇)	Vdsl2
DSL2_1 (被選擇)	Vdsl3
DSL2_2 (被選擇)	
DWL3	Vdw15
DWL2	Vdw14
DWL1	Vdw13
NWLus	Vpass
NWLs	Vpgm
SWL2	Vdw12
SWL1	Vdw11
SSL1	Vssl1
SSL2	Vssl2

圖5

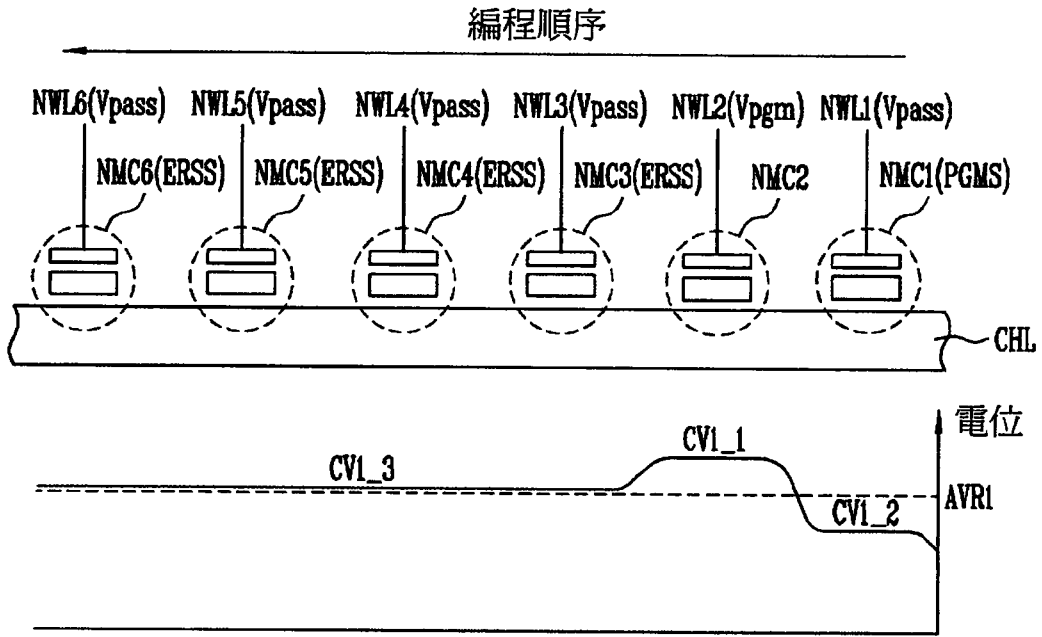


圖6

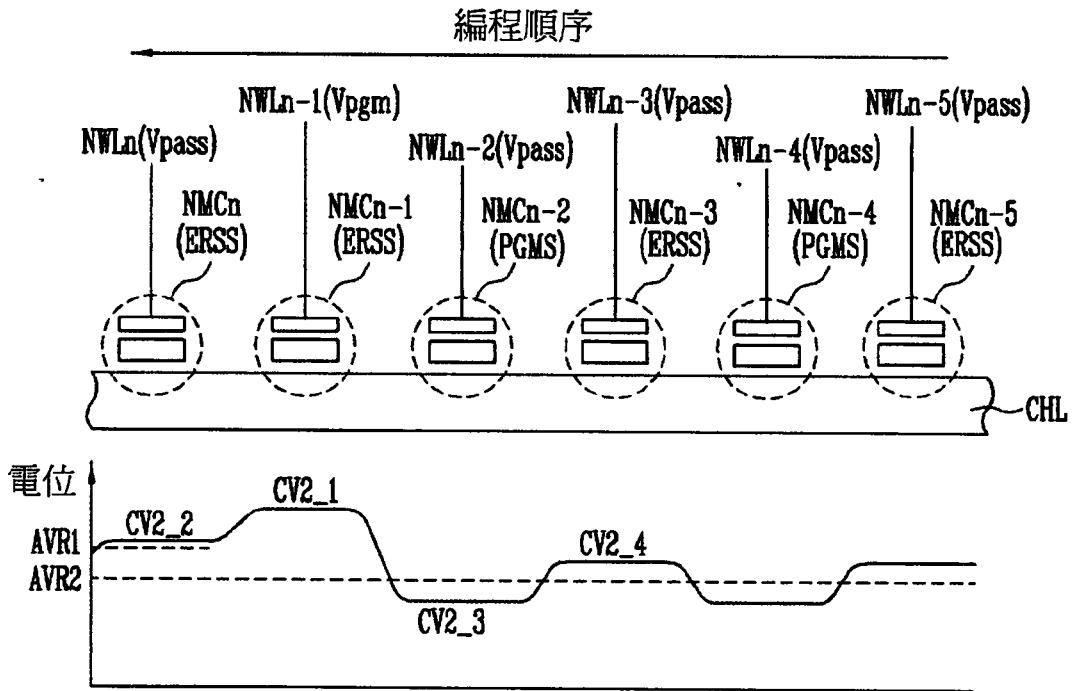


圖7

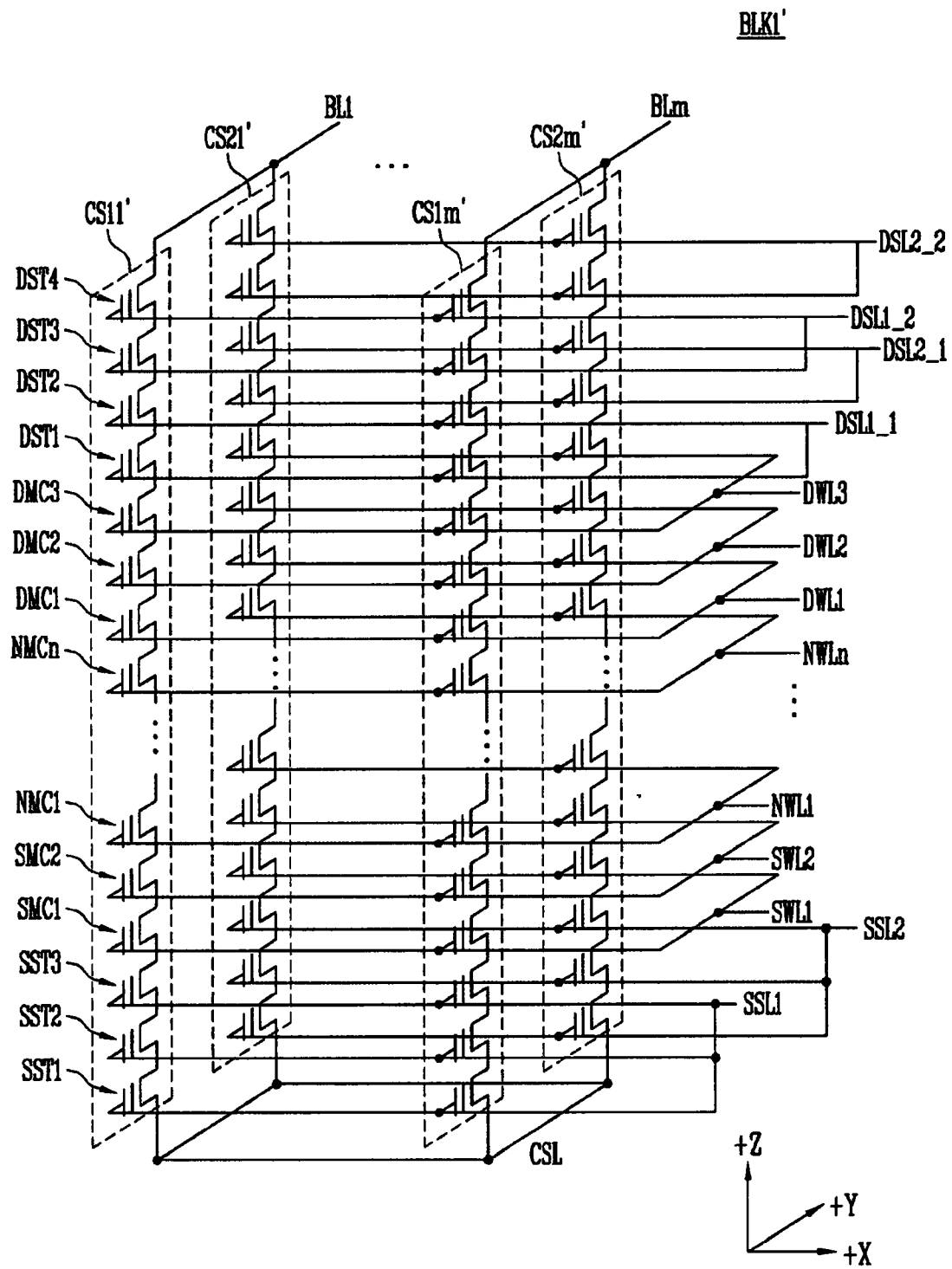


圖8

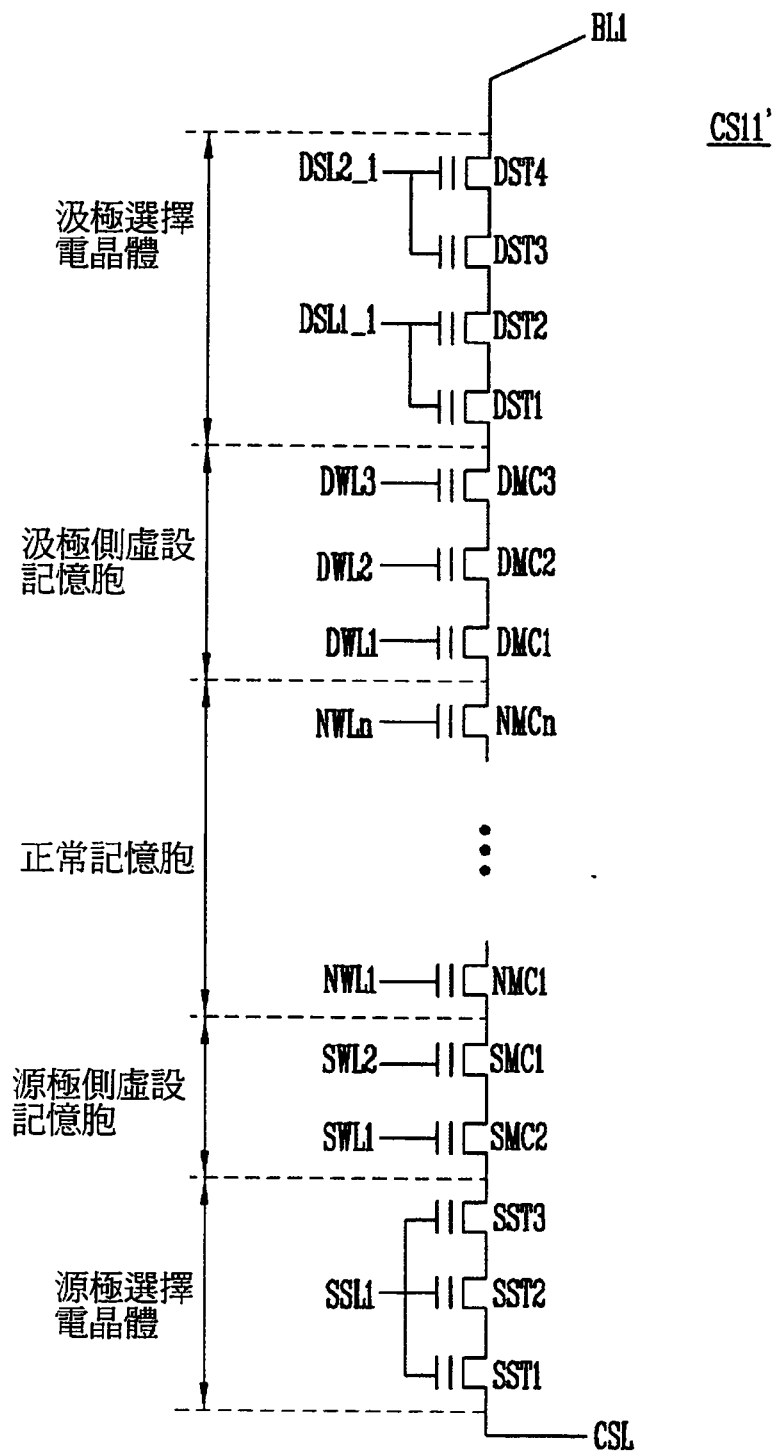


圖9

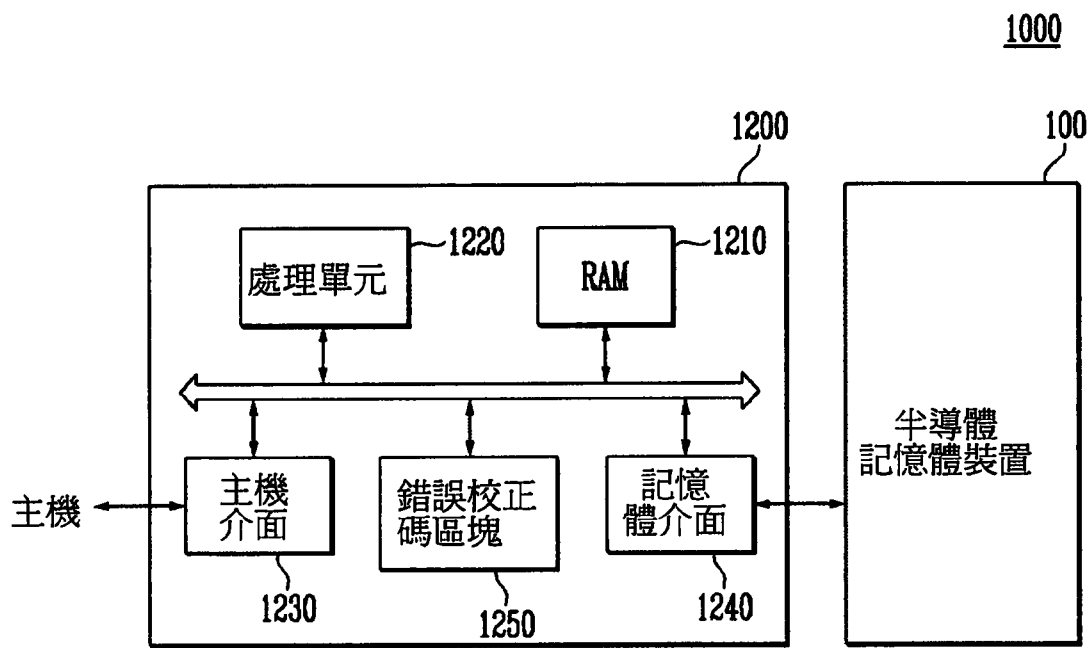


圖10

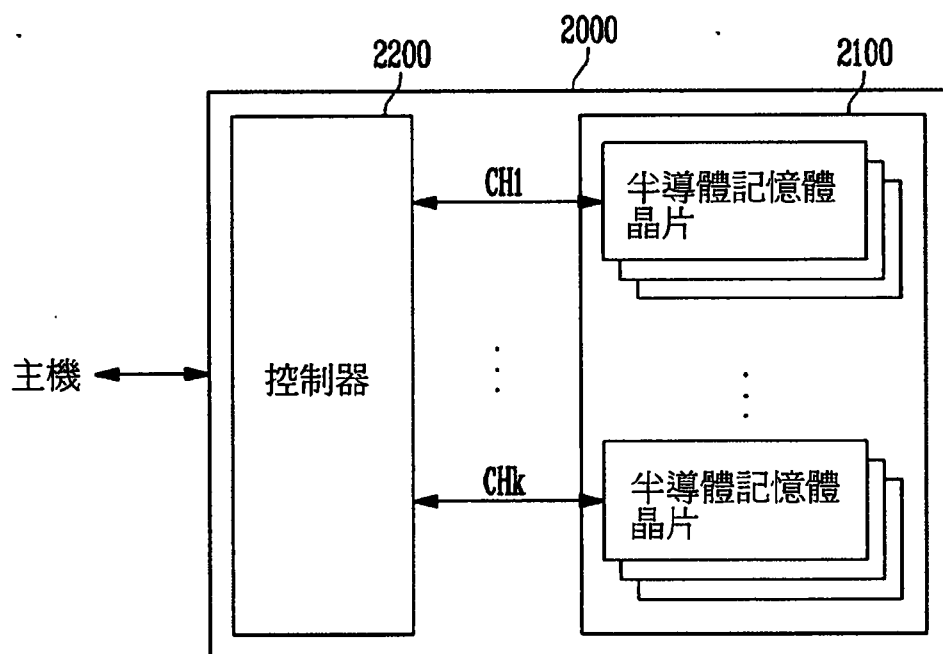


圖11

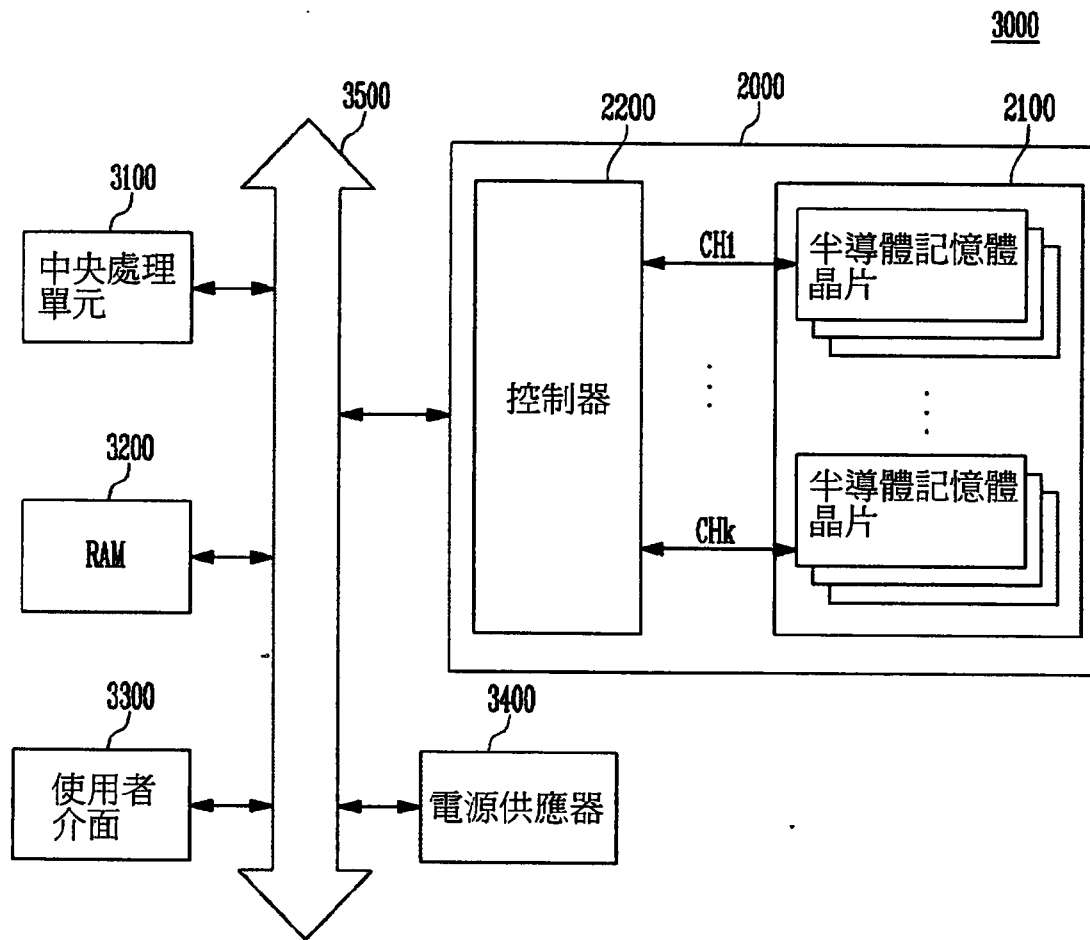


圖12

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

DMC1 至 DMC3：第一至第三汲極側虛設記憶胞

DST1 至 DST4：第一至第四汲極選擇電晶體

NMC1 至 NMCn：第一至第 n 正常記憶胞

PT：管道電晶體

SMC1 及 SMC2：第一及第二源極側虛設記憶胞

SST1 至 SST3：第一至第三源極選擇電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無