

# 發明專利說明書

修正  
補充  
年 月 日

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94135491

※ 申請日期：94.10.12

※IPC 分類：H01L 29/00, H01F 19/00

## 一、發明名稱：(中文/英文)

積體電感元件 / INTEGRATED INDUCTOR

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞昱半導體股份有限公司 / REALTEK SEMICONDUCTOR CORP.

代表人：(中文/英文)

葉博任 / YEH, PO-LEN

住居所或營業所地址：(中文/英文)

新竹科學園區創新二路二號 /

2 Innovation Rd. II, Science Park, HsinChu, Taiwan, R.O.C.

國 籍：(中文/英文)

中華民國 / TWN

## 三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 葉達勳 / YEH, TA-HSUN

2. 簡育生 / JEAN, YUH-SHENG

國 籍：(中文/英文)

1. 中華民國 / TWN

2. 中華民國 / TWN

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係與積體電路技術相關，尤指一種積體電感元件結構。

### 【先前技術】

電感元件目前已廣泛地應用在各式電子電路，例如變壓器 (transformer)、電力轉換器 (power converter)、射頻 (RF) 電路與微波電路等上。在積體電路設計的領域當中，主流的趨勢係希望儘可能地將電路元件整合於積體電路當中，藉以將整體電路之製造成本降至最低，因此同樣的原則也被應用在電感元件的設計上，亦即將電感元件與其他電路元件整合製作於積體電路當中，也就是所謂的積體電感元件 (integrated inductor)。一般來說，積體電感元件可以選擇使用標準邏輯製程 (logic baseline process) 或是其他特殊製程，例如射頻製程 (RF baseline process)，來進行製造，然而其均各有利弊。

利用標準邏輯製程所製造出來的積體電感元件，由於與電路其他部份使用同樣的製程技術，且邏輯製程的成本較為低廉，故整體電路的製造成本較低。但是卻因用來製造電感線圈圖案之金屬導線厚度有限 (以  $0.13 \mu\text{m}$  之 CMOS 邏輯製程為例，其最頂層之金屬厚度約為 8-10 千埃)，而導致電阻值過高，再加上寄生電容值難以降低，致使所製造出來的電感元件之品質 (quality factor: Q) 不佳，而影響電路之效能，尤以需於高速操作之 RF 應用為甚。另

一方面，利用如 RF 製程等之特殊製程所製造出來的積體電感元件，由於用來製造電感線圈圖案之金屬導線厚度較大（以  $0.13\ \mu\text{m}$  之 RF 製程為例，其最頂層之金屬厚度可達 20 千埃以上，乃至於約 30 千埃的程度），使得電阻值得以大幅降低，而得到品質較佳之電感元件。但是特殊製程通常會因製造過程較為複雜，時常需要更多層之光罩使能完成，故將使得整體電路製造成本大幅增加。

### 【發明內容】

本發明之目的之一在於提供一種具有簡單製程、低成本、與高 Q 值之積體電感元件。

根據本發明之申請專利範圍，係提供一種積體電感元件。上述積體電感元件係形成於一積體電路中，其包含有一金屬層圖案，一重配置層圖案形成於較該金屬層圖案更上層之位置，以及一插塞層圖案，形成於介於該金屬層圖案及該重配置層圖案之間之位置並導電地接觸該金屬層圖案及該重配置層圖案。

根據本發明之申請專利範圍，另提供一種積體電感元件。上述積體電感元件係其係形成於一積體電路中，其包含有一基底、一第一金屬材料圖案形成於該基底之上方，以及一第二金屬材料圖案形成於較該第一金屬材料圖案更上層的位置並導電地接觸該第一金屬材料圖案。由該第一金屬材料圖案及該第二金屬材料圖案所構成之該電感元件係提供一顯著的電感值，且該第一金屬材料

圖案及該第二金屬材料圖案係由不同之金屬材料所形成。

### 【實施方式】

請參考第 1 圖。第 1 圖為依據本發明一實施例之積體電感元件 10 之示意圖，其中包含上方所示之上視圖、以及下方所示沿著上視圖中 AA' 線段之剖面圖。於第 1 圖之上視圖中，本實施例之積體電感元件 10 係為一以積體電路之佈局圖案 (layout pattern) 所形成、圈數為 2.5 圈之矩型線圈圖案 (rectangular-shaped coil pattern)。積體電感元件 10 於線圈之兩末端分別具有兩個端點 (terminal) 20、22，用來連接電路之其他部份，其中端點 20 由於位於線圈之內側，故通常會透過插塞 (via) 及不同層之金屬層來與電路之其他部份連接。於第 1 圖之剖面圖中，本實施例之積體電感元件 10 的線圈部份係由所使用之製程技術當中之最頂層金屬層 (top metal layer) 14、插塞層 (via layer) 16、以及重配置層 (redistribution layer, RDL) 18 依序堆疊而成。而於圖中亦可看出，如前所述之端點 20 係利用插塞 24 及較下層金屬層 (於此處為最頂層之下一層 26) 來對外部連接。至於上述之最頂層金屬層 14、插塞層 16、以及重配置層 18，乃至於其他較下層金屬層 26 等積體電路結構，則均形成於一基底 12 的上方。

熟習此項技術者應理解，積體電感元件 10 除了如本實施例以矩型線圈圖案來實現之外，其亦可使用螺旋形線圈圖案 (spiral-shaped coil pattern)、或是其他現存已知或未知之線圈圖案或

方式實現，而不以此為本發明之限制。

接下來將以 UMC 之  $0.13\ \mu\text{m}$  標準邏輯製程 (logic baseline process) 為例，以進行說明。於第 1 圖之實施例中，最頂層金屬層 (Mtop) 14 係以銅為材料，其厚度大約為 8 千埃 (kilo angstrom)，而其寬度厚度比則通常為 10:1，但並不以此為限。插塞層 16 係以鋁為材料，其厚度大約為 11 千埃。重配置層 18 亦以鋁為材料，其厚度大約為 12 千埃。於此處須注意的是，於一般製程的應用當中，重配置層 18 的功能係用來形成於連接墊結構 (bond pad structure) 之上方作為導電媒介，以避免金屬層之銅材料曝露於外界，而於本實施例中，則將原本僅使用於連接墊之重配置層 18，用於形成積體電感元件之一部份。又於一般積體電路佈局的設計原則 (design rule) 當中，通常會對插塞層 16 之圖案加有一定之限制，例如通常來說單一插塞的大小須限制在一定範圍內，如長寬不超過特定大小之正方形金屬島結構 (metal island structure)，而島和島之間亦須具有一定之間距，否則即違反設計原則，然而於本實施例中，則於進行插塞層 16 之佈局時刻意忽視一般的設計原則，而使得於積體電感元件 10 中用來連接最頂層金屬層 14 及重配置層 18 之插塞層 16，形成與最頂層金屬層 14 及重配置層 18 具有同樣之線圈圖案。

依照上述實施例所形成之積體電感元件 10，係由厚 8 千埃之銅金屬層 14、厚 11 千埃之鋁金屬層 16、以及厚 12 千埃之鋁重配置

層 18 相互堆疊而成，如此則由於可資導電之總體金屬厚度很大（在此為 8 千埃之銅加上 11 千埃之鋁再加上 12 千埃之鋁），使得積體電感元件 10 之導電面積增加，而寄生電阻則隨之大幅降低。從另一角度觀之，亦可視為三層之寄生電阻相互並聯，而使得整體之等效電阻值大幅減少。故由此觀之，可知利用本實施例所述之技術所形成之積體電感元件，即使在不採用製造成本高昂之特殊製程（如 RF 製程），而僅使用標準邏輯製程的情形之下，仍然能夠將積體電感元件 10 之寄生電阻效應減至最低；有更甚者，由於在本實施例中，積體電感元件 10 係以最頂層金屬層 14 以及形成於其上之更上層金屬材料所構成，故其與基底 12 之間之距離得以盡可能地提升，以使得積體電感元件 10 之寄生電容效應減至最低。如此則能夠讓積體電感元件 10 之品質係數 Q 提升至最高。

於此處須注意的是，雖然於上述實施例中，插塞層 16 係以忽視設計原則、形成與最頂層金屬層 14 及重配置層 18 同樣之線圈圖案的方式來實現，但是此並非本發明之限制條件。則插塞層 16 即使以不違反設計原則、亦即複數個金屬島之形式散佈於最頂層金屬層 14 及重配置層 18 的實現方式，亦可達到相同的效果，惟此時所能造成之寄生電阻降低，其成效將不似前述實施方式來得顯著。而如熟習此項技術者所廣泛悉知，於上述實施例中雖然 UMC 之  $0.13\ \mu\text{m}$  標準邏輯製程為例，但此並非本發明之限制條件，即使使用其他製造廠商（例如 TSMC、SMIC 等）之製程技術亦可達到相同之效果，一般來說， $0.13\ \mu\text{m}$  標準邏輯製程之最頂層

金屬層厚度大約介於 8 千埃及 10 千埃之間，重配置層（或其他位於最頂層金屬層上方之金屬材料）厚度大約介於 11 千埃及 13 千埃之間，而其二者之間之插塞層厚度則大約介於 10 千埃及 12 千埃之間。當然，本實施例所述之技術並不限於使用  $0.13\ \mu\text{m}$  標準邏輯製程，其他種類之製程、乃至於維度較  $0.13\ \mu\text{m}$  為大或為小之製程，均可採用之。然隨著製程維度愈來愈小，亦即更先進之製程技術（例如 90nm、65nm、45nm、乃至於更小），對高品質之電感元件要求漸高，此技術之優點會更為明顯。

請參閱第 2 圖，第 2 圖為依據本發明另一實施例之積體電感元件 50 之示意圖，其中包含上方所示之上視圖、以及下方所示沿著上視圖中 BB' 線段之剖面圖。於第 2 圖中所示之實施例係與第 1 圖中所示者十分相似，故相同之元件與其功能作用等在此不再另行贅述，惟第 2 圖中並無形成如第 1 圖中之重配置層於積體電感元件 50 中，而僅以以銅為材料之最頂層金屬層 54 以及以鋁為材料之插塞層 56 所形成之線圈圖案作為積體電感元件 50 之組成部份。於本實施例中，於進行插塞層 56 之佈局時亦刻意忽視一般的設計原則，而使得插塞層 56 形成與最頂層金屬層 54 具有同樣之線圈圖案。如此則積體電感元件 50 可視為由兩種不同金屬材料之線圈圖案相互堆疊而成，而於電路效果上如同兩電阻相互並聯，而同樣可收寄生電阻降低之效。

最後值得注意的是為方便說明起見，上述積體電感元件之金屬



層圖案、插塞層圖案、與重配置層圖案間的介電層並未顯示於圖示中。另外，上述積體電感元件之線圈線寬、線圈圈數、線圈圖案形狀，以及兩端點之位置等均可視情況加以調整，而不限於上述實施例所揭示者。

由上述可知，由於本發明積體電感元件係由金屬層圖案、插塞層圖案、與重配置層圖案堆疊而成，同時其製作係整合於標準邏輯製程中，因此具有較低之電阻值與較高之 Q 值，同時不致增加額外成本。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

## 【圖式簡單說明】

第 1 圖為依據本發明一實施例之積體電感元件之示意圖。

第 2 圖為依據本發明另一實施例之積體電感元件之示意圖。

## 【主要元件符號說明】

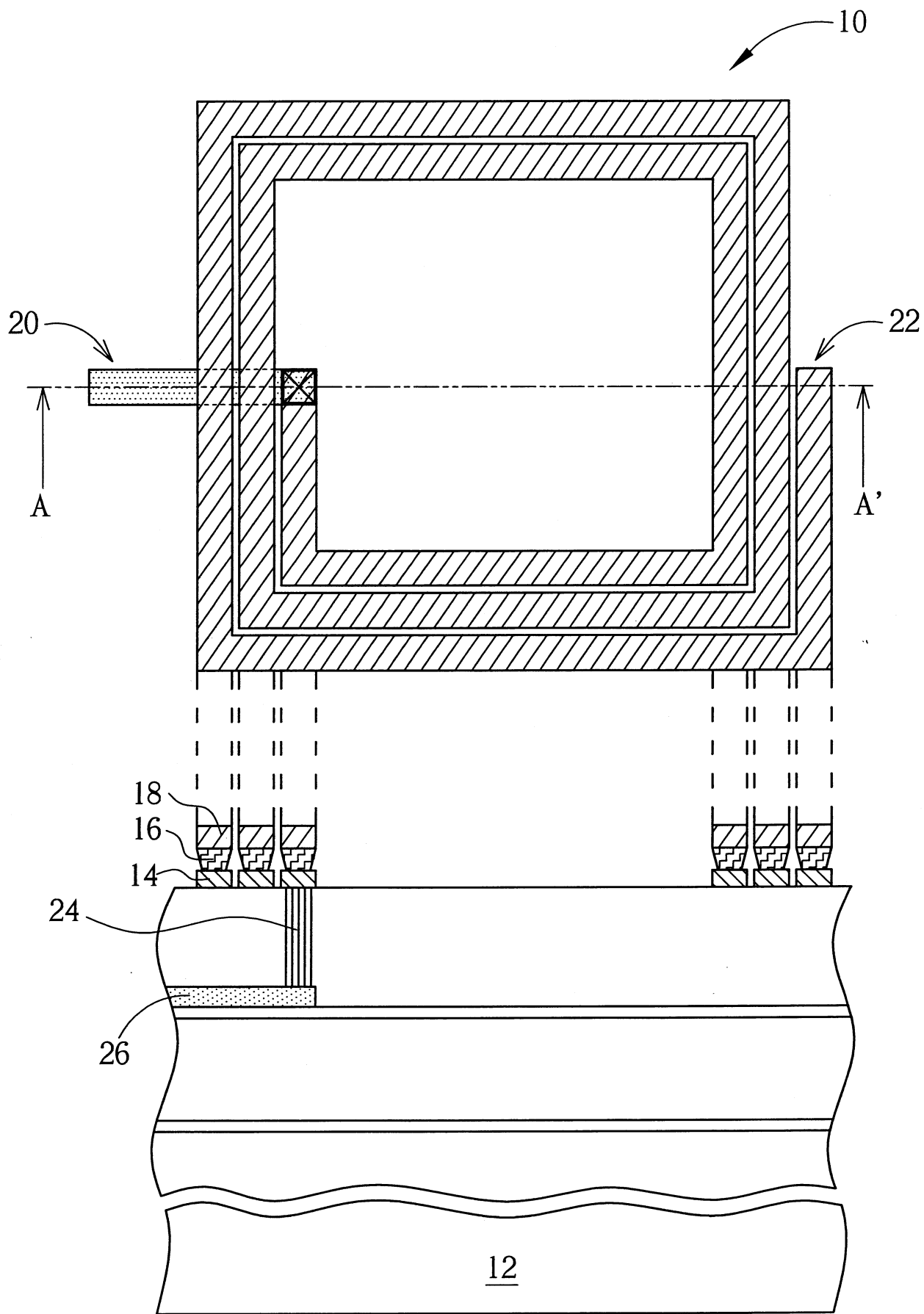
10	積體電感元件	12	基底
14	最頂層金屬層	16	插塞層
18	重配置層	20	端點
22	端點	24	插塞
26	較下層金屬層	50	積體電感元件
52	基底	54	最頂層金屬層
56	插塞層	60	端點
62	端點	64	插塞
66	較下層金屬層		

五、中文發明摘要：

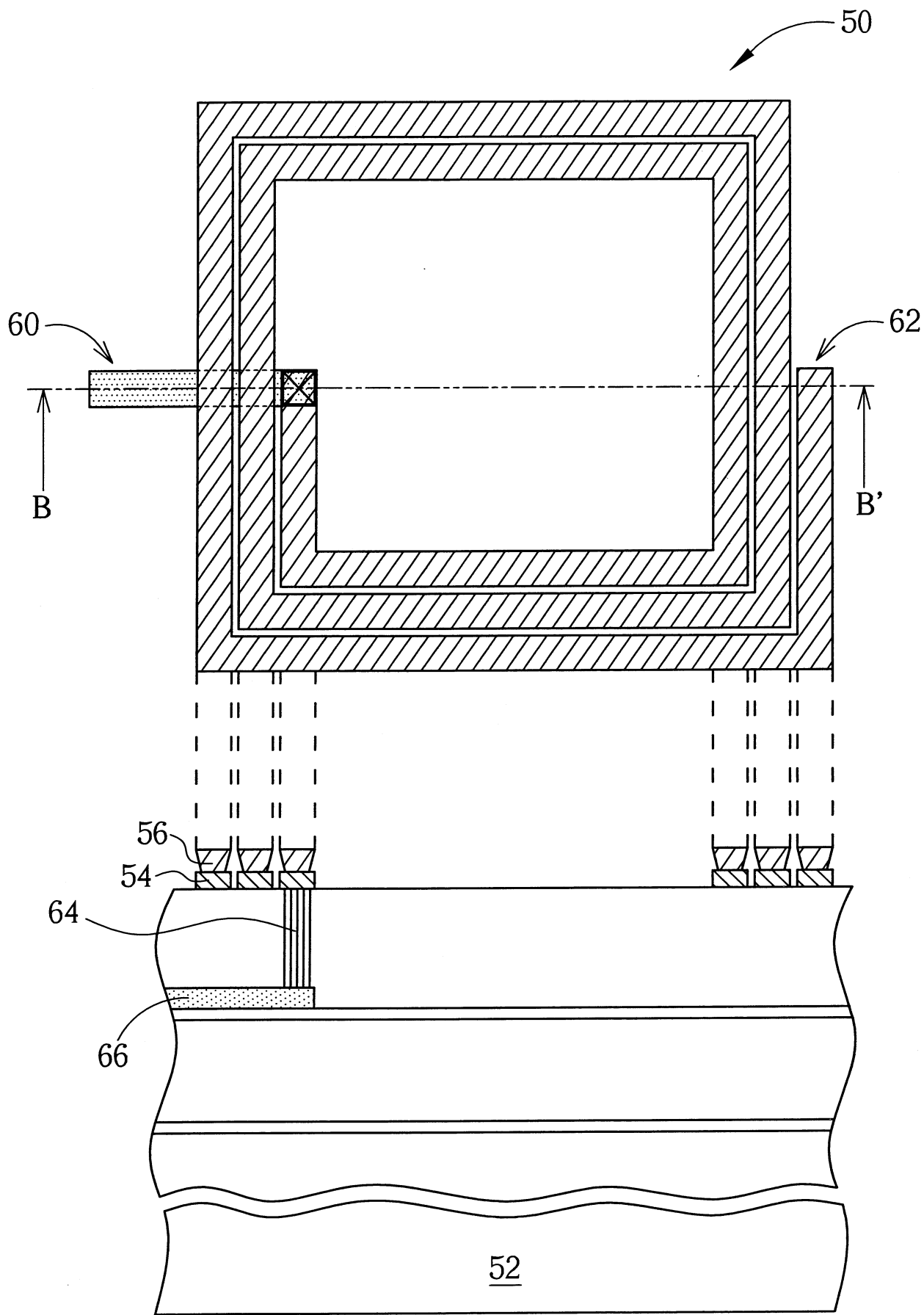
一種積體電感元件，形成於一基底上且其包含有一金屬層圖案、一插塞層圖案堆疊於該金屬層圖案上並與該金屬層圖案電性連接，以及一重配置層圖案堆疊於該插塞層圖案上並與該插塞層圖案電性連接，其中該金屬層圖案、該插塞層圖案與該重配置層圖案分別係為一線圈圖案。

六、英文發明摘要：

An integrated inductor formed on a substrate has a metal layer pattern, a via layer pattern stacked on and electrically connected to the metal layer pattern, and a redistribution layer pattern stacked on and electrically connected to the via layer pattern. The metal layer pattern, the via layer pattern, and the redistribution layer pattern are a coil pattern.



第1圖



第2圖

七、指定代表圖：

(一)本案指定代表圖為：第( 1 )圖。

(二)本代表圖之元件符號簡單說明：

10	積體電感元件	12	基底
14	最頂層金屬層	16	插塞層
18	重配置層	20	端點
22	端點	24	插塞
26	較下層金屬層		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 十、申請專利範圍：

1. 一種電感元件，其係形成於一積體電路中，該電感元件包含有：

一金屬層圖案 (metal layer pattern)；

一重配置層圖案 (redistribution layer pattern)，形成於較該金屬層圖案更上層之位置，其中該重配置層圖案依據積體電路連接墊結構而形成；以及

一插塞層圖案 (via layer pattern)，形成於介於該金屬層圖案及該重配置層圖案之間之位置，導電地接觸 (electrically conductively contacting) 該金屬層圖案及該重配置層圖案。

2. 如申請專利範圍第 1 項所述之電感元件，其中該金屬層圖案係為一最頂層金屬層。

3. 如申請專利範圍第 1 項所述之電感元件，其中該金屬層圖案係為一線圈圖案，該重配置層圖案亦為一線圈圖案，該金屬層圖案及該重配置層圖案實質上相互重疊。

4. 如申請專利範圍第 3 項所述之電感元件，其中該插塞層圖案係為散佈於該金屬層圖案及該重配置層圖案之間之複數個金屬島的集合。

5. 如申請專利範圍第 3 項所述之電感元件，其中該插塞層圖案係為一線圈圖案，並與該金屬層圖案及該重配置層圖案實質上相互重疊。
6. 如申請專利範圍第 5 項所述之電感元件，其中該金屬層圖案係以銅為材料。
7. 如申請專利範圍第 6 項所述之電感元件，其中該重配置層圖案及該插塞層圖案係以鋁為材料。
8. 如申請專利範圍第 1 項所述之電感元件，其中由該金屬層圖案、該重配置層圖案、及該插塞層圖案所構成之該電感元件係提供一顯著的電感值 (substantial inductance)。
9. 如申請專利範圍第 1 項所述之電感元件，其係以  $0.13 \mu\text{m}$  製程或著更先進之製程所製造而成。
10. 如申請專利範圍第 9 項所述之電感元件，其中該金屬層之厚度大約小於 10 千埃，該重配置層之厚度大約小於 13 千埃，該插塞層之厚度大約小於 12 千埃。
11. 一種電感元件，其係形成於一積體電路中，該電感元件包含有：



- 一 基底 (substrate)；
- 一 第一金屬材料圖案，形成於該基底之上方；以及
- 一 第二金屬材料圖案，形成於較該第一金屬材料圖案更上層之位置，導電地接觸該第一金屬材料圖案，其中該第二金屬材料圖案係包含有一重配置層圖案，且該重配置層圖案依據積體電路連接墊結構而形成；

其中由該第一金屬材料圖案及該第二金屬材料圖案所構成之該電感元件係提供一顯著的電感值，該第一金屬材料圖案及該第二金屬材料圖案係由不同之金屬材料所形成。

12. 如申請專利範圍第 11 項所述之電感元件，其中該第一金屬材料圖案係由銅所形成。
13. 如申請專利範圍第 12 項所述之電感元件，其中該第二金屬材料圖案係由鋁所形成。
14. 如申請專利範圍第 11 項所述之電感元件，其中該第一金屬材料圖案係為一線圈圖案，該第二金屬材料圖案亦為一線圈圖案，該第一金屬材料圖案及該第二金屬材料圖案實質上相互重疊。
15. 如申請專利範圍第 11 項所述之電感元件，其係以一標準邏輯製程所製造而成。

16. 如申請專利範圍第 15 項所述之電感元件，其中該第一金屬材料圖案係包含有該標準邏輯製程中之一最頂層金屬層。
17. 如申請專利範圍第 16 項所述之電感元件，其中該標準邏輯製程係為  $0.13 \mu\text{m}$  製程或著更先進之製程。
18. 如申請專利範圍第 11 項所述之電感元件，其中該第二金屬材料圖案係包含有一插塞層圖案。
19. 如申請專利範圍第 18 項所述之電感元件，其中該第一金屬材料圖案之厚度大約小於 10 千埃，該重配置層之厚度大約小於 13 千埃，該插塞層之厚度大約小於 12 千埃。

#### 十一、圖式：