

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5430521号
(P5430521)

(45) 発行日 平成26年3月5日(2014.3.5)

(24) 登録日 平成25年12月13日(2013.12.13)

(51) Int. Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1337 (2006.01) GO2F 1/1337 505
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 9 (全 17 頁)

(21) 出願番号	特願2010-187176 (P2010-187176)	(73) 特許権者	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22) 出願日	平成22年8月24日(2010.8.24)	(74) 代理人	100089118 弁理士 酒井 宏明
(65) 公開番号	特開2012-47802 (P2012-47802A)	(74) 代理人	100118762 弁理士 高村 順
(43) 公開日	平成24年3月8日(2012.3.8)	(74) 代理人	100092152 弁理士 服部 毅巖
審査請求日	平成25年3月4日(2013.3.4)	(72) 発明者	野口 幸治 愛知県知多郡東浦町大字緒川字上舟木50 番地 ソニーモバイルディスプレイ株式会社 社内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の方向に有効表示領域よりも大きい長さで延在すると共に第2の方向に並列配置され、それぞれに駆動信号が印加される複数の駆動電極と、

前記第1の方向および前記第2の方向にマトリクス状に配置されると共に前記複数の駆動電極に対向配置され、それぞれに画像信号が印加される複数の画素電極と

を備え、

前記複数の駆動電極のそれぞれの前記第2の方向の幅が、2つ以上の前記画素電極の前記第2の方向の幅に対応する大きさとされ、

前記複数の駆動電極はそれぞれ、少なくとも前記有効表示領域内で前記第1の方向に設けられた1つ以上の電極内スリットを有し、

隣接する2つの前記駆動電極の間には前記第1の方向に延在するように電極間スリットが形成され、

前記電極内スリットと前記電極間スリットとがそれぞれ、前記第1の方向の1画素ラインごとに前記画素電極の中央に位置している

表示装置。

【請求項2】

前記複数の画素電極に対して前記第1の方向の1画素ラインごとに走査信号を印加するゲートドライバと、

複数の駆動電極に前記駆動信号を印加する駆動電極ドライバとをさらに備え、

10

20

前記駆動電極ドライバは、前記ゲートドライバから前記電極間スリットに対応する位置の画素ラインに走査信号が印加されるときには前記電極間スリットに隣接する2つの駆動電極に同時に前記駆動信号を印加すると共に、前記電極間スリットに対応しない位置の画素ラインに走査信号が印加されるときには前記走査信号が印加される画素ラインに対応する1つの駆動電極にのみ前記駆動信号を印加する

請求項1に記載の表示装置。

【請求項3】

前記電極内スリットは、前記第1の方向において前記複数の画素電極の間の位置では不連続となるスリット形状を有する

請求項1に記載の表示装置。

10

【請求項4】

前記電極内スリットが、前記画素電極の中央において前記第2の方向にも設けられている

請求項1に記載の表示装置。

【請求項5】

第1の方向に有効表示領域よりも大きい長さで延在すると共に第2の方向に並列配置され、それぞれに駆動信号が印加される複数の駆動電極と、

前記第1の方向および前記第2の方向にマトリクス状に配置されると共に前記複数の駆動電極に対向配置され、それぞれに画像信号が印加される複数の画素電極と、

前記複数の画素電極に対して前記第1の方向の1画素ラインごとに走査信号を印加するゲートドライバと、

20

前記複数の駆動電極に前記駆動信号を印加する駆動電極ドライバと、
を備え、

前記複数の駆動電極のそれぞれの前記第2の方向の幅が、1つの前記画素電極の前記第2の方向の幅に対応する大きさとされ、

隣接する2つの前記駆動電極の間には前記第1の方向に延在するように電極間スリットが形成され、

前記電極間スリットが、前記第1の方向の1画素ラインごとに前記画素電極の中央に位置しており、

前記駆動電極ドライバは、前記ゲートドライバから前記電極間スリットに対応する位置の画素ラインに走査信号が印加されるときに、前記電極間スリットに隣接する2つの駆動電極に同時に前記駆動信号を印加する

30

表示装置。

【請求項6】

前記複数の画素電極および前記複数の画素電極に前記画像信号を供給する画像信号配線、ならびに前記複数の駆動電極に前記駆動信号を供給する駆動信号配線が形成された画素基板と、

前記画素基板に対向配置され、前記複数の駆動電極が形成された対向基板と、

前記対向基板と前記画素基板との間で、前記表示部における有効表示領域の外側に設けられ、前記複数の駆動電極と前記駆動信号配線とを導通するコンタクト部と

40

をさらに備えた請求項1または5に記載の表示装置。

【請求項7】

前記第2の方向において、隣接する前記電極内スリット同士の間隔、または隣接する前記電極内スリットと前記電極間スリットとの間隔が、500 μm以下である

請求項1に記載の表示装置。

【請求項8】

前記第2の方向において、隣接する前記電極内スリット同士の間隔、または隣接する前記電極内スリットと前記電極間スリットとの間隔が、300 μm以下である

請求項7に記載の表示装置。

【請求項9】

50

前記複数の駆動電極と前記複数の画素電極との間に配置され、V A方式で動作する液晶層をさらに備えた

請求項 1 から 8 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、V A (Vertical Alignment、垂直配向)方式、特にM V A (Multi-domain Vertical Alignment)方式による液晶ディスプレイに好適な表示装置に関する。

【背景技術】

【0002】

10

従来より、垂直配向型液晶を用いたV A方式による液晶ディスプレイが知られている。例えば特許文献1には、V A方式による液晶ディスプレイにおいて、垂直配向型液晶を挟んで互いに対向する画素電極と駆動電極(共通電極)とを配置し、それら画素電極と駆動電極との双方にスリット部を設けた構成例が開示されている。ここで、画素電極と駆動電極との双方において、スリット部は1画素単位で設けられている。駆動電極に設けられているスリット部は、例えば面内で水平方向に延在するようなものではなく、例えば面内の水平方向には不連続に形成されている。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献1】特開2008-129193号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、駆動電極の構成例として、水平方向に延在し、垂直方向に分割された複数の駆動電極を用いるものが考えられる。このように分割された複数の駆動電極を用いる構成の場合、隣接する駆動電極間で水平方向にスリット状の隙間が空くことになる。このため、そのスリット状の隙間が形成された部分と駆動電極が形成されている部分との構造上の違いにより、液晶分子の配向状態に乱れが生ずる。その結果として、スリット状の隙間に対応する部分が、筋状の表示欠陥となって見えてしまう問題が発生する。

30

【0005】

本発明はかかる問題点に鑑みてなされたもので、その目的は、V A方式による液晶ディスプレイに適した効率のよい配向制御が可能であると共に、V A方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明による表示装置は、第1の方向に有効表示領域よりも大きい長さで延在すると共に第2の方向に並列配置され、それぞれに駆動信号が印加される複数の駆動電極と、第1の方向および第2の方向にマトリクス状に配置されると共に複数の駆動電極に対向配置され、それぞれに画像信号が印加される複数の画素電極とを備えたものである。そして、隣接する2つの駆動電極の間には第1の方向に延在するように電極間スリットが形成され、電極間スリットが、画素電極の中央に位置しているものである。

40

【0007】

本発明の表示装置では、電極間スリットが、画素電極の中央に位置するように設けられていることで、例えば画素電極間にスリットを配置する場合に比べて、V A方式による液晶デバイスに適した効率のよい配向制御が可能となる。

【0008】

また、本発明の表示装置において、複数の駆動電極のそれぞれの第2の方向の幅が、2つ以上の画素電極の第2の方向の幅に対応する大きさとされ、複数の駆動電極はそれぞれ、少なくとも有効表示領域内で第1の方向に設けられた1つ以上の電極内スリットをさら

50

に有し、電極内スリットと電極間スリットとがそれぞれ、第 1 の方向の 1 画素ラインごとに画素電極の中央に位置するようにしても良い。

【 0 0 0 9 】

この場合、複数の駆動電極のそれぞれに、少なくとも有効表示領域内で第 1 の方向に電極内スリットが設けられると共に、隣接する 2 つの駆動電極の間に電極内スリットに対応する電極間スリットが形成されていることで、駆動電極が形成されている部分と、隣接する 2 つの駆動電極の間の部分との構造上の違いが少なくなる。

【発明の効果】

【 0 0 1 0 】

本発明の表示装置によれば、さらに、電極内スリットと電極間スリットとがそれぞれ、画素電極の中央に位置するようにしたので、例えば画素電極間にスリットを配置する場合に比べて、V A 方式による液晶ディスプレイに適した効率のよい配向制御を行うことが可能となる。

【 0 0 1 1 】

また、複数の駆動電極のそれぞれの第 2 の方向の幅が、2 つ以上の画素電極の第 2 の方向の幅に対応する大きさとされている場合に、複数の駆動電極のそれぞれに、少なくとも有効表示領域内で第 1 の方向に電極内スリットを設けるようにしたので、駆動電極が形成されている部分と、隣接する 2 つの駆動電極の間の部分との構造上の違いを少なくすることができる。結果として、V A 方式による液晶ディスプレイに適用した場合における液晶分子の配向状態を表示領域全域に亘って均一にすることができる。これにより、V A 方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる。

【図面の簡単な説明】

【 0 0 1 2 】

【図 1】本発明の第 1 の実施の形態に係る表示装置の一構成例を示す断面図である。

【図 2】図 1 に示した表示装置における駆動回路の一構成例を示すブロック図である。

【図 3】図 1 に示した表示装置における駆動電極の一構成例を示す平面図である。

【図 4】(A) は図 1 に示した表示装置における駆動電極と画素基板との接続構造を示す平面図であり、(B) は駆動電極と画素基板との接続部分の要部断面図である。

【図 5】図 1 に示した表示装置における駆動電極と画素電極との対応関係の一例を示す平面図である。

【図 6】図 1 に示した表示装置における駆動電極の一構成例を表す斜視図である。

【図 7】(A) は本発明の第 1 の実施の形態に係る表示装置において画素電極と駆動電極との間に電位差がない状態における液晶分子の配向状態を示す要部断面図である。(B) は画素電極と駆動電極との間に電位差がある状態における液晶分子の配向状態を示す要部断面図である。

【図 8】図 7 (B) に示した状態において生ずる画素電極と駆動電極との間の電気力線の一例を示す要部断面図である。

【図 9】人間の視感度を示す特性図である。

【図 1 0】図 1 に示した表示装置における駆動電極の具体的な設計例を示す平面図である。

【図 1 1】具体例の測定環境を示す説明図である。

【図 1 2】図 1 に示した表示装置において、駆動電極のスリットピッチを変えた場合のスリットの認識状態を測定した結果を示す説明図である。

【図 1 3】駆動電極と画素電極との間の信号印加タイミングを説明するための平面図である。

【図 1 4】(A) , (B) は図 1 3 に示した構成における駆動電極の駆動タイミングの例を示すタイミングチャートであり、(C) , (D) , (E) は画素電極の走査タイミングの例を示すタイミングチャートである。

【図 1 5】本発明の第 2 の実施の形態に係る表示装置における駆動電極の構造を示す平面図である。

10

20

30

40

50

【図16】(A)、(B)、(C)は図15に示した構成における駆動電極の駆動タイミングの例を示すタイミングチャートであり、(D)、(E)は画素電極の走査タイミングの例を示すタイミングチャートである。

【図17】本発明の第3の実施の形態に係る表示装置における駆動電極の構造を示す平面図である。

【図18】本発明の第4の実施の形態に係る表示装置における駆動電極の構造を示す平面図である。

【図19】本発明の第4の実施の形態に係る表示装置における駆動電極および画素電極のサブピクセル単位の構造を示す平面図である。

【図20】図19に示した駆動電極および画素電極の要部を拡大して示す平面図である。

10

【図21】本発明の第5の実施の形態に係る表示装置における駆動電極および画素電極の構造を示す平面図である。

【図22】図21に示した駆動電極および画素電極の要部を拡大して示す平面図である。

【図23】比較例の表示装置における駆動電極の一構成例を示す平面図である。

【図24】(A)は図23に示した比較例の構成において画素電極と駆動電極との間に電位差がない状態における液晶分子の配向状態を示す要部断面図である。(B)は画素電極と駆動電極との間に電位差がある状態における液晶分子の配向状態を示す要部断面図である。

【発明を実施するための形態】

【0013】

20

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

<第1の実施の形態>

(全体構成例)

図1は、本発明の第1の実施の形態に係る表示装置の要部断面構造の一例を表すものである。また、図2は、この表示装置における駆動回路の一構成例を示している。この表示装置は、図1に示したように、画素基板2と、この画素基板2に対向して配置された対向基板3と、画素基板2と対向基板3との間に挿設された液晶層6とを備えている。この表示装置はまた、図2に示したように、駆動電極ドライバ43と、ゲートドライバ45と、ソースドライバ46とを備えている。

30

【0015】

画素基板2は、回路基板としてのTFT基板21と、このTFT基板21上において第1の方向(水平方向)および第2の方向(垂直方向)にマトリクス状に配設された複数の画素電極22とを有する。図示しないが、TFT基板21には、各画素のTFT(薄膜トランジスタ)や、各画素電極22に画像信号を供給するソース線(画像信号配線)、各TFTを駆動するゲート線等の配線が形成されている。また、後述する駆動電極33に駆動信号を供給する駆動信号配線が形成されている。

【0016】

対向基板3は、ガラス基板31と、このガラス基板31の一方の面に形成されたカラーフィルタ32と、このカラーフィルタ32の上に形成された駆動電極(共通電極)33とを有する。ガラス基板31の他方の面には、偏光板35が配設されている。カラーフィルタ32は、例えば赤(R)、緑(G)、青(B)の3色のカラーフィルタ層を周期的に配列して構成したもので、各表示画素にR、G、Bの3色が1組として対応付けられている。駆動電極33は、コンタクト導電柱7によってTFT基板21と連結されている。このコンタクト導電柱7を介して、TFT基板21から駆動電極33に交流矩形波形の駆動信号Vcomが印加されるようになっている。この駆動信号Vcomは、画素電極22に印加される画素電圧とともに各画素の表示電圧を規定するものであり共通駆動信号とも呼ばれる。

40

【0017】

ソースドライバ46は、図示しないソース線を介して各画素電極22に画像信号を供給するものである。ゲートドライバ45は、図示しないゲート線を介して複数の画素電極2

50

2 に対して第 1 の方向の 1 画素ライン (1 水平画素ライン) ごとに走査信号を印加するようになっている。駆動電極ドライバ 4 3 は、ゲートドライバ 4 5 による走査信号の印加タイミングに同期して、駆動電極 3 3 に駆動信号 V_{com} を印加するようになっている。ゲートドライバ 4 5 による走査信号の印加タイミングと、駆動電極ドライバ 4 3 による駆動信号の印加タイミングとの関係については、後述する。

【 0 0 1 8 】

液晶層 6 は、電界の状態に応じてそこを通過する光を変調するものである。液晶層 6 は、 VA 方式の液晶層とされている。図 7 (A) , (B) は、本実施の形態における VA 方式の液晶層 6 の構造を示している。特に図 7 (A) は、画素電極 2 2 と駆動電極 3 3 との間に電位差がない状態における液晶分子 6 1 の配向状態を示し、黒表示状態に対応している。図 7 (B) は画素電極 2 2 と駆動電極 3 3 との間に電位差がある状態における液晶分子 6 1 の配向状態を示し、白表示または中間状態に対応している。図 8 には、図 7 (B) の電圧印加状態における電界 (電気力線) E の状態を示す。

10

【 0 0 1 9 】

なお、図 7 (A) , (B) では、2 ドメイン配向の VA 方式の例を示している。2 ドメイン配向の VA 方式では、1 画素 (サブピクセル) 内が 2 つの領域に分割され、図 7 (B) および図 8 に示したように、液晶分子 6 1 が 2 つの領域で異なる配向状態となる動作をする。

【 0 0 2 0 】

なお、液晶層 6 と画素基板 2 との間、および液晶層 6 と対向基板 3 との間には、それぞれ配向膜が配設され、また、画素基板 2 の下面側には入射側偏光板が配置されるが、ここでは図示を省略している。

20

【 0 0 2 1 】

図 6 は、対向基板 3 における駆動電極 3 3 の一構成例を斜視状態にて表すものである。駆動電極 3 3 は、第 1 の方向 (水平方向) に延在するストライプ状の電極であり、第 2 の方向 (垂直方向) に複数、並列配置されている。各駆動電極 3 3 には、駆動電極ドライバ 4 3 によって駆動信号 V_{com} が順次供給され、時分割的に順次走査駆動が行われるようになっている。

【 0 0 2 2 】

(駆動電極 3 3 の詳細な構成例)

30

図 3 および図 5 は、複数の駆動電極 3 3 の詳細な構成例を示している。なお、図 5 は図 3 を部分的に拡大した図に相当するが、電極構造を分かりやすくするために、水平、垂直方向の長さの比率は図 3 とは変えてある。また、図 5 において、画素電極 2 2 の大きさは 1 画素または 1 サブピクセルの大きさに相当する。第 2 の方向 (垂直方向) において、1 つの駆動電極 3 3 の幅 W_1 は 2 つ以上 (図 5 の例では 4 つ) の画素電極 2 2 に対応する大きさを有している。複数の駆動電極 3 3 はそれぞれが、第 1 の方向 (水平方向) に連続して延在するように設けられた電極内スリット 3 3 A を有している。隣接する 2 つの駆動電極 3 3 の間には、電極内スリット 3 3 A に対応する電極間スリット 3 3 B が形成されている。複数の駆動電極 3 3 はそれぞれ、第 1 の方向において有効表示領域よりも大きい長さを有している。電極内スリット 3 3 A は、図 3 に示したように、少なくとも有効表示領域内に設けられている。

40

【 0 0 2 3 】

複数の駆動電極 3 3 はそれぞれ、コンタクト導電柱 7 を介して、 TFT 基板 2 1 に形成された駆動信号配線に接続されている。図 4 (A) , (B) は、コンタクト導電柱 7 (コンタクト部) による接続構造の例を示している。コンタクト導電柱 7 は、有効表示領域の外側に設けられている。図 4 (A) の例では、有効表示領域内に設けられた電極内スリット 3 3 A のさらに外側で、各駆動電極 3 3 の両端部に設けられている。コンタクト導電柱 7 は、図 4 (B) に示したように、柱状部分 7 A と、その柱状部分 7 A を覆う導電膜 7 B とを有している。なお、図 4 (B) に示したコンタクト導電柱 7 の構造に代えて、異方性導電フィルム (Anisotropic Conductive Film : ACF) を用いた導通を行うようにしても

50

良い。異方性導電フィルムは、熱硬化性樹脂に導電性を持つ微細な金属粒子を混ぜ合わせたものを、膜状に成型したフィルムであり、2つの部品間に異方性導電フィルムを挟んで熱を与えながら加圧すると、フィルム内に分散している金属粒子が接触し導電する経路を形成する。金属粒子を2枚のガラス基板を接着するシール剤の中に一定量混合し、塗布することで横方向に導通させることなく、上下方向のみに導通させることが可能である。この方法は、工程を増加させずに上下方向に導通をさせることができ非常に効率が良い。

【0024】

複数の駆動電極33はそれぞれ、電極内スリット33Aを1以上有している(図3および図5の例では3つ)。第2の方向において、隣接する電極内スリット33A同士の間隔(電極内スリット33Aを2以上有している場合)、および隣接する電極内スリット33Aと電極間スリット33Bとの間隔は、1つの画素電極22に対応する大きさとされている。また、図5に示したように、複数の駆動電極33について、電極内スリット33Aと電極間スリット33Bとがそれぞれ、画素電極22の中央に位置するように構成されている。すなわち、電極内スリット33Aまたは電極間スリット33Bが、第1の方向の1画素ライン(1水平画素ライン)ごとに、画素電極22の中央に位置している。

【0025】

図9および図10を参照して、駆動電極33の具体的な設計例を説明する。図9は、人間の視感度特性(空間周波数特性)を示している。電極内スリット33Aおよび電極間スリット33Bの幅等を大きくしすぎると、画素間の横電界の影響で液晶分子の配向状態が画素間と画素の中央部とで大きく異なってしまい欠陥が生ずる。これが顕著になると黒表示時にこの欠陥部から光漏れが発生してコントラストが大幅に減少する。電極内スリット33Aの幅W2および電極間スリット33Bの幅W3は、一般的な画素間の幅に基づいて例えば10μm以下に設定されるが、画素間の幅よりもさらに小さい方が好ましい。さらに、人間の視感度特性を考慮すると、各部は例えば以下のような設計例が好ましい。なお、スリット間隔(スリットピッチ)W4とは、隣接する電極内スリット33Aと電極間スリット33Bとの間隔である。

駆動電極33の幅W1 = 約2mm ~ 10mm (好ましくは3mm ~ 7mm)

電極内スリット33Aの幅W2 = 10μm以下 (好ましくは3μm ~ 6μm)

電極間スリット33Bの幅W3 = 10μm以下 (好ましくは3μm ~ 6μm)

スリット間隔(スリットピッチ)W4 = 500μm以下(画素ピッチの整数倍)

【0026】

図12は、本実施の形態に係る表示装置において、駆動電極33のスリットピッチを変えた場合の筋状(スリット状)の表示欠陥の認識状態を測定した結果を示している。図11は、その測定環境を示している。図11に示したように、この表示装置において、一般的な視認環境、例えば表面輝度を300cd/m²とし、略20cm離れた距離において測定を行った。図12に示したように、スリットピッチW4が600μm以上では筋状の表示欠陥が観測された。スリットピッチW4が500μmおよび400μmの場合には、ほとんど筋状には観測されなかったが、20cm以下の距離では観測された。300μm以下では筋状の表示欠陥は全く観測されなかった。

【0027】

以上の結果から、スリットピッチW4は、500μm以下、好ましくは300μm以下とすると良い。

【0028】

[駆動制御の動作例]

この表示装置では、ソースドライバ46(図2)が、各画素電極22に画像信号を供給する。また、ゲートドライバ45は、表示する水平画素ラインを選択するための走査信号(ゲート信号)を各画素電極22に供給する。また、駆動電極ドライバ43から駆動信号Vcomが各駆動電極33に印加される。これらの信号の組み合わせにより、画像表示が行われる。

【0029】

この表示装置では、個々の駆動電極 3 3 は、複数の水平画素ラインに対応している。このため、1つの駆動電極 3 3 が、複数の水平画素ラインをまとめて駆動する。その一方で、ゲートドライバ 4 5 は、1水平画素ラインごとに走査信号を印加するので、表示動作としては、1水平画素ラインごとの表示動作がなされる。

【 0 0 3 0 】

一例として、駆動電極 3 3 と画素電極 2 2 とが図 1 3 に示したような構成である場合における駆動信号 V_{com} と走査信号との信号印加タイミングを説明する。図 1 3 の例では、1つの駆動電極 3 3 に5つ電極内スリット 3 3 A が設けられている。また、N番目の駆動電極 3 3 と (N + 1) 番目の駆動電極 3 3 との間に電極間スリット 3 3 B が形成されている。ここで、N番目の駆動電極 3 3 において、上から1番目～5番目の電極内スリット 3 3 A に対応する水平画素ラインを $n \sim (n + 4)$ 番目とする。また、N番目の駆動電極 3 3 と (N + 1) 番目の駆動電極 3 3 との間の電極間スリット 3 3 B に対応する水平画素ラインを (n + 5) 番目とする。ゲートドライバ 4 5 は、 $n, (n + 1), (n + 2), \dots$ の順に順次、走査信号を印加するものとする。

10

【 0 0 3 1 】

図 1 4 (A), (B) はそれぞれ、図 1 3 に示した N 番目の駆動電極 3 3 と (N + 1) 番目の駆動電極 3 3 とに印加される駆動信号 V_{com} のタイミング例を示している。図 1 4 (C), (D), (E) はそれぞれ、n番目の水平画素ライン、(n + 1)番目の水平画素ライン、および (n + 5) 番目の水平画素ラインに印加される走査信号のタイミング例を示している。

20

【 0 0 3 2 】

この表示装置では、電極間スリット 3 3 B に対応しない位置の画素ラインに走査信号が印加されるとき (電極内スリット 3 3 A に対応する画素ラインに走査信号が印加されるとき) には、走査信号が印加される画素ラインに対応する1つの駆動電極 3 3 にのみ駆動信号 V_{com} を印加すれば良い。例えば図 1 3 の例では、図 1 4 (A) および図 1 4 (C), (D) に示したように、 $n \sim (n + 4)$ 番目の水平画素ラインに走査信号が印加されるときには、N番目の駆動電極 3 3 にのみ駆動信号 V_{com} を印加する。一方、電極間スリット 3 3 B に対応する位置の画素ラインに走査信号が印加されるときには、電極間スリット 3 3 B に隣接する2つの駆動電極 3 3 に同時に駆動信号を印加する必要がある。例えば図 1 3 の例では、図 1 4 (A), (B) および図 1 4 (E) に示したように、(n + 5) 番目の水平画素ラインに走査信号が印加されるときには、N番目の駆動電極 3 3 と (N + 1) 番目の駆動電極 3 3 とに同時に駆動信号 V_{com} を印加する。

30

【 0 0 3 3 】

[効果]

本実施の形態に係る表示装置によれば、複数の駆動電極 3 3 のそれぞれに、少なくともも有効表示領域内で第1の方向に延在するような電極内スリット 3 3 A を設けると共に、隣接する2つの駆動電極 3 3 の間に、電極内スリット 3 3 A に対応する電極間スリット 3 3 B を形成するようにしたので、駆動電極 3 3 が形成されている部分と、隣接する2つの駆動電極 3 3 の間の部分との構造上の違いを少なくすることができる。結果として、VA方式による液晶ディスプレイに適用した場合における液晶分子 6 1 の配向状態を表示領域全域に亘って均一にすることができる。これにより、VA方式による液晶ディスプレイにおける表示品位の劣化を抑えることができる。さらに、電極内スリット 3 3 A と電極間スリット 3 3 B とがそれぞれ、画素電極 2 2 の中央に位置するようにしたので、例えば隣接する画素電極 2 2 の間にスリットを配置する場合に比べて、VA方式による液晶ディスプレイに適した効率のよい配向制御を行うことが可能となる。

40

【 0 0 3 4 】

図 2 3 および図 2 4 に示した比較例の構造を参照してより具体的に説明する。例えば図 2 3 に比較例として示したように、電極内スリット 3 3 A と電極間スリット 3 3 B とがそれぞれ、隣接する2つの画素電極 2 2 の間に位置するような配置で構成したとする。図 2 4 (A), (B) は、液晶層 6 を2ドメイン配向のVA方式で駆動する場合において、図

50

23に示した電極構造にした場合の液晶分子61の配向状態を示している。特に図24(A)は、画素電極22と駆動電極33との間に電位差がない状態における液晶分子61の配向状態を示し、黒表示状態に対応している。図24(B)は画素電極22と駆動電極33との間に電位差がある状態における液晶分子61の配向状態を示し、白表示または中間状態に対応している。図24(B)には電圧印加状態における電界(電気力線)Eの状態も示す。図23に示したような構造では、図24(A),(B)に示したように、画素電極22のスリット位置と駆動電極33のスリット位置とが上下に対称的な構造となる。このため、電圧印加時には図24(B)に示したように、液晶分子61の方向が規定されずに配向不良になったり、応答速度の低下を招く。これに対して、本実施の形態では、電極内スリット33Aと電極間スリット33Bとがそれぞれ、画素電極22の中央に位置する

10

【0035】

<第2の実施の形態>

次に、本発明の第2の実施の形態に係る表示装置について説明する。なお、上記第1の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0036】

図15は、本実施の形態に係る表示装置における駆動電極33の構造を示している。本実施の形態では、電極内スリット33Aを設けずに、電極間スリット33Bを、第1の方向(水平方向)の1画素ラインごとに画素電極22の中央に位置させるようにしたものである。複数の駆動電極33のそれぞれの第2の方向(垂直方向)の幅は、1つの画素電極22の第2の方向の幅に対応する大きさとなっている。

20

【0037】

一例として、駆動電極33と画素電極22とが図15に示したような構成である場合における駆動信号Vcomと走査信号との信号印加タイミングを説明する。図15の例では、N番目の駆動電極33と(N+1)番目の駆動電極33との間の電極間スリット33Bに対応する水平画素ラインをn番目、次の(N+1)番目の駆動電極33と(N+2)番目の駆動電極33との間の電極間スリット33Bに対応する水平画素ラインを(n+1)番目、としている。ゲートドライバ45は、n,(n+1),(n+2),...の順に順次、走査信号を印加するものとする。

30

【0038】

図16(A),(B),(C)はそれぞれ、図15に示したN番目の駆動電極33、(N+1)番目の駆動電極33、および(N+2)番目の駆動電極33に印加される駆動信号Vcomのタイミング例を示している。図16(D),(E)はそれぞれ、n番目の水平画素ラインと(n+1)番目の水平画素ラインとに印加される走査信号のタイミング例を示している。

【0039】

本実施の形態では、駆動電極ドライバ43(図2)は、ゲートドライバ45から1つの電極間スリット33Bに対応する位置の1画素ラインに走査信号が印加されるときに、その1つの電極間スリット33Bに隣接する2つの駆動電極に同時に駆動信号Vcomを印加する。例えば図15の構成例では、図16(A),(B)および図16(D)に示したように、n番目の水平画素ラインに走査信号が印加されるときには、N番目の駆動電極33と(N+1)番目の駆動電極33とに同時に駆動信号Vcomを印加する。同様にして、図16(B),(C)および図16(E)に示したように、(n+1)番目の水平画素ラインに走査信号が印加されるときには、(N+1)番目の駆動電極33と(N+2)番目の駆動電極33とに同時に駆動信号Vcomを印加する。

40

【0040】

<第3の実施の形態>

次に、本発明の第3の実施の形態に係る表示装置について説明する。なお、上記第1ま

50

たは第 2 の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【 0 0 4 1 】

本実施の形態に係る表示装置は、上記第 1 の実施の形態に係る表示装置における駆動電極 3 3 の構造（図 5 参照）に対して、電極内スリット 3 3 A の構造（スリット形状）が部分的に異なっている。図 1 7 は、本実施の形態における駆動電極 3 3 の構造を示している。上記第 1 の実施の形態では電極内スリット 3 3 A が第 1 の方向（水平方向）に延在するように連続的に設けられていた。これに対して本実施の形態では、図 1 7 に示したように、電極内スリット 3 3 A が第 1 の方向に連続しておらず、部分的に不連続領域 3 3 C が形成され、間欠的にスリットが設けられている。不連続領域 3 3 C は、第 1 の方向における複数の画素電極 2 2 の間の位置に形成されている。このような不連続領域 3 3 C を設けることで連続的な電極内スリット 3 3 A を設けた場合より、駆動電極 3 3 の抵抗を下げる事ができる。

10

【 0 0 4 2 】

< 第 4 の実施の形態 >

次に、本発明の第 4 の実施の形態に係る表示装置について説明する。なお、上記第 1 ないし第 3 の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【 0 0 4 3 】

上記第 1 の実施の形態では 2 ドメイン配向の V A 方式の例を示したが、本実施の形態では 4 ドメイン配向の V A 方式の例を示す。4 ドメイン配向の V A 方式では、1 画素（サブピクセル）内が 4 つの領域に分割され、液晶分子 6 1 が 4 つの領域で異なる配向状態となる動作をする。

20

【 0 0 4 4 】

図 1 8 は、本実施の形態における画素電極 2 2 の構造と駆動電極 3 3 の構造との概略を示している。また、図 1 9 は、より具体的な構造の例を示している。図 1 9 を部分的に拡大したものを図 2 0 に示す。なお、図 1 9 および図 2 0 では、駆動電極 3 3 の構造として、スリット部分（電極内スリット 3 3 A と電極間スリット 3 3 B）の構造のみを示す。また、図 1 9 および図 2 0 では、画素電極 2 2 がサブピクセル単位の構造となっている。

30

【 0 0 4 5 】

図 1 8、図 1 9 および図 2 0 に示したように、本実施の形態では、電極内スリット 3 3 A が、画素電極の中央部分において、第 1 の方向（水平方向）だけでなく、第 2 の方向（垂直方向）にも設けられている。これにより、1 つの画素電極 2 2（サブピクセル）の中央部分で電極内スリット 3 3 A が十字状となっている。このような構造にすることで、液晶分子 6 1 を 4 ドメインで効率的に動作（配向）させることができる。

【 0 0 4 6 】

< 第 5 の実施の形態 >

次に、本発明の第 5 の実施の形態に係る表示装置について説明する。なお、上記第 1 ないし第 4 の実施の形態に係る表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

40

【 0 0 4 7 】

本実施の形態は、上記第 4 の実施の形態と同様に、4 ドメイン配向の V A 方式に関する。

【 0 0 4 8 】

図 2 1 は本実施の形態における画素電極 2 2 の構造と駆動電極 3 3 の構造とを示している。図 2 1 を部分的に拡大したものを図 2 2 に示す。なお、図 2 1 および図 2 2 では、駆動電極 3 3 の構造として、スリット部分（電極内スリット 3 3 A と電極間スリット 3 3 B）の構造のみを示す。また、図 2 1 および図 2 2 では、画素電極 2 2 がサブピクセル単位の構造となっている。

【 0 0 4 9 】

50

本実施の形態においても、上記第4の実施の形態（図19および図20）と同様に、電極内スリット33Aが、画素電極の中央部分において、第1の方向（水平方向）だけでなく、第2の方向（垂直方向）にも設けられている。これにより、1つの画素電極22（サブピクセル）の中央部分で電極内スリット33Aが十字状となっている。このような構造にすることで、液晶分子61を4ドメインで効率的に動作（配向）させることができる。

【0050】

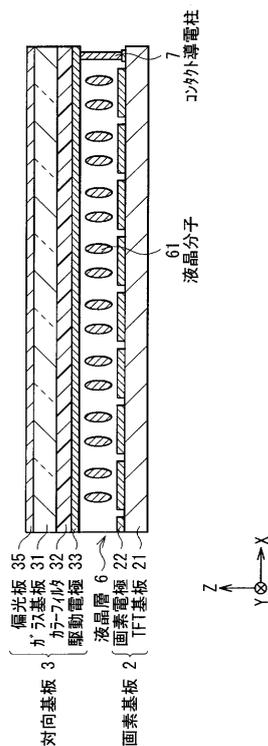
さらに本実施の形態では、図22に示したように、画素電極22内に微細な画素電極スリット22Bが設けられている。このような微細な画素電極スリット22Bを設けることにより、より正確に所望の配向方向に液晶分子61を配向制御することができる。

【符号の説明】

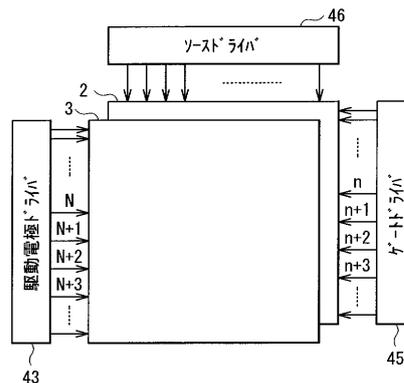
【0051】

2...画素基板、3...対向基板、6...液晶層、7...コンタクト導電柱（コンタクト部）、7A...柱状部分、7B...導電膜、20...表示画素、21...TFT基板、22...画素電極、22B...画素電極スリット、23...絶縁層、31...ガラス基板、32...カラーフィルタ、33...駆動電極（共通電極）、33A...電極内スリット、33B...電極間スリット、33C...不連続領域、35...偏光板、43...駆動電極ドライバ、45...ゲートドライバ、46...ソースドライバ、61...液晶分子、E...電界（電気力線）、Vcom...駆動信号、W1...駆動電極の幅、W2...電極内スリットの幅、W3...電極間スリットの幅、W4...スリット間隔（スリットピッチ）。

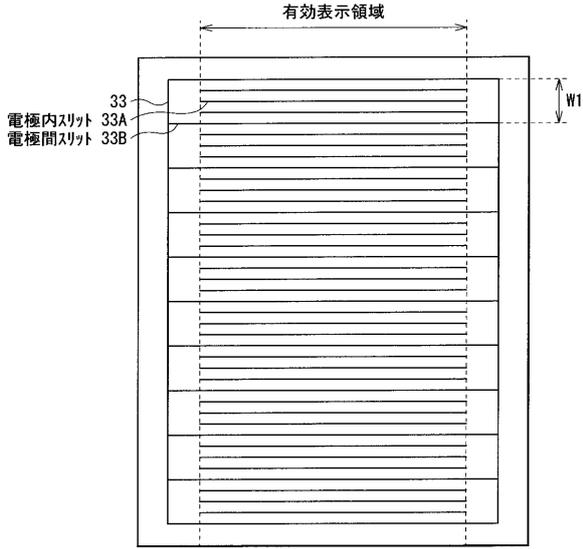
【図1】



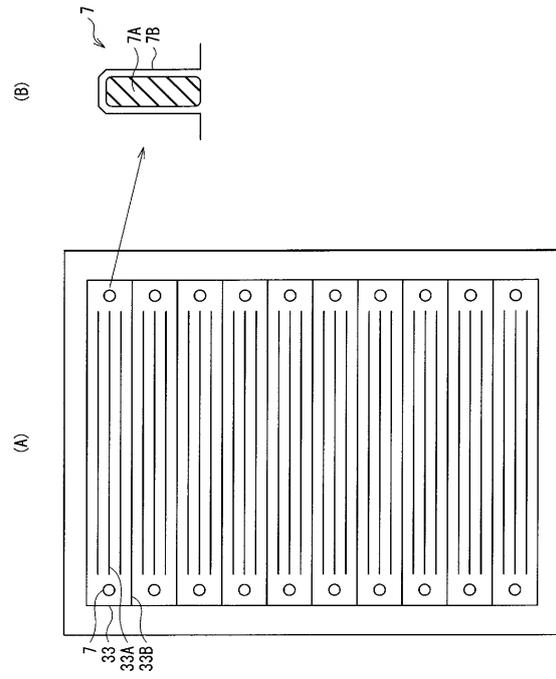
【図2】



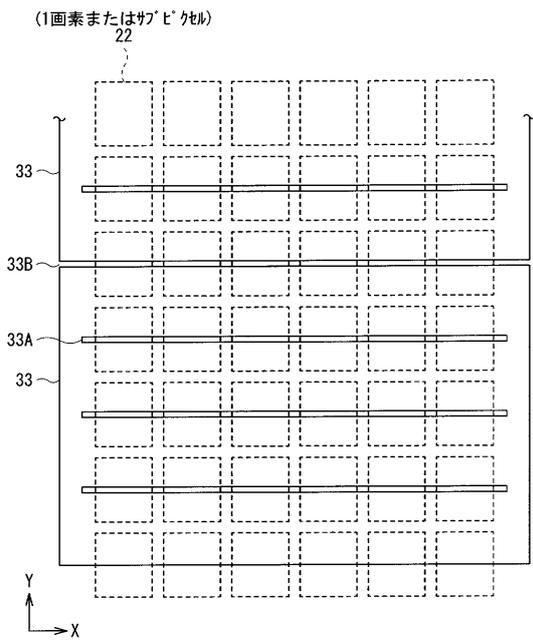
【図3】



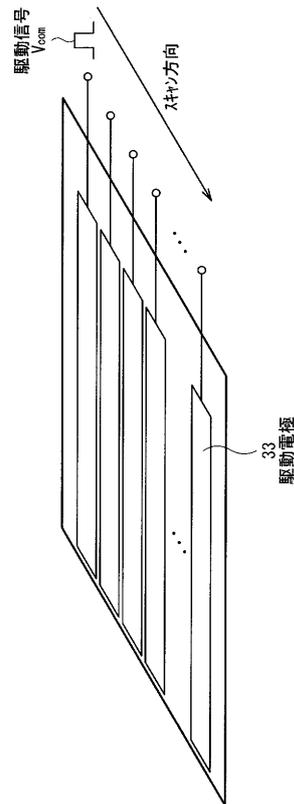
【図4】



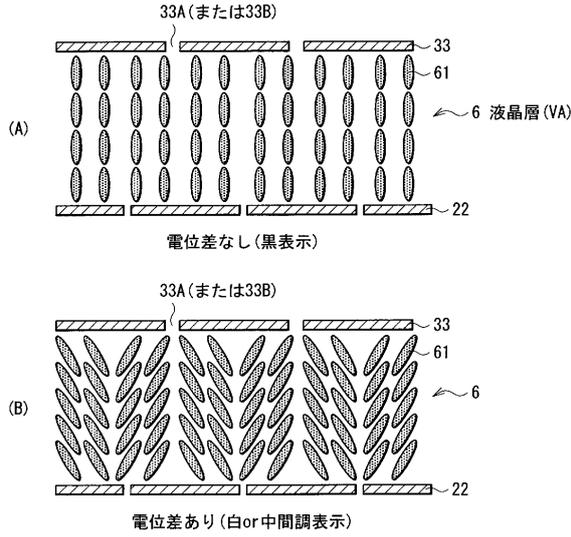
【図5】



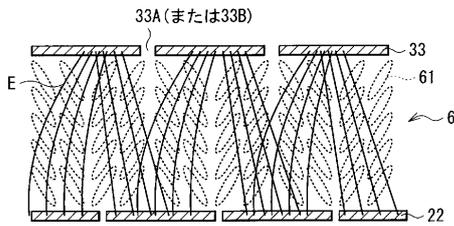
【図6】



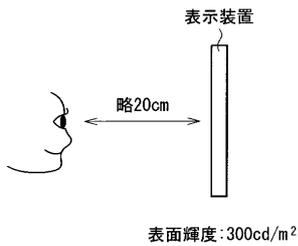
【図7】



【図8】



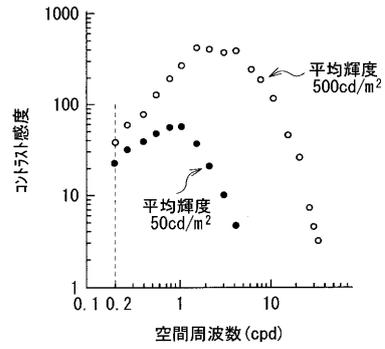
【図11】



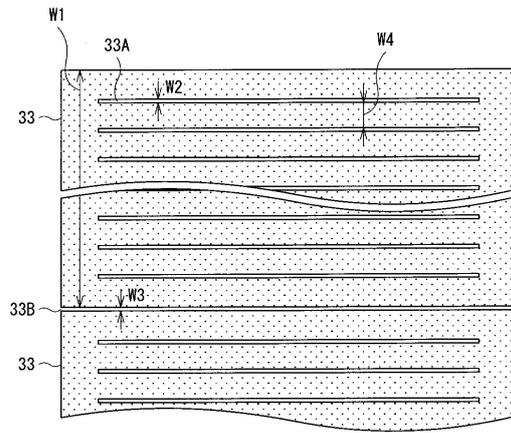
【図12】

スリットピッチ (μm)	筋の認識	コメント
1000	×	明確に認識できる
900	×	明確に認識できる
800	×	明確に認識できる
700	×	明確に認識できる
600	×	明確に認識できる
500	△	20cm以下で認識
400	△	20cm以下で認識
300	○	認識できない
200	○	認識できない
100	○	認識できない
50	○	認識できない

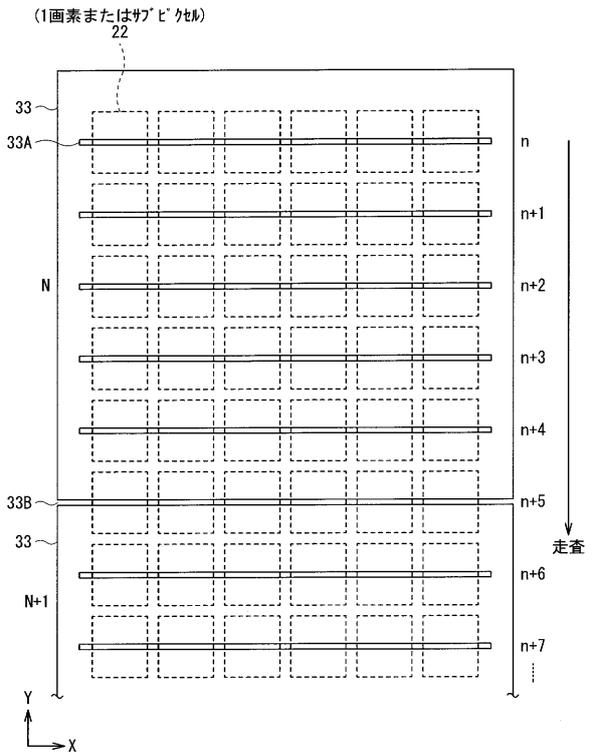
【図9】



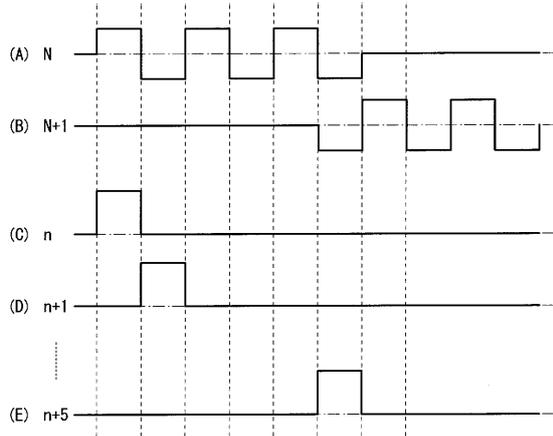
【図10】



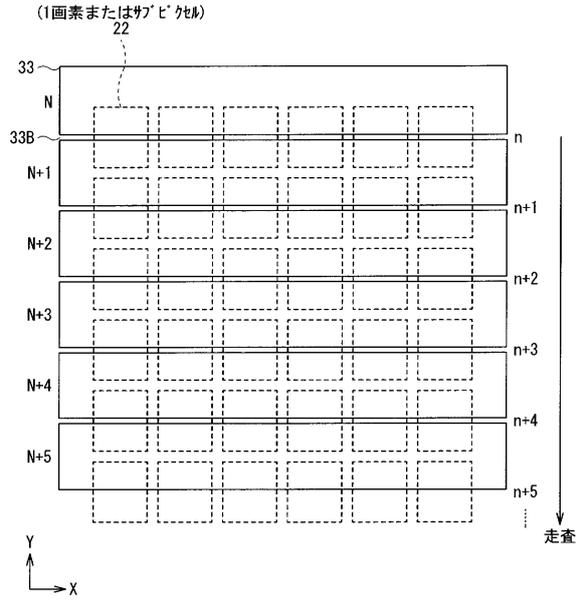
【図13】



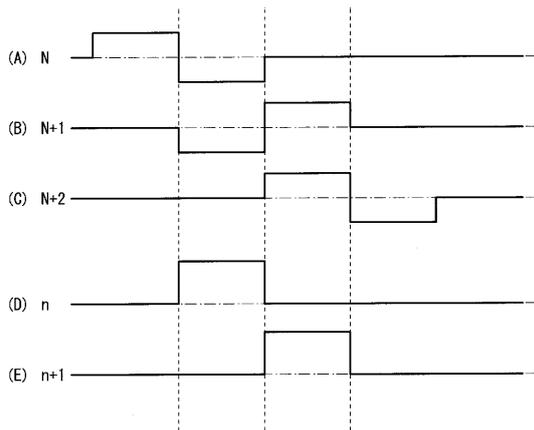
【図14】



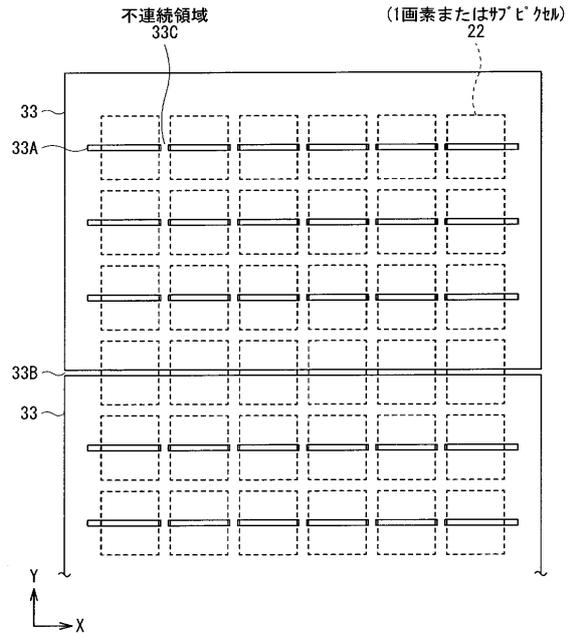
【図15】



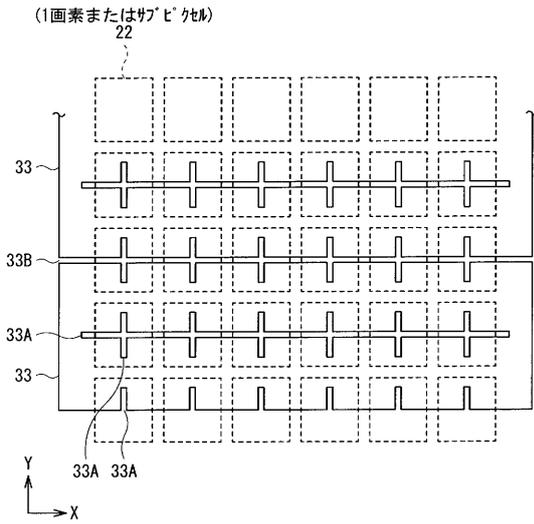
【図16】



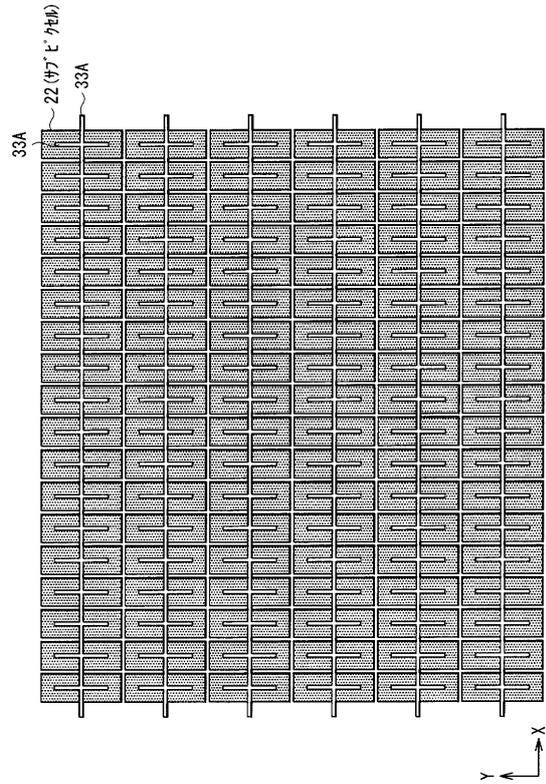
【図17】



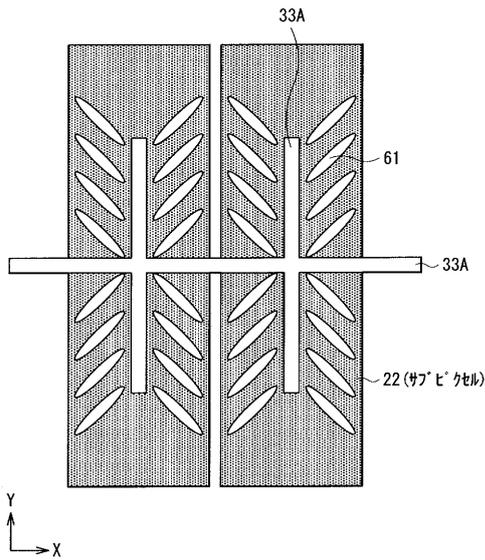
【図18】



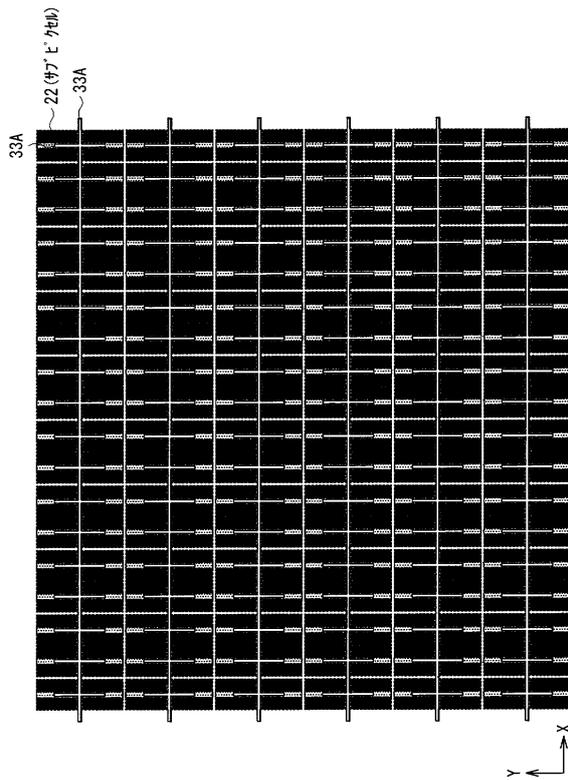
【図19】



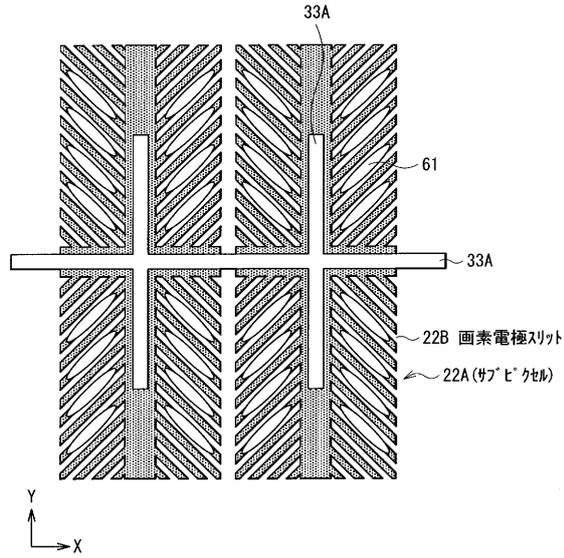
【図20】



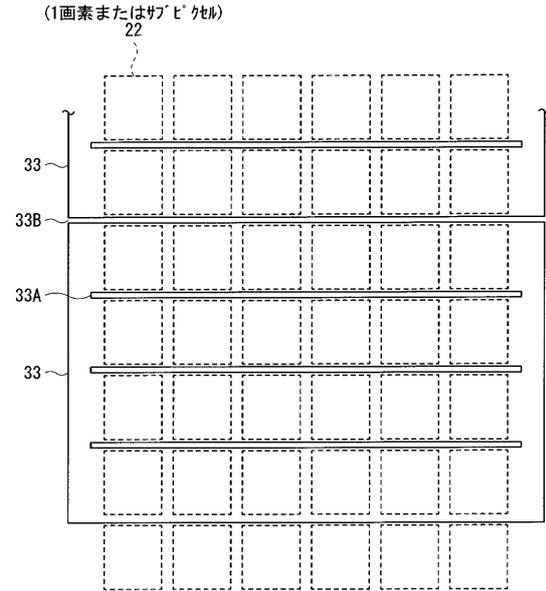
【図21】



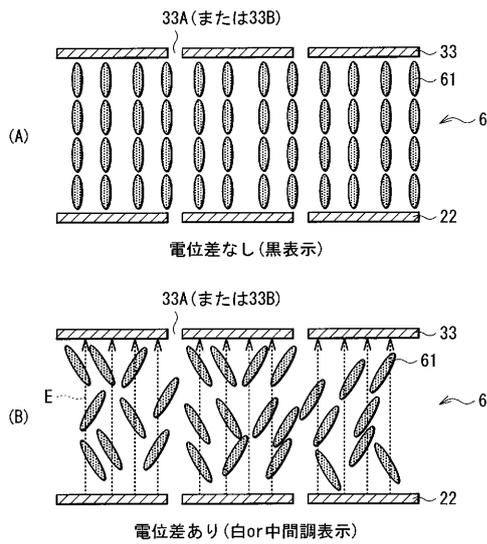
【図22】



【図23】



【図24】



フロントページの続き

- (72)発明者 坂井 栄治
愛知県知多郡東浦町大字緒川字上舟木50番地 ソニーモバイルディスプレイ株式会社内
- (72)発明者 池田 雅延
愛知県知多郡東浦町大字緒川字上舟木50番地 ソニーモバイルディスプレイ株式会社内
- (72)発明者 石崎 剛司
愛知県知多郡東浦町大字緒川字上舟木50番地 ソニーモバイルディスプレイ株式会社内

審査官 鈴木 俊光

- (56)参考文献 特開2001-311951(JP,A)
特開2009-258182(JP,A)
特開2010-181571(JP,A)
特開平11-109356(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1368
G02F 1/133