

FP11227C

申請日期	89.10.18
案 號	89121789
類 別	G11C 1/22

A4
C4

546655

(以上各欄由本局填註)

公告 發明專利說明書

一、發明 名稱	中 文	鐵電質記憶胞之自我參考用之配置
	英 文	ARRANGEMENT TO SELF-REFERENCE OF FERROELECTRIC MEMORY-CELLS
二、發明 創作人	姓 名	1.庫特荷夫曼 Prof.Kurt Hoffmann 2.歐斯卡寇瓦立克 Dr.Oskar Kowarik
	國 籍	1.德國 2.德國
三、申請人	住、居所	1.德國托夫克宜 82024 內坑瓦格 20 號 2.德國紐必格 85579 布朗希爾登街 26A 號
	姓 名 (名稱)	印芬龍科技股份有限公司 (Infineon Technologies AG)
代 表 人 姓 名	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
		麥可勾威什(Michael Gollwitzer) 荷斯特卻佛(Dr.Horst Schäfer)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

德

1999 年 10 月 20 日 19950581.0

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（'）

本發明係關於鐵電質記憶胞之自我參考用之配置，記憶胞由一種具有晶胞 (cell) 板之鐵電質記憶電容器及一個轉換電晶體所構成且設置在一種可由字元線和位元線來控制之記憶胞陣列中，其中此鐵電質記憶電容器位於晶胞板線和轉換電晶體之間且爲了達成自我參考功能須藉由一種計算器在讀出過程之後重新對記憶胞寫入及讀出以獲得一種參考電壓。

在傳統之鐵電質記憶體中，如第 18 圖所示，由鐵電質記憶電容器 C_{s0} 、 C_{s1} 和轉換電晶體 T 所構成之記憶胞是在字元線 W_{L0} 、 W_{L1} 和位元線 BL 之間。各記憶胞之晶胞板可平行於位元線 BL (如第 18 圖所示) 或平行於字元線 W_{L0} 、 W_{L1} 而互相連接，但亦可在此二個方向中互相連接。

在讀出此種鐵電質記憶胞之內容時，在位元線 BL 上依據是否讀出 "1" 或 "0" 而形成一種讀出電壓 U_{L1} 或 U_{L0} (此處請比較第 17 圖)。此二種讀出電壓 U_{L1} 和 U_{L0} 之間電壓值的差異通常是在 100mV 之數量級中。

一種與記憶胞陣列相連接之所謂計算電路 (簡稱爲計算器) 之目的是偵測此位元線 BL 上之讀出電壓 U_L 爲 "1" (即， U_{L1}) 或 "0" (即， U_{L0}) 且將其放大。此種偵測是藉由讀出電壓 U_L 與參考電壓 U_R 之比較來達成。若此讀出電壓大於參考電壓 U_R ，則所偵測到的是 "1"；若較小，則所偵測到的是 "0"。

爲了達成此種偵測，則在大部份之情況中是藉由讀出一種參考記憶胞 (由鐵電質記憶電容器和轉換電晶體 T

五、發明說明 (>)

所構成)之內容而在參考位元線 BL 上產生該參考電壓，其中此參考記憶胞之大小及／或連接方式須使該參考電壓 U_R 能以適當之方式產生。

此參考電壓 U_R 因此須準確地處於數個 mV 處且儘可能在該讀出電壓 U_{L1} (表示"1")及 U_{L0} (表示"0")之中間。但此種需求在鐵電質記憶體操作期間會在產生該參考電壓 U_R 時造成很大之問題：

(a)鐵電質記憶體之讀出電壓 U_L 和參考記憶胞之參考電壓 U_R 本來只由於製造過程而不同。此種製造過程對所有記憶胞而言不能以恰巧相同之方式來進行。

(b)依據寫入週期和讀出週期之數目，則由於"老化(aging)"特性(磁滯曲線變窄)，"疲乏(fatigue)"(磁滯曲線旋轉)以及"壓印(imprint)"(磁滯曲線向上或向下移動)等現象而使鐵電質記憶體和參考記憶胞之電性改變，其中此二種記憶胞之老化過程是以不同方式進行的。

由於上述之(a)與(b)之問題，則該讀出電壓 U_L 及／或參考電壓 U_R 會發生偏移，使得在鐵電質記憶體操作時以"1"或"0"來準確地計算此讀出電壓 U_L 是不可能的。

爲了避開上述之困難性，則在 J.Yamada u.a.: "A Self-Refresh Read Scheme for a 1T/1C FeRAM", 1998 Symposium on VLSI Circuit Digest of Technical papers, page 238 和 239 中已描述一種記憶胞之自我參考方式，使記憶胞和參考記憶胞之不同之老

五、發明說明()

化問題可被避開。在此種習知之自我參考方式中，電路之措施(例如，位元線之不同之電容或計算器)是用來產生該參考電壓，這樣又造成一種與記憶胞之老化有關之新關係。

本發明之目的是提供一種鐵電質記憶胞之自我參考用之配置，其是與記憶胞之老化無關且儘可能可用來獲得該磁滯區域之參考電壓。

依據本發明，上述目的在本文開頭所述形式之配置中是以下述方式達成：記憶胞可依序被讀出，而位元線預充電至二種不同之電壓(其是第一電壓值或第二電壓值)，且這樣所獲得之電壓值在其傳送至該計算器之前分別暫存於第一或第二電容。

晶胞板線在第一實施形式中可處於一種固定之電源電壓，晶胞板可以相連接之方式形成於由記憶胞所構成之整個記憶胞陣列上，或當第一電壓值或第二電壓值之電壓施加至位元線時在另一實施形式中此晶胞板被施加一種第二或第一電壓值之電壓。第二種形式所具有之已施加脈波之晶胞板線之優點是：記憶胞中防止寄生性二極體之產生。

已施加脈波之晶胞板可以直線方式平行於位元線而互相連接，其中可在晶胞板線上獲得該參考電壓。

另一種可能之方式是各晶胞板以直線方式平行於字元線而互相連接且在位元線上獲得該參考電壓。

與"Yamada"等人所提及之自我參考方式(其中只使用

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（4）

磁滯曲線之一半)不同之處是：本發明之配置須使用磁滯曲線之整個區域，這在以下將再詳述。爲了在本發明之配置中產生該參考電壓，則每一與所使用之技術間之關係都應避免，且這些與不同之老化特性之間的關係是不存在的，這是因爲各別所讀出之記憶胞亦可用作參考記憶胞。

本發明以下將依據圖式來詳述。圖式簡單說明：

第 1 圖 本發明具有固定之晶胞板電壓之第一實施例之配置中讀出"0"時解釋用之圖解。

第 2 圖 在第一實施例中讀出"1"時解釋用之圖解。

第 3 圖 本發明之讀出方式(第 3 圖右半部)和傳統之讀出方式(第 3 圖左半部)之間解釋不同點所用之圖解。

第 4 圖 說明第一實施例所用之電路配置。

第 5 圖 是第 4 圖之電路配置之各別組件上之信號波形。

第 6 圖 實現第 4 圖所示電路配置之具體電路之例子。

第 7 圖 本發明第二實施例中說明一種鐵電質記憶胞陣列(其具有連接在位元線方向中之晶胞板)之構造原理所用之電路配置。

第 8 圖 本發明第三實施例中說明一種鐵電質記憶胞陣列(其具有連接在字元線方向中之晶胞板)之構造原理所用之電路配置。

第 9 圖 本發明第二實施例中讀出"0"時解釋用之圖解。

五、發明說明(5)

第 10 圖 本發明第二實施例中讀出 "1" 時解釋用之圖解。

第 11 圖 在本發明第二實施例之配置之電路圖。

第 12 圖 在第 11 圖之配置中在不同之位置上之信號之波形。

第 13 圖 在本發明之第二實施例中，共同使用二條位元線所形成之晶胞板線以便使晶胞面積減小所用之配置之電路圖。

第 14 圖 在本發明之第二實施例中，利用位元線之同樣大之電容及二次相交之晶胞板線之此種配置之電路圖。

第 15 圖 在本發明之第二實施例中說明一種讀出電路之構造原理所用之電路圖。

第 16 圖 在第 15 圖所示電路之不同位置上之信號之波形。

第 17 圖 在傳統之鐵電質記憶體 (FeRAM) 中讀出 "1" 或 "0" 時作為說明用之圖解。

第 18 圖 在傳統之鐵電質記憶體中說明記憶胞陣列之結構所用之電路圖。

第 17, 18 圖已描述在本文開頭中。在這些圖式中相對應之組件使用相同之參考符號。

第一實施例是一種以固定之晶胞板電壓作自我參考所用之配置，第二和第三實施例則是一種以脈波式晶胞板電壓來進行時所用之配置。

在本發明之配置中，首先就像 "Yamada" 所寫文件中一

五、發明說明(b)

樣分別使用相同之記憶胞來產生該參考電壓 U_R ，其在先前已被考慮用來讀出所儲存之 "1" 或 "0"。就像以下將詳述者一樣，藉由本發明特別是可超越 "Yamada" 所寫之文件而達到以下之主要優點：

(a) 與所讀出之記憶胞和參考記憶胞之各種不同之老化現象之間不存在任何關係，這是因為此處只涉及相同之記憶胞。

(b) 計算所用之差動電壓 $U_L - U_R$ 可大大地提高且在相同之晶胞大小時可到達目前之差動電壓之二倍。

在本發明之配置中，在第一步驟中使位元線 BL (例如，請比較第 4 圖) 例如充電至電源電壓 V_{CC} ；然後使已定址之記憶胞之內容藉由字元線 WL 之驅動而讀出至位元線 BL。鐵電質記憶電容器 FCS 之晶胞板 CP 此時應固定地處於一種參考電壓 $V_{ref} = V_{cellplate} = V_{CC}/2$ 處。這表示：晶胞板 CP 在電源電壓 $V_{CC} = 3V$ 時固定於 $1.5V$ 。

位元線 BL 上所產生之電壓 ΔU_L 因此暫時於電容 CK1 中。所屬之字元線 WL 因此使所讀出之記憶胞之轉換電晶體 T 截止 (off)。

在第二步驟 II 中，位元線 BL 預充電至 $0V$ ，記憶胞之轉換電晶體 T 藉由施加字元線脈衝至字元線 WL 而又斷開 (off)。一種參考電壓 ΔU_R 在該位元線 BL 上自我調整。此參考電壓暫存在電容 CK2 中。

電壓 ΔU_L 和 ΔU_R 是與 $V_{ref} = V_{CC}/2$ 有關，如第 1, 2 圖中所示在步驟 I 及步驟 II 中 "0" 和 "1" 讀出時之圖解。

五、發明說明(7)

此種圖解顯示此鐵電質記憶胞之磁滯曲線與直線表示之位元線電容器 C_{BL} (一次由 +3V 開始，一次是由 0V 開始) 之相交點。

現在重要的是：相對於所儲存之 "0" 時之參考電壓 $V_{ref} = VCC/2$ 而言，首先產生一種讀出電壓 ΔU_{L0} ，其較第二次讀出時所得到之參考電壓差 ΔU_{R0} (第 1 圖) 小很多。反之，儲存 "1" 時可得到一種讀出電壓差 ΔU_{L1} ，其較第二次讀出時所得到之參考電壓差 ΔU_{R1} (第 2 圖) 大很多。

由第 1, 2 圖可知，在本發明之配置中須考慮磁滯曲線之整個區域，即，"零線" 左方和右方之區域以便獲得該讀出電壓及參考電壓。

因此，要得到上述之關係：

$$"0" \rightarrow \Delta U_{R0} > \Delta U_{L0} \quad (1)$$

$$"1" \rightarrow \Delta U_{R1} > \Delta U_{L1} \quad (2)$$

則必須適當地設計位元線 BL 以便選取位元線電容 C_{BL} 之值。位元線電容值 C_{BL} 可允許之範圍是由鐵電質記憶胞電容之磁滯曲線來預設 (第 1 和第 2 圖)。

各別之讀出電壓差 ΔU_{L1} ("1" 時) ΔU_{L0} ("0" 時) 以及所屬之參考電壓差 ΔU_{R1} ("1" 時) 或 ΔU_{R0} ("0" 時) (它們是與晶胞板電壓 $V_{cellplate} = V_{ref} = VCC/2$ 有關) 現在須偏移，使 ΔU_L 和都指向一種共同之電壓 (例如，0V)，如第 3 圖所示 (在半部；虛線箭頭)，以便可直接在計算器 1 (第 4 圖) 之二個輸入端施加這些電壓差，放大，偵測

五、發明說明 (8)

且又寫回至記憶胞中。

由第 3 圖可知，此種作為計算用之電壓差 $U_L - U_R$ 在本發明之配置(第 3 圖之右半部)中較傳統之配置者還大。

第 4 圖是本發明之配置之第一實施例，已如上所述。此配置之操作方式以下將依據第 5 圖來詳述。

首先，在時間 $t_0 - t_1$ 期間位於 $0V$ 之位元線藉由開關 $PHI1$ 而預充電至 VCC (例如， $3V$)。電容 $CK1$ 藉由開關 $PHI1$ 和開關 $PHI2$ 而預充電至 $3V$ 或 $VREF$ 。在時間 t_1 時此開關 $PHI1$ 去($de-$)驅動。

在時間 $t_1 - t_2$ 時，藉由字元線 WL 和開關 $PHI2$ 由鐵電質記憶電容器 FCS 和轉換電晶體 T 中讀出記憶胞之內容至位元線 BL 且送至電容 $CK1$ 。在時間 t_2 時字元線 WL 和開關 $PHI2$ 去($de-$)驅動。

在時間 $t_2 - t_3$ 時，位元線 BL 藉由開關 $PHI3$ 而預充電至 $0V$ ，且電容 $CK2$ 藉由開關 $PHI3$ 和 $PHI4$ 而位於 $0V$ 或 $VREF$ 處。開關 $PHI3$ 在時間 t_3 時去($de-$)驅動。

在時間 $t_3 - t_4$ 時，藉由字元線 WL 和開關 $PHI4$ 由鐵電質記憶電容器 FCS 和轉換電晶體 T 中讀出此記憶胞目前之內容至位元線 BL 且送至電容 $CK2$ 。在時間 t_4 時，此開關 $PHI4$ 去驅動。

在時間 $t_4 - t_5$ 時，此開關 $PHI5$ 去驅動。電容 $CK1$ 和 $CK2$ (第 3 圖)之基點($foot\ point$)被充電且驅動該計算器 1。

最後，在時間 $t_5 - t_6$ 時藉由開關 $PHI6$ 之驅動使資訊由計算器 1 又寫回至記憶電容器 FCS 中。

五、發明說明(9)

各別之開關 PHI1 至 PHI6 例如可以 CMOS 技術製成，這例如在第 6 圖中是以各別之控制信號 $\phi 1$ ， $\phi 2$ ， $\phi 4$ ， $\phi 1$ ， $\phi 2$ ， $\phi 3$ 和 $\phi 4$ 來表示。此開關因此是使用各轉換電晶體 T 及短路電晶體 TK。這些轉換電晶體 T 和短路電晶體 TK 例如由類比 / 數位轉換器中已為人所知。若在各轉換電晶體 T 上施加該控制信號 $\phi 1$ ，則各短路電晶體 TK 之尺寸可以是大約只有轉換電晶體 T 之尺寸之一半且以反相之控制信號 $\phi 1$ 來控制。

可輕易地在一種預充電至 0V 之位元線 BL 上讀取該讀出電壓(步驟 I；請與上述比較)且隨後藉由此種預充電至電源電壓 VCC 之位元線來產生該參考電壓。此種讀出電壓和參考電壓不只可轉換至 0V，而且亦可轉換至其它參考電壓(例如，電源電壓 VCC)，若此種轉換對此計算器 1 是有利時。

現在依據第 7 至 14 圖來描述本發明之第二實施例。在此實施例中，晶胞板以直線形式平行於位元線而互相連接，對各晶胞板線施加脈波以便讀出記憶胞內容且又重新寫回記憶胞中。

第 7 圖是鐵電質記憶胞陣列之構造原理圖，其具有一些在位元線 BL 之方向中互相連接之晶胞板 CP。即，在本實施例中此位元線 Bh 上之所有記憶胞之晶胞板 CP 都與計算器 1 相連接。

與第 7 圖不同之第 8 圖是顯示一種鐵電質記憶胞陣列之電路配置，其具有一些連接在字元線 W_{L1} ， \dots ， W_{Ln} 中

五、發明說明(10)

之晶胞板 CP_n。此種記憶胞陣列是使用在以下仍將詳述之第三實施例中。

在第二實施例(第 11 圖)中，在步驟 I 中使位元線 BL 充電至電源電壓 VCC。已定址之記憶胞之內容由鐵電質記憶電容器 FCS 和轉換電晶體 T 中讀出至此位元線 BL 上。晶胞板線 CP 因此位於此種與位元線電壓相反之電壓(例如，0V)處。由位元線 BL 所發出之電壓 ΔU_L 暫時儲存在電容 CBSA 中。所屬之字元線 WL 因此使已讀出之記憶胞之轉換電晶體 T 截止(off)。

在步驟 II 中此位元線 BL 處於 0V 處。記憶胞上之晶胞板線 CP 然後預充電至此種與位元線電壓相反之電壓(例如，VCC)，記憶胞之轉換電晶體 T 藉由施加字元線脈衝而又斷開(off)。一種參考電壓 ΔU_R 因此可在晶胞線 CP 上調整。此種參考電壓 ΔU_R 暫時儲存在電容 CPSA 中。

以上之方式在步驟 I 和步驟 II 中於 "0" 和 "1" 之情況一已於第 9 和第 10 圖中顯示此種讀出時之圖解。此種圖解顯示此鐵電質記憶電容器 FCS 之磁滯曲線與直線表示之位元線電容 C_{BL}(一次由位元線電壓 U'_{BL}=VCC 開始，一次是由位元線電壓 U''_{BL}=0V 開始)或晶胞板線 CP 之電容器之相交點。電壓 U_{CP} 在步驟 I 中等於 0V，而其在步驟 II 中等於電源電壓 VCC。

在本實施例中重要的是：如第一實施例中 "0" 時之情況所示，首先產生一種讀出 - 電壓差 ΔU_{L0} ，其小於第二次讀出時所得到之參考電壓差 ΔU_{R0} (第 9 圖)。反之，在

五、發明說明（''）

"1"之情況時產生一種讀出-電壓差 ΔU_{L1} ，其大於第二次讀出時所得到之參考電壓差 ΔU_{R1} （第10圖）。

換言之，其亦適用於第一實施例中所示之關係(1)和(2)。

位元線 BL 之電容值以及晶胞板線 CP 之電容值可藉由適當之設計而輕易地被決定，使滿足上述之關係(1)和(2)。位元線電容 C_{BL} 值所允許之範圍或晶胞板線 CP 之電容值所允許之範圍是由鐵電質記憶電容器 FCS 之磁滯曲線及電容所預設（第9，10圖）。

依據第11，12圖，以下將依據第二實施例來詳述本發明之配置之操作方式。

在時間 t_0-t_1 時，對此位元線 BL 預充電且藉由開關 PHI1 和開關 PHI6，PHI6 使電容器 CBSA 處於電源電壓 VCC（例如，3V）處。晶胞板線 CP 藉助於開關 PHI2 而設定成 0V。在時間 t_1 時此開關 PHI1 去（de-）驅動。

在時間 t_1-t_2 時，記憶電容器 FCS 之內容藉由適當地控制字元線 WL 而讀出至位元線 BL 且儲存在電容 CBSA 中。開關 PHI2 和 PHI6 或 PHI6 在時間點 t_2 時之去驅動。

在時間 t_2-t_3 時，晶胞板線 CP 和電容 CPSA 藉由開關 PHI3，PHI5 和 PHI5 而預充電至電源電壓 VCC（例如，3V），位元線 BL 藉由開關 PHI4 而成為 0V。在時間點 t_3 時此開關 PHI3 去驅動。

在時間 t_3-t_4 時，記憶電容器 FCS 之目前內容讀出至晶胞板線 CP 且暫時存在電容 CPSA 中，其是藉由字元線 WL

五、發明說明 (1)

之控制來達成。在時間點 t_4 時此開關 PHI_4 ， PHI_5 或 PHI_5 去 (de-) 驅動。

在時間 t_4-t_5 時，使開關 PHI_7 被驅動以便驅動此計算器 1。

最後，在時間 t_5-t_6 時藉由開關 PHI_5 或 PHI_5 以及 PHI_5 以及 PHI_6 或 PHI_6 之驅動而使資訊由計算器 1 再寫回至鐵電質記憶電容器 FCS 中。最後，全部之開關被去驅動。

須選取各開關 PHI_5 或 PHI_5 以及 PHI_6 或 PHI_6 ，使整個電壓 VCC 或 0V 可由計算器 1 再寫回至鐵電質記憶胞中。這些開關較佳是由 n-通道 MOS 電晶體製成以便使空間需求降低。當然各開關 PHI_5 ， PHI_6 上之脈波之電壓值須像此字元線 WL 上之脈波一樣被加大。

這些開關本身可像第一實施例一樣以 CMOS 技術製成。

亦可恰巧和上述例子相反首先在一種預充電至 0V 之位元線 BL 上進行該讀出電壓之讀取 (步驟 I)，然後藉由一種預充電至 VCC 之晶胞板線 CP 來產生該參考電壓。

預充電電壓 (上述例子中是以 0V 和電源電壓 VCC) 可在關係式 "1" 和 "2" 之預定範圍中改變，若這樣對此計算器 1 是有利時。

晶胞板線 CP 可輕易地分別由二條位元線所共同使用，這樣就可使所需之晶胞面積大大地下降。此種例子顯示在第 13 圖中。

位元線 BL 之電容和晶胞板線 CP 之電容必須如第 9，10 圖所示不可恰巧一樣大；它們在此種由鐵電質記憶電容

五、發明說明(13)

器之磁滯曲線所預設之值之範圍中可以完全不同大小。若在偵測時發生問題，則可進行二次相交。如第 14 圖所示。

位元線 BL 和晶胞板線 CP 在第 13 圖之例子中是與選擇電晶體 T 相連接或與記憶電容器之晶胞板相連接且通常是由不同之材料(例如，多晶矽或鋁)所構成，使它們可具有不同之電容。這對於讀出信號之偵測是不利的。

第 14 圖之配置此處可提供一種補救：晶胞板線 CP 及所屬之二條位元線 B_{L1} ， B_{L2} 須互相相交，使位元線 B_{L1} ， B_{L2} 之電容等於晶胞板線 CP 之電容。

以下將依據第 8 至 10 圖，第 15，16 圖來詳述本發明之第三實施例。在第三實施例中，各晶胞板平行於字元線 WL 而互相連接，各晶胞板線 CP 中施加脈波以便讀出記憶胞之內容且又寫回去。

在第三實施例中，在步驟 I 中位元線 BL(請比較第 15 圖)例如充電至電源電壓 VCC。已定址之記憶胞(其具有記憶電容器 FCS)之內容藉由字元線 WL 之驅動而讀出至位元線 BL。晶胞板線 CP 於是處於此種與位元線電壓相反之電壓(例如，0V)處。位元線 BL 上所至高無上之電壓 ΔU_L 暫時儲存在電容 CBS1 中。

所屬之字元線 WL 因此可使所讀出之記憶胞之讀出(或轉換)電晶體 T 截止(off)。

在步驟 II 中此位元線 BL 處於 0V。記憶胞上之晶胞板線 CP 預充電至此種與位元線電壓相反之電壓(例如，VCC)

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(14)

處。此記憶胞之轉換電晶體 T 藉由字元線脈衝施加至字元線 WL 而又斷開(off)。

現在，一種參考電壓 ΔU_R 在位元線 BL 上調整，此種參考電壓 ΔU_R 暫時存在電容 CBS2 中。

以上之方式亦顯示在第 9, 10 圖中，其顯示此步驟 I 和步驟 II 中在 "0" 和 "1" 之情況下讀出時之圖解。此種圖解就像第二實施例中一樣顯示此鐵電質記憶電容器之磁滯曲線與直線表示之位元線 BL 之電容 C_{BL} (一次由 $U'_{BL} = VCC$ 開始，一次是由 $U''_{BL} = 0V$ 開始) 之相交點。電壓 U_{CP} 在步驟 I 中等於 $0V$ 且在步驟 II 中等於電源電壓 VCC (例如， $3V$)。

在本實施例中就像第一和第二實施例一樣適用於關係式(1)和(2)。

位元線 BL 之電容 C_{BL} 此處須藉由適當之設計來選取，使滿足上述之關係式(1)和(2)。位元線電容 C_{BL} 值所允許之範圍就像先前之實施例一樣是由鐵電質記憶電容器 FCS 之磁滯曲線來預設(請比較第 9, 10 圖)。

依據第 15, 16 圖，以下將依據第三實施例來詳述本發明之配置之操作方式。

首先，在時間 $t_0 - t_1$ 時此位元線 BL 及電容 CBS1 須藉助於開關 PHI1 及 PHI2 而充電至電源電壓 VCC (例如， $3V$)，此時晶胞板線 CB 位於 $0V$ 處。在時間 t_1 時此開關 PHI1 去驅動。

在時間 $t_1 - t_2$ 時，藉由適當地控制字元線 WL 使記憶電

五、發明說明(15)

容器 FCS 之內容讀出至位元線 BL 和電容 CBS1 中。在時間 t_2 時此開關 PHI2 斷開(off)。字元線 WL 亦斷開(off)。

在隨後之時間 t_2-t_3 中，以 VCC(即，3V)來驅動此晶胞板線 CP。位元線 BL 和電容器 CBS2 藉助於開關 PHI3 或 PHI4 而充電至 0V。在時間 t_3 時此開關 PHI3 去驅動。

在隨後之時間 t_3-t_4 中，鐵電質記憶電容器 FCS 之目前存在之內容藉助於適當地控制字元線 WL 而讀出至位元線 BL 和電容 CBS2 中。在時間 t_4 時此開關 PHI4 去驅動。

在時間 t_4-t_5 時，藉由開關 PHI5 來驅動此計算器 1。

最後，在時間 t_5-t_6 時，藉由開關 PHI1，PHI6 以及字元線 WL 之驅動使資訊由計算器 1 寫回至鐵電質記憶電容器 FCS 中。最後，在時間 t_6 時使所有之開關去(de-)驅動。

就像前述之各實施例一樣，各開關較佳是由 n-和 p-通道-MOS 電晶體之組合所構成。因此須選取這些開關，使整個電壓(例如，電源電壓 VCC 和 0V)可寫入電容 CBS1 或 CBS2 中或由計算器 1 寫入該記憶電容器 FCS 中。爲了減少空間需求，則亦可只使用 n-通道-MOS 電晶體。當然各開關上之電壓脈衝以及字元線 WL 上之字元線脈衝之電壓值須提高。

在本實施例中，該讀出電壓之讀取(步驟 I)恰巧可與上述例子(例如，實施例 2)相反之方式來進行。各個預充電電壓之改變同樣亦適用於上述之關係式(1)和(2)。最後，在第三實施例中，此晶胞板線可分別與二條字元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(1b)

線一起使用。這樣可使晶片面積大大地下降。

符號之說明

BL, B_{L1}, B_{L2}.....位元線

CP.....晶胞板

WL.....字元線

FCS.....鐵電質記憶電容器

CPSA, CK1, CK2...電容

T.....轉換電晶體

C_{BL}.....位元線電容

PHI1~PHI6....開關

TK.....短路電晶體

WL1, ..., WLn...字元線

1.....計算器

CBS2.....電容

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要 (發明之名稱：)

鐵電質記憶胞之自我參考用之配置

本發明涉及一種鐵電質記憶胞之自我參考用之配置，此記憶胞 (FCS, T) 可依序被讀取，而位元線 (BL) 可預充電至二種不同之相反之電壓 (OV, VCC)。這樣所得到之電壓值暫時儲存在第一和第二電容 (CK1, CK2) 中且然後傳送至計算器 (1) 中。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱：)

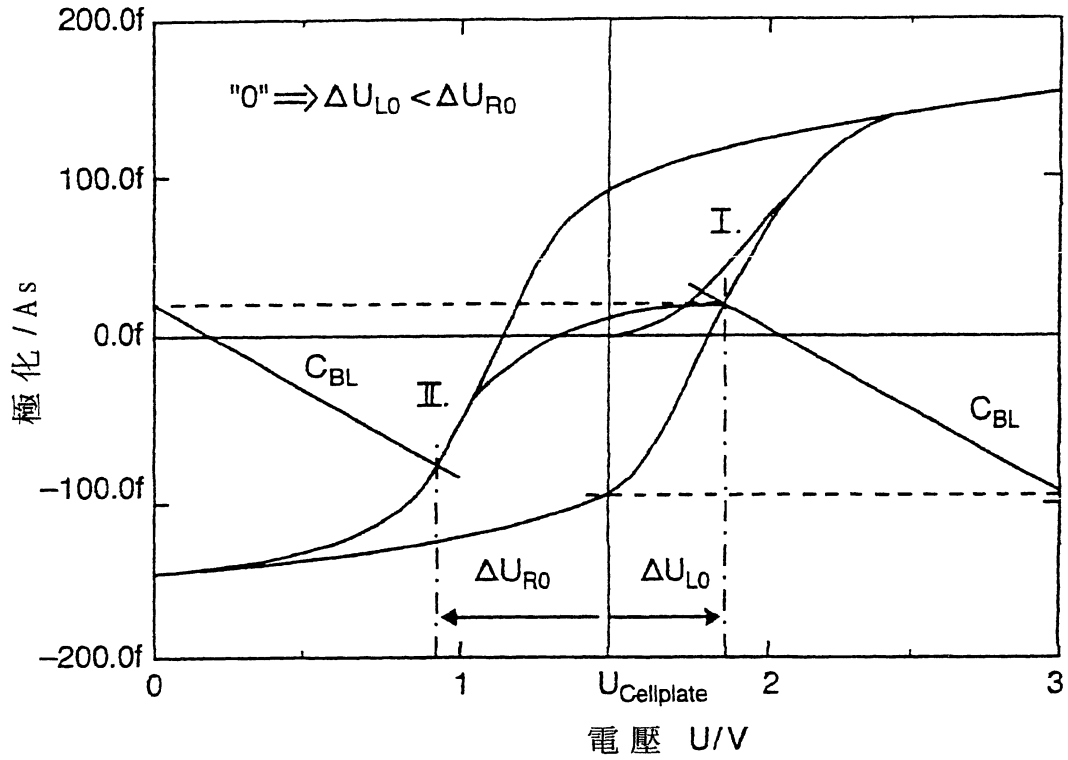
ARRANGEMENT TO SELF-REFERENCE OF FERROELECTRIC MEMORY-CELLS

This invention relates to an arrangement to self-reference of a ferroelectric memory-cell, in which the memory-cell (FCS, T) can be read-out sequentially, while the bit-line is pre-charged to two different and opposite voltages (OV, VCC). The obtained voltage-value is temporarily stored in a 1st or 2nd capacitor (CK1, CK2) and then transferred to an evaluator (1).

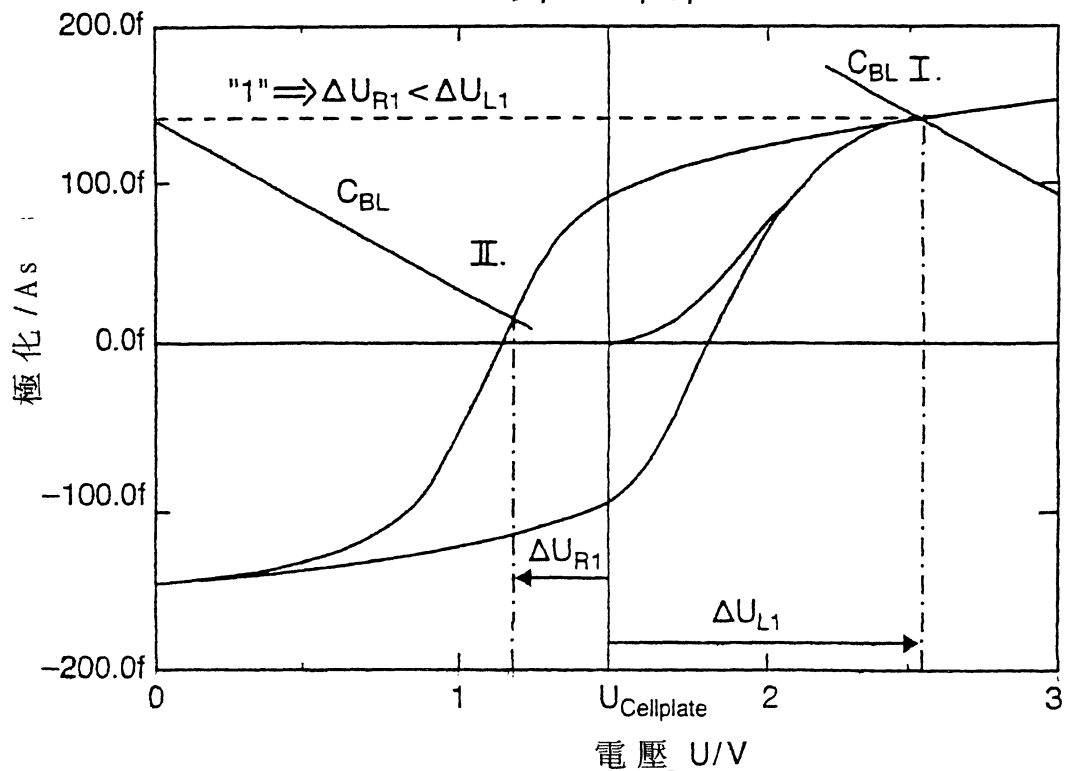
訂

線

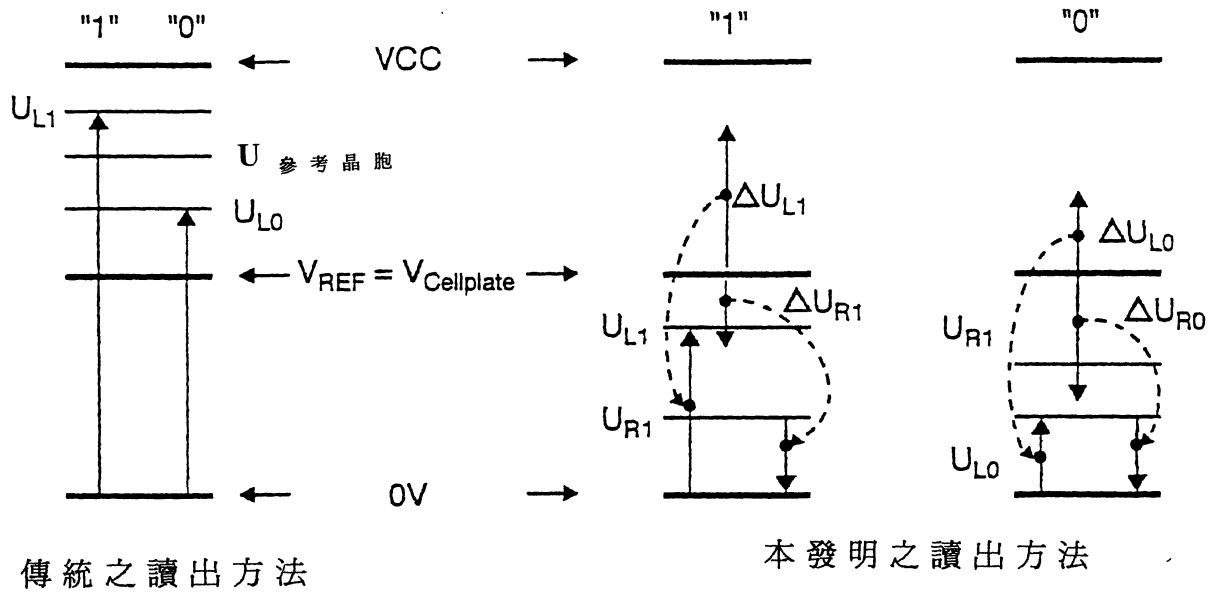
第 1 圖



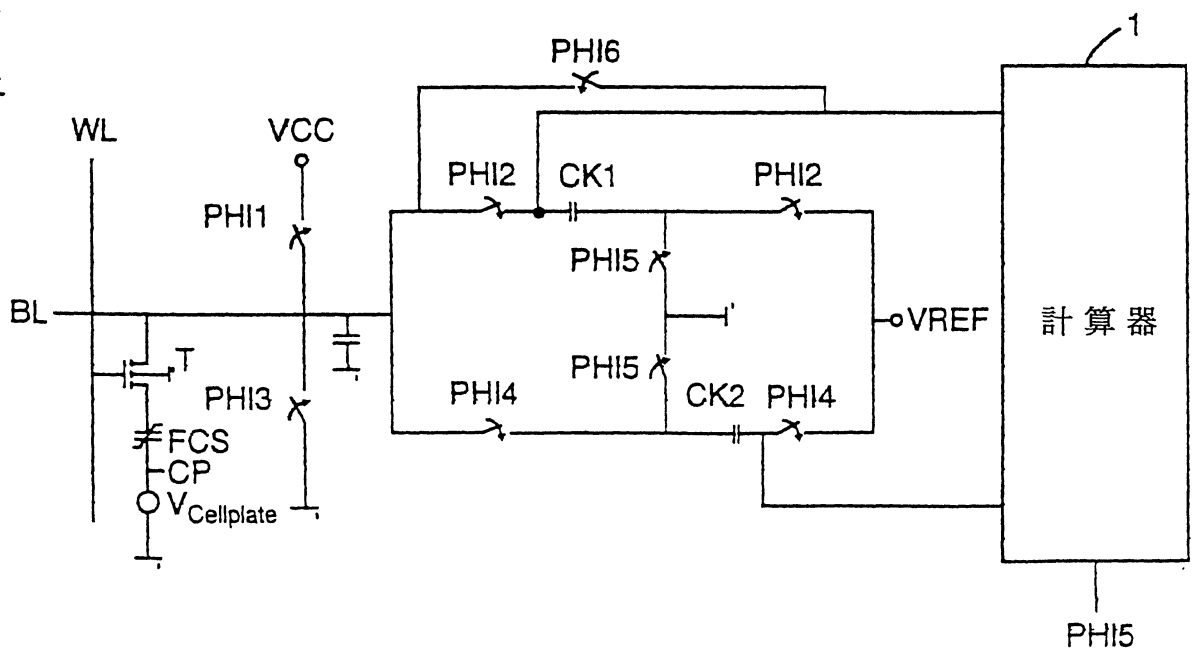
第 2 圖



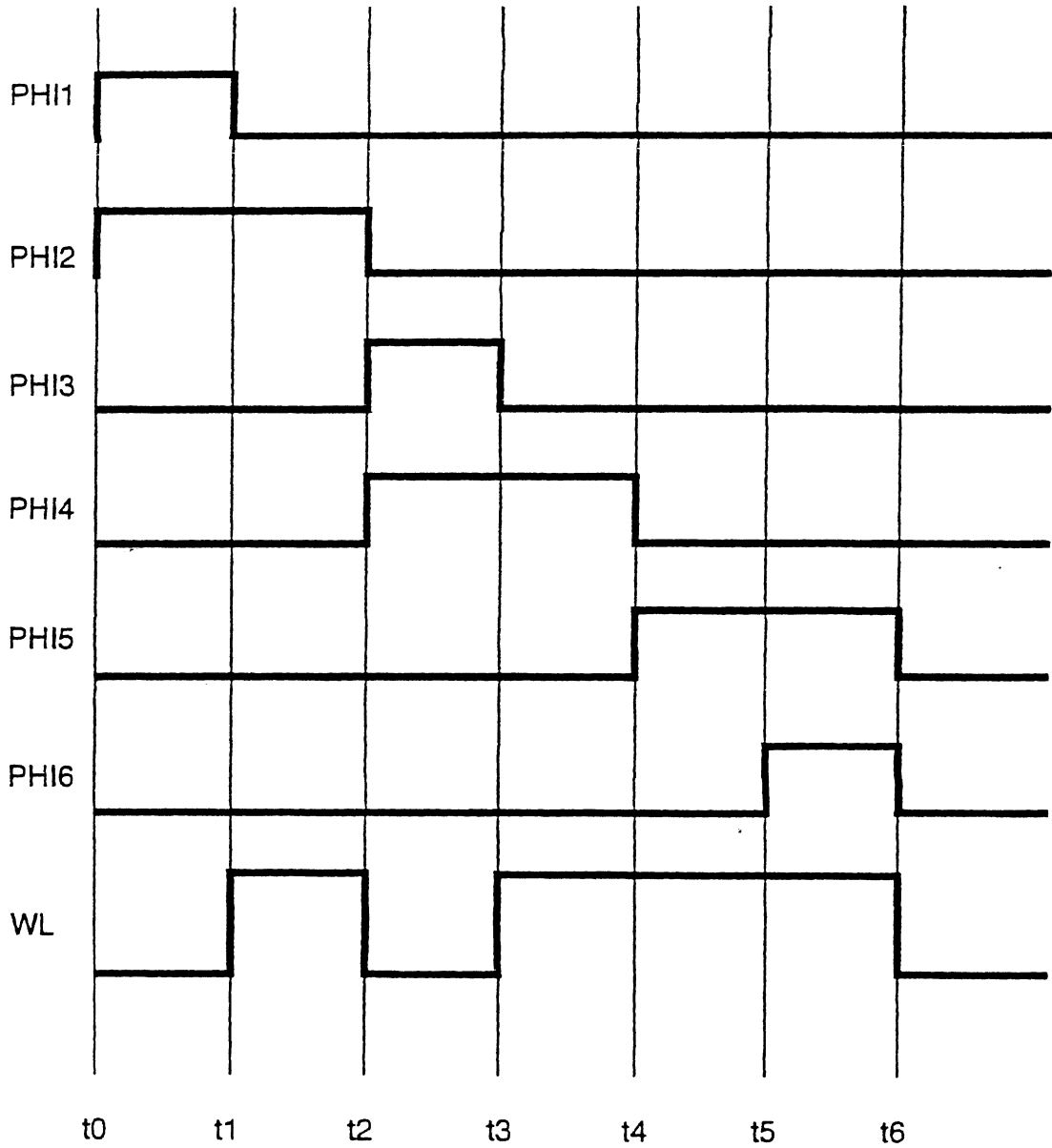
第3圖



第4圖

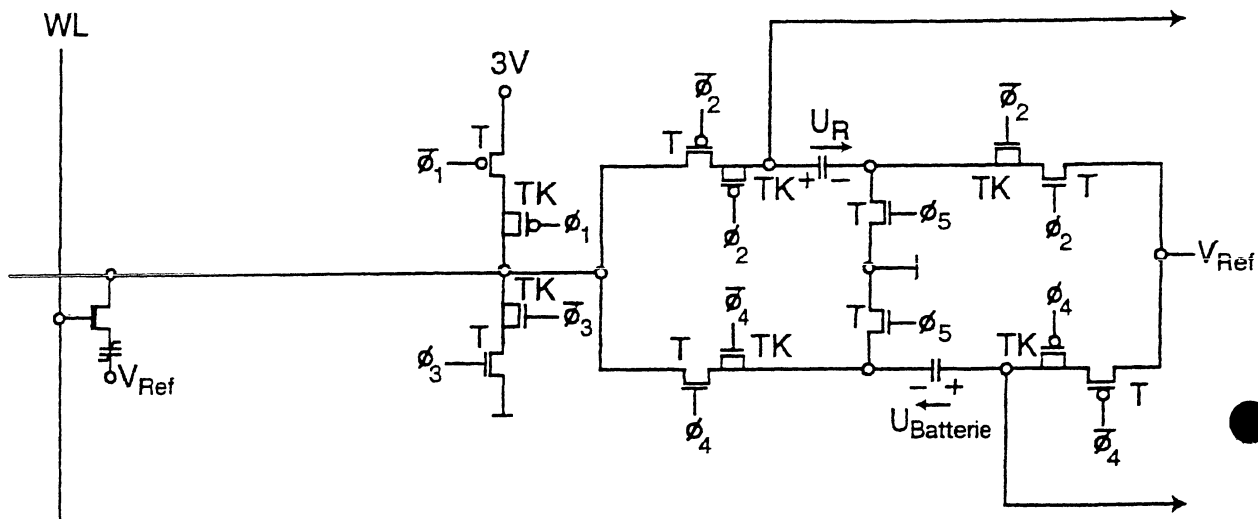


第 5 圖

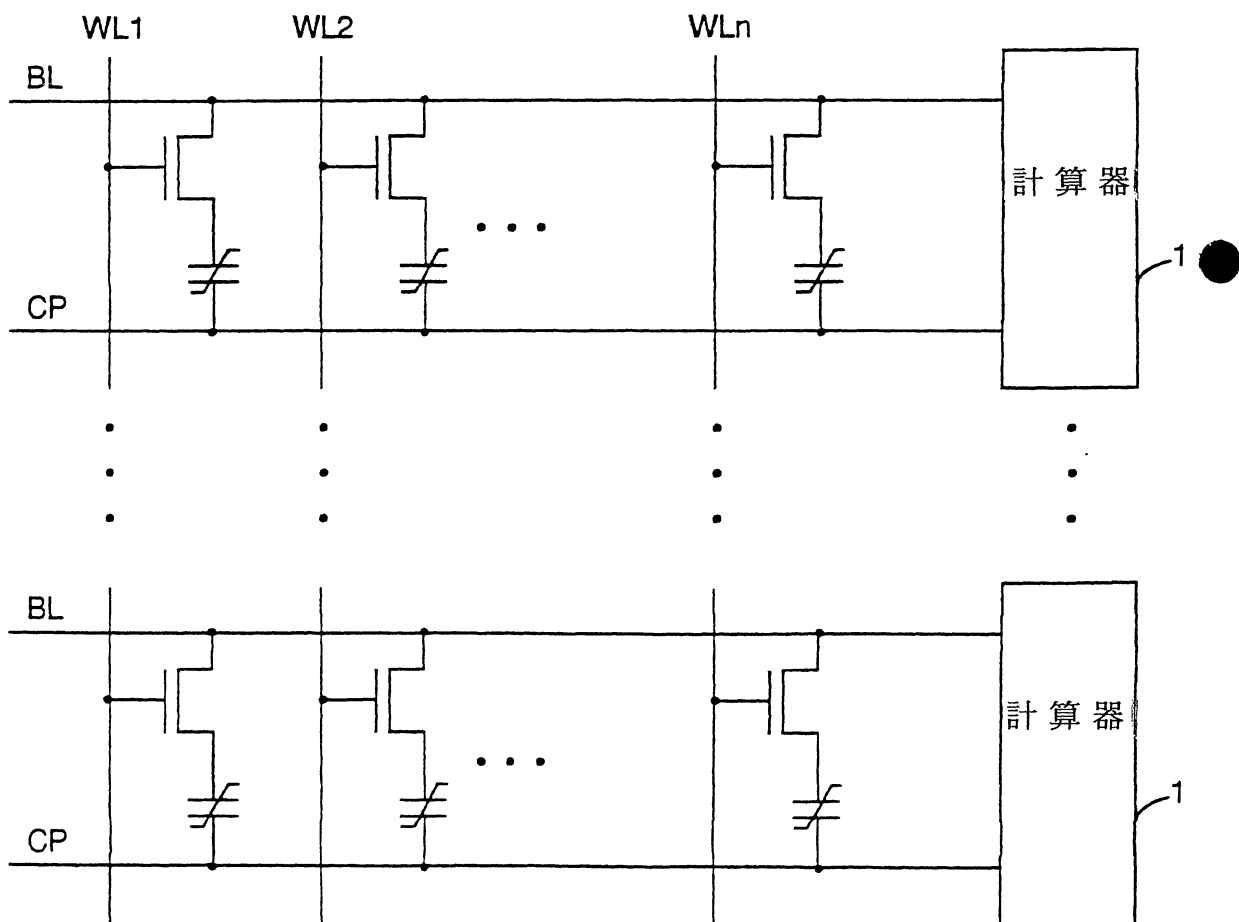


CBL 預充電 至 3V	記憶胞 內容之 讀出	CBL 預充電 至 0V	參考值 之讀出	在 CK1, CK2 之 電壓偏 移	寫回至 記憶胞 中
--------------------	------------------	--------------------	------------	-----------------------------	-----------------

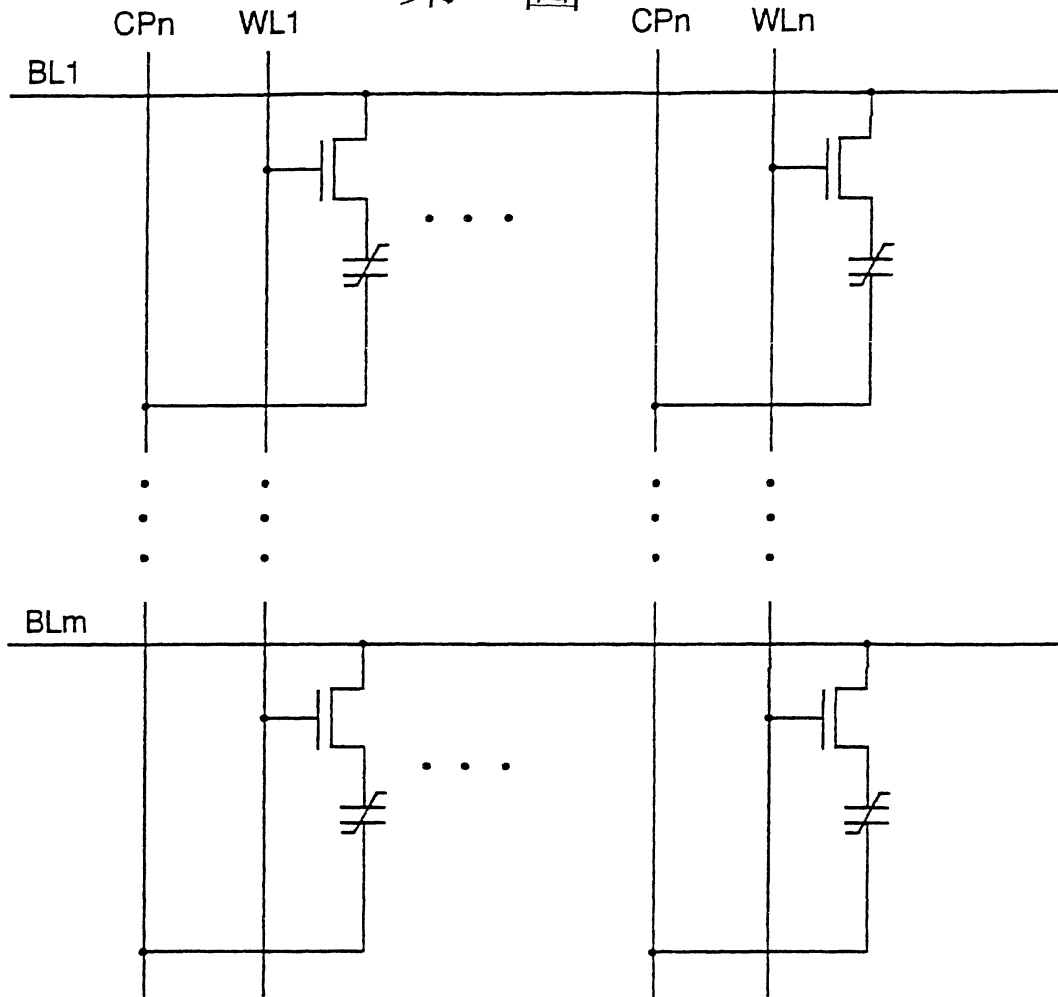
第6圖



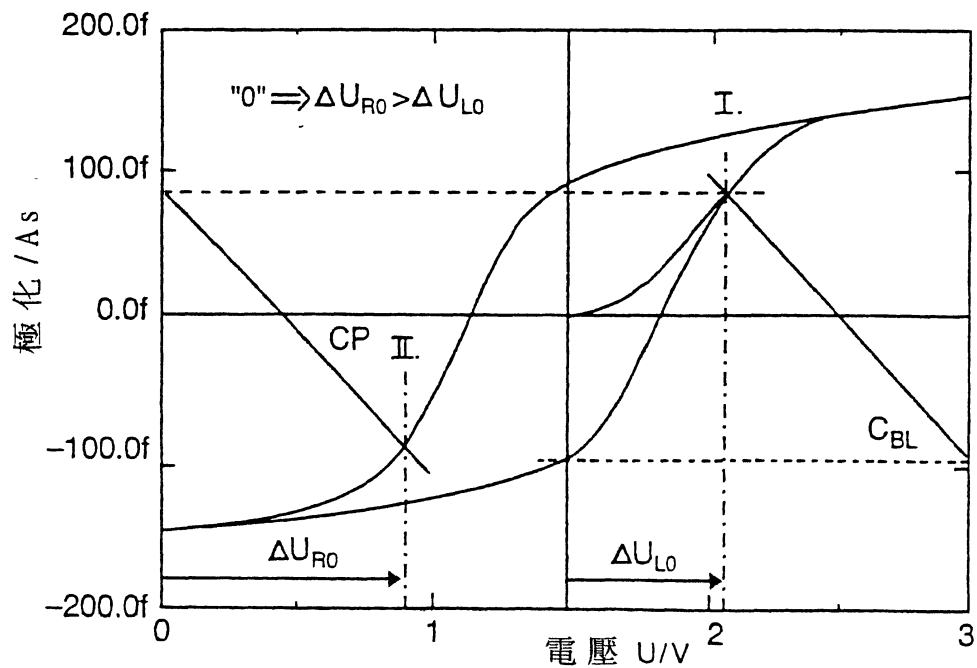
第7圖



第 8 圖



第 9 圖

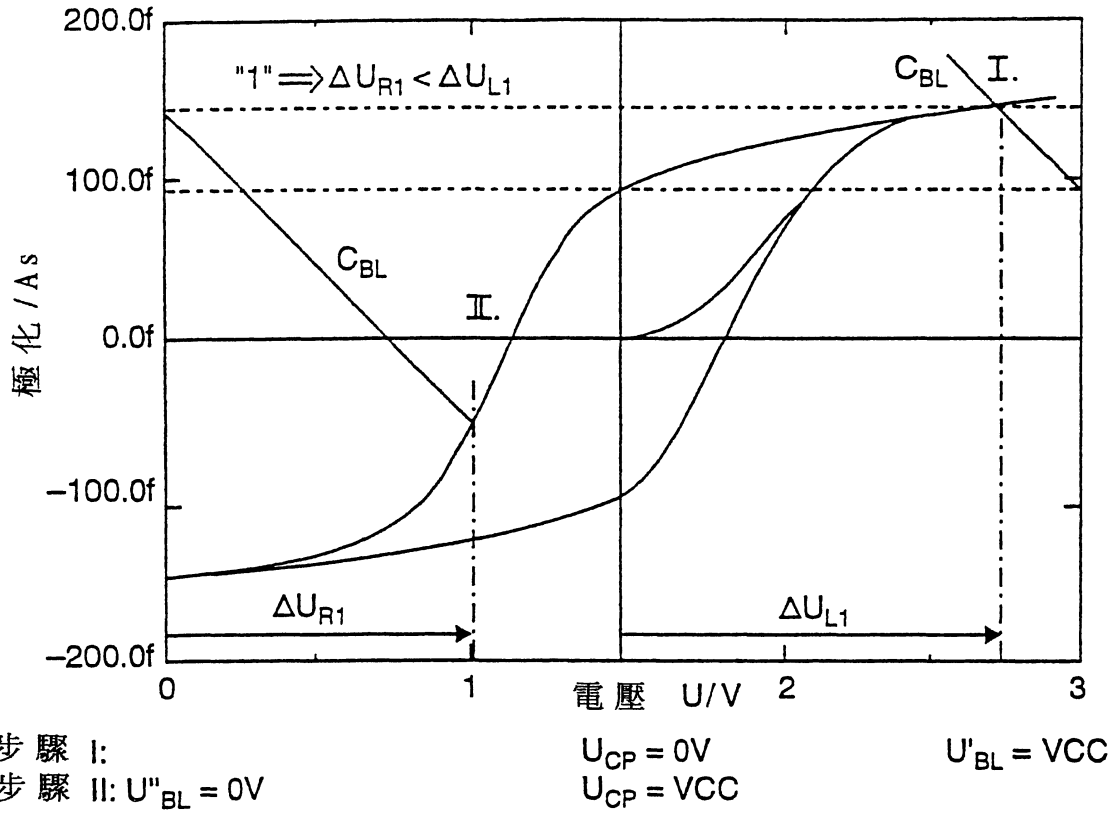


步驟 I :
 步驟 II: $U''_{BL} = 0V$

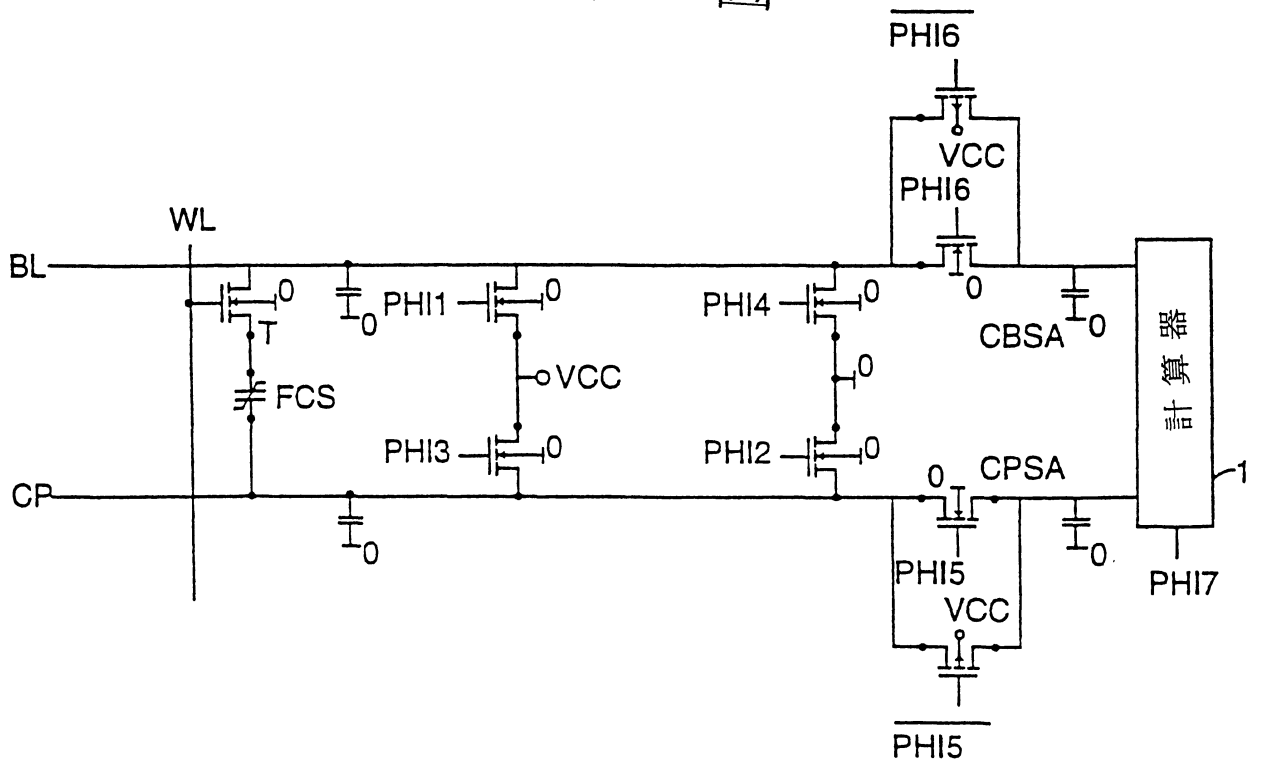
$U_{CP} = 0V$
 $U_{CP} = VCC$

$U'_{BL} = VCC$

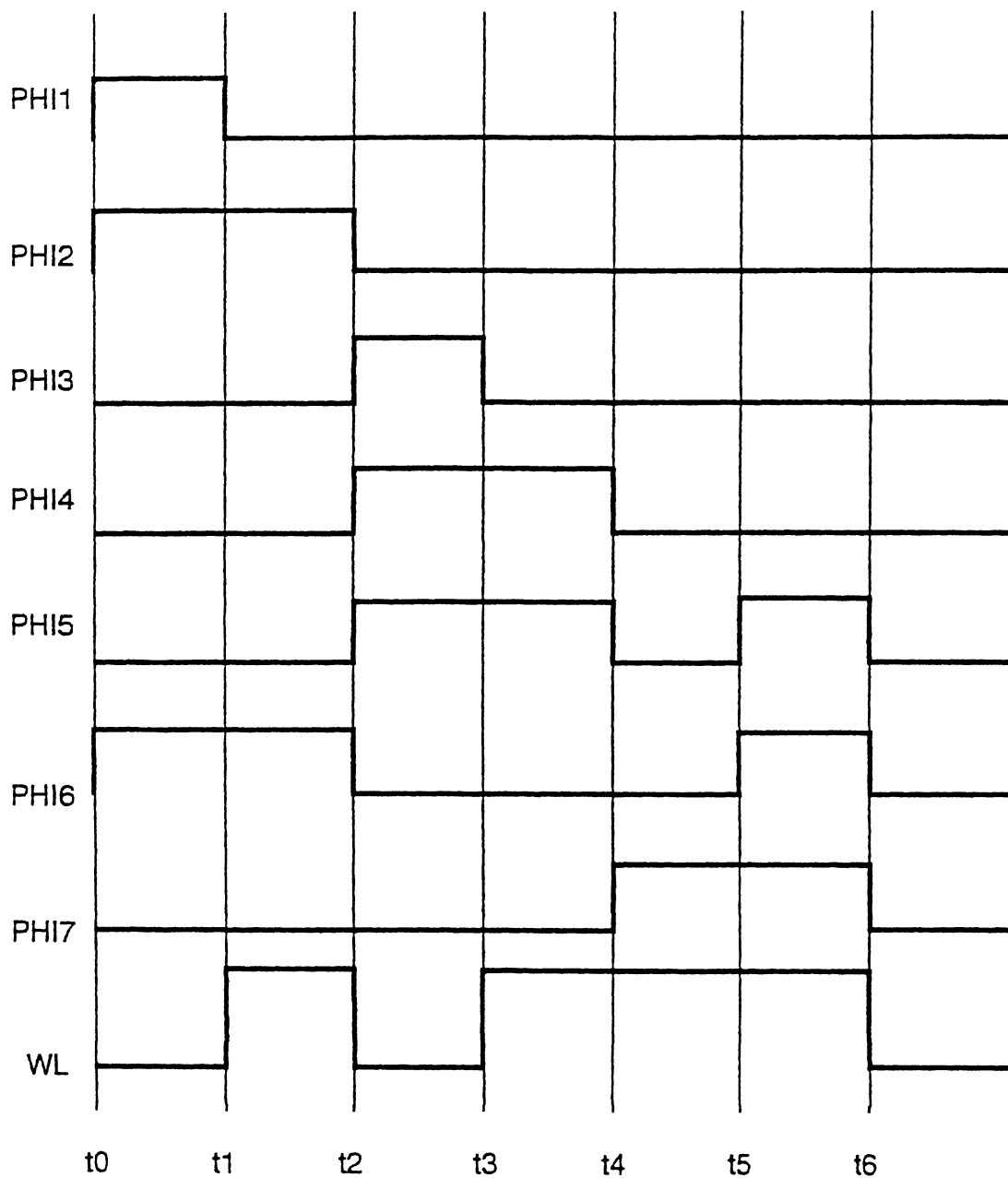
第 10 圖



第 11 圖

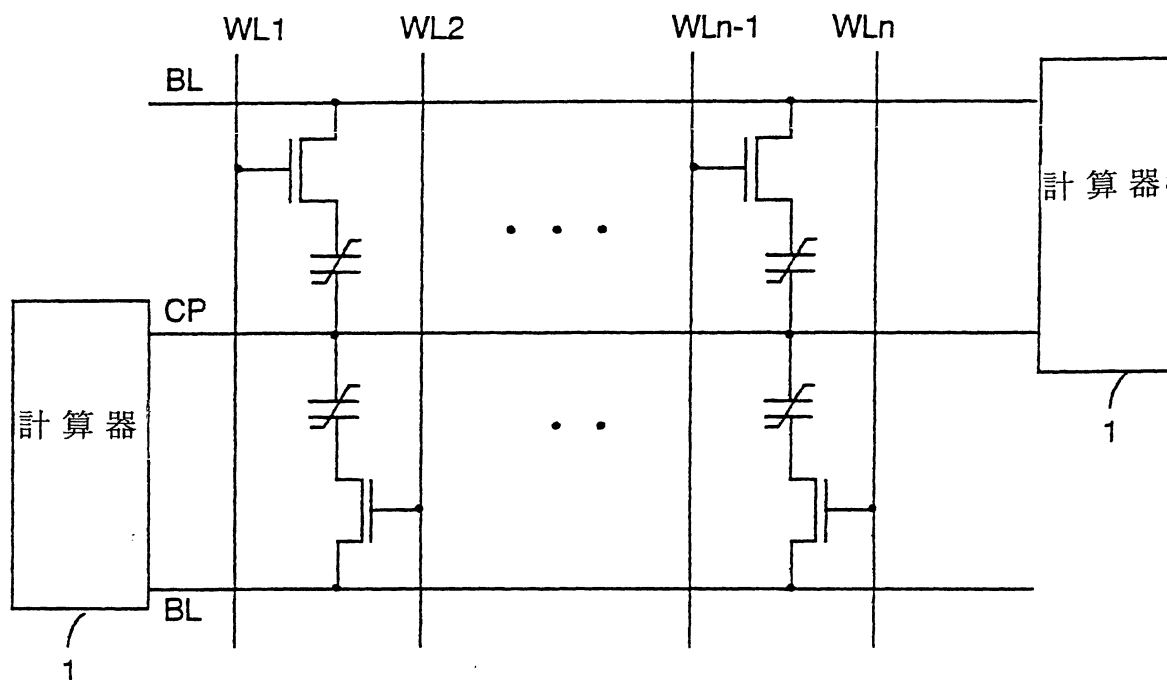


第 12 圖

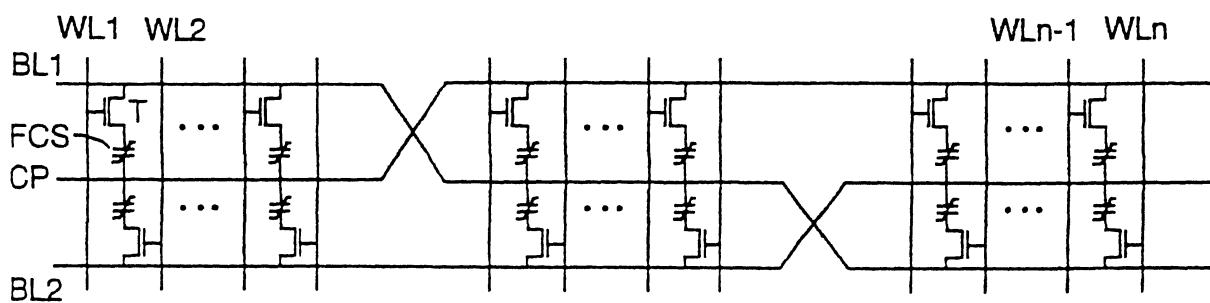


預充電 CBL = CBSA = VCC, CP = 0V	在 CBL 和 CBSA 上讀出	預充電 CBL = 0V, CP = CPSA = VCC	在 CP 和 CPSA 上 讀出	計算	寫回
---	------------------------	---	------------------------	----	----

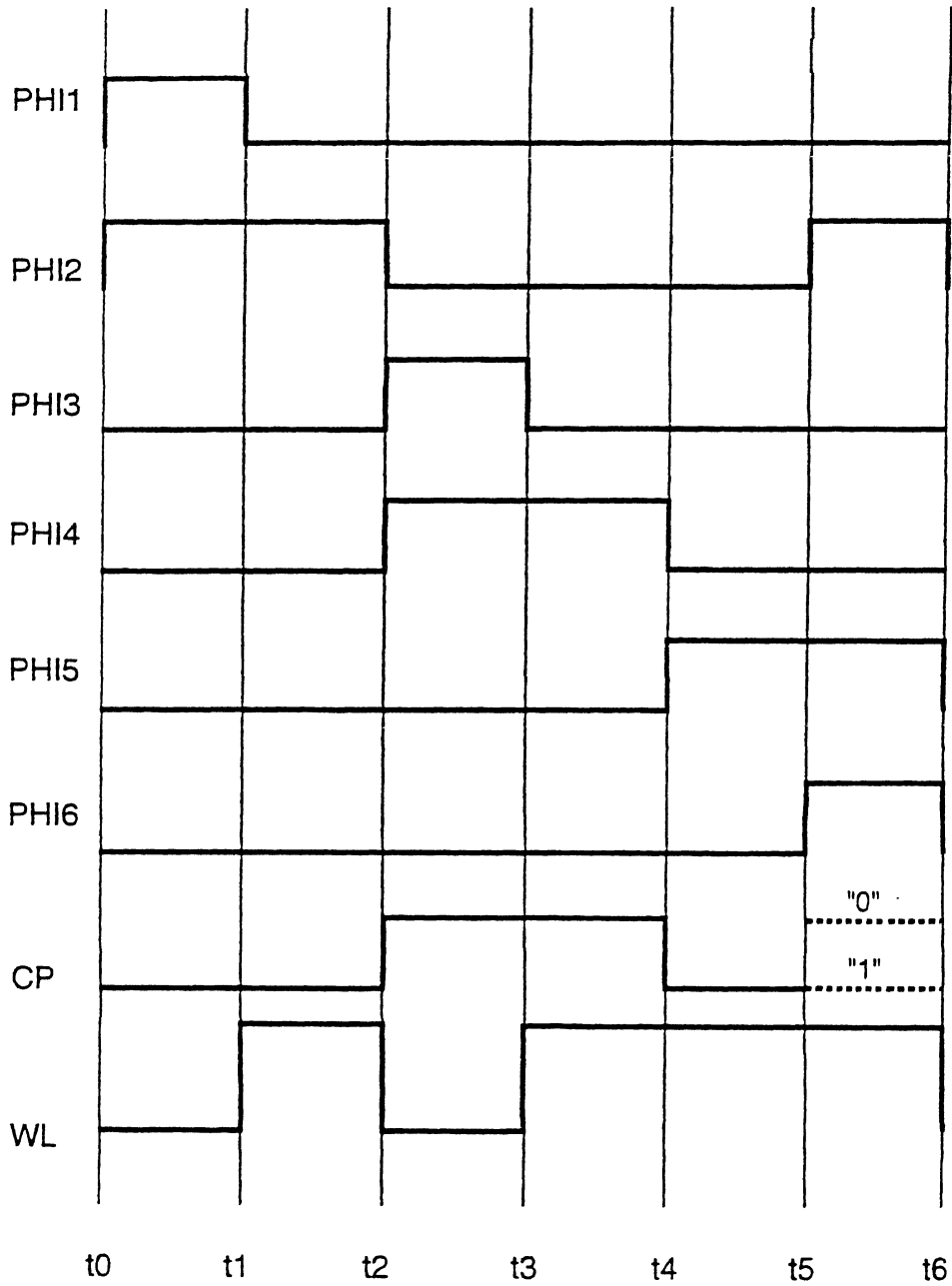
第 13 圖



第 14 圖

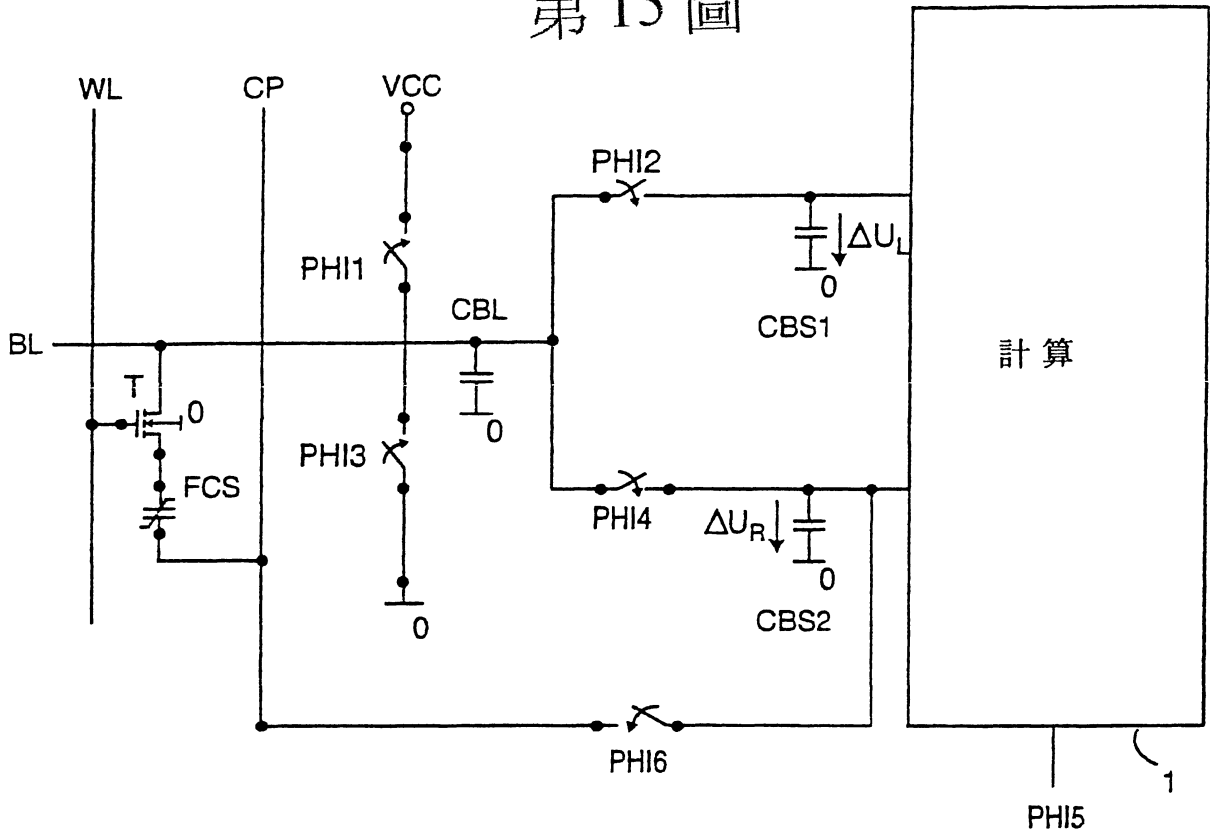


第 16 圖

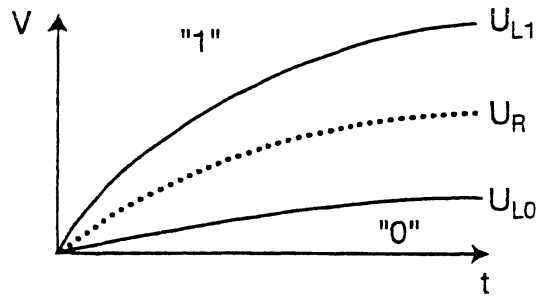


預充電 CBL = CBS1 = VCC, CP = 0V	在 CBL 和 CBS1 上 讀出	預充電 CBL = CBS2 = 0V, CP = VCC	在 CBL 和 CBSA2 上 讀出	計算	經由 CBL 和 CP 寫 回
---	-------------------------	---	--------------------------	----	-----------------------

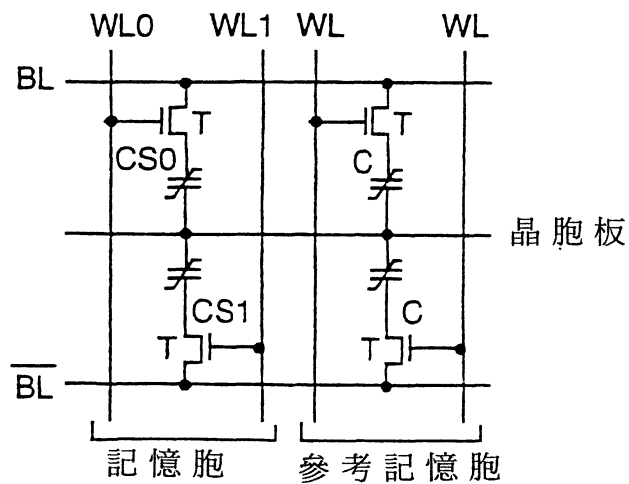
第 15 圖



第 17 圖



第 18 圖



六、申請專利範圍

第 89121789 號「鐵電質記憶胞之自我參考用之配置」專利案

(91 年 7 月修正)

六 申請專利範圍

1. 一種鐵電質記憶胞 (FCS, T) 之自我參考用之配置，此記憶胞由一個具有晶胞板之鐵電質記憶電容器 (FCS) 和一個轉換電晶體所構成且設置在一種由字元線 (WL) 和位元線 (BL) 所控制之記憶胞陣列中，此鐵電質記憶電容器 (FCS) 配置在晶胞板線 (CP) 和轉換電晶體 (T) 之間且爲了達成自我參考功能，則須藉由計算器 (1) 在讀出過程之後重新讀出此記憶胞以便獲得一種參考電壓，其特徵爲：此記憶胞 (FCS, T) 可依序被讀出，而位元線 (BL) 以第一或第二電壓值預充電至二個不同且相反之電壓 (VCC, OV)，這樣所得到之二個電壓值在傳送至計算器 (1) 之前分別暫時儲存於第一或第二電容 (CK1, CK2; CBSA, CPSA; CBS1, CBS2) 中，以便在計算器 (1) 中互相比較。
2. 如申請專利範圍第 1 項之配置，其中晶胞板線 (CP) 處於一種固定之電源電壓處 (第 4 圖)。
3. 如申請專利範圍第 1 項之配置，其中若位元線 (BL) 上施加第一或第二電壓值時，則晶胞板線 (CP) 分別施加第二或第一電壓值之電壓 (第 11, 15 圖)。
4. 如申請專利範圍第 3 項之配置，其中各晶胞板以直線方式平行於位元線 (BL) 而互相連接且該參考電壓可在晶胞板線 (CP) 上測得 (第 11 圖)。
5. 如申請專利範圍第 3 項之配置，其中各晶胞板以直線方式

六、申請專利範圍

平行於字元線 (WL) 而互相連接且該參考電壓可在位元線 (BL) 上測得 (第 15 圖)。

6. 如申請專利範圍第 1 至 5 項中任一項之配置，其中在此位元線 (BL) 第一次預充電之後此轉換電晶體 (T) 截止 (off)。
7. 如申請專利範圍第 1 至 5 項中任一項之配置，其中晶胞板線 (CP) 由二條位元線 (BL) 所共同使用。
8. 如申請專利範圍第 1 至 5 項中任一項之配置，其中位元線 (BL) 和晶胞板線 (CP) 互相相交至少一次。
9. 如申請專利範圍第 7 項之配置，其中位元線 (BL) 和晶胞板線 (CP) 互相相交至少一次。
10. 如申請專利範圍第 1 項之配置，其中二種互相不同之電壓是由 0V 和電源電壓 (VCC) 所設定。