

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-258576

(P2008-258576A)

(43) 公開日 平成20年10月23日(2008.10.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 B	5 F 1 4 0
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G	
HO 1 L 29/49 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2008-5231 (P2008-5231)  
 (22) 出願日 平成20年1月15日 (2008.1.15)  
 (31) 優先権主張番号 10-2007-0034244  
 (32) 優先日 平成19年4月6日 (2007.4.6)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111  
 株式会社ハイニックスセミコンダクター  
 HYNIX SEMICONDUCTOR  
 INC.  
 大韓民国京畿道利川市夫鉢邑牙美里山136-1  
 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea  
 (74) 代理人 100095315  
 弁理士 中川 裕幸  
 (72) 発明者 李 東 浩  
 大韓民国 京畿道 城南市 盆唐區 野塔洞 ジャングミマエウル 現代アパートメント 807-401

最終頁に続く

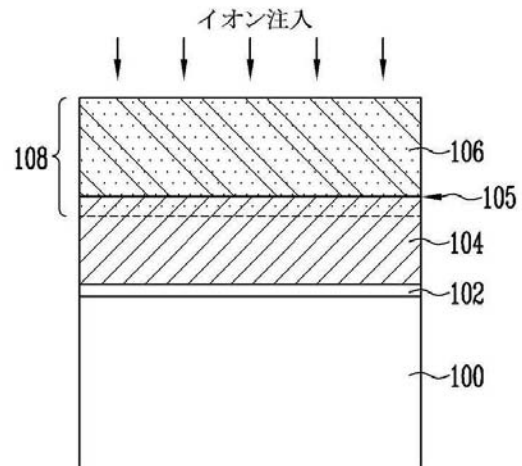
(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】 (修正有)

【課題】 導電膜と金属膜の積層構造のゲート電極膜を形成する時、界面の粗度を均一にすることにより、比抵抗を減少させる半導体素子の製造方法を提供する。

【解決手段】 半導体基板100上にゲート絶縁膜102、導電膜104及び金属膜106を形成する段階、導電膜及び金属膜の界面105にイオン注入領域を形成するためにイオン注入工程を行う段階、イオン注入された半導体基板にフラッシュ熱処理工程を行う段階及び金属膜、導電膜及びゲート絶縁膜をパターニングする段階を含む半導体素子の製造方法。

【選択図】 図1B



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上にゲート絶縁膜、導電膜及び金属膜を形成する段階；  
上記導電膜及び金属膜の界面にイオン注入領域を形成するためにイオン注入工程を行う段階；

上記イオン注入された上記半導体基板にフラッシュ熱処理工程を行う段階；及び  
上記金属膜、上記導電膜及び上記ゲート絶縁膜をパターニングする段階を含む半導体素子の製造方法。

## 【請求項 2】

上記イオン注入工程は、リン(P)、ヒ素(As)、ゲルマニウム(Ge)及びシリコン(Si)イオンのいずれか一つを用いて行う請求項 1 に記載の半導体素子の製造方法。

10

## 【請求項 3】

上記イオン注入工程は、 $1 \times 10^{14}$  ions/cm<sup>2</sup> ~  $1 \times 10^{16}$  ions/cm<sup>2</sup> のエネルギーを加えて行う請求項 1 に記載の半導体素子の製造方法。

## 【請求項 4】

上記フラッシュ熱処理工程は、キセノン(xenon;Xe)フラッシュランプ(flash lamp)を用いて行う請求項 1 に記載の半導体素子の製造方法。

## 【請求項 5】

さらに、上記フラッシュ熱処理工程を行った後、上記半導体基板にハロゲン熱処理工程を行う段階を含む請求項 1 に記載の半導体素子の製造方法。

20

## 【請求項 6】

半導体基板上にゲート絶縁膜、導電膜及び金属膜を形成する段階；  
上記導電膜及び金属膜の界面にイオン注入領域を形成するためにイオン注入工程を行う段階；

上記イオン注入された上記半導体基板にハロゲン熱処理工程を行う段階；及び  
上記金属膜、上記導電膜及び上記ゲート絶縁膜をパターニングする段階を含む半導体素子の製造方法。

## 【請求項 7】

上記ハロゲン熱処理工程は、タングステンハロゲンランプを用いて行う請求項 5 また 6 に記載の半導体素子の製造方法。

30

## 【請求項 8】

第 5 項または第 6 項において、

上記ハロゲン熱処理工程は、窒素(N<sub>2</sub>)の雰囲気下で急速熱処理方式(RTP)で行う請求項 5 また 6 に記載の半導体素子の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体素子の製造方法に関するものであり、特に、導電膜と金属膜の積層構造のゲート電極膜を形成するにおいて、界面の粗度を均一にすることにより、比抵抗を減少させる半導体素子の製造方法に関するものである。

40

## 【背景技術】

## 【0002】

一般に、半導体素子においてゲート電極(gate electrode)は、導電膜と金属膜の積層構造で形成するが、導電膜はポリシリコン(poly silicon)で形成し、金属膜はタングステンシリサイド(tungsten silicide;WSix)を使って主に形成している。金属膜を形成した後、金属膜の抵抗を減少させ、後続のワードライン(word line)の電気的特性を向上させるために熱処理工程を行う。

## 【0003】

しかし、この時に行う熱処理工程は高温で行うため、金属膜のグレインサイズ(grain size)が不均一になり得る。金属膜のグレインサイズが不均一になれば、金属膜と導電膜の

50

界面の粗度(roughness)が増加し、抵抗の増加をもたらすことがあり、ゲートパターンニング(patterning)工程が困難になり得る。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、ゲート電極の形成のための金属膜を形成した後にイオン注入工程を行い、金属膜と導電膜との間の界面の粗度を向上させ、フラッシュ熱処理工程を行うことにより、粗度の増加を抑制させながら、比抵抗を低くするように半導体素子を製造する。

【課題を解決するための手段】

【0005】

本発明の実施例による半導体素子の製造方法は、半導体基板上にゲート絶縁膜、導電膜及び金属膜を形成する。導電膜及び金属膜の界面にイオン注入領域を形成するためにイオン注入工程を行う。イオン注入された半導体基板にフラッシュ熱処理工程を行う。金属膜、導電膜及びゲート絶縁膜をパターンニングする段階を含む半導体素子の製造方法である。

【0006】

イオン注入工程は、リン(P)、ヒ素(As)、ゲルマニウム(Ge)及びシリコン(Si)イオンのいずれか一つを用いて行い、イオン注入工程は、 $1 \times 10^{14}$  ions/cm<sup>2</sup> ~  $1 \times 10^{16}$  ions/cm<sup>2</sup>のエネルギーを加えて行う。

【0007】

フラッシュ熱処理工程は、キセノン(xenon;Xe)フラッシュランプ(flash lamp)を用いて行う。

【0008】

フラッシュ熱処理工程を行った後、半導体基板にハロゲン熱処理工程を行う段階をさらに含む。

【0009】

本発明の他の実施例による半導体素子の製造方法は、半導体基板上にゲート絶縁膜、導電膜及び金属膜を形成する。導電膜及び金属膜の界面にイオン注入領域を形成するためにイオン注入工程を行う。イオン注入された半導体基板にハロゲン熱処理工程を行う。金属膜、導電膜及びゲート絶縁膜をパターンニングする段階を含む半導体素子の製造方法である。

【0010】

ハロゲン熱処理工程はタングステンハロゲンランプを用いて行い、ハロゲン熱処理工程は窒素(N<sub>2</sub>)の雰囲気下で急速熱処理方式(RTP)で行う。

【発明の効果】

【0011】

本発明は、ゲート電極膜を形成した後にイオン注入工程を行い、金属膜と導電膜との間の界面の粗度を改善することができ、フラッシュランプを用いた熱処理工程を行うことにより、粗度の増加を抑制しながら比抵抗を低くすることができる。これにより、ゲート電極の抵抗増加を防止することができ、ゲートパターンニング工程を容易に行うことができる。

【発明を実施するための最良の形態】

【0012】

以下、添付した図面を参照し、本発明の望ましい実施例を説明する。しかし、本発明は、以下に開示される実施例により限定されるものではなく、互いに異なる多様な形態で具現されることができ、単に本実施例は、本発明の開示が完全であるようにし、通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものである。

【0013】

図1A~図1Dは、本発明による半導体素子の製造方法を説明するための断面図である。

【0014】

10

20

30

40

50

図1Aを参照すれば、素子分離膜(図示せず)が形成された半導体基板(100)上にゲート絶縁膜(102)及びゲート電極膜(103)を形成する。ゲート絶縁膜(102)は酸化膜で形成することが望ましく、ゲート電極(103)は導電膜(104)及び金属膜(106)の積層構造で形成することが望ましい。導電膜(104)はポリシリコンで形成することができ、金属膜(104)はタングステンシリサイド(tungsten silicide)で形成することができる。

#### 【0015】

図1Bを参照すれば、金属膜(106)と導電膜(104)との間の界面(105)がイオン注入領域(108)に含まれるようにイオン注入工程を行う。イオン注入工程は、リン(phosphorus;P)、ヒ素(arsenic;As)、ゲルマニウム(germanium;Ge)及びシリコン(silicon;Si)イオンのいずれか一つを用いて行うことができる。また、イオン注入工程時に加えるエネルギーは、ゲート電極膜の厚さ及び物質により調節することができ、望ましくは、イオン注入領域(108)が金属膜(106)と導電膜(104)との界面(105)に含まれ得るエネルギーで印加して行う。例えば、イオン注入工程は、 $1 \times 10^{14}$  ions/cm<sup>2</sup> ~  $1 \times 10^{16}$  ions/cm<sup>2</sup>のエネルギーを加えて行える。

10

#### 【0016】

図2は、イオン注入工程の有無によるタングステンシリサイド膜(WSix)の粗度(roughness)を示した原子顕微鏡(atomic force microscope;以下、AFMとする)の写真である。図2を参照すれば、イオン注入工程を行っていない基板(A)とイオン注入工程を行った基板(B)を対照して見れば、イオン注入を行った基板(B)において金属膜(106)の粗度(roughness)がさらに均一であるということがAFM写真を通じて分かる。

20

#### 【0017】

図1Cを参照すれば、金属膜(106)が形成された半導体基板(100)に熱処理工程を行う。もし、ハロゲンランプを用いて熱処理工程を実施すれば、高温の熱処理装置の中で長時間熱処理工程を実施しなければならないため、金属膜(106)のグレインサイズが大きくなることがある。グレインサイズが大きくなれば、金属膜(106)と導電膜(104)との間の界面(105)の粗度が増加することがある。

#### 【0018】

これを改善するために、導電膜(104)と金属膜(106)との間の界面(105)の粗度(roughness)を維持しながら抵抗を低くするためのフラッシュ熱処理工程を行う。フラッシュ熱処理工程は、キセノン(xenon;Xe)フラッシュランプ(flash lamp)を用いて行うことが望ましい。キセノンフラッシュランプは、一般に用いられるタングステン(tungsten;W)ハロゲンランプ(halogen lamp)より波長が短く、発光がゲート電極膜に吸収されやすいため、熱処理工程を効率的に行うことができる。

30

#### 【0019】

図3のグラフを参照して具体的に説明すれば、次の通りである。図3は、波長が異なるランプ(Xe flash lamp及びW halogen lamp)による発光光の吸収率(Si absorption coefficient)を比較したグラフであり、X軸は波長を示し、Y軸は強度を示す。グラフの左側のY軸はランプの強度(intensity)を示し、右側のY軸は吸収率(absorption)を示す。グラフにおいて、キセノン(Xe)フラッシュランプを用いた工程がタングステン(W)ハロゲンランプを用いた工程より吸収率が大きいということが分かるが、これは、キセノンフラッシュランプの波長(200nm~800nm)がタングステンハロゲンランプの波長(400nm以上)より比較的小さい低周波のためであり、ゲート電極膜への吸収率が増加する。

40

#### 【0020】

また、キセノン(Xe)フラッシュランプを用いた熱処理工程は、メートルセック(ms)の短時間工程が可能であるため、一般のタングステンハロゲンランプを用いる熱処理工程に比べて工程時間を短縮することができる。

#### 【0021】

短時間に熱処理工程を実施すれば、金属膜(106)のグレインサイズ(grain size)の増加を抑制でき、比抵抗を低くすることができ、これにより金属膜(106)と導電膜(104)との間の界面(105)の粗度の増加を抑制することができる。

50

## 【0022】

フラッシュランプを用いた熱処理工程を行った後に比抵抗の減少のための熱処理工程をさらに行うこともできる。この時に行う熱処理工程は、窒素(N<sub>2</sub>)の雰囲気下でタングステンハロゲンランプを用いた急速熱処理方式(RTP)で行い、イオン注入領域の濃度の変化なしに比抵抗をさらに低くすることができる。

## 【0023】

図1Dを参照すれば、金属膜(106)上にハードマスク膜パターン(110)を形成し、ハードマスク膜のパターン(110)によりエッチング工程を行い、金属膜(106)、導電膜(104)及びゲート絶縁膜(102)をパターンニングする。上述したイオン注入工程及びフラッシュ熱処理工程をいずれも行うか、またはいずれか一つの工程を行うことにより界面(105)の粗度を改善することができ、ゲート電極の抵抗を減少させることができる。

10

## 【0024】

これについて図4を参照すれば、図4は、イオン注入工程による金属膜の粗度(root mean square;RMS)差をグラフで示したものである。グラフにおいて'C'はイオン注入工程を行わずに熱処理工程のみを行った膜の粗度に対するグラフであり、'D'及び'E'はイオン注入工程を行った膜のグラフである。

## 【0025】

図4において、イオン注入を行わずに熱処理工程を行った膜(C)の粗度が最も高く、これに比べて、不純物(PまたはAs)が注入された膜(D及びE)の粗度がさらに小さいことが分かる。この中でも、ヒ素(As)を用いてイオン注入工程を行う場合がリン(P)を用いてイオン注入工程を行う場合より粗度がさらに減ることが分かる。

20

## 【0026】

これにより、イオン注入工程を行うことにより、金属膜(106)と導電膜(104)との間の界面(105)の粗度を向上させることができ、フラッシュランプを用いた熱処理工程を行うことにより、界面(105)粗度の増加を防止しながら、比抵抗を低くすることができ、製造時間を短縮させることができる。

## 【0027】

上記で説明した本発明の技術的思想は、望ましい実施例で具体的に記述されたが、上記の実施例はその説明のためのものであり、その制限のためのものではないことに注意しなければならない。また、本発明は、本発明の技術分野の通常の特許家であれば、本発明の技術的思想の範囲内で多様な実施例が可能であることを理解することができるものである。

30

## 【図面の簡単な説明】

## 【0028】

【図1A】本発明による半導体素子の製造方法を説明するための断面図である。

【図1B】本発明による半導体素子の製造方法を説明するための断面図である。

【図1C】本発明による半導体素子の製造方法を説明するための断面図である。

【図1D】本発明による半導体素子の製造方法を説明するための断面図である。

【図2】本発明による金属膜のAFM写真である。

【図3】熱処理工程時に用いられるランプによる吸収率を示したグラフである。

40

【図4】本発明による金属膜の粗度を比較したグラフである。

## 【符号の説明】

## 【0029】

100:半導体基板

102:ゲート絶縁膜

104:導電膜

105:界面

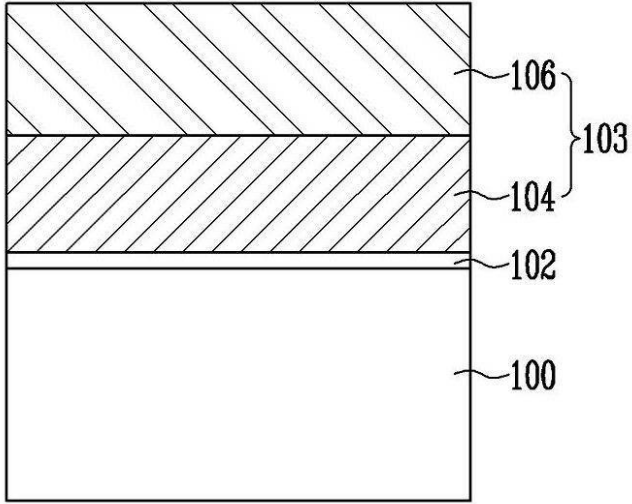
106:金属膜

108:イオン注入領域

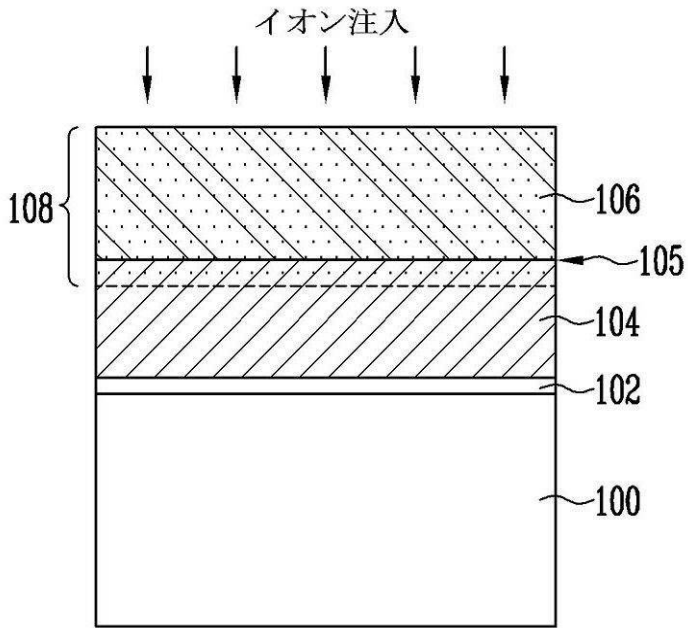
110:ハードマスク膜パターン

50

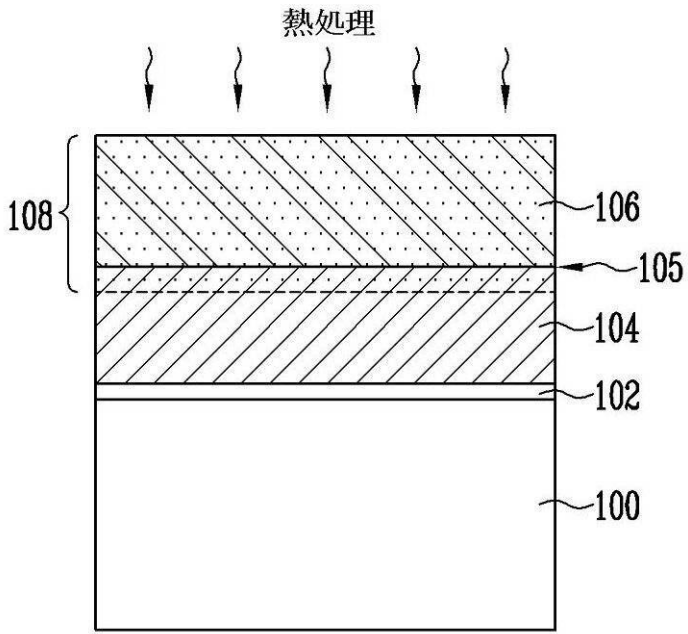
【図 1 A】



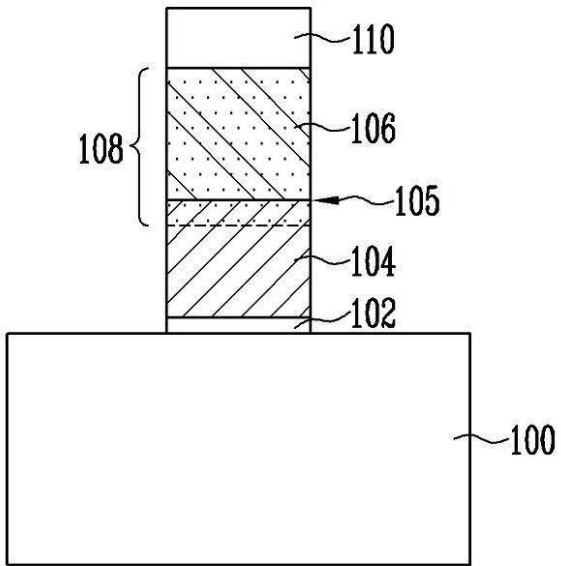
【図 1 B】



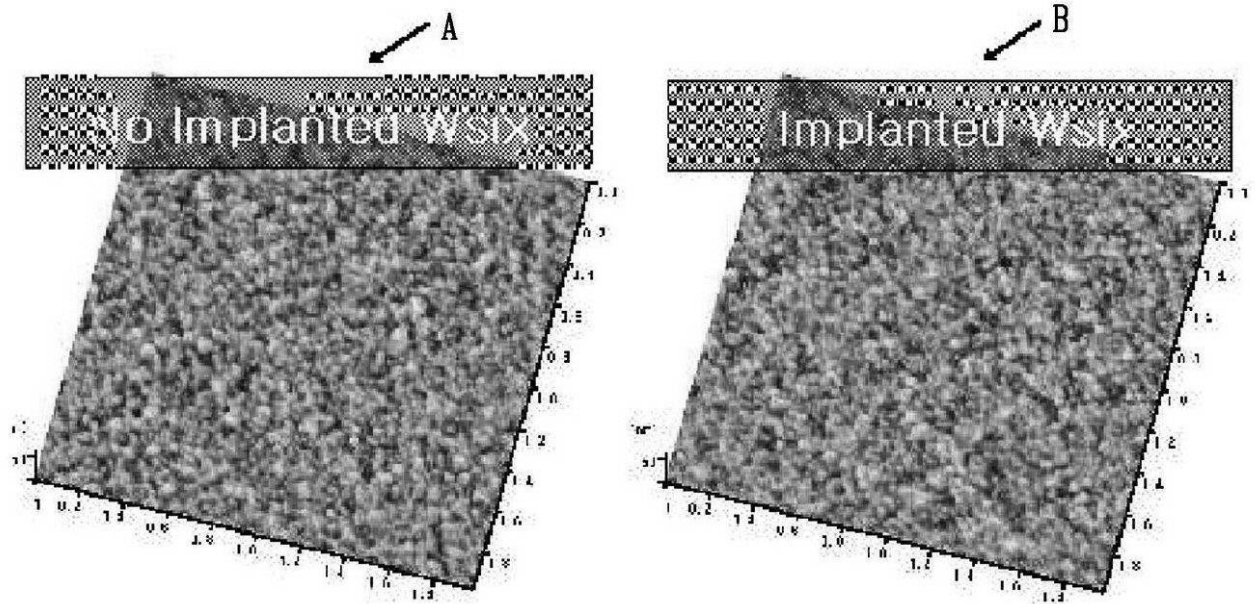
【 図 1 C 】



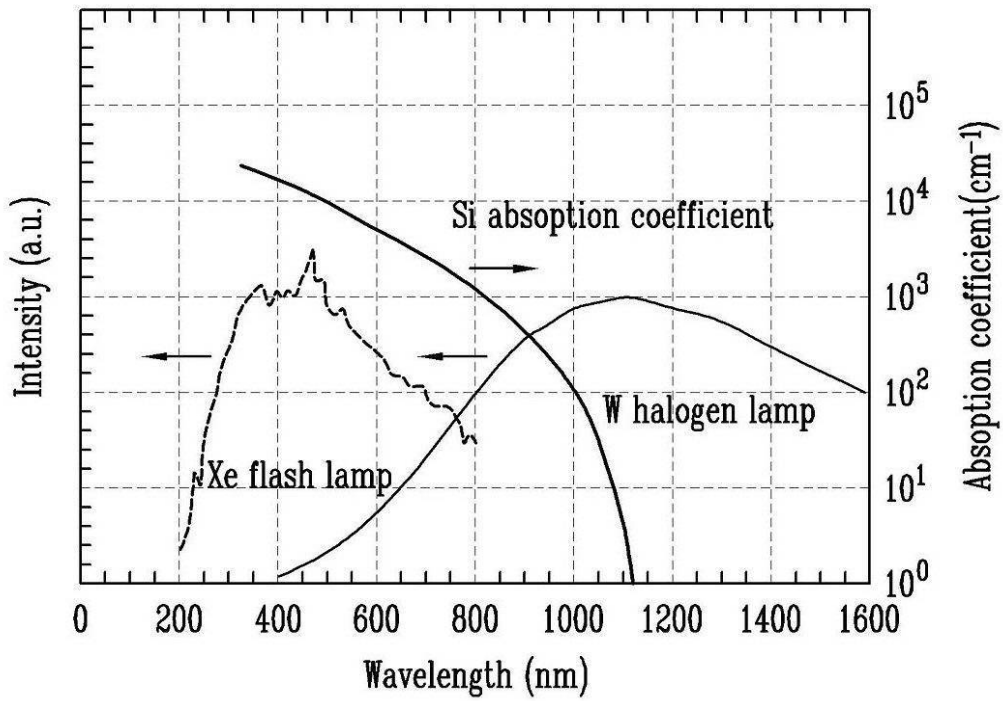
【 図 1 D 】



【 図 2 】

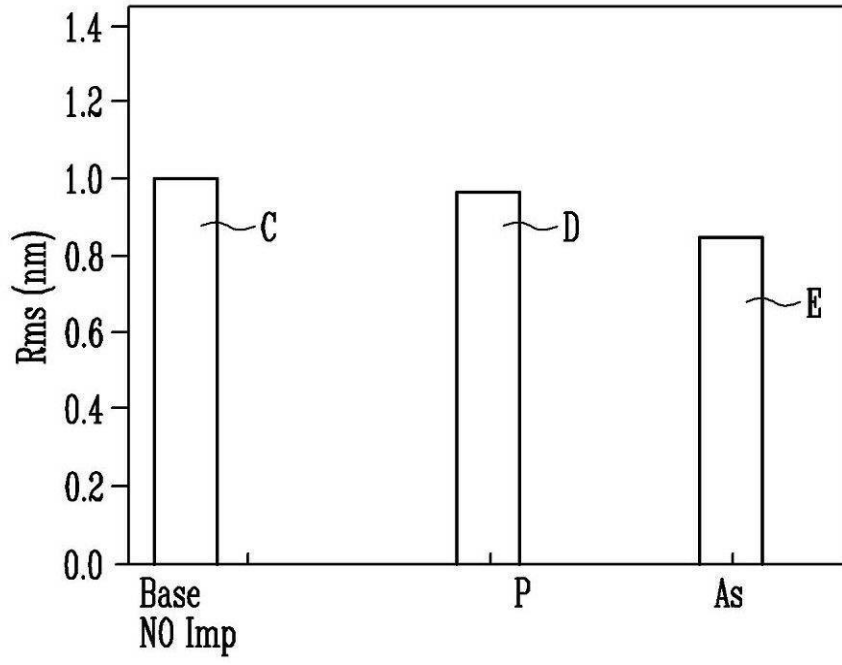


【 図 3 】





【 図 4 】



---

フロントページの続き

(72)発明者 洪 權

大韓民国 京畿道 城南市 盆唐區 二梅洞 アルムマエウル 斗山アパートメント 4 1 7 - 9  
0 1

(72)発明者 金 在 文

大韓民国 ソウル市 瑞草區 方背洞 9 4 3 - 1 0

(72)発明者 金 熙 洙

大韓民国 京畿道 城南市 中院區 金光洞 3 6 0 2

(72)発明者 具 栽 亨

大韓民国 ソウル市 廣津區 九宜 3 洞 現代プライムアパートメント 3 - 4 0 2

Fターム(参考) 4M104 BB01 CC05 DD55 DD80 DD82 FF14 GG09 HH16

5F140 AA01 BF04 BF11 BF18 BF33 BF38 BG32 BG33 BG56