

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年7月25日(25.07.2013)

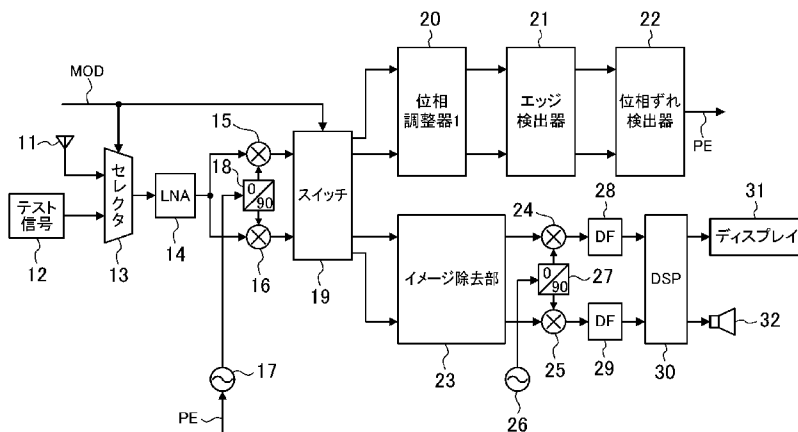


(10) 国際公開番号
WO 2013/108590 A1

- (51) 国際特許分類:
H04L 27/22 (2006.01) H04L 27/38 (2006.01)
H04B 1/16 (2006.01)
 - (21) 国際出願番号: PCT/JP2013/000031
 - (22) 国際出願日: 2013年1月9日(09.01.2013)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2012-010073 2012年1月20日(20.01.2012) JP
 - (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者: 毛利 浩喜(MOURI, Hiroki), 永野 孝一(NAGANO, Kouichi), 手塚 宏行(TEZUKA, Hiroyuki).
 - (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ORTHOGONAL TRANSFORMATION ERROR CORRECTION DEVICE

(54) 発明の名称: 直交変換誤差補正装置



- 12 TEST SIGNAL
- 13 SELECTOR
- 19 SWITCH
- 20 PHASE REGULATOR 1
- 21 EDGE DETECTOR
- 22 PHASE SHIFT DETECTOR
- 23 IMAGE REMOVAL UNIT
- 31 DISPLAY

(57) Abstract: A phase regulator (20) aligns the phase of the waveform in an orthogonally transformed composite signal. An edge detector (21) detects edges in a composite signal after phase regulation. In the signal output by the edge detector (21), a phase shift detector (22) detects phase shift between the quadrature signal and the in-phase signal after orthogonal transformation and outputs a phase error signal (PE). For orthogonal transformation, an oscillator (17) connected to a mixer (15, 16) and a phase shifter (18) has a phase regulation unit which regulates the VCO clock edges on the basis of the phase error signal (PE) and corrects the phase shift of the original signal.

(57) 要約: 位相調整器(20)は、直交変換後の複素信号にて波形の位相を揃える。エッジ検出器(21)は、位相調整後の複素信号において、エッジ検出を行う。位相ずれ検出器(22)は、エッジ検出器(21)の出力信号において、直交変換後の同相信号と直交信号に対する位相ずれを検知して、位相誤差信

号(PE)を出力する。直交変換のためにミキサ(15, 16)及び移相器(18)に接続された発振器(17)は、位相誤差信号(PE)をもとにVCOクロックのエッジを調整し、原信号の位相ずれを補正する位相調整部を有する。

WO 2013/108590 A1

明 細 書

発明の名称：直交変換誤差補正装置

技術分野

[0001] 本発明は、高周波信号と局部発振信号とを混合して得られる信号において、直交検波器を用いて同相信号と直交信号とを生成する無線信号処理技術に関するものである。

背景技術

[0002] 受信された高周波信号に、複素信号である局部発振信号を直交検波器（ミキサ）によって乗算することによって直交検波を行い、得られた直交検波後の複素信号を処理する受信機がよく知られている。このような処理は、広く一般的に知れ渡っている（非特許文献1参照）。

[0003] 直交検波後の複素信号をなす同相信号と直交信号とは、理想的には、振幅が等しく、直交する。しかし、実際には同相信号と直交信号との間に直交度及び振幅の誤差（IQインバランスとも呼ばれる）が存在する場合がある。このような誤差が存在する場合には、直交検波後の複素信号において、希望信号がイメージ信号の影響を受け、希望信号の品質が劣化してしまう。これを防ぐために、例えば、ミキサから出力された同相信号及び直交信号の位相と振幅を調整する周波数変換器等が提案されている（特許文献1～3参照）。

先行技術文献

特許文献

- [0004] 特許文献1：特開2002-246847号公報
特許文献2：特開2003-309612号公報
特許文献3：特開2004-72532号公報

非特許文献

- [0005] 非特許文献1：D. Weiner et al., "The Image Rejection Harmonic Mixer", I
EEE MTT-S DIGEST, 1982, pp.36-38.

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1～3のように、LMS (least mean square) アルゴリズムを用いて同相信号及び直交信号のレベル及び位相を調整するのみでは、これらの信号のレベル及び位相が最適値になるとは限らない。同相信号及び直交信号のレベル及び位相が適切な値ではない場合には、直交変換誤差が十分に補正されないので、希望信号に対するイメージ信号の影響を十分に抑えることができない。

[0007] 本発明は、直交変換誤差の補正精度を向上させることを目的とする。

課題を解決するための手段

[0008] 本発明による直交変換誤差補正装置は、複素信号の 90° 位相ずれにおいて、理想状態からどれだけ位相がずれているか検知し補正を行い、補正に用いられる位相情報を位相調整器によって調整する。調整する方法は2通りあり、クロックのエッジをずらす方法と、フィルタの各種パラメータ設定を行い、位相量を調整する方法とがある。

[0009] このように位相ずれを極力なくしておけば、補正後の信号においてイメージ除去するのに負担が少なくてすむ。

発明の効果

[0010] 本発明によれば、より高精度に直交変換誤差を補正することができるので、希望信号に対するイメージ信号の影響を十分に抑えることができる。

図面の簡単な説明

[0011] [図1]本発明の第1の実施形態に係る直交変換誤差補正装置を備えた受信機の回路ブロック図である。

[図2]図1中のイメージ除去部の詳細構成例を示す回路ブロック図である。

[図3] (a) はI/Qインバランスがない場合における、(b) はI/Qインバランスがある場合における各々希望信号及びイメージ信号の信号点に対応するベクトルの例を複素平面上で示す図である。

[図4] (a) は図3 (a) に対応する、(b) は図3 (b) に対応する各々スペクトラム図である。

[図5] 図1 中の位相調整器の詳細構成例を示す回路図である。

[図6] 図1 中の位相調整器の他の詳細構成例を示す回路図である。

[図7] 図1 中のエッジ検出器の詳細構成例を示す回路図である。

[図8] 図7 のエッジ検出器の動作説明のための信号波形図である。

[図9] 図1 中の発振器が有するエッジ調整回路の構成例を示す回路図である。

[図10] 図9 のエッジ調整回路の動作説明のための信号波形図である。

[図11] 図1 の受信機の変形例を示す回路ブロック図である。

[図12] 図1 1 中の位相調整器の詳細構成例を示す回路図である。

[図13] 図1 1 中の位相調整器の他の詳細構成例を示す回路図である。

[図14] 本発明の第2 の実施形態に係る直交変換誤差補正装置を備えた受信機の回路ブロック図である。

[図15] 図1 4 の受信機の変形例を示す回路ブロック図である。

[図16] 本発明の第3 の実施形態に係る直交変換誤差補正装置を備えた受信機の回路ブロック図である。

[図17] 図1 6 中のゼロクロス検出器の詳細構成例を示す回路図である。

[図18] (a) 及び (b) は図1 7 のゼロクロス検出器の動作説明のための信号波形図である。

[図19] 図1 6 中のゼロクロス検出器の他の詳細構成例を示す回路図である。

[図20] 図1 9 のゼロクロス検出器の動作説明のための信号波形図である。

[図21] 図1 6 中の直交変換誤差補正装置の動作説明のための信号波形図である。

[図22] 図1 6 中の直交変換誤差補正装置の動作説明のための他の信号波形図である。

[図23] 図1 6 の受信機の変形例を示す回路ブロック図である。

[図24] 本発明の第4 の実施形態に係る直交変換誤差補正装置の回路ブロック図である。

[図25]本発明の第5の実施形態に係る直交変換誤差補正装置の回路ブロック図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について、図面を参照しながら説明する。図面において同じ参照番号で示された構成要素は、同一の又は類似の構成要素である。

[0013] 《第1の実施形態》

図1は、本発明の第1の実施形態に係る直交変換誤差補正装置を備えた受信機の回路ブロック図である。また、図2は、図1中のイメージ除去部23の詳細構成例を示す回路ブロック図である。

[0014] 図1の受信機は、アンテナ11と、テスト信号12と、セレクタ13と、LNA (low noise amplifier) 14と、ミキサ15, 16, 24, 25と、発振器17, 26と、移相器18, 27と、スイッチ19と、位相調整器20と、エッジ検出器21と、位相ずれ検出器22と、イメージ除去部23と、デシメーションフィルタ (decimation filter) 28, 29と、DSP (digital signal processor) 30と、ディスプレイ31と、スピーカ32とを有する。また、図2に示すとおり、イメージ除去部23は、アナログ複素フィルタ33と、ADC (analog-to-digital converter) 部34, 35と、デジタル逆特性フィルタ36と、IQインバランス適応補正フィルタ37と、デジタル複素フィルタ38とを有する。

[0015] 図1中の位相調整器20と、エッジ検出器21と、位相ずれ検出器22とは、直交変換誤差補正装置として動作する。特に図示はしないが、図1の受信機は制御部を有し、当該制御部は図1中の各構成要素を制御する。

[0016] セレクタ13は、モード信号MODに応じて、アンテナ11で受信されたRF (radio frequency) 信号又はテスト信号12をLNA 14へ供給する。LNA 14は、セレクタ13を介して受け取った信号を増幅して出力する。発振器17は、RF信号をIF (intermediate frequency) 信号に変換するために必要な周波数の信号を生成して出力する。移相器18は、発振器17

で生成された信号の位相を 90° 遅らせて出力する。ミキサ 15 は、LNA 14 で増幅された信号に発振器 17 で生成された信号を乗算して出力する。ミキサ 16 は、LNA 14 で増幅された信号に移相器 18 から出力された信号を乗算して出力する。ミキサ 15 の出力が同相信号すなわち I 信号であり、ミキサ 16 の出力が直交信号すなわち Q 信号である。スイッチ 19 は、I 信号及び Q 信号からなる複素信号を、モード信号 MOD に応じて位相調整器 20 又はイメージ除去部 23 へ供給する。

[0017] イメージ除去部 23 において、アナログ複素フィルタ 33 は、ミキサ 15、16 の各出力信号で構成される複素信号に含まれる希望信号についてのイメージ周波数付近の信号レベルが小さくなるように、当該複素信号に対して処理を行い、出力する。これは、アナログ複素フィルタ 33 から出力される複素信号が ADC 部 34、35 のダイナミックレンジ内に収まるようにするためである。ADC 部 34、35 は、アナログ複素フィルタ 33 から出力される複素信号を構成する各信号をデジタル信号にそれぞれ変換して出力する。デジタル逆特性フィルタ 36 は、アナログ複素フィルタ 33 の逆特性を有し、ADC 部 34、35 の出力信号に対して、アナログ複素フィルタ 33 の影響を打ち消すような処理を行い、その結果を出力する。I/Q インバランス適応補正フィルタ 37 は、デジタル逆特性フィルタ 36 から出力された複素信号の直交度誤差及び振幅誤差を補正して、補正後の複素信号をデジタル複素フィルタ 38 に出力する。デジタル複素フィルタ 38 は、I/Q インバランス適応補正フィルタ 37 から出力された複素信号において、希望信号に対するイメージ周波数の成分を減衰させ、イメージ周波数の成分が減衰した複素信号を出力する。

[0018] 図 1 中の発振器 26 は、IF 信号をベースバンド信号に変換するために必要な周波数の信号を生成して出力する。移相器 27 は、発振器 26 で生成された信号の位相を 90° 遅らせて出力する。ミキサ 24 は、イメージ除去部 23 から出力された複素信号のうち一方の信号に発振器 26 で生成された信号を乗算して出力する。ミキサ 25 は、イメージ除去部 23 から出力された

複素信号のうち他方の信号に移相器 27 から出力された信号を乗算して出力する。デシメーションフィルタ 28 は、ミキサ 24 の出力信号を、そのサンプル値を間引いてから出力する。デシメーションフィルタ 29 は、ミキサ 25 の出力信号を、そのサンプル値を間引いてから出力する。DSP 30 は、両デシメーションフィルタ 28, 29 の出力信号に所定の信号処理を行い、得られた映像信号及び音声信号を出力する。ディスプレイ 31 は、DSP 30 から出力された映像信号に基づいて映像を表示する。スピーカ 32 は、DSP 30 から出力された音声信号に基づいて音声を出力する。

- [0019] 位相調整器 20 は、直交変換後の複素信号にて波形の位相を揃える。エッジ検出器 21 は、位相調整後の複素信号において、エッジ検出を行う。位相ずれ検出器 22 は、エッジ検出器 21 の出力信号において、直交変換後の同相信号と直交信号に対する位相ずれを検知して、位相誤差信号 PE (phase error) を出力する。発振器 17 は、位相誤差信号 PE をもとにクロックのエッジを調整し、原信号の位相ずれを補正する位相調整部を有する。
- [0020] 図 1 の受信機は、例えば FM (frequency modulation) ラジオ放送信号を受信するが、他のラジオ放送信号、テレビ放送信号、及び携帯電話等の信号を受信してもよい。
- [0021] 図 3 (a) は、IQ インバランスがない場合における希望信号及びイメージ信号の信号点に対応するベクトルの例を複素平面上で示す図である。図 3 (b) は、IQ インバランスがある場合における希望信号及びイメージ信号の信号点に対応するベクトルの例を複素平面上で示す図である。図 3 (a) 及び図 3 (b) では、直交検波後の複素信号、すなわちミキサ 15, 16 の出力信号について示している。IQ インバランスがない場合には、図 3 (a) のように、希望信号 D と、イメージ信号 U とは干渉しない。一方、IQ インバランスがある場合には、図 3 (b) のように、希望信号 D と同位相であるイメージリークが生じ、これが希望信号 D に干渉する。
- [0022] 図 4 (a) は、図 3 (a) に対応するスペクトラム図である。図 4 (b) は、図 3 (b) に対応するスペクトラム図である。IQ インバランスがない

場合には、図4 (a) のように、希望信号Dと、イメージ信号Uとは、周波数 $2f \pm f$ 離れており、互いに干渉していない。I/Qインバランスがある場合には、図4 (b) のように、希望信号Dには、イメージ信号に起因するイメージリークが重畳する。このため、希望信号D付近の周波数成分の電力は、図4 (b) の場合の方が図4 (a) の場合より大きくなる。つまり、I/Qインバランスがない場合に、希望信号D付近の周波数成分の電力が最小になる。

[0023] さて、テスト信号12は、要望したチャンネル周波数と相関を持った周波数の信号である。例えば、FM波A局(100MHz)を選局した場合、100MHzのsin波、cos波をテスト信号12として生成する。AM波B局(1000kHz)を選局した場合、1000kHzのsin波、cos波をテスト信号12として生成する。セレクタ13及びスイッチ19は、モード信号MODが示す通常受信モード、キャリブレーションモード等に応じて信号パスを切り替える。

[0024] 位相調整器20、エッジ検出器21及び位相ずれ検出器22からなる直交変換誤差補正装置は、キャリブレーション時に位相誤差を求める。cos波形に対してsin波形は90°位相がずれているので、位相調整器20として、例えば90°位相がずれるフィルタを設ける。エッジ検出器21は、コンパレータで簡易的にcos波形、sin波形を矩形波にする。位相ずれ検出器22は、TDC (time-to-digital converter) を活用して遅延演算子で数psのエッジずれ量を算出する。このようにして位相ずれ検出器22にてエッジずれ量が位相誤差信号PEとして分かれば、そのずれ量に合わせて直交するようにしてやる。すなわち、発振器17にてVCO (voltage controlled oscillator) によるクロック生成を想定しているので、クロックのタイミングをずらしてやればよい。

[0025] 図5は、図1中の位相調整器20の詳細構成例を示す回路図である。図5の位相調整器20は、90°位相をずらすようにラッチ41を多段接続してなる遅延回路である。

[0026] 例えば100MHzのADCサンプリングクロックでcos波形、sin波形の90°位相ずれを考えると、sin波形を時間軸で3/4周期(=270°)ずらせばcos波形と同じ位相になり、cos波形を時間軸で1/4周期(=90°)ずらせばsin波形と同じ位相になる。想定した周期分だけサンプルポイントをずらすということは、図5のような遅延回路で、想定したサンプルポイントだけ遅らせれば実現できる。

[0027] 図6は、図1中の位相調整器20の他の詳細構成例を示す回路図である。図6の位相調整器20は、n段(nは整数)のラッチ41と、タップ係数C_{n0}~C_nを実現するアンプ42と、1個の加算器43とからなるFIR(finite-duration impulse-response)フィルタである。例えば、いずれか1つのタップ係数を1に固定し、その他のタップ係数は0(入力したものがそのまま遅延して出力するのみ)とする。図6のようなFIRフィルタの構成を採用することで、ゲイン調整も可能になる効果が得られる。

[0028] 図7は、図1中のエッジ検出器21の詳細構成例を示す回路図である。図7のエッジ検出器21は、第1のコンパレータ出力CMP1を順次遅延させる多段の遅延素子51と、遅延素子51の出力を第2のコンパレータ出力CMP2のタイミングでデータD[0]~D[n]として保持する多段のラッチ52と、ラッチ52の出力を制御信号CNTで制御する多段のAND回路53と、AND回路53の出力をデコードするデコーダ54とからなる。

[0029] 図8は、図7のエッジ検出器21の動作説明のための信号波形図である。図7のエッジ検出器21によれば、多段のラッチ52におけるH="1"の保持位置がデコーダ54で判明するので、その段数が分かる。段数が分かれば遅延量、つまり位相誤差量が判明する。

[0030] ここでは、I信号とQ信号とを各々コンパレータで矩形波に変換するものとする。そして、Q信号に由来する第2のコンパレータ出力CMP2をクロック信号とみなし、I信号に由来する第1のコンパレータ出力CMP1のエッジスタートタイミングを見つける。I信号とQ信号との間に3psのずれがある場合、第2のコンパレータ出力CMP2の立ち上がりエッジに対して

3 p s までは第 1 のコンパレータ出力 CMP 1 は L = “0” になっており、その後 H = “1” になる。例えば、遅延素子 5 1 の 1 段あたりの遅延量が 1 p s であり、1 クロック周期が 1 2 p s の場合、デコーダ 5 4 の入力が “0 0 0 1 1 1 1 1 0 0 0” ということになる。そして、最終的に 3 p s のずれが分かる。

[0031] 図 9 は、図 1 中の発振器 1 7 が有するエッジ調整回路の構成例を示す回路図である。図 9 のエッジ調整回路は、V C O に用いられるクロック信号 C L K を順次遅延させる遅延素子 6 1, 6 2, 6 3, 6 4 と、位相誤差信号 P E を受け取るセレクタ 6 5 とからなる。

[0032] 図 1 0 は、図 9 のエッジ調整回路の動作説明のための信号波形図である。クロック信号 C L K をもとにして遅延素子 6 1 ~ 6 4 により、C L K 1, C L K 2, C L K 3, C L K 4 と後段へ進むにつれて大きなエッジずらしが得られる。そして、位相誤差信号 P E に応じた適切な遅延クロック信号がセレクタ 6 5 により選択される。

[0033] 図 1 1 は、図 1 の受信機の変形例を示す回路ブロック図である。図 1 1 の受信機は、スイッチ 1 9 とイメージ除去部 2 3 との間にも位相調整器 3 9 を有する。位相調整器 3 9 は、位相ずれ検出器 2 2 で得られる位相誤差信号 P E 1, P E 2 をもとに、内蔵されたフィルタのチューニングを行う。

[0034] 図 1 2 は、図 1 1 中の位相調整器 3 9 の詳細構成例を示す回路図である。図 1 2 の回路は、抵抗素子 7 1 ~ 7 3 と、容量素子 7 4 と、オペアンプ 7 5 とからなる。一般的なオールパスフィルタ技術で 9 0 ° 位相遅れを実現し、各種素子 7 1 ~ 7 4 をチューニングする。

[0035] 図 1 3 は、図 1 1 中の位相調整器 3 9 の他の詳細構成例を示す回路図である。図 1 3 の回路は、抵抗素子 8 1 ~ 8 3 と、容量素子 8 4 と、オペアンプ 8 5 とからなる。一般的なオールパスフィルタ技術で 9 0 ° 位相進みを実現し、各種素子 8 1 ~ 8 4 をチューニングする。

[0036] 《第 2 の実施形態》

図 1 4 は、本発明の第 2 の実施形態に係る直交変換誤差補正装置を備えた

受信機の回路ブロック図である。図14の受信機は、ADC部91, 92と、FFT (fast Fourier transform) 部93, 94と、角度ずれ比較部95とを有する。これらは、直交変換誤差補正装置として動作する。

[0037] ADC部91, 92は、スイッチ19を介して供給された直交変換後の複素信号（例えば、cos波形、sin波形）においてアナログデジタル変換を行う。FFT部93, 94は、ADC部91, 92の出力データから位相情報を抽出するためにFFT処理を行い、位相を表す角度情報を得る。角度ずれ比較部95は、FFT部93, 94の出力データから位相誤差を算出して、位相誤差信号PEを出力する。発振器17は、位相誤差信号PEをもとにクロックのエッジを調整し、原信号の位相ずれを補正する位相調整部を有する。

[0038] 図15は、図14の受信機の変形例を示す回路ブロック図である。図14の受信機は、図11の場合と同様に、スイッチ19とイメージ除去部23との間にも位相調整器39を有する。位相調整器39は、角度ずれ比較部95で得られる位相誤差信号PE1, PE2をもとに、内蔵されたフィルタ（図12及び図13参照）のチューニングを行う。

[0039] 《第3の実施形態》

図16は、本発明の第3の実施形態に係る直交変換誤差補正装置を備えた受信機の回路ブロック図である。図16の受信機は、ADC部101, 102と、ゼロクロス検出器103, 104と、ゼロクロス間隔カウンタ105と、位相調整器106とを有する。これらは、直交変換誤差補正装置として動作する。

[0040] ADC部101, 102は、スイッチ19を介して供給された直交変換後の複素信号（例えば、cos波形、sin波形）においてアナログデジタル変換を行う。ゼロクロス検出器103, 104は、ADC部101, 102の出力データ中の少なくとも2点を用いてゼロクロス検出を行う。ゼロクロス間隔カウンタ105は、ゼロクロス検出器103, 104からの出力信号において出力信号間隔のカウントを行う。位相調整器106は、ゼロクロス

間隔カウンタ 105 でカウントした値を比較してその差分情報から位相ずれ量を求め、位相誤差信号 PE を出力する。発振器 17 は、位相誤差信号 PE をもとにクロックのエッジを調整し、原信号の位相ずれを補正する位相調整部を有する。

[0041] 図 17 は、図 16 中のゼロクロス検出器 103 の詳細構成例を示す回路図である。図 17 のゼロクロス検出器 103 は、2 点算出法を採用したものであって、ラッチ 111 と、比較部 112 とを有する。比較部 112 は、ラッチ 111 の入力と出力との符号を比較する。

[0042] 図 18 (a) 及び図 18 (b) は、図 17 のゼロクロス検出器 103 の動作説明のための信号波形図である。図 18 (a) 中の実線の丸印は、2 点算出法にて想定されたゼロクロスポイントを表している。図 18 (b) 中の破線の丸印は、2 点算出法の場合に片方のポイントが同方向にずれたとき、判別漏れ、検出遅れが発生することを表している。

[0043] 図 19 は、図 16 中のゼロクロス検出器 103 の他の詳細構成例を示す回路図である。図 19 のゼロクロス検出器 103 は、3 点算出法を採用したものであって、ラッチ 121, 122 と、加算器 123, 124 と、比較部 125 とを有する。一方の加算器 123 は、 n 番目のデータと $n-1$ 番目のデータとを加算する。他方の加算器 124 は、 $n-1$ 番目のデータと $n-2$ 番目のデータとを加算する。比較部 125 は、両加算器 123, 124 の出力の符号を比較する。

[0044] 図 20 は、図 19 のゼロクロス検出器 103 の動作説明のための信号波形図である。3 点算出法によれば、片方のポイントが同方向にずれたときでも、判別漏れ、検出遅れが発生しにくいことを表している。

[0045] 図 21 は、図 16 中の直交変換誤差補正装置の動作説明のための信号波形図であって、ADC 入力が \cos 波である場合を表している。

[0046] 図 22 は、図 16 中の直交変換誤差補正装置の動作説明のための他の信号波形図であって、ADC 入力が \sin 波である場合を表している。

[0047] 図 23 は、図 16 の受信機の変形例を示す回路ブロック図である。図 23

の受信機は、図 1 1 の場合と同様に、スイッチ 1 9 とイメージ除去部 2 3 との間にも位相調整器 3 9 を有する。位相調整器 3 9 は、位相調整器 1 0 6 で得られる位相誤差信号 P E 1, P E 2 をもとに、内蔵されたフィルタ (図 1 2 及び図 1 3 参照) のチューニングを行う。

[0048] 《第 4 の実施形態》

図 2 4 は、本発明の第 4 の実施形態に係る直交変換誤差補正装置の回路ブロック図である。図 2 4 の直交変換誤差補正装置は、多段ミキサの構成を有するものであって、アンテナ 1 3 1 と、L N A 1 3 2 と、ミキサ 1 3 3, 1 3 4 と、移相器 1 3 5 と、ミキサ 1 3 6, 1 3 7 と、移相器 1 3 8 とを有する。

[0049] 図 2 4 の構成によれば、一方の移相器 1 3 5 で $0^{\circ} / 90^{\circ}$ 位相ずらしした後に、他方の移相器 1 3 8 で $90^{\circ} / 0^{\circ}$ 位相ずらしして逆変換を行って原信号を抽出する。ただし、ミキサ 1 3 3, 1 3 4, 1 3 6, 1 3 7 が非常に高精度のものであることを必要とする。

[0050] 《第 5 の実施形態》

図 2 5 は、本発明の第 5 の実施形態に係る直交変換誤差補正装置の回路ブロック図である。図 2 5 の直交変換誤差補正装置は、クロック発生器 1 4 1 と、ミキサ 1 4 2, 1 4 3 と、発振器 1 4 4 と、移相器 1 4 5 と、位相ずれ検出器 1 4 6 とを有する。

[0051] クロック発生器 1 4 1 は、クロック信号等のテスト信号を発生する。ミキサ 1 4 2, 1 4 3 は、発振器 1 4 4 と移相器 1 4 5 とを利用して、 90° 位相ずれの波形を出力する。位相ずれ検出器 1 4 6 は、4 分の 1 周期だけ波形がずれていることを T D C で検知し、位相誤差信号 P E を出力する。発振器 1 4 4 は、位相誤差信号 P E をもとにクロックのエッジを調整し、原信号の位相ずれを補正する位相調整部を有する。

[0052] 以上、本明細書で第 1 ~ 第 5 の実施形態を説明してきたが、本明細書における各機能ブロックは、典型的にはハードウェアで実現され得る。例えば各機能ブロックは、I C (集積回路) の一部として半導体基板上に形成され得

る。ここでICは、LSI (large-scale integrated circuit)、ASIC (application-specific integrated circuit)、ゲートアレイ、FPGA (field programmable gate array) 等を含む。代替としては各機能ブロックの一部又は全ては、ソフトウェアで実現され得る。例えばそのような機能ブロックは、プロセッサ上で実行されるプログラムによって実現され得る。換言すれば、本明細書で説明される各機能ブロックは、ハードウェアで実現されてもよいし、ソフトウェアで実現されてもよいし、ハードウェアとソフトウェアとの任意の組合せで実現され得る。

[0053] 本発明の多くの特徴及び優位性は、記載された説明から明らかであり、よって添付の特許請求の範囲によって、本発明のそのような特徴及び優位性の全てをカバーすることが意図される。更に、多くの変更及び改変が当業者には容易に可能であるので、本発明は、図示され記載されたものと全く同じ構成及び動作に限定されるべきではない。したがって、全ての適切な改変物及び等価物は本発明の範囲に入るものとされる。

産業上の利用可能性

[0054] 以上説明したように、本発明によれば、直交変換誤差の補正精度を向上させることができるので、本発明は受信機等について有用である。

符号の説明

[0055] 11 アンテナ
12 テスト信号
13 セレクタ
14 LNA
15, 16 ミキサ
17 発振器
18 移相器
19 スイッチ
20 位相調整器
21 エッジ検出器

- 2 2 位相ずれ検出器
- 2 3 イメージ除去部
- 2 4, 2 5 ミキサ
- 2 6 発振器
- 2 7 移相器
- 2 8, 2 9 デシメーションフィルタ
- 3 0 D S P
- 3 1 ディスプレイ
- 3 2 スピーカ
- 3 3 アナログ複素フィルタ
- 3 4, 3 5 A D C 部
- 3 6 デジタル逆特性フィルタ
- 3 7 I Q インバランス適応補正フィルタ
- 3 8 デジタル複素フィルタ
- 3 9 位相調整器
- 4 1 ラッチ
- 4 2 アンプ
- 4 3 加算器
- 5 1 遅延素子
- 5 2 ラッチ
- 5 3 A N D 回路
- 5 4 デコーダ
- 6 1 ~ 6 4 遅延素子
- 6 5 セレクタ
- 7 1 ~ 7 3, 8 1 ~ 8 3 抵抗素子
- 7 4, 8 4 容量素子
- 7 5, 8 5 オペアンプ
- 9 1, 9 2 A D C 部

93, 94 FFT部
95 角度ずれ比較部
101, 102 ADC部
103, 104 ゼロクロス検出器
105 ゼロクロス間隔カウンタ
106 位相調整器
111 ラッチ
112 比較部
121, 122 ラッチ
123, 124 加算器
125 比較部
131 アンテナ
132 LNA
133, 134 ミキサ
135 移相器
136, 137 ミキサ
138 移相器
141 クロック発生器
142, 143 ミキサ
144 発振器
145 移相器
146 位相ずれ検出器
D 希望信号
MOD モード信号
PE, PE1, PE2 位相誤差信号
U イメージ信号

請求の範囲

- [請求項1] 複素信号から同相信号及び直交信号を分離する直交変換部と、
前記直交変換後の波形の位相を揃える位相調整器と、
前記位相調整後の複素信号においてエッジ検出を行うエッジ検出部と、
前記エッジ検出部の出力信号において位相ずれを検知する位相ずれ検出部と、
前記位相ずれ検出部にて検知された位相ずれ量を元に原信号の位相ずれを補正する位相調整部とを有する直交変換誤差補正装置。
- [請求項2] 請求項1記載の直交変換誤差補正装置において、
前記位相ずれ検出部にて検知された位相ずれ量を元にフィルタ調整を行う直交変換誤差補正装置。
- [請求項3] 複素信号から同相信号及び直交信号を分離する直交変換部と、
前記直交変換後の複素信号においてアナログデジタル変換を行うADC部と、
前記ADC部の出力データから位相情報を抽出するためにFFT処理を行うFFT部と、
前記FFT部の出力データから位相ずれを算出する角度ずれ比較部と、
前記角度ずれ比較部にて算出された位相ずれ量を元に原信号の位相ずれを補正する位相調整部とを有する直交変換誤差補正装置。
- [請求項4] 請求項3記載の直交変換誤差補正装置において、
前記角度ずれ比較部にて算出された位相ずれ量を元にフィルタ調整を行う直交変換誤差補正装置。
- [請求項5] 複素信号から同相信号及び直交信号を分離する直交変換部と、
前記直交変換後の複素信号においてアナログデジタル変換を行うADC部と、
前記ADC部の出力データ中の少なくとも2点を用いてゼロクロス

検出を行うゼロクロス検出部と、

前記ゼロクロス検出部からの出力信号において出力信号間隔のカウントを行うカウンタ部と、

前記カウンタ部の出力に基づく位相ずれ量を元に原信号の位相ずれを補正する位相調整部とを有する直交変換誤差補正装置。

[請求項6]

請求項5記載の直交変換誤差補正装置において、

前記カウンタ部の出力に基づく位相ずれ量を元にフィルタ調整を行う直交変換誤差補正装置。

[請求項7]

請求項1又は2に記載の直交変換誤差補正装置において、

前記位相調整器は、遅延処理を行うフィルタを有する直交変換誤差補正装置。

[請求項8]

請求項1又は2に記載の直交変換誤差補正装置において、

前記位相調整器は、振幅補正を行う直交変換誤差補正装置。

[請求項9]

請求項1又は2に記載の直交変換誤差補正装置において、

前記エッジ検出部は、遅延素子とラッチとAND回路とを有する直交変換誤差補正装置。

[請求項10]

請求項1又は2に記載の直交変換誤差補正装置において、

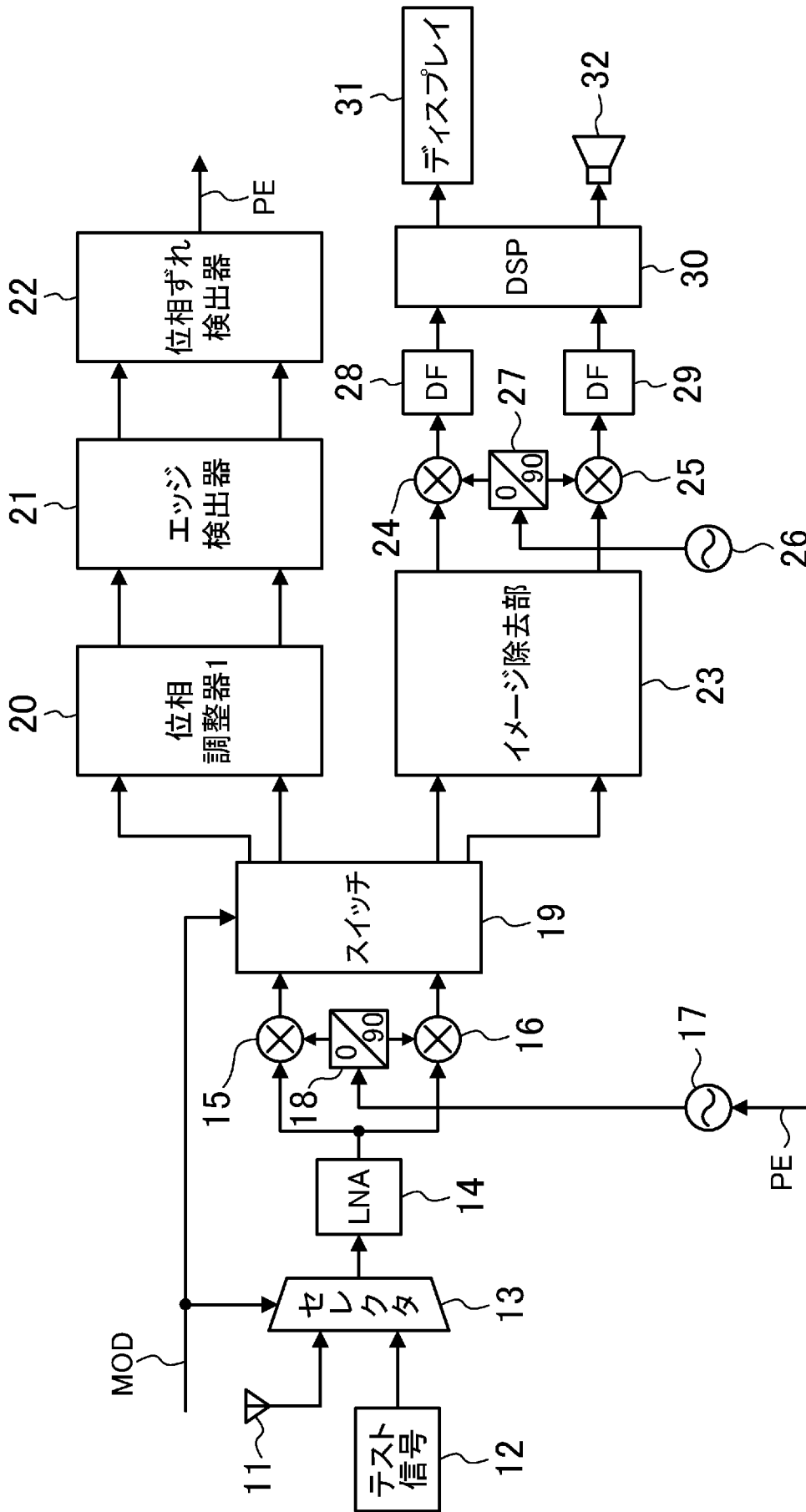
前記位相調整部は、複数の遅延素子にて遅延処理を行う直交変換誤差補正装置。

[請求項11]

請求項1記載の直交変換誤差補正装置において、

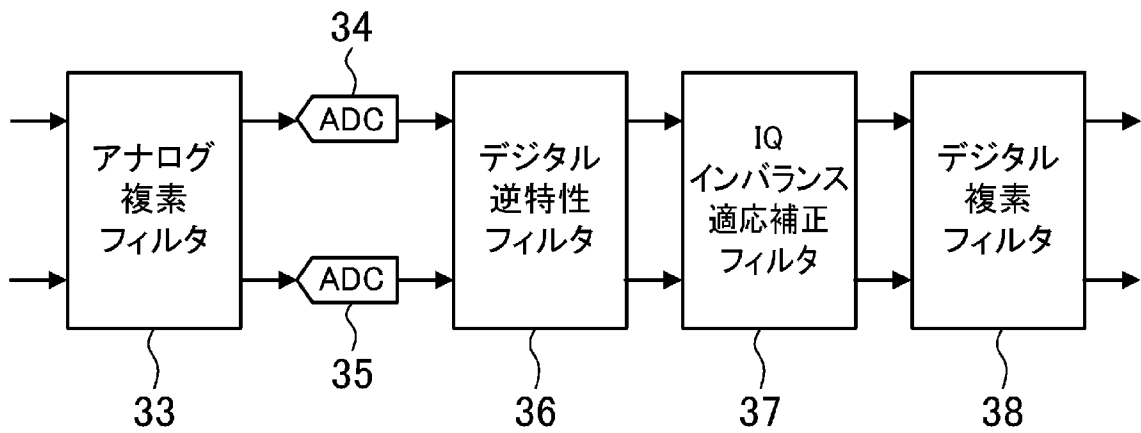
前記直交変換部は、一方の移相器で $0^\circ / 90^\circ$ 位相ずらしした後、他方の移相器で $90^\circ / 0^\circ$ 位相ずらしして原信号を抽出する直交変換誤差補正装置。

[図1]

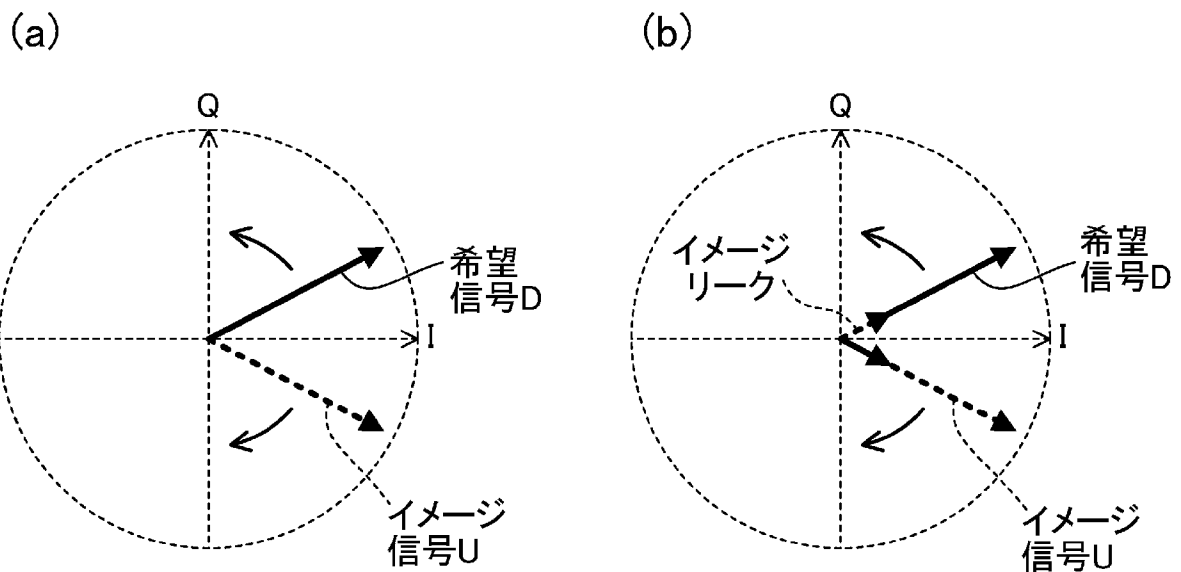


[図2]

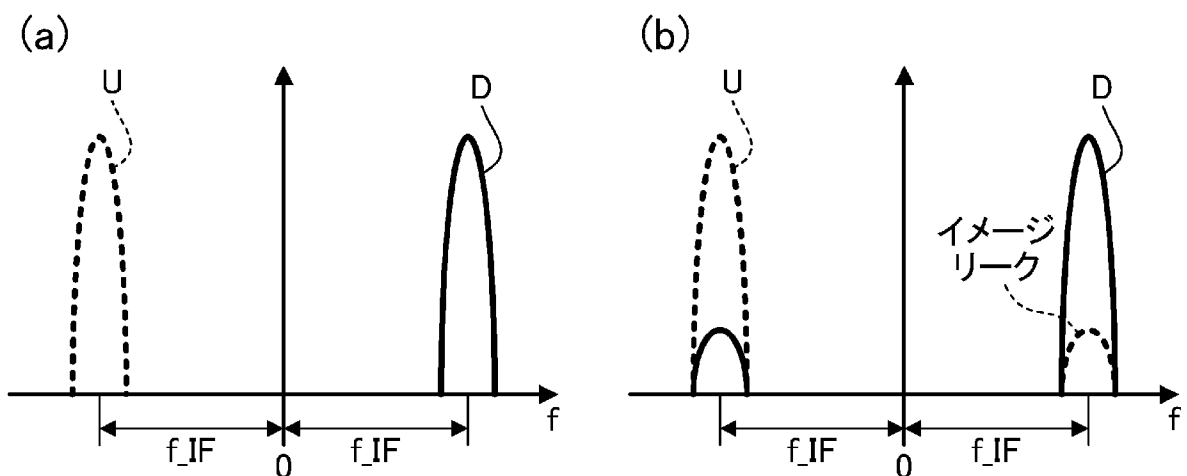
23



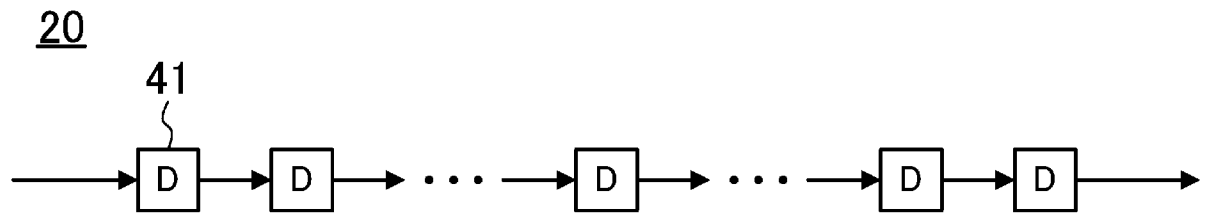
[図3]



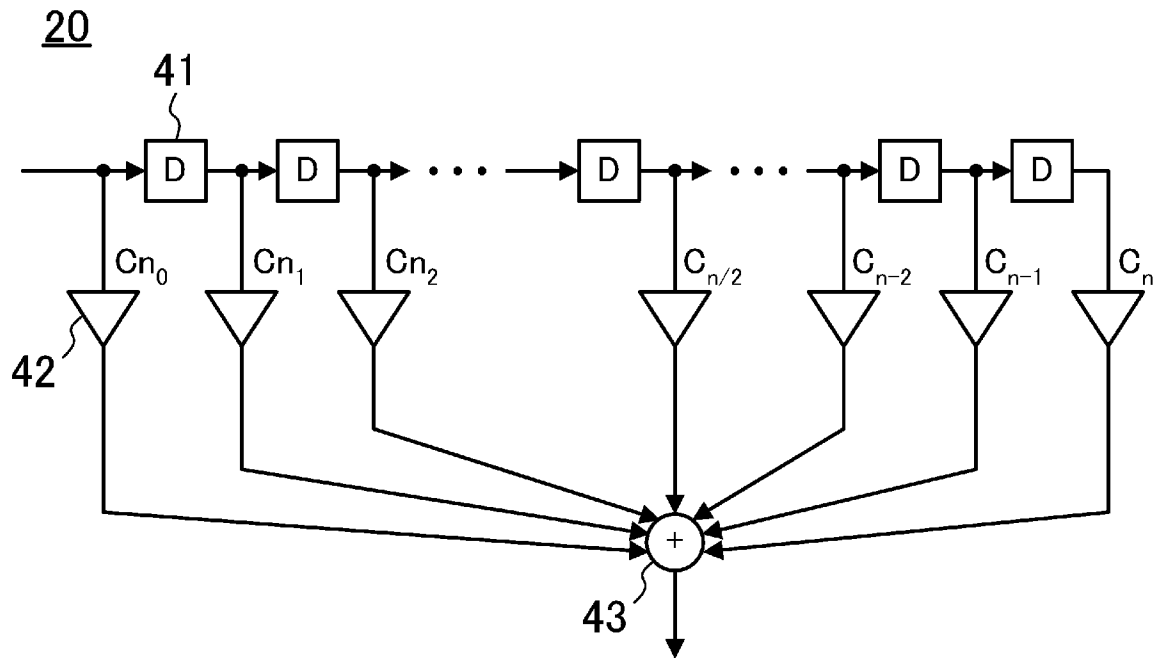
[図4]



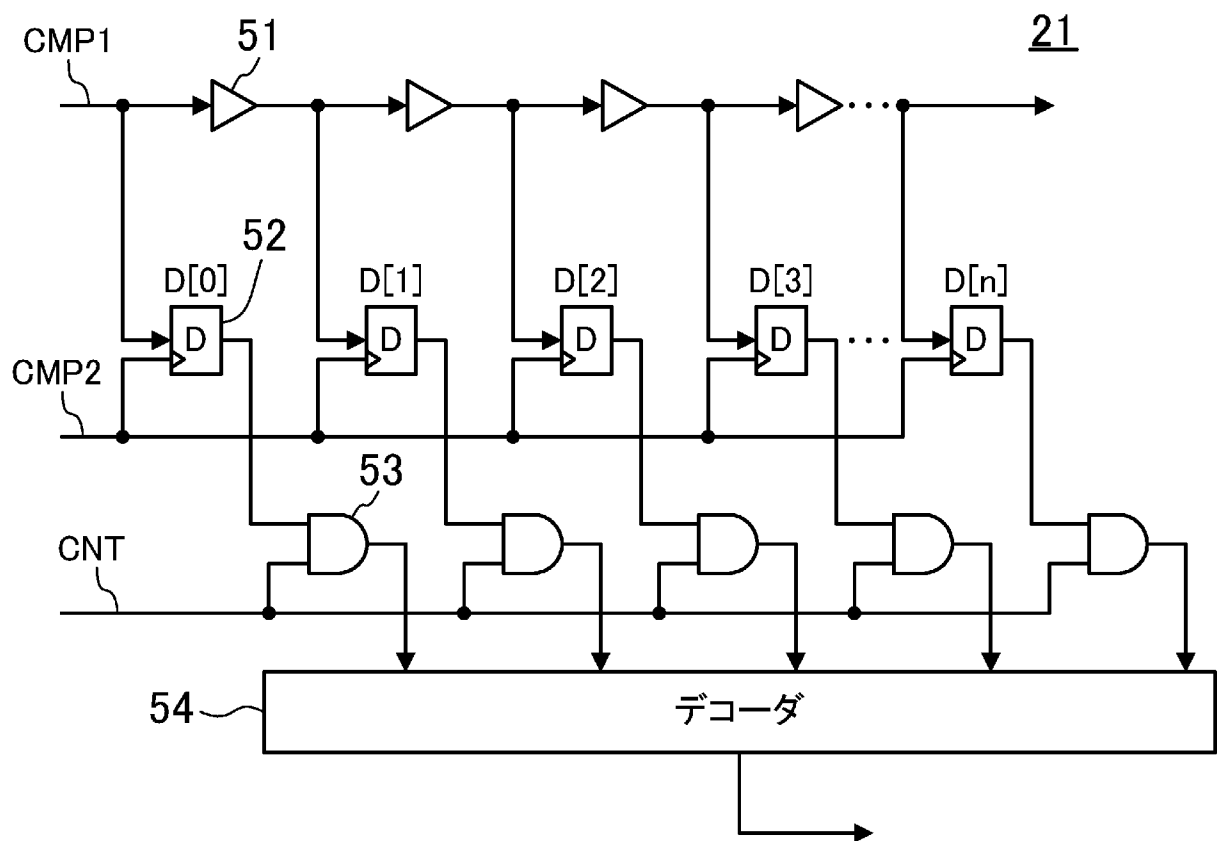
[図5]



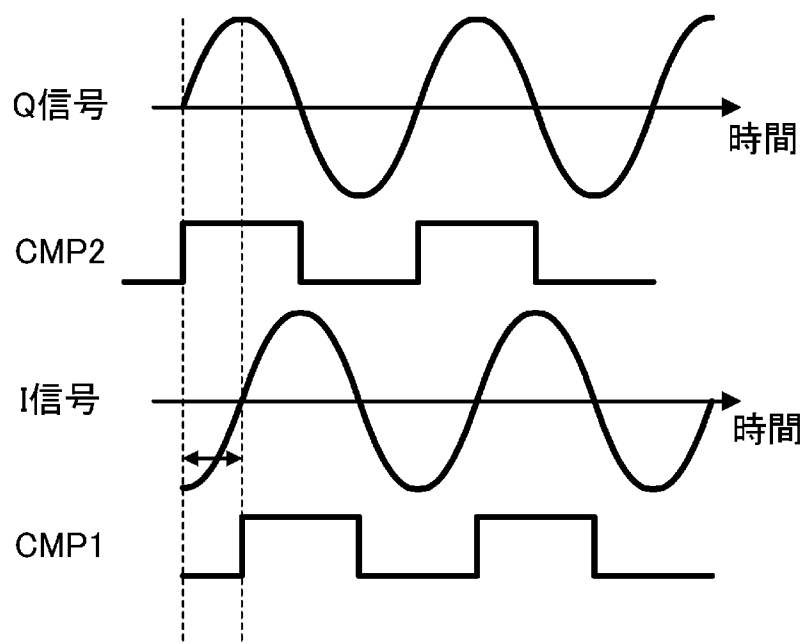
[図6]



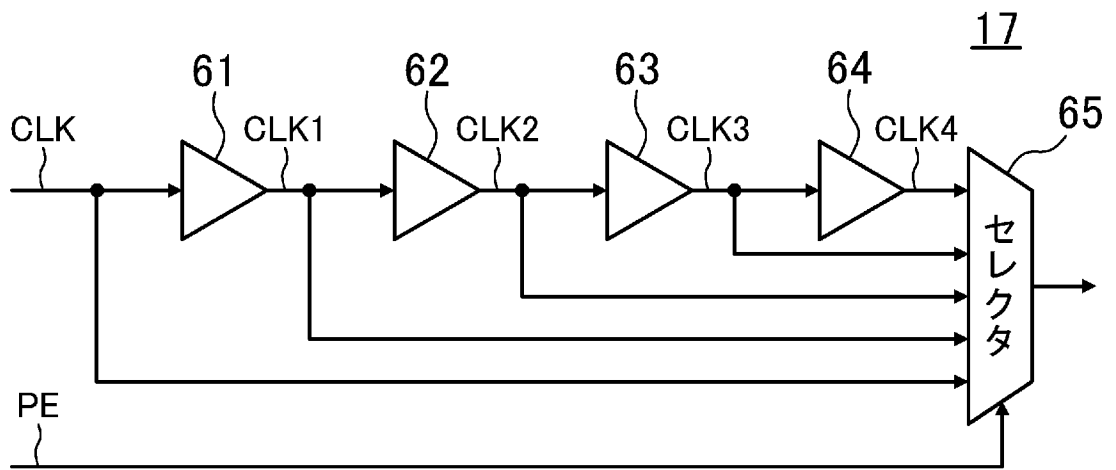
[図7]



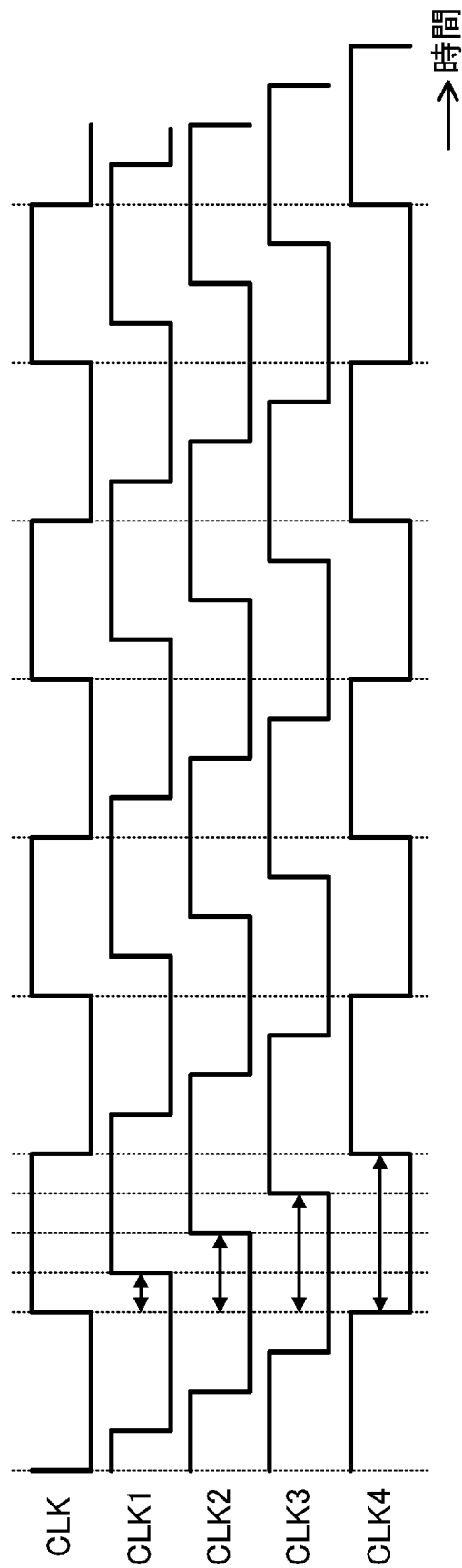
[図8]



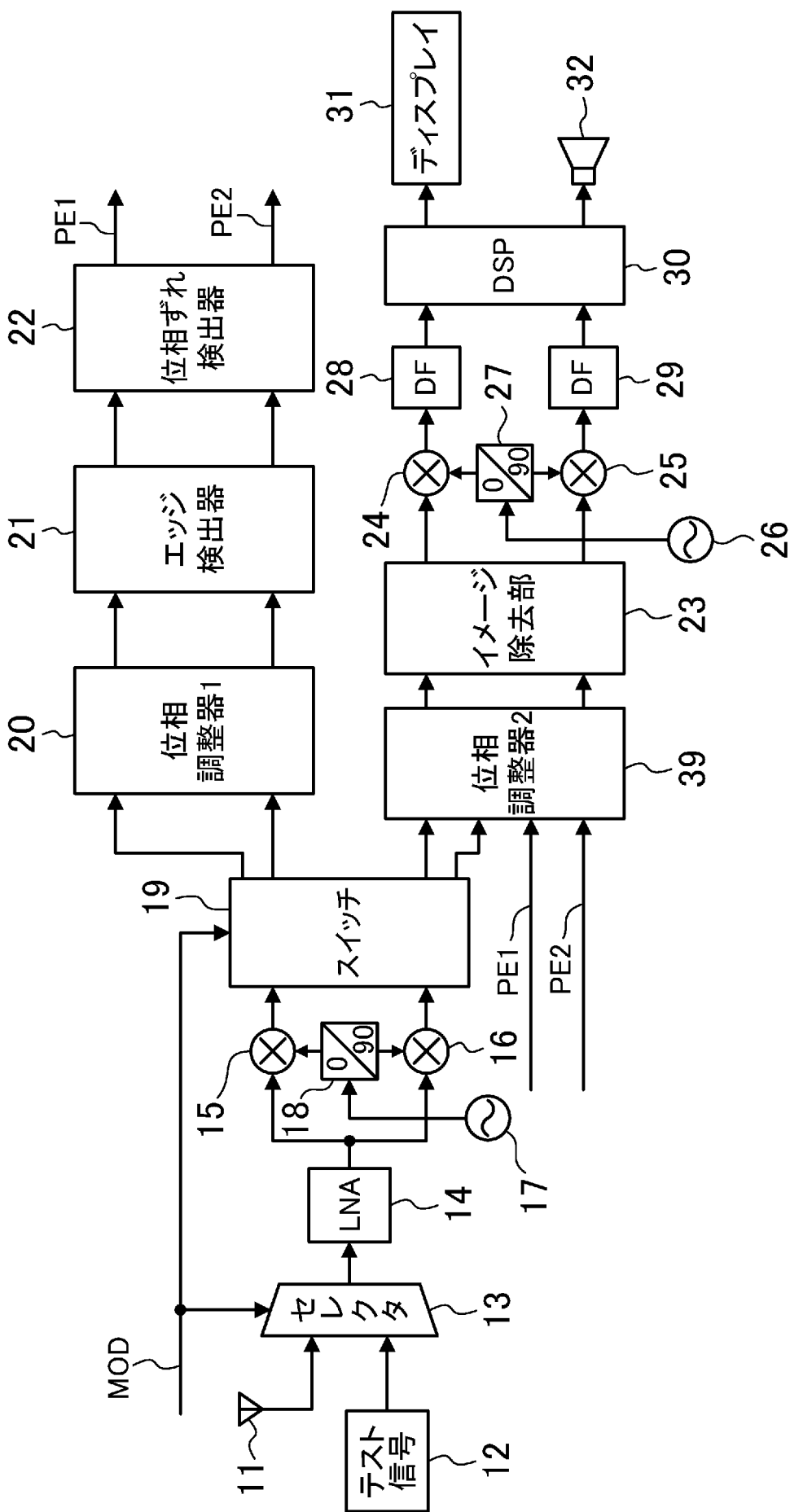
[図9]



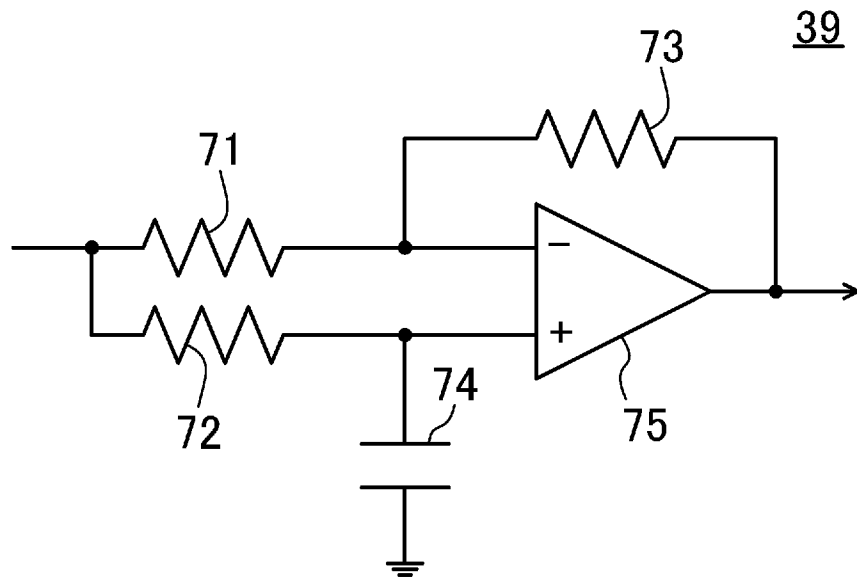
[図10]



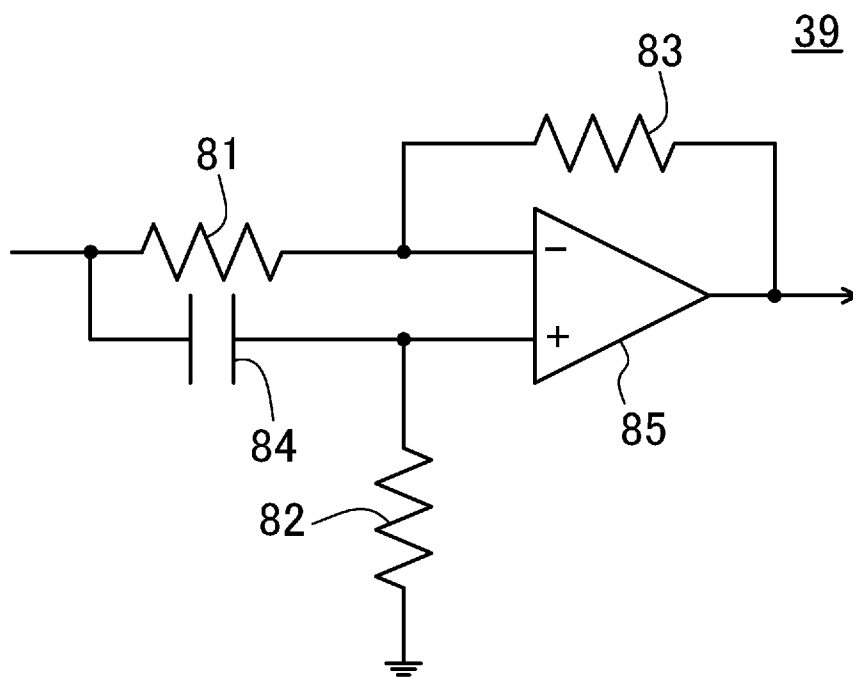
[図11]



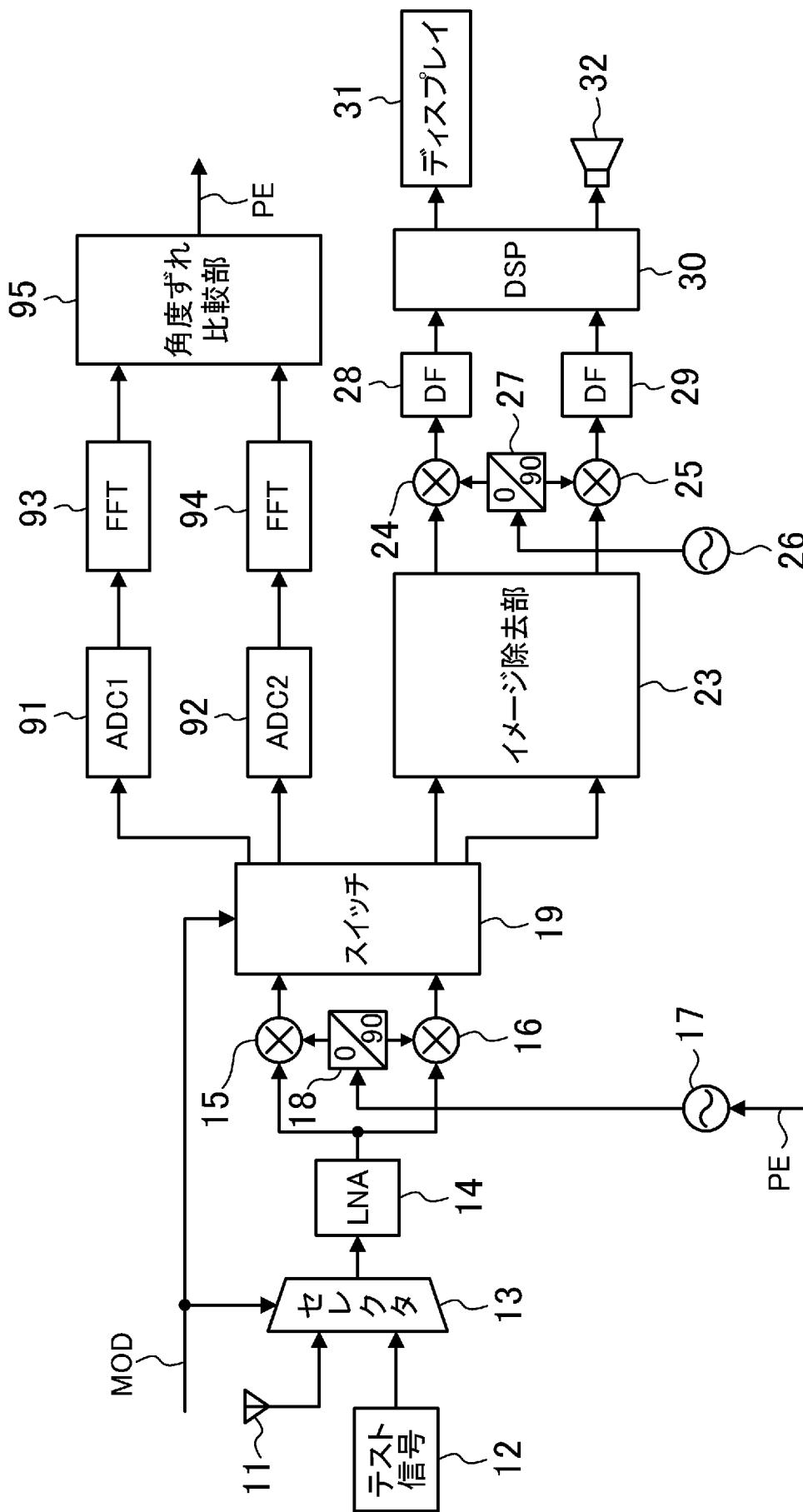
[図12]



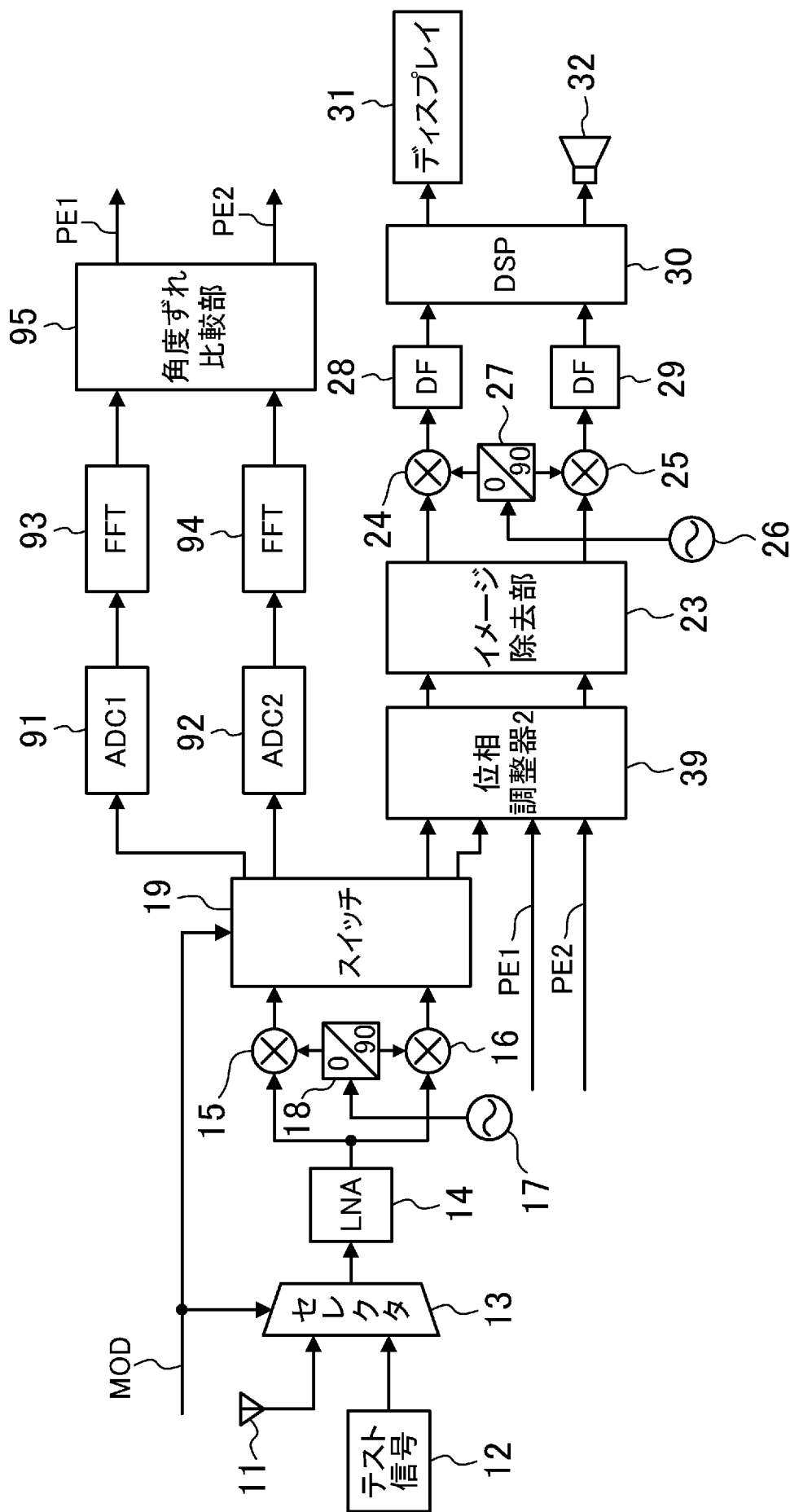
[図13]



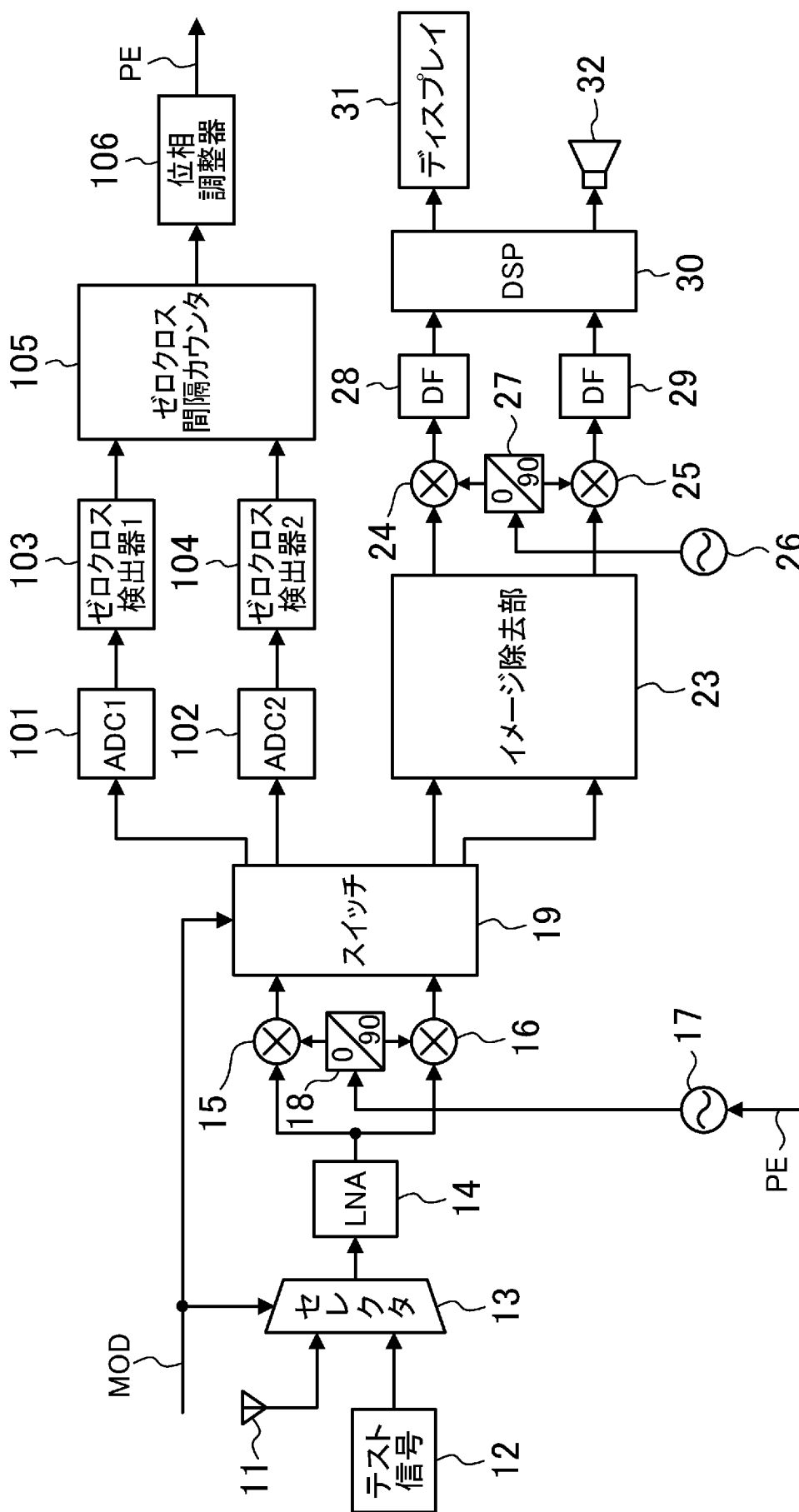
[図14]



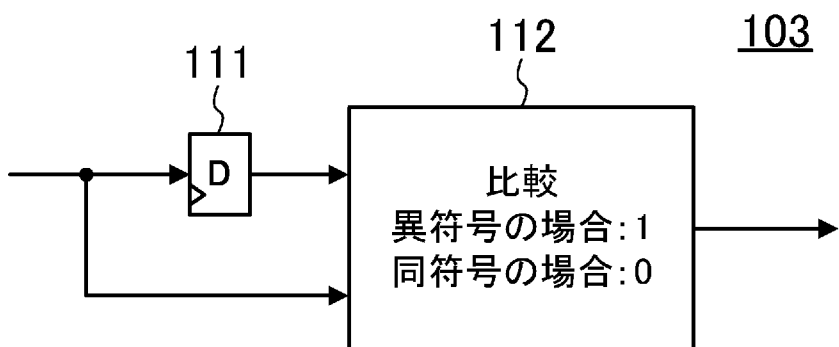
[図15]



[図16]

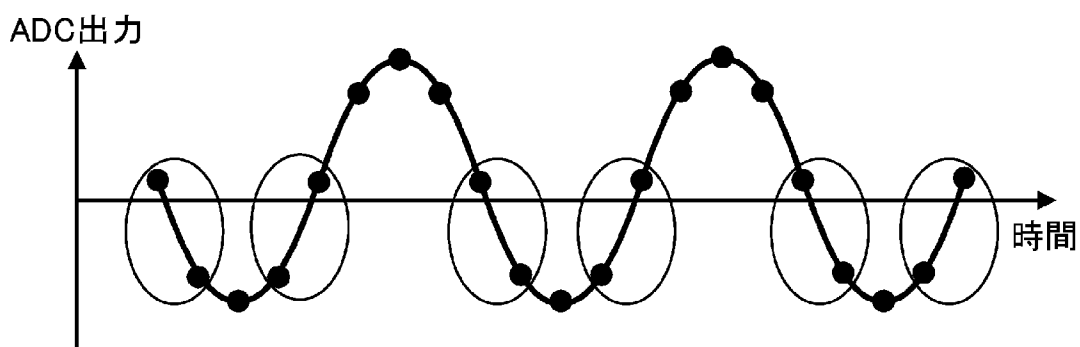


[図17]

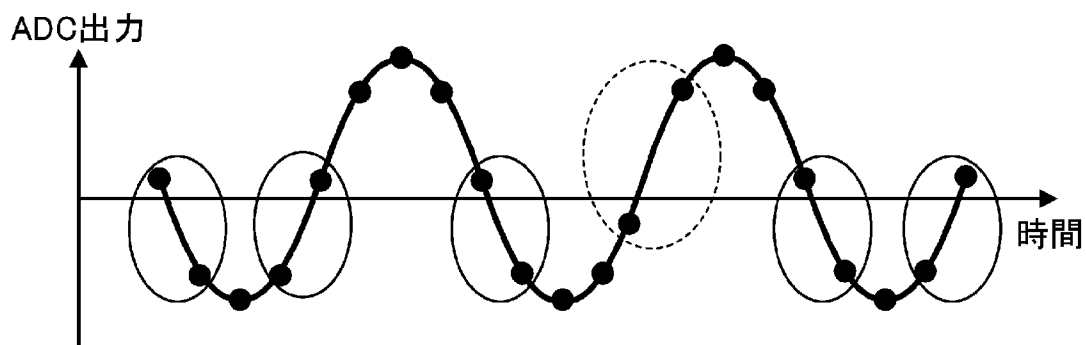


[図18]

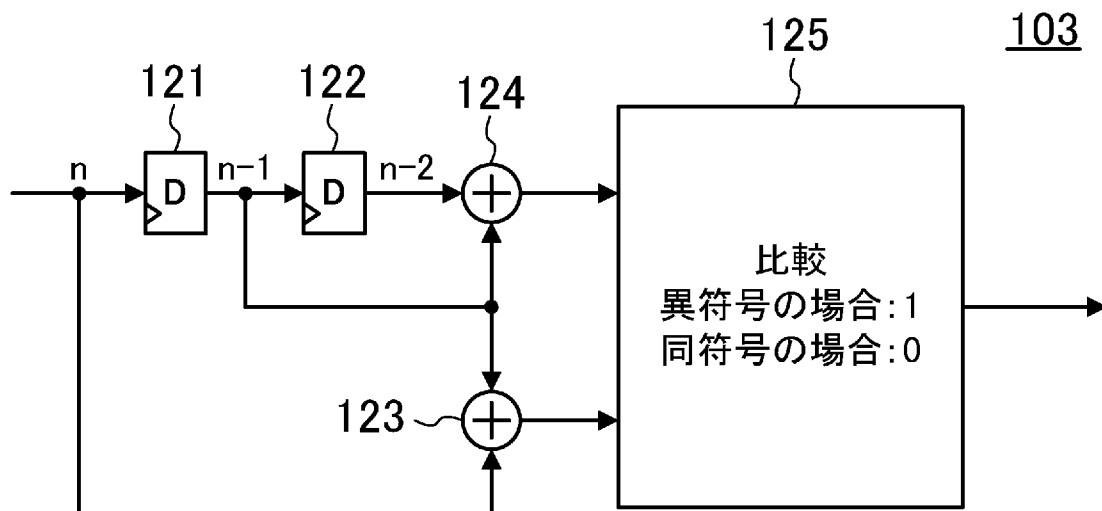
(a)



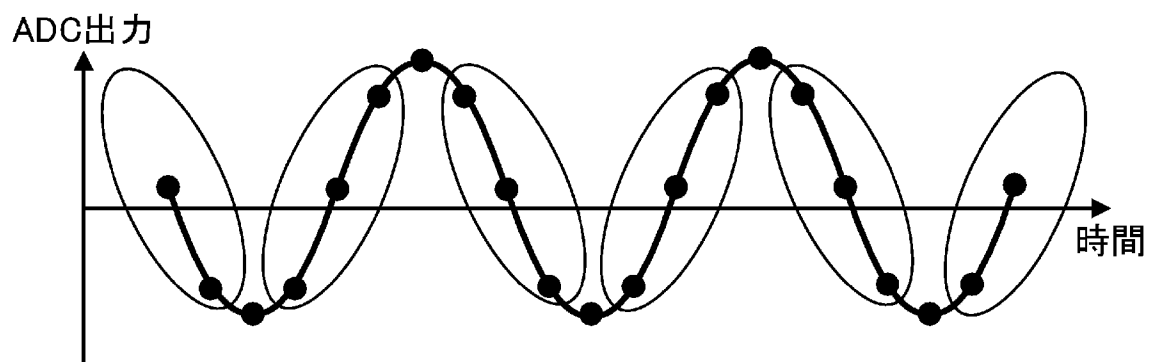
(b)



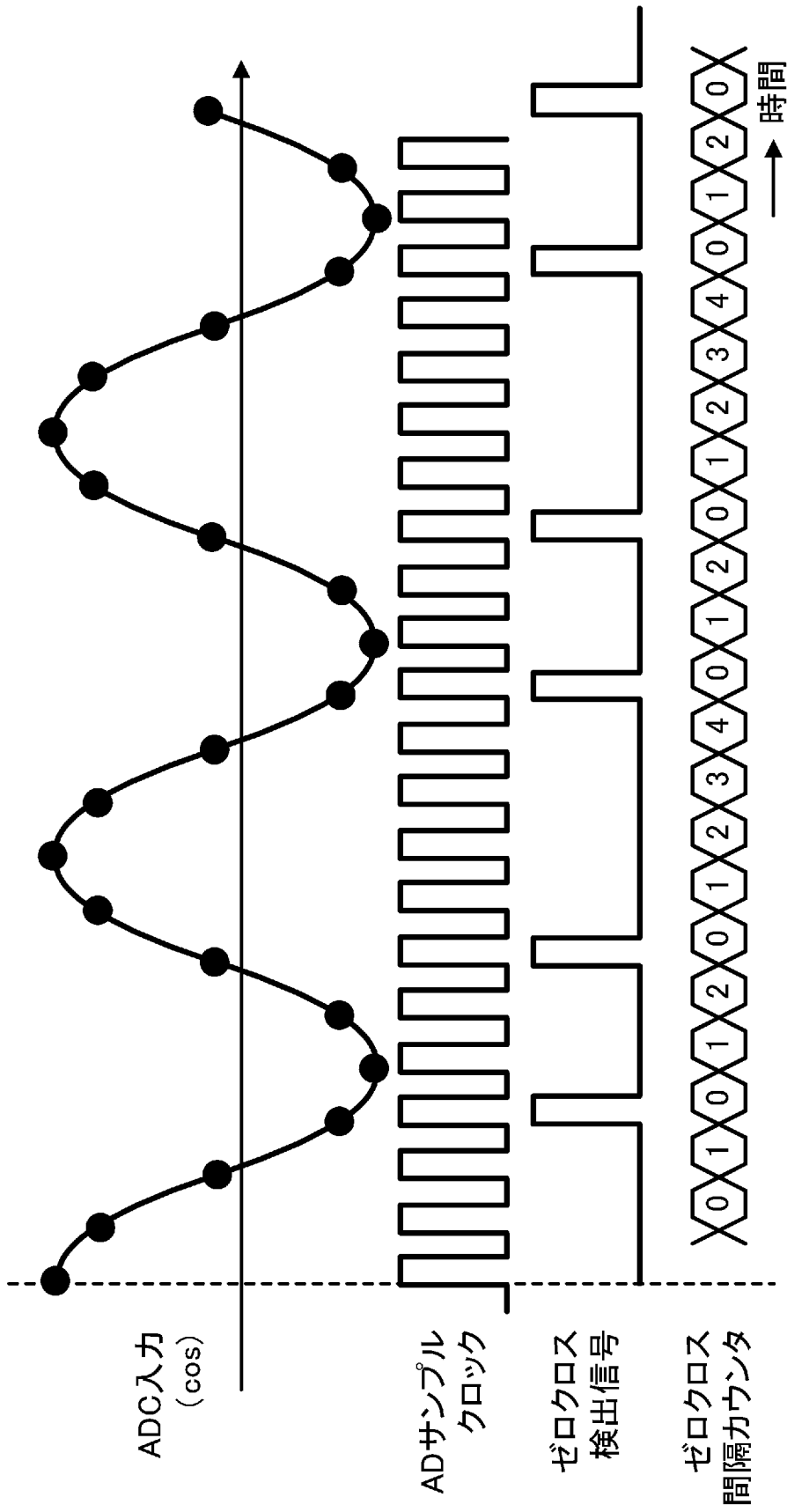
[図19]



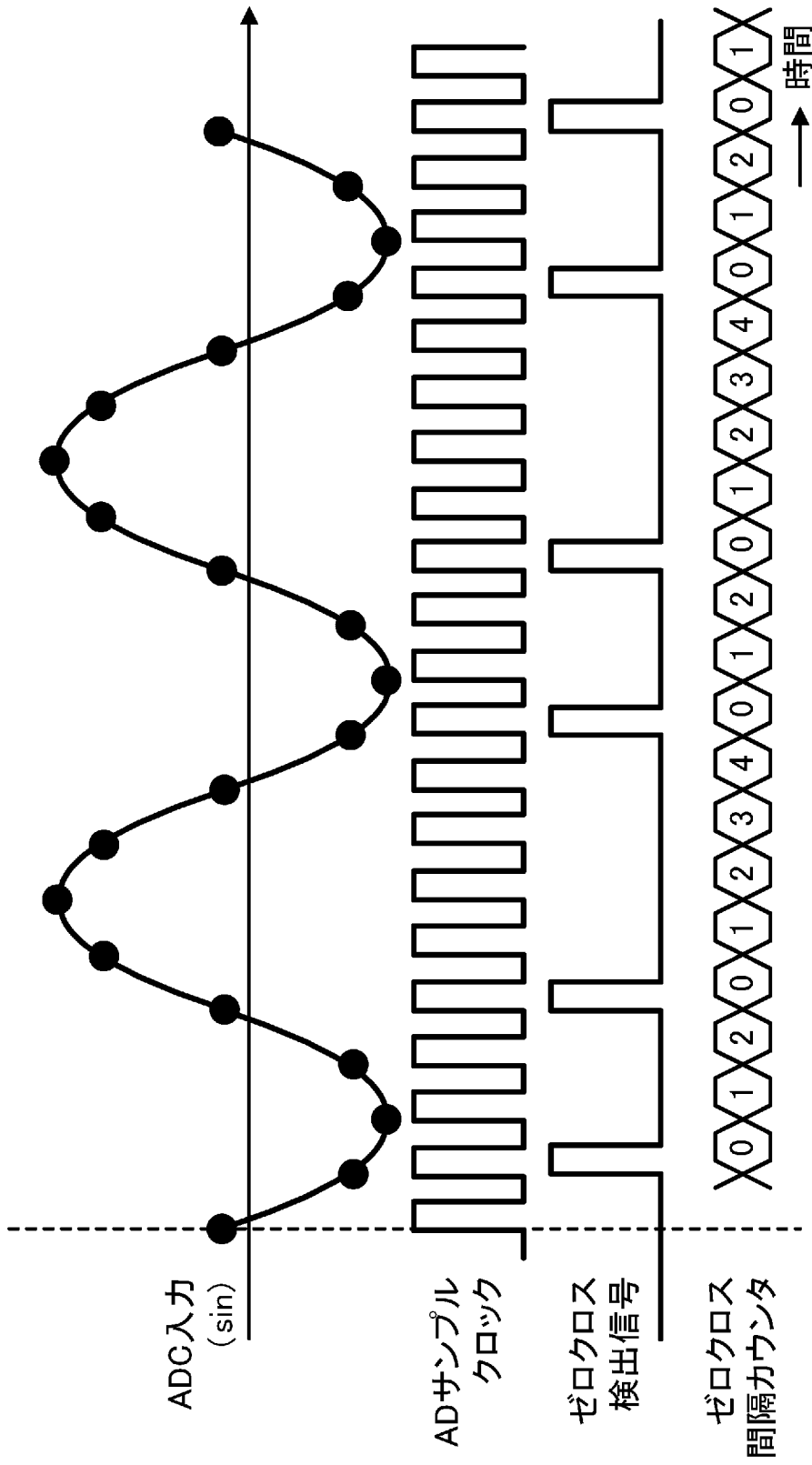
[図20]



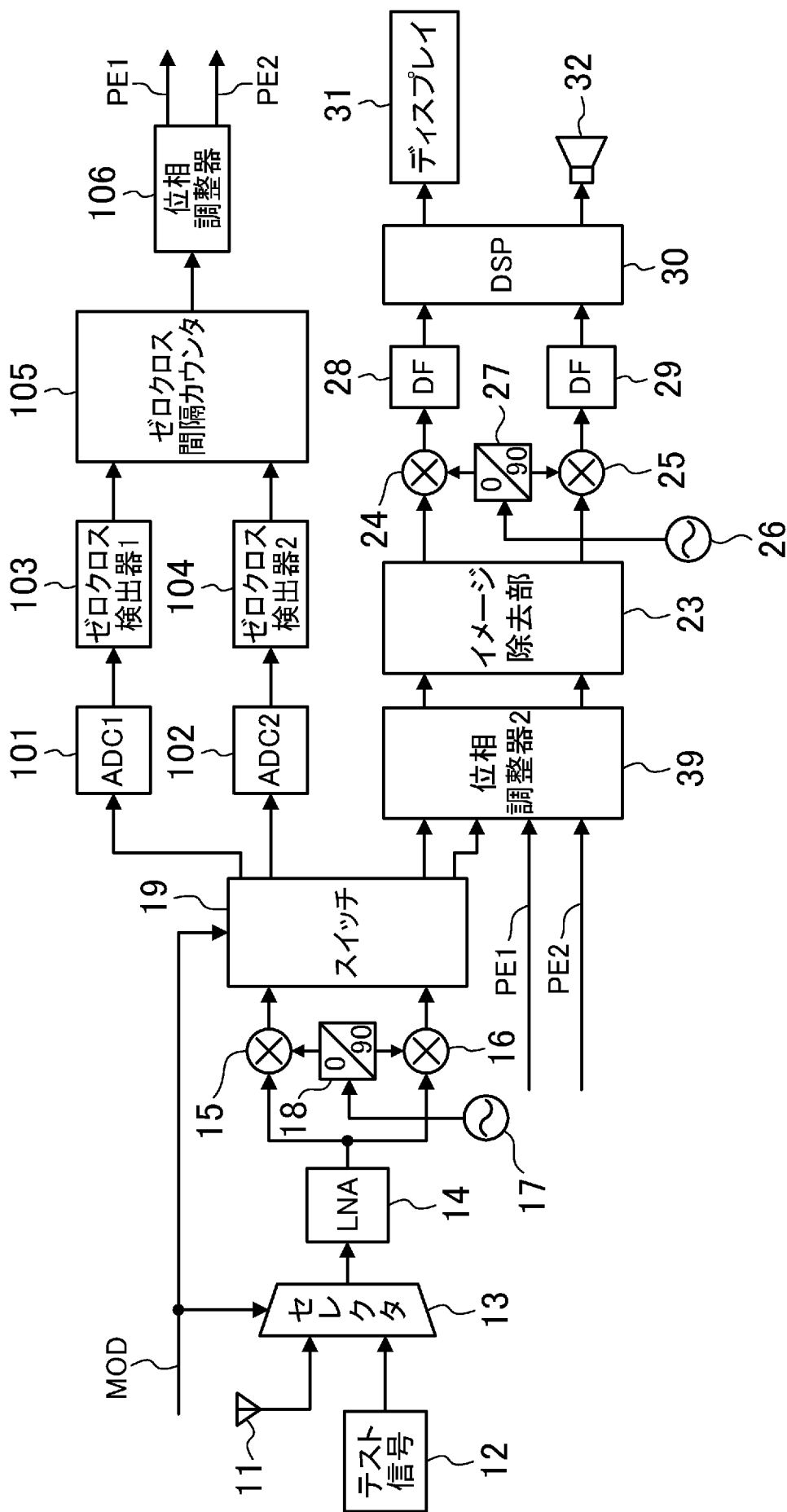
[図21]



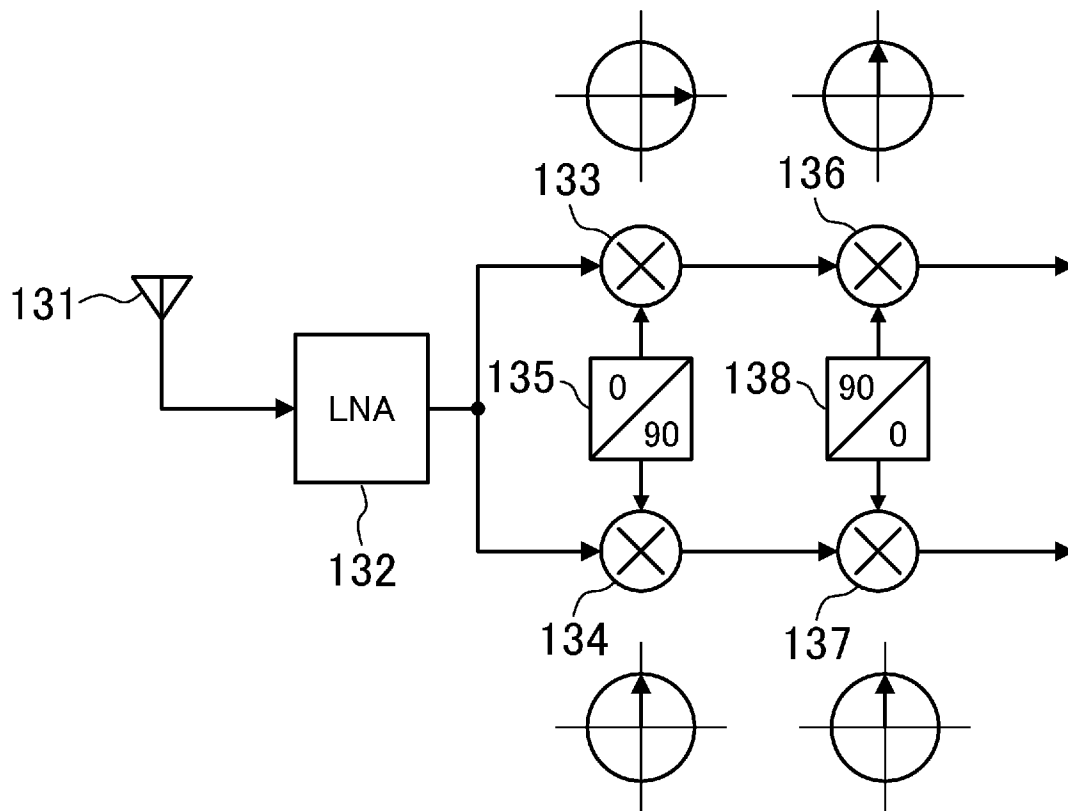
[図22]



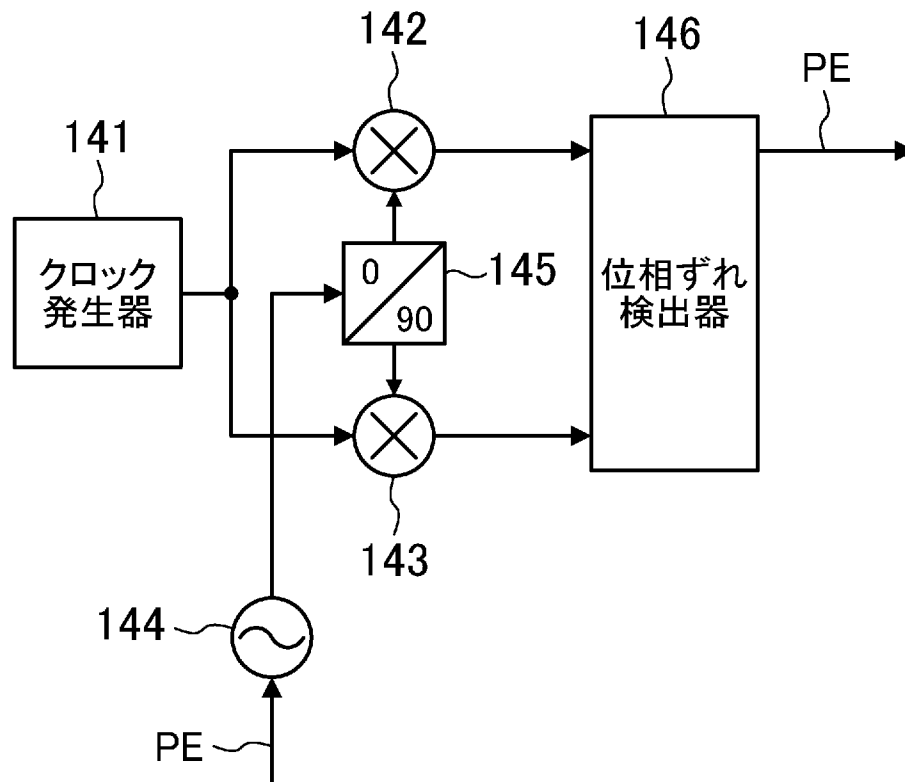
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/000031

A. CLASSIFICATION OF SUBJECT MATTER

H04L27/22(2006.01)i, H04B1/16(2006.01)i, H04L27/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L27/22, H04B1/16, H04L27/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-146844 A (NEC Corp.), 06 June 1990 (06.06.1990), fig. 4; page 4, lower right column (Family: none)	1-11
Y	JP 2005-252936 A (Matsushita Electric Industrial Co., Ltd.), 15 September 2005 (15.09.2005), fig. 1; paragraph [0012] (Family: none)	1, 2, 7-11
Y	JP 2011-135381 A (Fujitsu Ltd.), 07 July 2011 (07.07.2011), fig. 2; paragraphs [0029] to [0036] & US 2011/0156824 A1	1, 2, 7-11

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 April, 2013 (03.04.13)Date of mailing of the international search report
16 April, 2013 (16.04.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/000031

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-28307 A (Sony Corp.), 04 February 2010 (04.02.2010), fig. 1; paragraph [0037] (Family: none)	3, 4
Y	JP 60-220871 A (Mitsubishi Electric Corp.), 05 November 1985 (05.11.1985), fig. 3, 4; page 2, upper right column to lower left column (Family: none)	5, 6
A	JP 2010-177831 A (NEC Corp.), 12 August 2010 (12.08.2010), fig. 1, 2; paragraphs [0015] to [0025] (Family: none)	1-11
A	JP 2008-211619 A (Advantest Corp.), 11 September 2008 (11.09.2008), abstract (Family: none)	3, 4

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04L27/22(2006.01)i, H04B1/16(2006.01)i, H04L27/38(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04L27/22, H04B1/16, H04L27/38

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 IEEE Xplore, CiNii

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2-146844 A (日本電気株式会社) 1990.06.06, 図4、第4頁右下欄 (ファミリーなし)	1-11
Y	JP 2005-252936 A (松下電器産業株式会社) 2005.09.15, 図1、段落【0012】 (ファミリーなし)	1, 2, 7-11
Y	JP 2011-135381 A (富士通株式会社) 2011.07.07, 図2、段落【0029】 - 【0036】 & US 2011/0156824 A1	1, 2, 7-11

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 03.04.2013	国際調査報告の発送日 16.04.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 彦田 克文 電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-28307 A (ソニー株式会社) 2010.02.04, 図1、段落【0037】 (ファミリーなし)	3, 4
Y	JP 60-220871 A (三菱電機株式会社) 1985.11.05, 図3、図4、第2頁右上欄～左下欄 (ファミリーなし)	5, 6
A	JP 2010-177831 A (日本電気株式会社) 2010.08.12, 図1、図2、段落【0015】 - 【0025】 (ファミリーなし)	1-11
A	JP 2008-211619 A (株式会社アドバンテスト) 2008.09.11, 要約欄 (ファミリーなし)	3, 4