

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 16/06

(45) 공고일자 1999년04월 15일

(11) 등록번호 특0180117

(24) 등록일자 1998년11월30일

(21) 출원번호 특1996-009209  
(22) 출원일자 1996년03월29일

(65) 공개번호 특1997-067372  
(43) 공개일자 1997년10월13일

(73) 특허권자 삼성전자주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지  
(72) 발명자 이성수  
서울시 송파구 가락동 479 가락아파트 131-510  
최영준  
경기도 성남시 분당구 금곡동 150 대원아파트 813-903  
(74) 대리인 이견주

심사관 : 이철희

(54) 불휘발성 반도체 메모리

요약

1. 청구 범위에 기재된 발명이 속한 기술분야:

시스템내의 불휘발성 반도체 메모리에 관한 것이다.

2. 발명이 해결하려고 하는 기술적 과제:

공유된 제어핀을 가지고 독출동작이나 기입 동작을 수행할 경우 발생될 수 있는 폐일을 방지할 수 있는 불휘발성 반도체 메모리 및 그 입출력제어방법을 제공함에 있다.

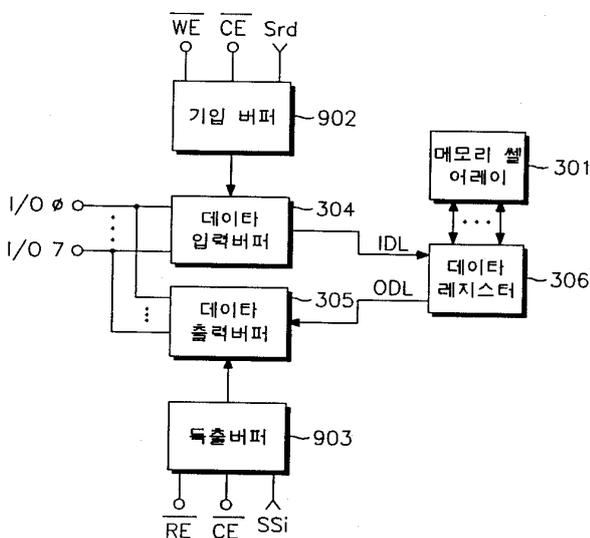
3. 발명의 해결방법의 요지:

데이터의 일시저장이 가능한 램의 출력인에이블신호핀과 공유된 독출인에이블신호핀을 가지고, 상기 램으로부터 독출된 데이터를 저장하는 동작을 수행하기 위한 불휘발성 반도체 메모리는 상기 출력인에이블신호핀으로 인가되는 인에이블신호에 응답하여 출력되는 상기 램에 저장된 데이터를 칩 인에이블신호와 기입 인에이블신호 및 데이터 입력모드시 인에이블되는 제1명령 플래그에 의해 출력되는 내부기입인에이블신호에 의해 상기 저장동작을 수행하는 기입버퍼와, 상기 데이터 입력모드시에는 데이터 출력모드시에만 인에이블되는 제2명령 플래그에 응답하여 독출동작이 디세이블되는 독출버퍼를 적어도 구비함을 특징으로 한다.

4. 발명의 중요한 용도:

반도체 메모리를 사용하는 시스템에 적합하게 사용된다.

대표도



## 명세서

### [발명의 명칭]

불휘발성 반도체 메모리

### [도면의 간단한 설명]

제1도는 일반적인 불휘발성 반도체 메모리 장치의 핀 접속도.

제2도는 일반적인 시스템상에서 공통된 버스를 가지는 불휘발성 반도체 메모리와 램의 개략적인 블록도.

제3도는 종래의 기술에 따라 불휘발성 반도체 메모리내에서의 각 제어버퍼와 데이터와의 상관 관계를 간략하게 도식화한 블록도.

제4도는 제3도에 도시된 독출 버퍼의 구체적인 회로도.

제5도는 제3도에 도시된 기입 버퍼의 구체적인 회로도.

제6도는 제3도에 도시된 데이터 출력 버퍼의 구체적인 회로도.

제7도는 종래의 기술에 따라 입출력 타이밍관계를 나타낸 타이밍도.

제8도는 종래의 기술에 따라 공통 버스를 사용할 경우에 발생할 수 있는 페일을 보여주는 타이밍도.

제9도는 본 발명에 따라 구성된 불휘발성 반도체 메모리내에서의 각 제어버퍼와 데이터와의 상관 관계를 간략하게 도식화한 블록도.

제10도는 본 발명의 실시예에 따라 구성된 독출 버퍼의 회로도.

제11도는 본 발명의 실시예에 따라 구성된 기입 버퍼의 회로도.

제12도는 본 발명의 제1실시예에 따라 입출력 타이밍관계를 나타낸 타이밍도.

제13도는 본 발명의 제2실시예에 따라 입출력 타이밍관계를 나타낸 타이밍도.

### [발명의 상세한 설명]

본 발명은 불휘발성 반도체 메모리에 관한 것으로, 특히 램의 제어핀들중 한 핀과 공통된 핀을 가지는 불휘발성 반도체 메모리에 관한 것이다.

일반적으로, 컴퓨터 또는 마이크로 프로세서에 의해 제어되는 여러 시스템들은 고밀도의 전기적으로 프로그램 및 소거가 가능한 불휘발성 반도체 메모리의 개발이 요구되어 지고 있다. 이러한 불휘발성 반도체 메모리는 그 응용에 따라 소형 핸드 헬드(Hand-held) 기기 및 PDA기기의 하드 디스크 대용으로 사용되거나, 디지털 스틸(Still) 카메라에서처럼 임베디드(Embedded) 응용으로 사용되기도 한다. 전술한 바와 같은 응용은 주로 낸드형 불휘발성 반도체 메모리로 사용되며, 낸드형 불휘발성 반도체 메모리의 셀 구조 및 동작은 기 출원된 불휘발성 반도체 메모리 장치라는 명칭의 국내출원번호 93-390에 상세히 개시되어 있다.

한편, 본 분야에서는 상기한 바와 같이 낸드 셀 구조를 가지는 불휘발성 반도체 메모리내에 있는 메모리 트랜지스터들을 일시에 소거하는 모드를 가지고 있는 바, 이를 통상 플래쉬 메모리라고 하기도 한다.

제1도는 일반적인 플래쉬 메모리의 핀 배열을 개략적으로 나타낸 도면이다.

제1도에 표시된 핀의 명칭은 일반적으로 공지된 사항이지만 명칭을 살펴보면, CLE(Command Latch Enable)핀은 명령을 일시적으로 래치시키기 위한 것이고, ALE(Address Latch Enable)핀은 외부로부터 인가되는

어드레스를 일시적으로 래치시키기 위한 것이고,  $\overline{WE}$ (Write Enable)핀은 기입동작을 수행하게 하기 위

한 인에이블신호를 입력으로 하는 핀이고,  $\overline{WP}$ (Write Protect)핀은 시스템의 파워 업(Power Up) 또는 다

운시 메모리 트랜지스터에 저장된 데이터의 손실을 방지하기 위한 기입 보호용이고,  $\overline{CE}$ (Chip Enabl

e)핀은 칩을 구동하게 하기 위한 신호를 입력으로 하는 핀이고,  $\overline{RE}$ (Read Enable)핀은 독출동작을 수

행하기 위한 인에이블신호를 입력으로 하는 핀이고, R/ $\overline{B}$ (Read/Busy)핀은 상기 칩이 구동중인가 혹은 대

기상태에 있는가를 나타내는 신호를 출력하는 핀이고, GND( $\overline{SE}$ )(Spare Field Enable)핀은 그라운드 레벨의 접지전원을 공급하기 위한 핀이고, N.C(No Connection)핀은 비사용되는 핀을 나타낸다.

제2도는 일반적인 시스템에서 공통된 버스라인에 연결된 플래쉬 메모리와 램을 개략적으로 나타낸 블록도이고, 제3도는 종래의 기술에 따라 불휘발성 반도체 메모리내에서의 각 제어버퍼와 데이터와의 상관 관계를 간략하게 도식화한 블록도이고, 제4도는 종래기술에 따라 데이터 출력을 제어하기 위한 독출(Read) 버퍼의 회로도이고, 제5도는 종래기술에 따라 데이터 입력을 제어하기 위한 기입(Write) 버퍼의 회로도이고, 제6도는 종래기술에 따라 제4도에 도시된 독출 버퍼의 제어신호에 응답하여 데이터를 출력하는 데이터 출력 버퍼의 실시예도이다.

제2도~제6도를 참조하여 종래의 기술을 살펴보면, 데이터 입력 즉 기입(Write) 동작시에는 기입인에블

신호  $\overline{WE}$  는 토글하고 이때 독출 인에이블 신호  $\overline{RE}$  의 상태는 하이레벨된다. 한편, 데이터 출력 즉 독

출(Read)동작시에는 독출 인에이블신호  $\overline{RE}$ 가 토글하고 이때 기입 인에이블 신호  $\overline{WE}$ 의 상태는 하이 레벨이어야 한다. 즉, 데이터 입력과 데이터 출력은 서로 배타적으로 동작하여야 한다.

따라서, 제4도에 도시된 독출 버퍼(303) 및 제5도에 도시된 기입 버퍼(302)에서처럼, 상기 독출 버퍼(303)와 기입 버퍼(302)중 어느 한쪽이 인에이블되는 경우에는 다른 한쪽의 버퍼를 디세이블되도록 하였다.

이러한 독출 버퍼(303)는 독출 인에이블신호  $\overline{RE}$ 와 칩 인에이블신호  $\overline{CE}$ 에 응답하여 동작하는 노아게이트(401)와 상기 노아게이트(401)의 출력신호를 반전시키는 인버터(402)와, 상기 인버터(402)의 출력신호와 기입출력신호  $\emptyset WE$ 에 응답하여 출력신호  $\emptyset OE$ 를 출력하는 노아게이트(403)로 구성된다.

또한, 상기 기입버퍼(302)는 기입 인에이블신호  $\overline{WE}$ 와 칩 인에이블신호  $\overline{CE}$ 에 응답하여 동작하는 노아게이트(501)와 상기 노아게이트(501)의 출력신호를 반전시키는 인버터(502)와, 상기 인버터(502)의 출력신호와 상기 출력신호  $\emptyset OE$ 에 응답하여 상기 기입출력신호  $\emptyset WE$ 를 출력하는 노아게이트(503)로 구성된다.

제2도에서와 같이 플래쉬 메모리(202)를 임베디드 응용으로 사용하는 경우에는 램(RAM, 203)과 함께 입출력 버스라인 I/O를 공유하면서 램(203)의 출력데이터를 플래쉬 메모리(202)로 입력하거나 플래쉬 메모리(202)의 출력 데이터를 램(203)으로 입력하여 사용할 수 있다.

즉, 시스템의 수행능력 향상을 위해 별도의 레지스터없이 플래쉬 메모리(202)와 램(203)의 데이터를 동시에 독출 및 기입할 수 있다.

제7도는 시스템내에서 플래쉬 메모리와 램간의 데이터 입출력에 대한 일실시예를 보여주는 타이밍도이다.

제7도에 도시한 타이밍도는 플래쉬 메모리(202) 및 램(203)의 데이터 입출력 제어신호들을 입력으로 하는 입출력 제어핀들( $\overline{WE}$ ,  $\overline{RE}$ ,  $\overline{OE}$ )을 각각 별도로 사용한 경우의 실시예이다. 그러나 통상적으로 시스템 수행능력 향상 측면을 고려한다면, 상기 입출력 제어신호핀들에 대한 입출력 버스라인 I/O를 공통으로 사용하는 것이 보다 효율적이다. 즉, 플래쉬 메모리(202)의 기입 인에이블신호핀  $\overline{WE}$ (F)과 램(203)의 기입 인에이블신호핀  $\overline{WE}$ (R)을 공통으로 사용하거나 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)과 램(203)의 출력 인에이블신호핀  $\overline{OE}$ (R)을 공통으로 사용하는 것이 그 예이다.

그러나, 제4도 및 제5도에서처럼 플래쉬 메모리(202)에 사용되는 독출 버퍼(303) 및 기입 버퍼(302)를 상기 램(203)의 제어신호핀들  $\overline{WE}$ (R),  $\overline{OE}$ (R)과 공통으로 입출력 버스라인 I/O를 공유할 수 없게 된다. 공유할 수 없는 이유는 제8도와 함께 설명될 것이다.

제8도의 타이밍도는 기입 인에이블신호핀  $\overline{WE}$ (R, F)을 플래쉬 메모리(202)와 램(203)이 공유해서 사용하며, 또한 상기 플래쉬 메모리(202)의 데이터를 출력하며 램(203)의 입력 데이터로 사용한다고 가정하는 경우의 예이다. 먼저, 플래쉬 메모리(202)의 데이터를 출력하기 위해서는 독출 인에이블 신호  $\overline{RE}$ 가 토글해야하고, 이를 램(203)으로 입력하기 위해서는 램(203)의 기입 인에이블신호  $\overline{WE}$ (R)를 토글하여야 한다. 그런데, 이 경우 램(203)의 기입 인에이블신호핀  $\overline{WE}$ (R)은 플래쉬 메모리(202)의 기입 인에이블신호핀  $\overline{WE}$ (F)과 공유해서 사용하기 때문에 플래쉬 메모리(202)의 독출 인에이블신호  $\overline{RE}$ (F)와 기입 인에이블신호핀  $\overline{WE}$ (F)가 동시에 인에이블된다. 이때, 제5도의 기입버퍼(302)의 기입출력신호  $\emptyset WE$ 가 제4도에 도시된 독출 버퍼(303)의 출력신호  $\emptyset OE$ 보다 우선하며 인에이블되면, 이 출력신호  $\emptyset OE$ 는 디세이블(Disable)되어 결국 플래쉬 메모리(202)의 출력 데이터는 고 임피던스 상태로 된다. 반대의 경우, 즉 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)과 램(203)의 출력 인에이블신호핀  $\overline{OE}$ (F)을 공통으로 사용하고, 램(203)의 데이터를 출력하여 플래쉬 메모리(202)의 입력 데이터를 사용하는 경우도 동일한 폐일이 발생한다.

따라서, 본 발명의 목적은 공유된 제어핀을 가지고 독출동작이나 기입동작을 수행할 경우 발생할 수 있는 폐일을 방지할 수 있는 불휘발성 반도체 메모리 및 그 입출력제어방법을 제공함에 있다.

본 발명의 다른 목적은 시스템의 효율적인 활용 및 제어를 할 수 있는 불휘발성 반도체 메모리 및 그 입출력제어방법을 제공함에 있다.

상기한 목적들을 달성하기 위한 본 발명의 기술적 사상에 따르면, 데이터의 일시저장이 가능한 램의 출력 인에이블신호핀과 공유된 독출인에이블신호핀을 가지고, 상기 램으로부터 독출된 데이터를 저장하는 동작을 수행하기 위한 불휘발성 반도체 메모리는 상기 출력인에이블신호핀으로 인가되는 인에이블신호에 응답하여 출력되는 상기 램에 저장된 데이터를 칩 인에이블신호와 기입 인에이블신호 및 데이터 입력모드시 인에이블되는 제1명령플래그에 의해 출력되는 내부기입인에이블신호에 의해 상기 저장동작을 수행하는 기입 버퍼와, 상기 데이터 입력모드시에는 데이터 출력모드시에만 인에이블되는 제2명령플래그에 응답하여 독

출동작이 디세이블되는 독출버퍼를 적어도 구비함을 특징으로 한다.

이하 본 발명의 바람직한 실시예들의 상세한 설명이 첨부된 도면들을 참조하여 설명된다.

도면들중 동일한 구성요소 및 부분들은 가능한한 어느곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

제9도는 본 발명에 따라 구성된 불휘발성 반도체 메모리내에서의 각 제어버퍼와 데이터와의 상관 관계를 간략하게 도식화한 블록도이다.

제9도를 참조하여 구성을 살펴보면, 제3도에 설명된 도면과 유사한데 다른 점은 본 발명에 따라 구성된 기입버퍼(908)와 독출버퍼(904)에 인가되는 신호이다. 이러한 기입버퍼(908)와 독출버퍼(904)는 후술되는 제10도 및 제11도에서 상세히 설명될 것이다.

제10도는 본 발명의 실시예에 따라 구성된 독출 버퍼의 회로도이고, 제10도는 본 발명의 실시예에 따라 구성된 기입 버퍼의 회로도이다.

제10도에 도시된 독출버퍼(903)는 독출 인에이블신호  $\overline{RE}$ 와 칩 인에이블신호  $\overline{CE}$ 에 응답하여 동작하는 노아게이트(401)와 상기 노아게이트(401)의 출력신호를 반전시키는 인버터(402)와, 상기 인버터(402)의 출력신호와 명령 플래그 Ssi에 응답하여 출력신호  $\emptyset OE$ 를 출력하는 노아게이트(403)로 구성된다.

제11도에 도시된 기입버퍼(902)는 기입 인에이블신호  $\overline{WE}$ 와 칩 인에이블신호  $\overline{CE}$ 에 응답하여 동작하는 노아게이트(501)와 상기 노아게이트(501)의 출력신호를 반전시키는 인버터(502)와, 상기 인버터(502)의 출력신호와 명령 플래그 Srd에 응답하여 상기 기입출력신호  $\emptyset WE$ 를 출력하는 노아게이트(503)로 구성된다.

기본적으로 플래쉬 메모리(202)의 동작 구현 방식은 모두 명령구동방식이다. 즉, 프로그램을 하거나 소거를 하기 위해서는 외부에서 각 모드에 부합하는 명령을 입출력된 I/O를 통해 칩 내부로 입력하여야 한다. 데이터 입력동작시 명령 입력 및 동작은 국내출원번호94-25243 불휘발성 반도체 메모리 장치의 부분 프로그램을 위한 데이터 로딩에 상세히 개시되어 있으므로 본 발명에서는 생략한다.

제12도는 본 발명의 제1실시예에 따라 입출력 타이밍관계를 나타낸 타이밍도이다. 즉, 램(203)의 출력 데이터를 플래쉬 메모리(202)로 입력하는 경우에 대한 타이밍도이다.

이때, 램(203)의 출력 인에이블신호핀  $\overline{OE}$ (R) 및 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)은 공통이다.

전술한 바와 같이 플래쉬 메모리(202)는 명령 구동방식에 의해 동작하며, 데이터 입력모드시 플래쉬 메모리(202) 칩 내부적으로 명령 플래그Ssi가 인에이블된다. 이때, 램(203)의 데이터를 출력하기 위해서는 출력 인에이블신호  $\overline{OE}$ (R)를 토글해야 하며, 이때 출력 인에이블신호  $\overline{OE}$ (R) 및 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)은 공통으로 사용되기 때문에 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)도 동시에 토글된다. 또한 램(203)에서 출력된 데이터를 플래쉬 메모리(202)로 입력하기 위해서는 플래쉬 메모리(202)의 기입 인에이블신호핀  $\overline{WE}$ (F)을 토글하여야 하기 때문에 결과적으로 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F) 및 기입 인에이블신호핀  $\overline{WE}$ (F)이 동시에 토글되어 인에이블된다.

그러나, 제9도에서처럼 데이터 입력 명령Ssi가 로우레벨에서 하이레벨로 인에이블되면서, 데이터 출력버퍼를 제어하는 신호  $\emptyset OE$ 를 로우레벨 상태로 디세이블시키기 때문에 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F) 및 기입 인에이블신호핀  $\overline{WE}$ (F)이 동시에 인에이블되더라도 데이터의 입력동작은 정상적으로 수행된다.

제13도는 본 발명의 제2실시예에 따라 입출력 타이밍관계를 나타낸 타이밍도이다. 즉, 플래쉬 메모리(202)의 출력 데이터를 램(203)으로 입력하는 경우에 대한 타이밍도이다.

이때, 램(203)의 기입 인에이블신호핀  $\overline{WE}$ (R)과 플래쉬 메모리(202)의 기입 인에이블신호핀  $\overline{WE}$ (F)은 공통이라고 가정한다.

플래쉬 메모리(202)의 데이터를 출력하기 위해서는 데이터 출력 모드로 진입하여야 하며, 이때 플래쉬 메모리(202) 칩 내부적으로 데이터 출력 모드를 활성화시키기 위한 명령 플래그Srd가 로우레벨에서 하이레벨로 인에이블된다. 데이터 출력모드 진입 이후 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)을 토글하면 플래쉬 데이터가 출력되며, 출력 데이터를 램(203)으로 입력하기 위해서는 램(203)의 기입 인에이블신호핀  $\overline{WE}$ (R)을 토글하여야 한다. 이때 램(203)의 기입 인에이블신호핀  $\overline{WE}$ (R) 및 플래쉬 메모리(202)의 기입 인에이블신호핀  $\overline{WE}$ (F)은 공통으로 결국 플래쉬 메모리(202)의 기입 인에이블신호핀  $\overline{WE}$ (F)은 공통이므로 결국 플래쉬 메모리(202)의 독출 인에이블신호핀  $\overline{RE}$ (F)과 기입 인에이블신호핀

$\overline{WE}$  (F)이 동시에 활성화 된다.

그러나, 제10도에서처럼 데이터 출력 명령 플래그Srd가 로우레벨에서 하이레벨로 인에이블되면, 기입 버퍼를 디세이블시키게 되어 칩 외부에서 독출 인에이블신호인  $\overline{RE}$  및 기입 인에이블신호인  $\overline{WE}$ 이 동시에 활성화 되더라도 플래쉬 메모리(202)의 데이터 출력은 정상적으로 수행된다.

전술한 바와 같이 본 발명은 시스템내에서 서로 다른 디바이스의 제어핀을 서로 공유하여 사용하는 경우 페일이 발생하는 것을 방지할 수 있는 이점을 가진다. 또한, 본 발명은 시스템의 효율적인 활용 및 제어를 할 수 있는 이점을 가진다.

상기한 본 발명은 도면을 중심으로 예를들어 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러가지 변화와 변형이 가능함이 본 분야의 숙련된 자에게 있어 명백할 것이다.

### (57) 청구의 범위

#### 청구항 1

데이터의 일시저장이 가능한 램의 출력인에이블신호핀과 공유된 독출인에이블신호핀을 가지고, 상기 램으로부터 독출된 데이터를 저장하는 동작을 수행하기 위한 불휘발성 반도체 메모리에 있어서; 상기 출력인에이블신호핀으로 인가되는 인에이블신호에 응답하여 출력되는 상기 램에 저장된 데이터를 칩 인에이블신호와 기입 인에이블신호 및 데이터 입력모드시 인에이블되는 제1명령플래그에 의해 출력되는 내부기입인에이블신호에의해 상기 저장동작을 수행하는 기입버퍼와, 상기 데이터 입력모드시에는 데이터 출력모드시에만 인에이블되는 제2명령 플래그에 응답하여 독출동작이 디세이블되는 독출버퍼를 적어도 구비함을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 2

제1항에 있어서, 상기 기입버퍼는 상기 칩 인에이블신호와 기입인에이블신호를 입력으로 하는 제1논리게이트와, 상기 제1논리게이트의 출력신호를 반전시킨 신호와 상기 제1명령플래그를 입력으로 하는 제2논리게이트를 가짐을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 3

제2항에 있어서, 상기 제1논리 게이트는 노아게이트임을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 4

제2항에 있어서, 상기 제2논리 게이트는 노아게이트임을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 5

행과 열의 매트릭스로 이루어진 다수의 메모리 트랜지스터들로 이루어진 메모리 뿔 어레이와, 데이터의 일시저장이 가능한 램의 기입인에이블신호핀과 공유된 기입인에이블신호핀을 적어도 구비하고, 상기 메모리 트랜지스터들에 저장된 데이터를 독출하여 상기 램에 저장하는 동작을 수행하기 위한 불휘발성 반도체 메모리에 있어서; 상기 메모리 트랜지스터에 저장된 데이터 출력시 인에이블되는 제1명령플래그와 칩 인에이블신호 및 독출인에이블신호에 의해 출력되는 내부출력인에이블신호에 의해 상기 독출동작을 수행하는 독출버퍼와; 상기 데이터 출력시에는 데이터 입력모드시에만 인에이블되는 제2명령플래그에 응답하여 기입동작이 디세이블되는 기입버퍼를 적어도 구비함을 특징으로하는 불휘발성 반도체 메모리.

#### 청구항 6

제5항에 있어서, 상기 독출버퍼는 상기 칩 인에이블신호와 독출인에이블신호를 입력으로 하는 제1논리게이트와, 상기 제1논리게이트의 출력신호를 반전시킨 신호와 상기 제1명령플래그를 입력으로 하는 제2논리게이트를 가짐을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 7

제6항에 있어서, 상기 제1논리 게이트는 노아게이트임을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 8

제7항에 있어서, 상기 제2논리 게이트는 노아게이트임을 특징으로 하는 불휘발성 반도체 메모리.

#### 청구항 9

데이터의 일시저장이 가능한 램의 출력인에이블신호핀과 공유된 독출인에이블신호핀을 가지고, 상기 램으로부터 독출된 데이터를 저장하는 동작을 수행하기 위한 불휘발성 반도체 메모리의 입출력제어방법에 있어서; 상기 램의 출력인에이블신호에 응답하여 데이터를 출력하는 과정과, 상기 불휘발성 반도체 메모리의 데이터 입력모드시 인에이블되는 명령플래그에 응답하여 상기 불휘발성 반도체 메모리의 출력인에이블신호를 디세이블시키는 과정과, 상기 출력된 데이터를 상기 불휘발성 반도체 메모리의 기입인에이블신호에 응답하여 상기 불휘발성 반도체 메모리에 저장하는 과정으로 이루어짐을 특징으로 하는 방법.

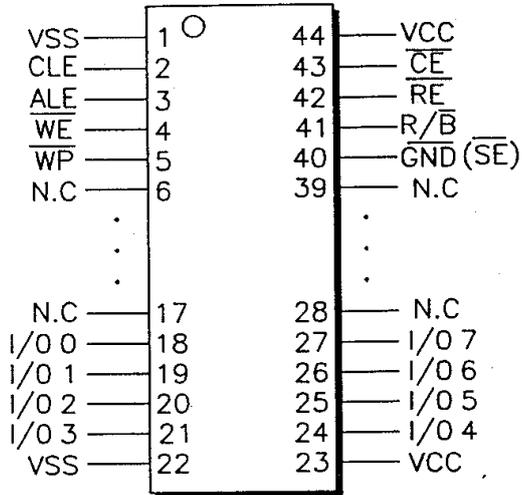
#### 청구항 10

행과 열의 매트릭스로 이루어진 다수의 메모리 트랜지스터들로 이루어진 메모리 뿔 어레이와, 데이터의 일시저장이 가능한 램의 기입인에이블신호핀과 공유된 기입인에이블신호핀을 적어도 구비하고, 상기 메모리 트랜지스터들에 저장된 데이터를 독출하여 상기 램에 저장하는 동작을 수행하기 위한 불휘발성 반도체

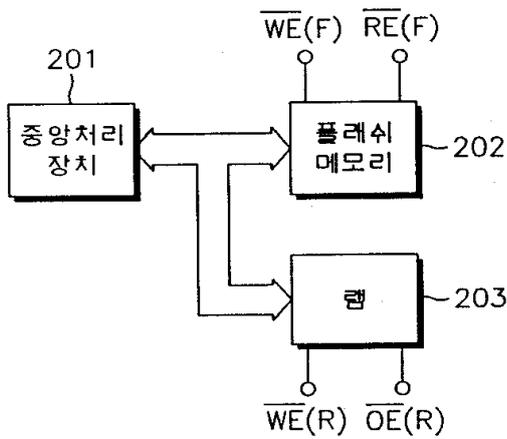
메모리의 입출력제어방법에 있어서, 상기 불휘발성 반도체 메모리의 데이터 출력모드시 인에이블되는 명령클럭에 응답하여 상기 불휘발성 반도체 메모리의 기입인에이블신호를 디세이블시키는 과정과, 상기 불휘발성 반도체 메모리의 독출인에이블신호에 응답하여 데이터를 출력하는 과정과, 상기 출력된 데이터를 상기 램의 기입인에이블신호에 응답하여 상기 램에 저장하는 과정으로 이루어짐을 특징으로 하는 방법.

도면

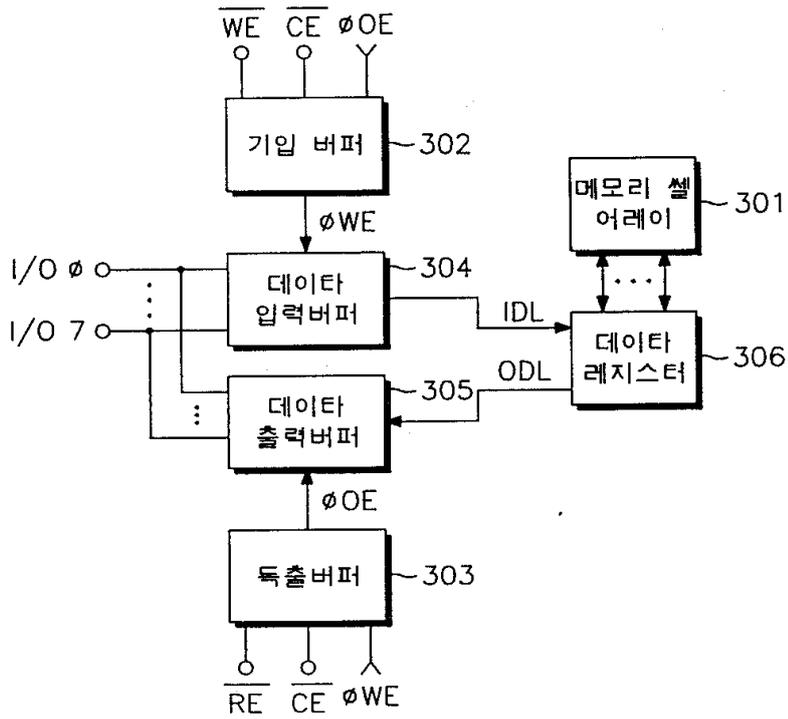
도면1



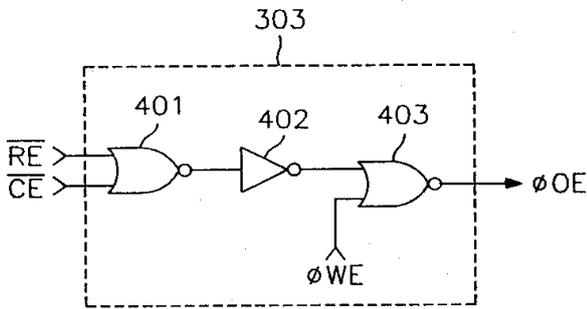
도면2



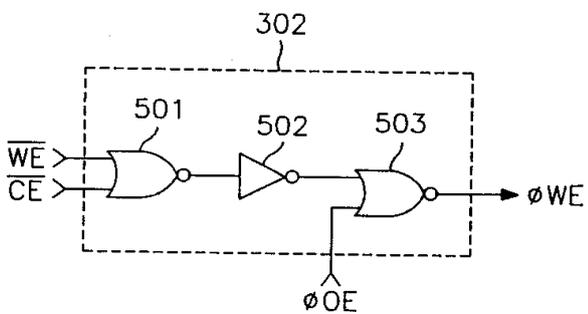
도면3



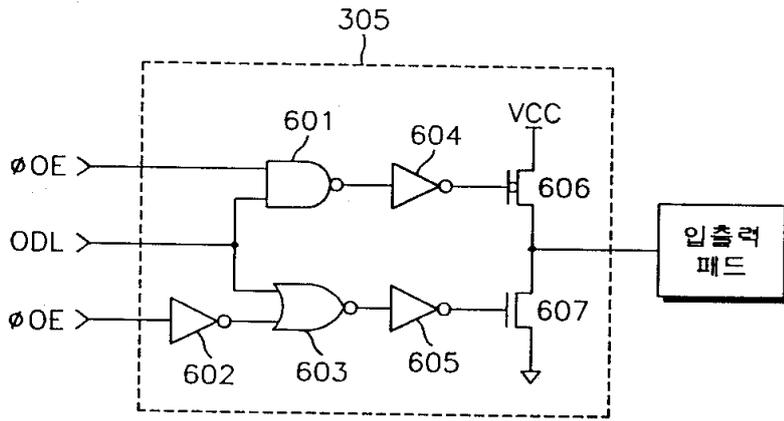
도면4



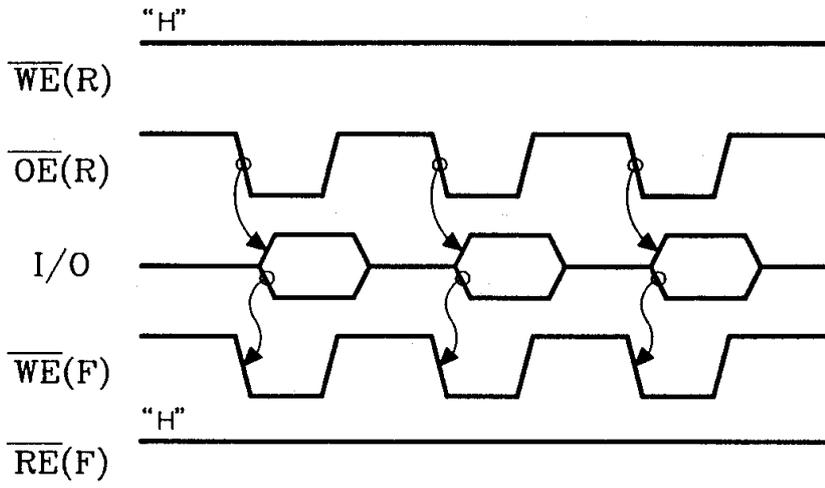
도면5



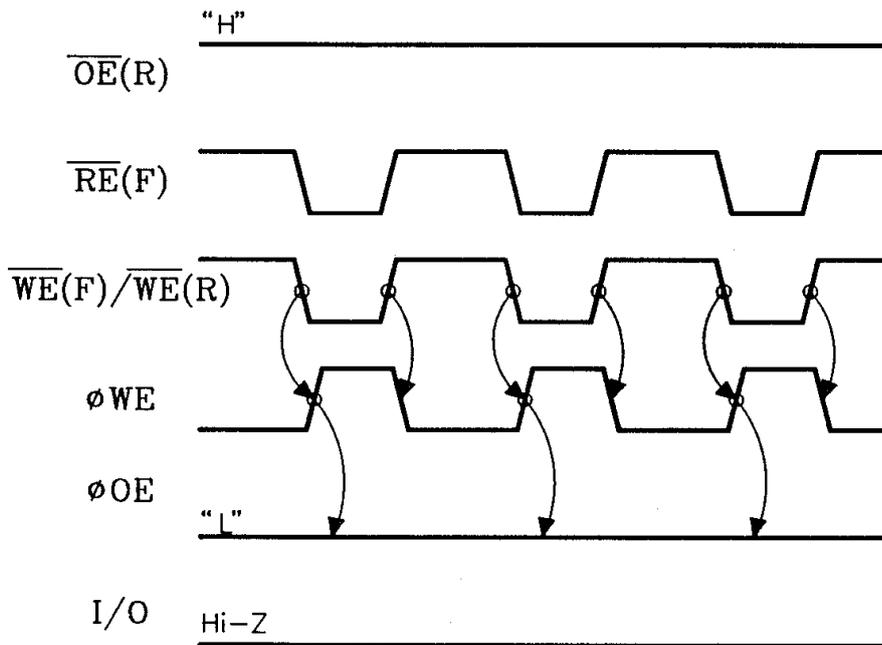
도면6



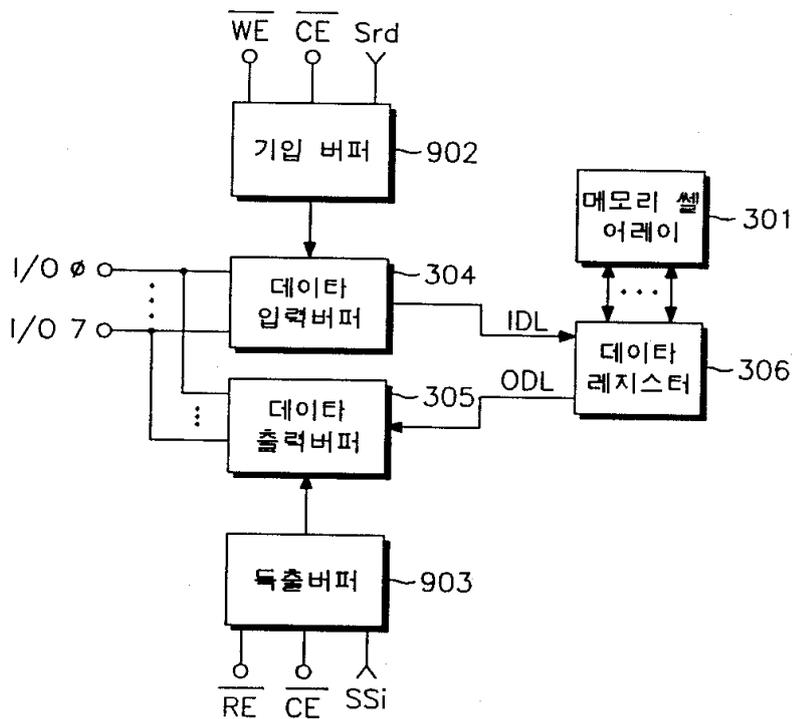
도면7



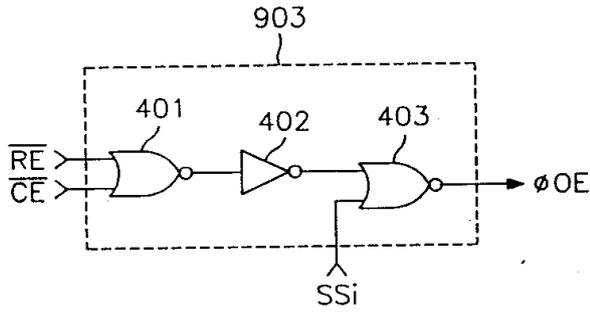
도면8



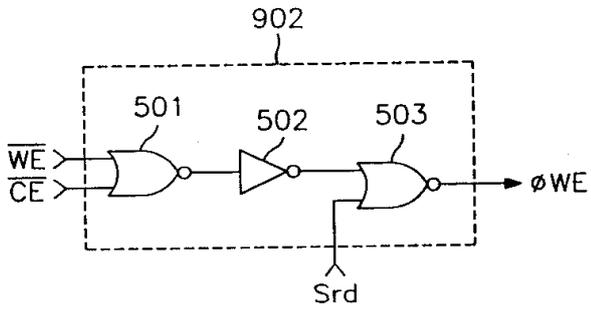
도면9



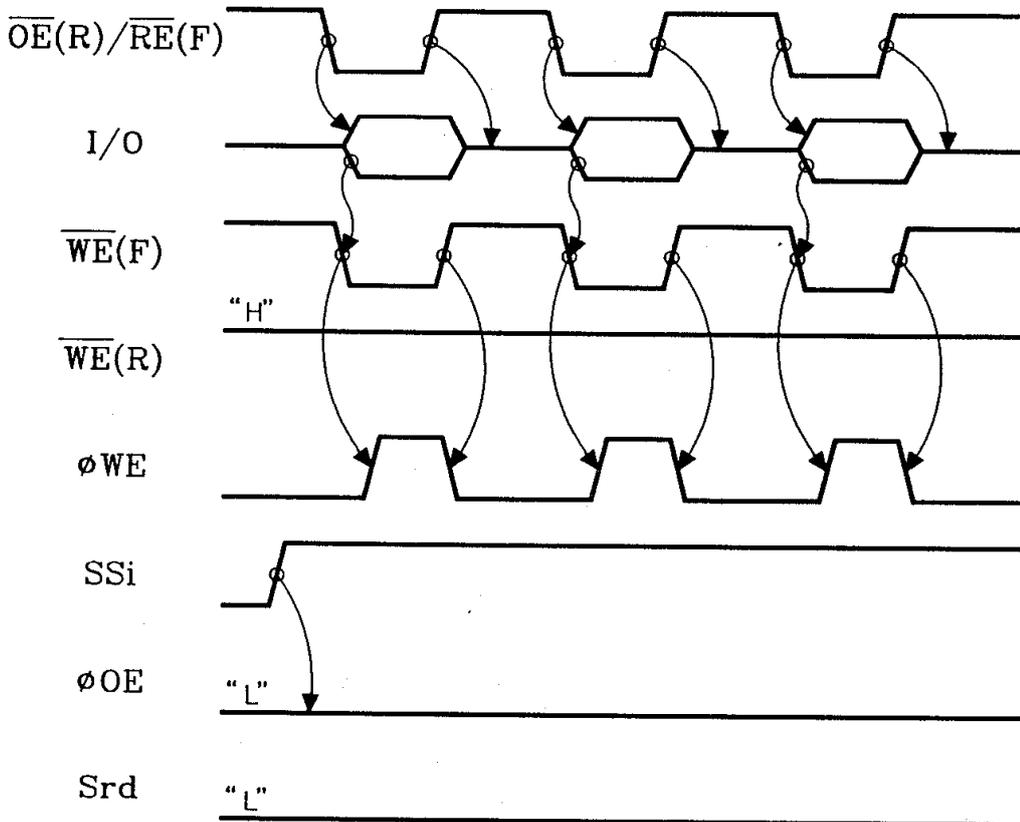
도면10



도면11



도면12



## 도면 13

