

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-166795

(P2007-166795A)

(43) 公開日 平成19年6月28日(2007.6.28)

|                            |           |   |             |  |  |
|----------------------------|-----------|---|-------------|--|--|
| (51) Int. Cl.              | F I       |   | テーマコード (参考) |  |  |
| <b>H02M 3/28 (2006.01)</b> | H02M 3/28 | F | 5H006       |  |  |
| <b>H02M 7/21 (2006.01)</b> | H02M 3/28 | L | 5H730       |  |  |
|                            | H02M 7/21 | A |             |  |  |

審査請求 未請求 請求項の数 10 O L (全 17 頁)

|           |                              |          |   |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2005-360455 (P2005-360455) | (71) 出願人 | 000103976<br>オリジン電気株式会社<br>東京都豊島区高田1丁目18番1号   |
| (22) 出願日  | 平成17年12月14日(2005.12.14)      | (74) 代理人 | 100097216<br>弁理士 泉 和人   |
|           |                              | (72) 発明者 | 鈴木 和也<br>東京都豊島区高田1丁目18番1号 オリジン電気株式会社内   |
|           |                              | (72) 発明者 | 木道 敦<br>東京都豊島区高田1丁目18番1号 オリジン電気株式会社内  |
|           |                              | Fターム(参考) | 5H006 AA05 CA02 CB03 CB07 DA04<br>DB01 DC05<br>5H730 AA14 AS01 BB23 BB57 DD04<br>EE02 EE08 EE10 EE13 FD01<br>FG01 |

(54) 【発明の名称】 電源回路

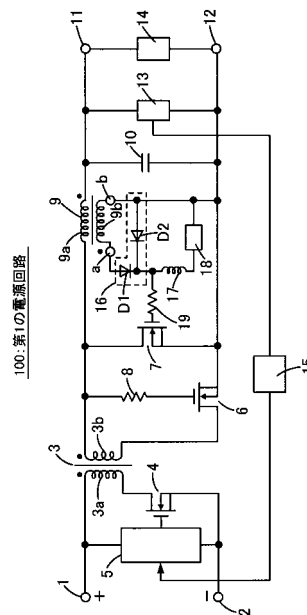
(57) 【要約】

【課題】

還流用FETのスイッチング損失が小さく、かつ負荷電圧にかかわらず安定かつ確実に還流用FETを動作させることができる電源回路を提供すること。

【解決手段】

スイッチング半導体素子とその制御回路とトランスの2次巻線に接続される第1、第2の整流素子と駆動回路と平滑用インダクタとを備える電源回路において、前記第2の整流素子は少なくとも還流用FETとして働く電界効果トランジスタであり、前記駆動回路は前記還流用FETを駆動するものであって、前記平滑用インダクタに設けられた2次巻線と、その2次巻線に接続された整流回路と、その出力側に接続されたインダクタンス素子とインピーダンス素子とからなり、前記インダクタンス素子に蓄えられたエネルギーが前記整流回路を通して放出されることによって、前記還流用FETのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路。



## 【特許請求の範囲】

## 【請求項 1】

直流入力端子に接続された 1 次巻線と 2 次巻線とを有するトランスと、前記 1 次巻線に直列に接続されているスイッチング半導体素子と、該スイッチング半導体素子を制御する制御回路と、前記 2 次巻線に直列接続されている第 1 の整流素子と、前記 2 次巻線と前記第 1 の整流素子とに跨って接続されている第 2 の整流素子と、前記 2 次巻線と負荷とに直列に接続されている 1 次巻線及び該 1 次巻線に磁氣的に結合されている 2 次巻線を有する平滑用インダクタとを備える電源回路において、

前記第 2 の整流素子は、前記平滑用インダクタに蓄えられたエネルギーを循環する還流用電界効果トランジスタからなり、

前記還流用電界効果トランジスタを駆動する回路であって、前記平滑用インダクタの前記 2 次巻線と、該 2 次巻線に接続されている整流回路と、該整流回路の出力側に接続されているインダクタンス素子とインピーダンス素子とからなる駆動回路を備え、

前記駆動回路において、前記インダクタンス素子に蓄えられたエネルギーが前記スイッチング半導体素子のターンオン時に前記整流回路を通して放出されることによって、前記還流用電界効果トランジスタのゲート - ソース間容量の電荷が高速で放電されることを特徴とする電源回路。

10

## 【請求項 2】

請求項 1 において、

前記第 1 の整流素子は、前記トランスの前記 2 次巻線の一端側に接続された一方の主端子と、直流出力端子側に接続された他方の主端子と、前記トランスの前記 2 次巻線の他端側に接続されたゲートとを有する整流用電界効果トランジスタであることを特徴とする電源回路。

20

## 【請求項 3】

請求項 1 において、

前記第 1 の整流素子は整流用ダイオードであり、

前記直流入力端子に跨って並列に接続された第 2 のトランスと、該第 2 のトランスの 1 次巻線に直列に接続されている第 2 のスイッチング半導体素子と、前記第 2 のトランスの前記 2 次巻線に直列に接続されている整流用ダイオードとを備え、

前記第 2 のトランスの前記 2 次巻線は前記整流用ダイオードを介して前記トランスの前記 2 次巻線と前記第 1 の整流ダイオードとに跨って並列に接続されることを特徴とする電源回路。

30

## 【請求項 4】

請求項 1 において、

前記第 1 の整流素子は、前記トランスの前記 2 次巻線の一端側に接続された一方の主端子と直流出力端子側に接続された他方の主端子とを有する整流用電界効果トランジスタであり、

前記トランスは第 3 の巻線を有し、

前記整流用電界効果トランジスタを駆動する第 2 の駆動回路であって、該第 2 の駆動回路は前記第 3 の巻線と、該第 3 の巻線に接続されている第 2 の整流回路と、該第 2 の整流回路の出力側に接続されている第 2 のインダクタンス素子と第 2 のインピーダンス素子とからなり、

40

前記第 2 の駆動回路において、前記スイッチング半導体素子のターンオフ時に前記第 2 のインダクタンス素子に蓄えられたエネルギーが前記第 2 の整流回路を通して放出されることによって、前記整流用電界効果トランジスタのゲート - ソース間容量の電荷が高速で放電されることを特徴とする電源回路。

## 【請求項 5】

1 次巻線と 2 次巻線とを有するトランスと、前記 1 次巻線に直列に接続されているスイッチング半導体素子と、該スイッチング半導体素子を制御する制御回路と、前記 2 次巻線に直列接続されている第 1 の整流素子と、前記 2 次巻線と前記第 1 の整流素子とに跨って

50

接続されている第2の整流素子と、前記2次巻線と負荷とに直列に接続されている1次巻線及び該1次巻線に磁氣的に結合されている2次巻線を有する平滑用インダクタとを備える電源回路において、

前記第1の整流素子は整流用電界効果トランジスタからなり、

該整流用電界効果トランジスタを駆動する回路であって、前記平滑用インダクタの前記2次巻線と、該2次巻線に接続されている整流回路と、該整流回路の出力側に接続されているインダクタンス素子とインピーダンス素子とからなる駆動回路を備え、

前記駆動回路において、前記インダクタンス素子に蓄えられたエネルギーが前記スイッチング半導体素子のターンオフ時に前記整流回路を通して放出されることによって、前記整流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路。 10

【請求項6】

1次巻線と2次巻線とを有するトランスと、前記1次巻線に直列に接続されているスイッチング半導体素子と、該スイッチング半導体素子を制御する制御回路と、前記2次巻線に直列接続されている整流用電界効果トランジスタと、前記2次巻線と前記整流用電界効果トランジスタとに跨って接続されている還流用電界効果トランジスタと、前記2次巻線と負荷とに直列に接続されている1次巻線及び該1次巻線に磁氣的に結合されている2次巻線を有する平滑用インダクタとを備える電源回路において、

前記平滑用インダクタの前記2次巻線は、互いに直列接続されている第1と第2の2次巻線からなり、 20

前記平滑用インダクタの前記第1の2次巻線と、該第1の2次巻線に接続されている第1の整流回路と、該第1の整流回路の出力側に接続されている第1のインダクタンス素子と第1のインピーダンスとからなる第1の駆動回路を備え、

該第1の駆動回路において、前記第1のインダクタに蓄えられたエネルギーが前記スイッチング半導体素子のターンオン時に前記第1の整流回路を通して放出されることによって、前記整流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電され、

前記平滑用インダクタの前記第2の2次巻線と、該第2の2次巻線に接続されている第2の整流回路と、該第2の整流回路に接続されている前記第2のインダクタンス素子と第2のインピーダンスとからなる第2の駆動回路を備え、

該第2の駆動回路において、前記第2のインダクタンス素子に蓄えられたエネルギーが前記スイッチング半導体素子のターンオン時に前記第2の整流回路を通して放出されることによって、前記還流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路。 30

【請求項7】

請求項6において、

前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタのゲートとソースとの間には、前記インダクタンス素子と前記インピーダンス素子とが存在することを特徴とする電源回路。

【請求項8】

請求項6又は請求項7において、 40

前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタはNチャネル型の電界効果トランジスタからなり、

前記整流回路、前記第1の整流回路、又は第2の整流回路は、前記平滑用インダクタの前記2次巻線の一端にアノードが接続される第1のダイオードと、前記2次巻線の他端にアノードが接続され、かつ前記2次巻線と前記第1のダイオードとに跨って接続される第2のダイオードとからなり、前記第1、第2のダイオードのカソード同士が互いに接続され、

前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタのゲートは、前記第1、第2のダイオードのカソード同士が互いに接続された側に接続されていることを特徴とする電源回路。 50

## 【請求項 9】

請求項 6 ないし請求項 8 のいずれかにおいて、

前記還流用電界効果トランジスタ及び / 又は前記整流用電界効果トランジスタは P チャネル型の電界効果トランジスタからなり、

前記整流回路、前記第 1 の整流回路、又は第 2 の整流回路は、前記平滑用インダクタの前記 2 次巻線の一端にカソードが接続される第 1 のダイオードと、前記 2 次巻線の他端にカソードが接続され、かつ前記 2 次巻線と前記第 1 のダイオードとに跨って接続される第 2 のダイオードとからなり、前記第 1、第 2 のダイオードのアノード同士が互いに接続され、

前記還流用電界効果トランジスタ及び / 又は前記整流用電界効果トランジスタのゲートは、前記第 1、第 2 のダイオードのアノード同士が互いに接続された側に接続されていることを特徴とする電源回路。 10

## 【請求項 10】

請求項 6 ないし請求項 9 のいずれかにおいて、

前記インピーダンス素子はコンデンサを含み、

該コンデンサの両端に前記還流用 F E T 及び / 又は前記整流用電界効果トランジスタを制御する 2 次側制御回路が接続されていることを特徴とする電源回路。

## 【発明の詳細な説明】

## 【技術分野】

20

## 【0001】

本発明は、同期整流式の整流回路を備える電源回路、特に整流素子として動作する電界効果トランジスタを駆動する駆動回路の構成に関する。

## 【背景技術】

## 【0002】

近年、電子機器の小型化に伴い、電子機器にエネルギーを供給する電源回路にも小型化が要請されている。この要請に応えるために、電源として D C / D C コンバータ方式が用いられており、トランスの 1 次巻線に接続されるインバータ部によって直流電圧を高周波交流電圧に一旦変換した後に電力損失の小さい同期整流方式の整流部で再び直流電圧に変換することが行われている。つまり、小型の電源で負荷に見合った十分なエネルギーを供給するためには、電源装置の高効率化が必要とされる。電源装置の高効率化を達成するために、整流回路としては電界効果トランジスタ（以下、F E T という。）を整流素子として用いる同期整流回路が広く知られている。 30

## 【0003】

図示しないが、従来同期整流回路としては、トランスの 2 次巻線の一端に整流素子として動作する F E T を直列に接続し、前記 2 次巻線の他端にその整流用 F E T のゲートを接続することによって、整流用 F E T を 2 次巻線に現出する電圧に同期させて駆動する回路が基本的なものとして広く知られている（例えば、特許文献 1 参照）。また、別の駆動方式として、トランスに第 3 の巻線を設け、その第 3 の巻線に生じる電圧をダイオードなどによって直流電圧に変換し、整流用 F E T のゲートに印加して駆動する方式がある（例 40  
例えば、特許文献 2 参照）。また、トランスに第 3 の巻線を設け、その第 3 の巻線に生じる電圧をダイオードなどによって直流電圧に変換し、その直流電圧をトランジスタを介して整流用 F E T のゲートに印加して駆動する方式もある（例えば、特許文献 3 参照）。

【特許文献 1】特開 2003 - 189622 公報

【特許文献 2】特開 2003 - 125579 公報

【特許文献 3】特開 2003 - 189608 公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

しかし、前掲特許文献 1 に記載されているような電源回路にあっては、トランスの 2 次 50

巻線に発生する電圧で駆動しているので、出力電圧の大きさの影響を直接的に受け、特に出力電圧が低い、例えば3.3V以下の電源回路にあっては整流用FETを駆動するための駆動電圧が不足することがあり、不足する駆動電圧でFETを駆動すると、FETの電力損失が大きくなり、結果として電源回路全体の電力損失が大きくなる。逆に負荷電圧がかなり大きい場合には、制限抵抗器などによる駆動回路の損失が増大するという問題がある。また、更に駆動電圧が低い領域では整流用FETがオンせず、同期整流動作が不可能になり、また駆動損失が大きくなるという問題がある。特に、平滑用インダクタに蓄えられたエネルギーを循環させる還流用FETはトランスのリセット電圧で駆動するために、出力電圧が低い場合には、トランスのリセット時間に起因する遅れで還流用FETのターンオフが遅れることがあり、電力損失が大きくなる。

10

**【0005】**

次に、前掲特許文献2、3に記載されているような電源回路にあっては、トランスに第3の巻線を備え、第3の巻線に発生する電圧で整流用FETを駆動しているので、第3の巻線の巻数を適切に選択することによって、出力電圧の影響を受けずに前掲の問題点は解決することができる。しかしながら、第3の巻線の電圧をダイオード又はダイオードとトランジスタなどを介して整流用FETのゲートに印加しているだけであるので、前掲特許文献1に記載された電源と全く同様に、平滑用インダクタに蓄えられたエネルギーを循環させる還流用FETはトランスのリセット電圧で駆動するために、出力電圧が低い場合には、トランスのリセット時間に起因する遅れで還流用FETのターンオフが遅れることがあり、電力損失が大きくなる。

20

**【0006】**

したがって、本発明は前述の問題点を解決し、簡単な構成の駆動回路でもって還流用FETのオフ動作を速めて電力損失を低減し、また、定格出力電圧がかなり高い場合でも平滑用インダクタに設ける2次巻線の巻数を適切に選定することによって、特別の保護部材を備えることなく還流用FETを破損することなく安定に動作させることを主目的としている。また、整流用FETのゲート-ソース間容量に充電された電荷の放電も高速化して、整流用FETのターンオフ速度を高速化することもできる。

**【課題を解決するための手段】****【0007】**

第1の発明は、直流入力端子に接続された1次巻線と2次巻線とを有するトランスと、前記1次巻線に直列に接続されているスイッチング半導体素子と、そのスイッチング半導体素子を制御する制御回路と、前記2次巻線に直列接続されている第1の整流素子と、前記2次巻線と前記第1の整流素子とに跨って接続されている第2の整流素子と、前記2次巻線と負荷とに直列に接続されている1次巻線及び該1次巻線に磁氣的に結合されている2次巻線を有する平滑用インダクタとを備える電源回路において、前記第2の整流素子は、前記平滑用インダクタに蓄えられたエネルギーを循環する還流用電界効果トランジスタからなり、前記還流用電界効果トランジスタを駆動する回路であって、前記平滑用インダクタの前記2次巻線と、該2次巻線に接続されている整流回路と、該整流回路の出力側に接続されているインダクタンス素子とインピーダンス素子とからなる駆動回路を備え、前記駆動回路において、前記インダクタンス素子に蓄えられたエネルギーが前記スイッチング半導体素子のターンオン時に前記整流回路を通して放出されることによって、前記還流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路を提供する。

30

40

**【0008】**

第2の発明は、前記第1の発明において、前記第1の整流素子は、前記トランスの前記2次巻線の一端側に接続された一方の主端子と、直流出力端子側に接続された他方の主端子と、前記トランスの前記2次巻線の他端側に接続されたゲートとを有する整流用電界効果トランジスタであることを特徴とする電源回路を提供する。

**【0009】**

第3の発明は、前記第1の発明において、前記第1の整流素子は整流用ダイオードであ

50

り、前記直流入力端子に跨って並列に接続された第2のトランスと、その第2のトランスの1次巻線に直列に接続されている第2のスイッチング半導体素子と、前記第2のトランスの前記2次巻線に直列に接続されている整流用ダイオードとを備え、前記第2のトランスの前記2次巻線は前記整流用ダイオードを介して前記トランスの前記2次巻線と前記第1の整流ダイオードとに跨って並列に接続されることを特徴とする電源回路を提供する。

【0010】

第4の発明は、前記第1の発明において、前記第1の整流素子は、前記トランスの前記2次巻線の一端側に接続された一方の主端子と直流出力端子側に接続された他方の主端子とを有する整流用電界効果トランジスタであり、前記トランスは第3の巻線を有し、前記整流用電界効果トランジスタを駆動する第2の駆動回路であって、その第2の駆動回路は前記第3の巻線と、該第3の巻線に接続されている第2の整流回路と、該第2の整流回路の出力側に接続されている第2のインダクタンス素子と第2のインピーダンス素子とからなり、前記第2の駆動回路において、前記スイッチング半導体素子のターンオフ時に前記第2のインダクタンス素子に蓄えられたエネルギーが前記第2の整流回路を通して放出されることによって、前記整流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路を提供する。

10

【0011】

第5の発明は、1次巻線と2次巻線とを有するトランスと、前記1次巻線に直列に接続されているスイッチング半導体素子と、そのスイッチング半導体素子を制御する制御回路と、前記2次巻線に直列接続されている第1の整流素子と、前記2次巻線と前記第1の整流素子とに跨って接続されている第2の整流素子と、前記2次巻線と負荷とに直列に接続されている1次巻線及びその1次巻線に磁気的に結合されている2次巻線を有する平滑用インダクタとを備える電源回路において、前記第1の整流素子は整流用電界効果トランジスタからなり、その整流用電界効果トランジスタを駆動する回路であって、前記平滑用インダクタの前記2次巻線と、その2次巻線に接続されている整流回路と、その整流回路の出力側に接続されているインダクタンス素子とインピーダンス素子とからなる駆動回路を備え、その駆動回路において、前記インダクタンス素子に蓄えられたエネルギーが前記スイッチング半導体素子のターンオフ時に前記整流回路を通して放出されることによって、前記整流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路を提供する。

20

30

【0012】

第6の発明は、1次巻線と2次巻線とを有するトランスと、前記1次巻線に直列に接続されているスイッチング半導体素子と、そのスイッチング半導体素子を制御する制御回路と、前記2次巻線に直列接続されている整流用電界効果トランジスタと、前記2次巻線と前記整流用電界効果トランジスタとに跨って接続されている還流用電界効果トランジスタと、前記2次巻線と負荷とに直列に接続されている1次巻線及びその1次巻線に磁気的に結合されている2次巻線を有する平滑用インダクタとを備える電源回路において、前記平滑用インダクタの前記2次巻線は、互いに直列接続されている第1と第2の2次巻線からなり、前記平滑用インダクタの前記第1の2次巻線と、その第1の2次巻線に接続されている第1の整流回路と、その第1の整流回路の出力側に接続されている第1のインダクタンス素子と第1のインピーダンスとからなる第1の駆動回路を備え、その第1の駆動回路において、前記第1のインダクタに蓄えられたエネルギーが前記スイッチング半導体素子のターンオン時に前記第1の整流回路を通して放出されることによって、前記整流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電され、前記平滑用インダクタの前記第2の2次巻線と、その第2の2次巻線に接続されている第2の整流回路と、その第2の整流回路に接続されている前記第2のインダクタンス素子と第2のインピーダンスとからなる第2の駆動回路を備え、その第2の駆動回路において、前記第2のインダクタンス素子に蓄えられたエネルギーが前記スイッチング半導体素子のターンオン時に前記第2の整流回路を通して放出されることによって、前記還流用電界効果トランジスタのゲート-ソース間容量の電荷が高速で放電されることを特徴とする電源回路を提供する。

40

50

## 【0013】

第7の発明は、前記第6の発明において、前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタのゲートとソースの間には、前記インダクタンス素子と前記インピーダンス素子とが存在することを特徴とする電源回路を提供する。

## 【0014】

第8の発明は、前記第6の発明又は前記第7の発明において、前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタはNチャンネル型の電界効果トランジスタからなり、前記整流回路、前記第1の整流回路、又は第2の整流回路は、前記平滑用インダクタの前記2次巻線の一端にアノードが接続される第1のダイオードと、前記2次巻線の他端にアノードが接続され、かつ前記2次巻線と前記第1のダイオードとに跨って接続される第2のダイオードとからなり、前記第1、第2のダイオードのカソード同士が互いに接続され、前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタのゲートは、前記第1、第2のダイオードのカソード同士が互いに接続された側に接続されていることを特徴とする電源回路を提供する。

10

## 【0015】

第9の発明は、前記第6の発明ないし前記第8の発明のいずれかにおいて、前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタはPチャンネル型の電界効果トランジスタからなり、前記整流回路、前記第1の整流回路、又は第2の整流回路は、前記平滑用インダクタの前記2次巻線の一端にカソードが接続される第1のダイオードと、前記2次巻線の他端にカソードが接続され、かつ前記2次巻線と前記第1のダイオードとに跨って接続される第2のダイオードとからなり、前記第1、第2のダイオードのアノード同士が互いに接続され、前記還流用電界効果トランジスタ及び/又は前記整流用電界効果トランジスタのゲートは、前記第1、第2のダイオードのアノード同士が互いに接続された側に接続されていることを特徴とする電源回路を提供する。

20

## 【0016】

第10の発明は、前記第6の発明ないし前記第9の発明のいずれかにおいて、前記インピーダンス素子はコンデンサを含み、そのコンデンサの両端に前記還流用FET及び/又は前記整流用電界効果トランジスタを制御する2次側制御回路が接続されていることを特徴とする電源回路を提供する。

30

## 【発明の効果】

## 【0017】

本発明は、簡単な構成の駆動回路でもって平滑用インダクタに蓄えられたエネルギーを循環させる還流用FETのターンオフ動作を高速化して電力損失を低減すると共に、定格出力電圧が低い電源回路であっても平滑用インダクタに設けた2次巻線の巻数を選定することにより、還流用FET、更には整流用FETを飽和させて動作させることでそれらの電力損失を低減することができる。また、定格出力電圧がかなり高い場合でも平滑用インダクタに設けた2次巻線の巻数を適切に選定することによって、特別な保護部材を備えることなく整流用FETを破損せずに、低損失で、安定かつ確実に動作する電源回路を提供できる。

## 【0018】

前記第5の発明によれば、簡単な構成の駆動回路でもって整流用FETのターンオフ動作を高速化して電力損失を低減すると共に、定格出力電圧が低い電源回路であっても平滑用インダクタに設ける2次巻線の巻数を選定することにより、整流用FETとを飽和させて動作させることでその電力損失を低減し、また、定格出力電圧がかなり高い場合でも平滑用インダクタに設ける2次巻線の巻数を適切に選定することによって、特別な保護部材を備えることなく整流用FETを破損せずに、低損失で、安定に動作する電源回路を提供できる。

40

## 【0019】

前記第6の発明では、簡単な構成の駆動回路でもって還流用FETと整流用FET双方のターンオフ動作を高速化して電力損失を低減すると共に、定格出力電圧が低い電源回路

50

であっても平滑用インダクタに設ける２次巻線の巻数を選定することにより、還流用 F E T と整流用 F E T とを飽和させて動作させることでその電力損失を低減し、また、定格出力電圧がかなり高い場合でも平滑用インダクタに設ける２次巻線の巻数を適切に選定することによって、特別な保護部材を備えることなく還流用 F E T と整流用 F E T とを破損せずに、低損失で、安定に動作する電源回路を提供できる。

【発明を実施するための最良の形態】

【 0 0 2 0 】

[実施形態 1]

図 1 及び図 2 によって本発明に係る電源装置の実施形態 1 について説明する。図 1 は第 1 の電源回路 1 0 0 の回路構成を示す図、図 2 はこの電源回路 1 0 0 の各部の電圧波形又は電流波形を示す図である。図 1 において、直流入力端子 1 と 2 とに直列にトランス 3 の 1 次巻線 3 a とスイッチング用半導体素子 4 とが接続されている。スイッチング用半導体素子 4 は一般的な電力用の M O S F E T などであって、ボディダイオード（寄生ダイオード）については図示していない。直流入力端子 1 と 2 との間には、スイッチング用半導体素子 4 をパルス幅制御する制御回路 5 も接続されている。トランス 3 の 2 次巻線 3 b 側には N チャネル型の M O S F E T 6、7 が備えられている。M O S F E T 6 は第 1 の整流素子として働く整流用 F E T であり、2 次巻線 3 b の一端側に直列に接続されている。以下では整流用 F E T 6 という。M O S F E T 7 はトランス 3 の 2 次巻線 3 b と整流用 F E T 6 とに跨って接続されて、第 2 の整流素子として働く還流用 F E T である。以下では還流用 F E T 7 という。整流用 F E T 6 のゲートは第 1 の制限用抵抗 8 を介してトランス 3 の 2 次巻線 3 b の他端側に接続されている。整流用 F E T 6、還流用 F E T 7 のボディダイオード（寄生ダイオード）については図示するのを省略している。以下の実施形態でも同様である。なお、トランス 3 の 1 次巻線 3 a と 2 次巻線 3 b の黒点は極性を示している。

【 0 0 2 1 】

一般的な同期整流回路と同様に、整流用 F E T 6、還流用 F E T 7 の出力側には出力平滑回路を構成する平滑用インダクタ 9 と平滑用コンデンサ 1 0 とが接続され、直流出力端子 1 1 と 1 2 との間には出力電圧検出回路 1 3 及び負荷 1 4 が接続されている。出力電圧検出回路 1 3 により検出された出力電圧検出信号は、図示しないホトカプラ又はパルストランスのような 1 次 - 2 次間を絶縁する絶縁回路 1 5 を通して制御回路 5 に帰還信号として入力される。平滑用インダクタ 9 は、1 次巻線 9 a とこれに磁氣的に結合されている 2 次巻線 9 b とを有する。1 次巻線 9 a と 2 次巻線 9 b の黒点は極性を示し、2 次巻線 9 b の黒点側の端子を a とし、他端の端子を b とする。平滑用インダクタ 9 の 2 次巻線 9 b は負荷電圧、負荷電流の大きさにかかわらず、平滑用 F E T 7 を確実に、高速でターンオフさせることができる巻数を有する。

【 0 0 2 2 】

平滑用インダクタ 9 の 2 次巻線 9 b にはダイオード D 1 と D 2 とからなる整流回路 1 6 が接続されている。ダイオード D 1 はそのアノードが 2 次巻線 9 b の端子 a に接続され、ダイオード D 2 はそのアノードが 2 次巻線 9 b の端子 b に接続される共に、2 次巻線 9 b とダイオード D 1 とに跨って接続されており、双方のカソード同士は互いに接続されている。互いに直列接続されているインダクタンス素子 1 7 とインピーダンス素子 1 8 とがダイオード D 2 に跨って接続されている。そして、ダイオード D 1 と D 2 とのカソード側は第 2 の制限用抵抗 1 9 を介して還流用 F E T 7 のゲートに接続されている。ここで、平滑用インダクタ 9 の 2 次巻線 9 b と整流回路 1 6 とインダクタンス素子 1 7 とインピーダンス素子 1 8 とは、還流用 F E T 7 の駆動回路を構成する。

【 0 0 2 3 】

次に図 2 を用いて第 1 の電源回路 1 0 0 の動作について説明する。図示しない商用交流電源又は発電機の交流電圧を不図示の整流回路で直流に変換した直流電圧又は蓄電池から直流電圧が不図示の電源スイッチを通して直流入力端子 1 と 2 に印加されると、制御回路 5 がスイッチング用半導体素子 4 に図 2 ( A ) に示すような制御信号を与える。この制御回路 5 は一般的なものであり、出力電圧検出回路 1 3 からの出力電圧検出信号を受けて、



出力電圧が一定になるようにスイッチング用半導体素子 4 をパルス幅制御する。例えば時刻  $t_1$  で、制御回路 5 が図 2 (A) に示すようなゲート - ソース間電圧  $V_{g-s}$  を制御信号としてスイッチング用半導体素子 4 のゲート - ソース間に与え、スイッチング用半導体素子 4 をオンさせたとする。この場合、スイッチング用半導体素子 4 のドレイン - ソース間電圧  $V_{d-s}$  は、図 2 (B) に示すように時刻  $t_1$  で十分に低い電圧値に低下し、トランス 3 の 1 次巻線 3 a に電流が流れ、2 次巻線 3 b には極性を示す黒点側に正の電圧が発生する。この状態は制御信号が再びゼロになる時刻  $t_2$  まで続く。その正の電圧は第 1 の制限用抵抗 8 を通して整流用 FET 6 のゲートに印加され、整流用 FET 6 はターンオンする。整流用 FET 6 のドレイン - ソース間電圧  $V_{d-s}$  は、図 2 (C) に示すように時刻  $t_1 - t_2$  で十分に低い電圧値になる。ここで、時刻  $t_1$  より前では還流用 FET 7 がオンしていて、平滑用インダクタ 9 に蓄積されていたエネルギーを平滑用コンデンサ 10、負荷 14 を介して循環していたものとする。

#### 【0024】

時刻  $t_1$  で整流用 FET 6 がターンオンするのに伴い、電流が 2 次巻線 3 b の黒点側の端子から平滑用インダクタ 9 の 1 次巻線 9 a、平滑用コンデンサ 10、負荷 14 及び整流用 FET 6 を通して 2 次巻線 3 b の他端側に流れる。平滑用インダクタ 9 の 1 次巻線 9 a を電流が流れると、その 2 次巻線 9 b の端子 b が端子 a に対して正となる電圧が誘起され、この正の電圧はダイオード D 1 を逆バイアスし、非導通にする。平滑用インダクタ 9 の 1 次巻線 9 a の電圧波形を図 2 (D) に示す。これにより今まで (時刻  $t_1$  前まで) 2 次巻線 9 b からダイオード D 1 を通してインダクタンス素子 17 及びインピーダンス素子 18 に供給されていた電流はゼロになり、それまでインダクタンス素子 17 に蓄えられていたエネルギーはダイオード D 2 及びインピーダンス素子 18 を通して放出される。ダイオード D 2 を順方向に流れる電流によって、ダイオード D 2 には順方向電圧降下が発生する。ダイオード D 2 のアノード - カソード間の電圧は図 2 (E) に示すようになる。このダイオード D 2 の順方向電圧降下は、還流用 FET 7 のゲート電圧をソース電圧よりもその順方向電圧降下分だけ低くするので、還流用 FET 7 のゲート - ソース間容量の電荷は急激に放電され、還流用 FET 7 はより高速でターンオフする。したがって、還流用 FET 7 のドレイン - ソース間電圧  $V_{d-s}$  は、図 2 (F) に示すように時刻  $t_1 - t_2$  で高い電圧値になる。この状態は時刻  $t_2$  直前まで続く。実施形態 1 では、還流用 FET 7 のターンオフ時における電力損失を低減できると同時に、還流用 FET 7 のオフ動作の遅れがないので逆方向に流れる電流を皆無にすることができ、より電力損失を低減できる。

#### 【0025】

期間  $t_1 - t_2$  では、前述したように電流が 2 次巻線 3 b の黒点側の一端から平滑用インダクタ 9 の 1 次巻線 9 a、平滑用コンデンサ 10、負荷 14 及び整流用 FET 6 を通して 2 次巻線 3 b の他端側に流れ、負荷 14 に給電する。このとき、平滑用インダクタ 9 にはエネルギーが蓄積される。平滑用インダクタ 9 を流れる電流の波形は図 2 (G) に示すようになる。次に、制御回路 5 からの制御信号が変化して、時刻  $t_2$  でスイッチング用半導体素子 4 のゲート - ソース間電圧  $V_{g-s}$  がゼロに低下すると、スイッチング用半導体素子 4 がターンオフする。これに伴い、トランス 3 の 2 次巻線 3 b の電圧は消失し、整流用 FET 6 はターンオフする。トランス 3 の 2 次巻線 3 b から平滑用インダクタ 9 の 1 次巻線 9 a に電流が流れなくなると、平滑用インダクタ 9 の 2 次巻線 9 b には端子 b に対して端子 a が正となる電圧が発生し、この正の電圧は整流回路 16 のダイオード D 1 及び第 2 の制限用抵抗 19 を通して還流用 FET 7 のゲートに印加され、還流用 FET 7 をターンオンさせる。

#### 【0026】

還流用 FET 7 のオンによって、平滑用インダクタ 9 に蓄えられていたエネルギーは平滑用コンデンサ 10、負荷 14 に放出され、図 2 (G) に示すように平滑用インダクタ 9 を流れる電流は連続する。他方、還流用 FET 7 の駆動回路においては、端子 a から整流回路 16 のダイオード D 1、インダクタンス素子 17 及びインピーダンス素子 18 を通して端子 b に電流が流れ、インダクタンス素子 17 にエネルギーを蓄える。前述したように

、インダクタンス素子 17 に蓄えられたエネルギーは還流用 F E T 7 のオフ動作を高速化するのに役立つ。時刻  $t_3$  で、図 2 ( A ) に示すように制御信号が変化してスイッチング半導体素子のゲート - ソース間電圧が再び上昇し、以後前述したのと同様な動作が繰り返される。この電源回路 100 においては、還流用 F E T 7 のターンオフ動作の遅れによる電力損失を低減することができるだけでなく、2 次巻線 9 b の巻数を適切に選択することによって、定格出力電圧が低い電源の場合に還流用 F E T 7 を安定、かつ高速でスイッチングさせることができる。

#### 【 0 0 2 7 】

##### [ 実施形態 2 ]

次に、図 3 によって実施形態 2 に係る電源回路 200 について説明する。図 3 において、図 1 で用いた記号と同じ記号は図 1 の部材と同じ名称の部材を示すものとする。第 2 の電源回路 200 の基本的な動作などは、ほとんど第 1 の電源回路 100 と同じであるので、異なる点についてだけ説明する。実施形態 2 では、インピーダンス素子 18 が互いに並列接続されているコンデンサ 18 a と抵抗 18 b とからなり、インピーダンス素子 18 と並列に 2 次側制御回路 21 が接続されている。還流用 F E T 7 のゲートにはゲート回路 22 が接続され、2 次側制御回路 21 はこのゲート回路 22 を制御する。

10

#### 【 0 0 2 8 】

2 次側制御回路 21 は、インピーダンス素子 18 におけるコンデンサ 18 a の充電電圧を電源として動作し、出力電圧検出回路 13 からの電圧検出信号を受けて、設定された過電圧設定値又は不足電圧設定値など比較して判定し、例えば、出力電圧検出回路 13 からの電圧検出信号が前記過電圧設定値よりも大きな場合、又は不足電圧設定値よりも低い場合のような異常な状態が発生した場合には、遮断信号をゲート回路 22 に与える。また、その場合には、必要に応じて警報信号を発生し、図示しないランプを点灯、あるいは図示しないブザーを鳴らすなどの警報を発する。ゲート回路 22 は前記遮断信号を受けると、還流用 F E T 7 のゲートを遮断して還流用 F E T 7 をオフさせ、異常な状態が回復されて正常になるまで還流用 F E T 7 をオフに保持する。なお、1 次側の制御回路 5 は、出力電圧検出回路 13 からの電圧検出信号を受け、直流出力電圧が一定になるようにスイッチング半導体素子 4 をパルス幅制御する。この電源回路 200 においても、還流用 F E T 7 のターンオフの際には、インダクタンス素子 17 のエネルギーの還流によって、還流用 F E T 7 のゲートは整流回路 16 のダイオード D 2 の順方向電圧降下分だけソースよりも低くなり、還流用 F E T 7 のゲート - ソース間容量の電荷は急速に放電される。したがって、この電源回路 200 においても、還流用 F E T 7 のターンオフ動作の遅れによる電力損失を低減することができるだけでなく、2 次巻線 9 b の巻数を適切に選択することによって、定格出力電圧が低い電源の場合にも還流用 F E T 7 を安定に、かつ高速でスイッチングさせることができる。また、2 次側制御回路用に特別の電源を用意することなく、2 次側制御回路の制御を行ったり、必要な警報を発生したりすることができる。

20

30

#### 【 0 0 2 9 】

##### [ 実施形態 3 ]

次に、図 4 によって実施形態 3 に係る電源回路 300 について説明する。図 4 において、図 1 又は図 3 で用いた記号と同じ記号は、それら図に示した部材と同じ名称の部材を示すものとする。第 3 の電源回路 300 の主要部分は前記第 1 又は第 2 の電源回路と同じであるので、異なる点について説明する。電源回路 100 又は 200 では、同期整流回路の第 1 の整流素子として M O S F E T を用いたが、この電源回路 300 ではショットキーバリアダイオードのような順方向電圧降下の小さな整流用ダイオード 6 A、6 B を用いている。トランス 3 の他にそれとほぼ同一特性を有する第 2 のトランス 3' を備えている。トランス 3' の 1 次巻線 3' a には M O S F E T のような第 2 の半導体スイッチング素子 4' が直列に接続されており、それらは直流入力端子 1、2 に跨って接続されている。また、トランス 3 の 2 次巻線 3 b には直列に整流用ダイオード 6 A が直列に接続され、トランス 3' の 2 次巻線 3' b には直列に整流用ダイオード 6 B が直列に接続されている。そして、それらは互いに並列になるように接続されている。

40

50

## 【 0 0 3 0 】

制御回路 5 は、パルス幅制御によって、スイッチング半導体素子 4 と 4' とを交互にオンオフ動作させるか、あるいは同期させてほぼ同時にオンオフ動作させる。スイッチング半導体素子 4 と 4' との双方、又はいずれか一方のみがオンしているときには、トランス 3 の 2 次巻線 3 b とトランス 3' の 2 次巻線 3' b の双方又はいずれか一方から平滑用インダクタ 9、平滑用コンデンサ 10、及び整流用ダイオード 6 A と 6 B の双方又はいずれか一方を通して電流が流れ、この期間に平滑用インダクタ 9 にはエネルギーが蓄えられる。次に、スイッチング半導体素子 4 と 4' の双方がオフになると、トランス 3 の 2 次巻線 3 b とトランス 3' の 2 次巻線 3' b とから平滑用インダクタ 9 にエネルギーが供給されなくなり、平滑用インダクタ 9 の 1 次巻線 9 a、2 次巻線 9 b には黒点側を正とする電圧が発生する。2 次巻線 9 b の黒点側が正の電圧は、整流回路 16 のダイオード D 1 を導通させ、制限用抵抗 19 を介して還流用 FET 7 のゲートに印加され、還流用 FET 7 をオンさせると共に、インダクタンス素子 17、インピーダンス素子 18 を通して電流を流す。この電流はインダクタンス素子 17 にエネルギーを蓄える。

10

## 【 0 0 3 1 】

次に、スイッチング半導体素子 4 又は 4' がオンすると、トランス 3 の 2 次巻線 3 b 又はトランス 3' の 2 次巻線 3' b から平滑用インダクタ 9 に電流が流れる。この電流によって、平滑用インダクタ 9 の 2 次巻線 9 b には黒点側を負とする電圧が発生し、この負の電圧はダイオード D 1 を逆バイアスして非導通にする。したがって、インダクタンス素子 17 に蓄えられたエネルギーはインピーダンス素子 18 と整流回路 16 のダイオード D 2 を通して循環され、還流用 FET 7 のゲートの電圧をダイオード D 2 の順方向電圧降下分だけソースよりも低くする。これにより、還流用 FET 7 のゲート - ソース間容量の電荷は急速に放電され、還流用 FET 7 は高速でターンオフする。この電源回路 300 においても、還流用 FET 7 のオフ動作の遅れによる電力損失を低減することができ、また、2 次巻線 9 b の巻数を適切に選択することによって、定格出力電圧が低い電源の場合にも還流用 FET 7 を安定、かつ高速でスイッチングさせることができる。なお、出力電圧検出回路及び帰還回路などについては図示するのを省略している。また、必要ならば、出力電流検出回路及びその帰還回路などを備えても勿論よい。

20

## 【 0 0 3 2 】

## [実施形態 4]

次に、図 5 によって実施形態 4 に係る電源回路 400 について説明する。図 5 において、図 1、図 3、図 4 で用いた記号と同じ記号はそれら図に示した部材と同じ名称の部材を示すものとする。第 4 の電源回路 400 の主要部分は前記第 1 の電源回路 100 と同じであるので、異なる点について説明する。平滑用インダクタ 9 は黒点で示される極性が同じ向きの第 1 の 2 次巻線 9 b と第 2 の 2 次巻線 9 c とを有する。第 2 の 2 次巻線 9 c にも、第 2 の整流回路 16'、第 2 のインダクタンス素子 17' 及び第 2 のインピーダンス素子 18' が接続されている。第 2 の整流回路 16' はアノードが第 2 の 2 次巻線 9 c のそれぞれの端子に接続されている第 1、第 2 のダイオード d 1、d 2 を備える。第 1、第 2 のダイオード d 1、d 2 のカソード同士は接続され、第 2 のダイオード d 2 は第 2 の 2 次巻線 9 c と第 1 のダイオード d 1 とに跨って接続されている。平滑用インダクタ 9 の第 1 の 2 次巻線 9 b と第 1 の整流回路 16 と第 1 のインダクタンス素子 17 と第 1 のインピーダンス素子 18 とは、前記実施形態と同様に還流用 FET 7 を駆動するための第 1 の駆動回路を構成する。平滑用インダクタ 9 の第 2 の 2 次巻線 9 c と第 2 の整流回路 16' と第 2 のインダクタンス素子 17' と第 2 のインピーダンス素子 18' とは整流用 FET 6 を駆動するための第 2 の駆動回路を構成する。

30

40

## 【 0 0 3 3 】

半導体スイッチング素子 4 がターンオンすると、前述したようにトランス 3 の 2 次巻線 3 b から平滑用インダクタ 9 に電流が流れる。このとき平滑用インダクタ 9 の第 1 の 2 次巻線 9 b と第 2 の 2 次巻線 9 c とには、黒点側端子に対して反対側の端子が正となる電圧が発生する。第 1 の駆動回路においては前述したように、第 1 の 2 次巻線 9 b に発生する

50

この電圧がダイオード D 1 を逆バイアスするので、第 1 のインダクタンス素子 1 7 に蓄えられていたエネルギーが第 1 のインピーダンス素子 1 8、ダイオード D 2 を通して還流される。この還流によるダイオード D 2 の順方向電圧降下は還流用 F E T 7 のゲート - ソース間容量を高速で急速に放電させ、還流用 F E T 7 を高速でターンオフさせる。同時に、前記第 2 の駆動回路においては、第 2 の 2 次巻線 9 c から第 2 の整流回路 1 6 ' のダイオード d 1、第 2 のインダクタンス素子 1 7 '、第 2 のインピーダンス素子 1 8 ' を通して電流が流れ、第 2 のインダクタンス素子 1 7 ' と第 2 のインピーダンス素子 1 8 ' との間に生じる電圧を、第 2 の制限用抵抗 1 9 ' を介して整流用 F E T 6 のゲート - ソース間に加え、整流用 F E T 6 を高速でターンオンさせる。この期間では、第 1 のインダクタンス素子 1 7 のエネルギーは放電され、第 2 のインダクタンス素子 1 7 ' にはエネルギーが蓄えらる。

#### 【 0 0 3 4 】

次にスイッチング半導体素子 4 がターンオフすると、トランス 3 の 2 次巻線 3 b から平滑用インダクタ 9 に電流が供給されなくなるので、平滑用インダクタ 9 の第 1 の 2 次巻線 9 b と第 2 の 2 次巻線 9 c とには、黒点側端子が反対側の端子に対して正となる電圧が誘起される。したがって、第 1 の駆動回路においては、2 次巻線 9 c の黒点側端子から第 1 の整流回路 1 6 のダイオード D 1、第 1 のインダクタンス素子 1 7 及び第 1 のインピーダンス素子 1 8 を介して電流が流れ、還流用 F E T 6 のゲート - ソース間には第 1 のインダクタンス素子 1 7 と第 1 のインピーダンス素子 1 8 とによって生じる電圧が印加される。これに伴って、還流用 F E T 7 は急速にターンオンし、平滑用インダクタ 9 のエネルギーを循環させる。

#### 【 0 0 3 5 】

他方、前記第 2 の駆動回路においては、第 2 の 2 次巻線 9 c の電圧によって第 2 の整流回路 1 6 ' のダイオード d 1 が逆バイアスされるので、第 2 の 2 次巻線 9 c から第 2 のインダクタンス素子 1 7 ' に電流が流れない。したがって、第 2 のインダクタンス素子 1 7 ' に蓄えられているエネルギーはダイオード d 2 及び第 2 のインピーダンス素子 1 8 ' を介して還流する。この還流する電流によって、ダイオード d 1 は順方向電圧降下を生じ、整流用 F E T 6 のゲートにはソースよりもダイオード d 2 の順方向電圧降下分だけ低い電圧が制限用抵抗 1 9 ' を介して印加される。したがって、整流用 F E T 6 のゲート - ソース間容量の電荷は急速に放電され、整流用 F E T 6 は高速でターンオフする。この電源回路 4 0 0 では、整流用 F E T 6、還流用 F E T 7 双方を高速でターンオフさせることができるので、更に一層電力損失を低減できる。また、第 1、第 2 の 2 次巻線 9 b、9 c の巻数を適切に選択することによって、定格出力電圧が低い電源の場合にも整流用 F E T 6、還流用 F E T 7 の双方を安定、かつ高速でスイッチングさせることができる。なお、出力電圧検出回路及び帰還回路などについては図示するのを省略している。また、必要ならば、出力電流検出回路及びその帰還回路などを備えても勿論よい。

#### 【 0 0 3 6 】

##### [ 実施形態 5 ]

次に、図 6 によって実施形態 5 に係る電源回路 5 0 0 について説明する。図 6 において、図 1、図 3 ~ 図 5 で用いた記号と同じ記号はそれら図に示した部材と同じ名称の部材を示すものとする。第 5 の電源回路 5 0 0 の主要部分は前記第 1 の電源回路 1 0 0 と同じであるので、異なる点についてだけ説明する。トランス 3 は、直流出力端子 1 1、1 2 間の定格電圧が 3 . 3 V 以下、あるいは 1 2 V 以上であっても整流用 F E T 6 を簡素な回路構成で安定に駆動できるだけの巻数を有する第 3 の巻線 3 c を備えている。第 3 の巻線 3 c には整流回路 6 1 が接続されている。整流回路 6 1 は第 3 の巻線 3 c の端子 a、端子 b にそれぞれアノードが接続されているダイオード 6 1 a と 6 1 b とからなる。ダイオード 6 1 a と 6 1 b のカソード同士は接続されており、ダイオード 6 1 b は第 3 の巻線 3 c とダイオード 6 1 a とに跨って接続されている。ダイオード 6 1 a と 6 1 b のカソード同士の接続点側には整流用 F E T 6 のゲートが接続されると共に、インダクタンス素子 6 2 がダイオード 6 1 a に直列になるように接続されている。インダクタンス素子 6 2 の他端と第

3の巻線3cの端子bとの間にインピーダンス素子63が接続されている。インピーダンス素子63は互いに並列に接続されているコンデンサ63aと抵抗器63bとからなる。また、整流用FET6のソースは配線64によって第3の巻線3cの端子bに接続されている。

#### 【0037】

制御回路5からのパルス幅制御信号によりスイッチング半導体素子4がターンオンし、トランス3の1次巻線3aに電流が流れ始める。これに伴い、2次巻線3b、第3の巻線3cの黒点側の端子が反対側の端子に対して正となる電圧が誘起される。このとき、前述したように、還流用FET7は高速でターンオフする。電流は、第3の巻線3cの端子aから整流回路61のダイオード61a、インダクタンス素子62、インピーダンス素子63を通して端子bに流れる。したがって、整流用FET6のゲート-ソース間にはインダクタンス素子62とインピーダンス素子63とが存在するから、それらの電圧が整流用FET6のゲート-ソース間に印加され、整流用FET6は急速にターンオンする。これに伴い、トランス3側から平滑用インダクタ9を通して負荷電流が供給され、平滑用インダクタ9にエネルギーが蓄えられる。

10

#### 【0038】

次に、制御回路5からのパルス幅制御信号がゼロになってスイッチング半導体素子4がターンオフすると、第3の巻線3cの電圧が消失し、第3の巻線3c側からインダクタンス素子62に電流が供給されなくなるので、インダクタンス素子62に蓄えられていたエネルギーは整流回路61のダイオード61b及びインピーダンス63を通して放出され、還流する。このとき、ダイオード61bには順方向電圧降下が発生するから、整流用FET6のゲート電圧はソース電圧よりもダイオード61bの順方向電圧降下分だけ低くなる。したがって、整流用FET6のゲート-ソース間容量の電荷は瞬時に放電され、整流用FET6はより高速でターンオフする。なお、この際、還流用FET7は前述したようにオンして平滑用インダクタ9に蓄えられているエネルギーを還流する。この電源回路500でも、整流用FET6、還流用FET7双方を高速でターンオフさせることができるので、更に一層電力損失を低減できる。また、2次巻線9b、第3の巻線3cの巻数を適切に選択することによって、定格出力電圧が低い電源の場合にも整流用FET6、還流用FET7の双方を安定、かつ高速でスイッチングさせることができる。なお、出力電圧検出回路及び帰還回路などについては図示するのを省略している。また、必要ならば、出力電流検出回路及びその帰還回路などを備えても勿論よい。

20

30

#### 【0039】

なお、以上述べた実施形態ではいずれもNチャネル型のFETを用いたが、Pチャネル型のFETを用いても勿論よい。この変形例の場合には、整流用FET6、還流用FET7の駆動回路における整流回路のダイオードを逆向きにすればよい。例えば、実施形態4の第4の電源回路400では、整流回路16のダイオードD1、D2のカソード側を平滑用インダクタ9の2次巻線9bに向けて接続し、それらのアノード同士を接続すればよい。そして、ダイオードD1、D2のアノード同士が互いに接続された側に還流用FET7のゲートを接続すればよい。また、同様に、整流回路16'のダイオードd1、d2のカソード側を平滑用インダクタ9の第2の2次巻線9cに向けて接続し、それらのアノード

40

#### 【0040】

また、以上述べた実施形態では、トランス3の1次側回路をシングルエンデッドのインバータとして説明したが、これに限ることは無い。他の変形例として、図示しないが、例えば、4組のスイッチング半導体素子をフルブリッジ構成に接続してなる一般的なフルブリッジ型のインバータ回路、あるいは一對のスイッチング半導体素子と一對のコンデンサ

50

とをブリッジに接続してなる一般的な構成のハーフブリッジ型のインバータ回路であってもよい。また、トランス 3 の 2 次側回路も前記実施形態に制限されることはない。他の変形例として、図示しないが、プッシュプル型、例えばトランス 3 が互いに直列の二つの 2 次巻線を有し、それらの中点に平滑用インダクタを通して一方の直流出力端子に接続し、二つの 2 次巻線の他端にそれぞれの整流用 F E T の一方の主端子を接続すると共に、他方の主端子同士を一緒にして他方の直流出力端子に接続する一般的な回路構成のものでもよい。なお、この場合には、二つの整流 F E T に対して還流用 F E T は共用されるので、単一でよい。また、スイッチング半導体素子 4 は M O S F E T の他に I G B T、あるいは他のトランジスタなどであってもよい。制御回路 5 の制御方式はパルス幅制御に制限する必要はなく、周波数制御などであっても同様な効果を得ることができる。

10

## 【0041】

図 5 に示した第 4 の電源回路 400 の変形例として、還流用 F E T 7 を駆動するための第 1 の駆動回路を削除し、還流用 F E T 7 としてショットキーバリアダイオードのような順方向電圧降下の小さなダイオードを用いてもよい。また、還流用 F E T 7 のゲートをトランス 3 の 2 次巻線 3 b の黒点側端子とは反対側の端子に接続し、2 次巻線 3 b の電圧で駆動してもよい。この場合には、整流用 F E T 6 だけが平滑用インダクタ 9 の第 2 の 2 次巻線 9 c と整流回路 16' とインダクタンス素子 17' とインピーダンス素子 18' とからなる駆動回路で高速のターンオフ動作が行われる。

## 【0042】

以上述べたように、本発明の電源回路によれば、平滑用インダクタに一つ以上の 2 次巻線を備え、その 2 次巻線に、アノード同士又はカソード同士が接続された一組のダイオードを有する整流回路とインダクタンス素子とインピーダンス素子とを接続すると共に、還流用 F E T のゲートを前記整流回路の出力に接続することにより、還流用 F E T のオフ動作の際には、そのゲート - ソース間に前記ダイオードと前記インダクタとインピーダンス素子とが存在する。したがって、負荷電圧に大小にかかわらず、還流用 F E T を安定かつ確実に動作させることができることは勿論のこと、整流用 F E T のスイッチング動作、特にターンオフを高速化することができ、そのスイッチング時の電力損失を低減でき、低損失の電源回路を提供することができる。また、整流用 F E T についても同様な効果を奏することができる。

20

## 【図面の簡単な説明】

30

## 【0043】

【図 1】本発明の実施形態 1 に係る電源回路 100 を示す図である。

【図 2】本発明の電源回路 100 における各部の電圧波形又は電流波形を示す図である。

【図 3】本発明の実施形態 2 に係る電源回路 200 を示す図である。

【図 4】本発明の実施形態 3 に係る電源回路 300 を示す図である。

【図 5】本発明の実施形態 4 に係る電源回路 400 を示す図である。

【図 6】本発明の実施形態 5 に係る電源回路 500 を示す図である。

## 【符号の説明】

## 【0044】

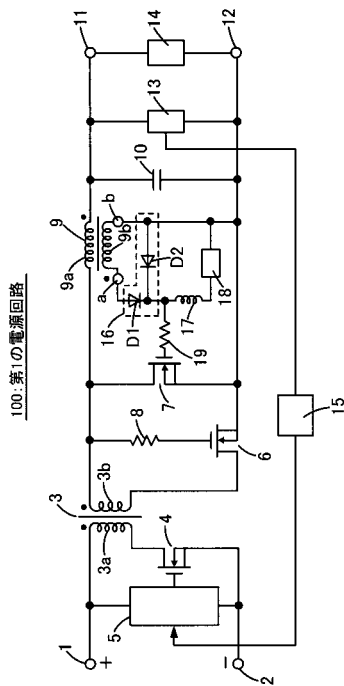
- 1、2・・・直流入力端子
- 3、3'・・・トランス
- 3 a、3 a'・・・トランス 3 の 1 次巻線
- 3 b、3 b'・・・トランス 3 の 2 次巻線
- 3 c・・・トランス 3 の第 3 の巻線
- 4・・・スイッチング半導体素子
- 5・・・制御回路
- 6・・・整流用 F E T
- 6 A、6 B・・・整流用ダイオード
- 7・・・還流用 F E T
- 8・・・制限用抵抗

40

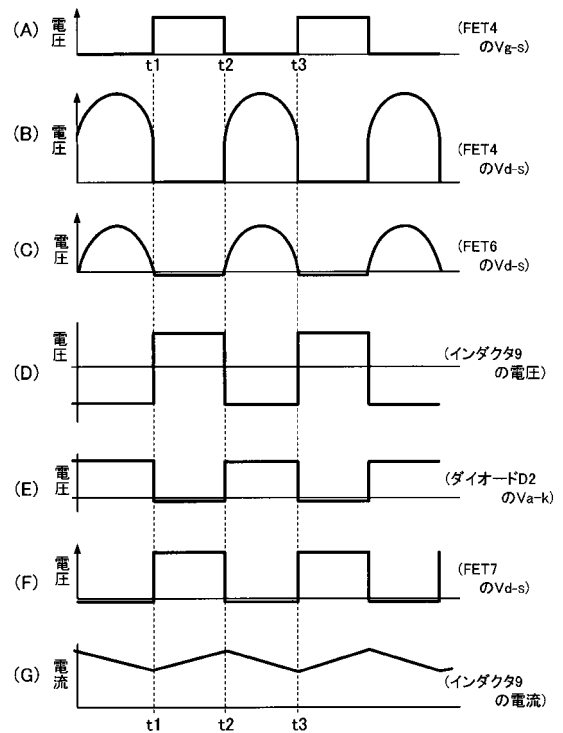
50

- 9・・・平滑用インダクタ
- 10・・・平滑用コンデンサ
- 11、12・・・直流出力端子
- 13・・・出力電圧検出回路
- 14・・・負荷
- 15・・・絶縁回路
- 16、16'・・・整流回路
- 17、17'・・・インダクタンス素子
- 18、18'・・・インピーダンス素子
- 21・・・2次側制御回路
- 22・・・ゲート回路
- 61・・・整流回路
- 62・・・インダクタンス素子
- 63・・・インピーダンス素子
- 64・・・配線

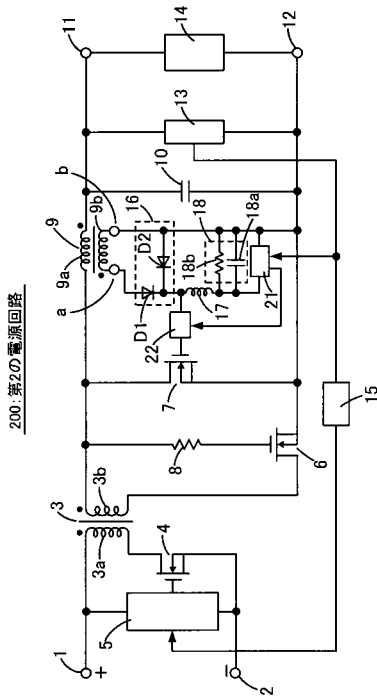
【 図 1 】



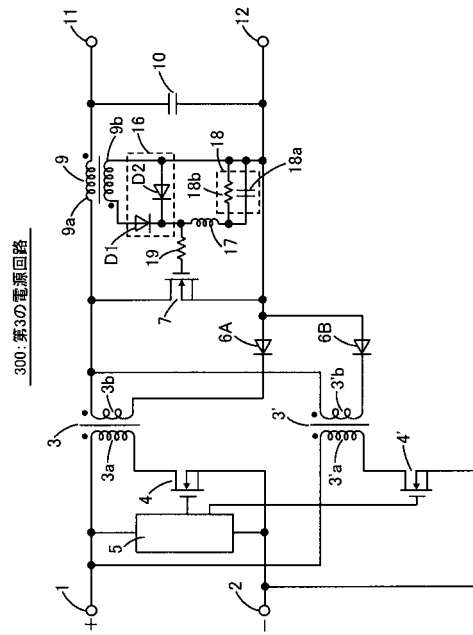
【 図 2 】



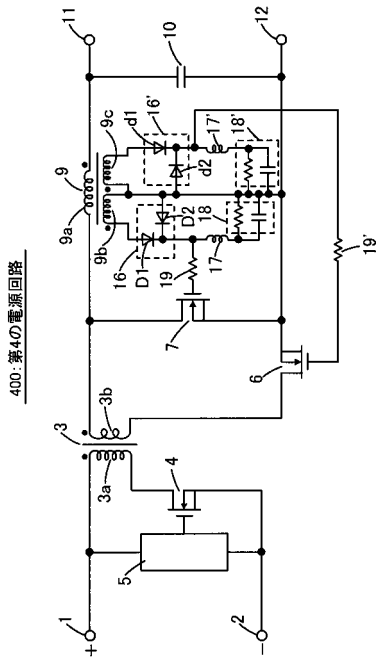
【 図 3 】



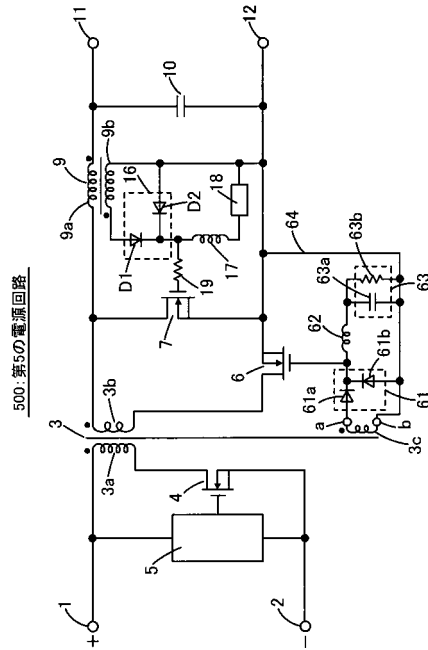
【 図 4 】



【 図 5 】



【 図 6 】





フロントページの続き

【要約の続き】

【選択図】 図1