



(12) **Patentschrift**

(21) Aktenzeichen: **102 41 141.7**  
 (22) Anmeldetag: **05.09.2002**  
 (43) Offenlegungstag: **11.03.2004**  
 (45) Veröffentlichungstag  
 der Patenterteilung: **16.07.2015**

(51) Int Cl.: **H01L 21/66 (2006.01)**  
**H01L 23/544 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:  
**Infineon Technologies AG, 85579 Neubiberg, DE**

(74) Vertreter:  
**Viering, Jentschura & Partner Patent- und  
 Rechtsanwälte, 81675 München, DE**

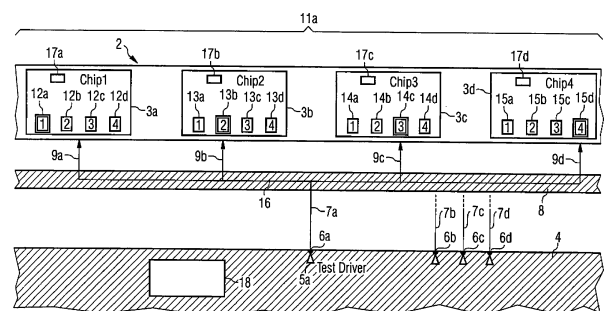
(72) Erfinder:  
**Ferreira, Jesus, 80469 München, DE; Kallscheuer,  
 Jochen, 81737 München, DE**

(56) Ermittelter Stand der Technik:

<b>US</b>	<b>6 363 329</b>	<b>B2</b>
<b>US</b>	<b>2002 / 0 085 439</b>	<b>A1</b>
<b>US</b>	<b>6 161 052</b>	<b>A</b>
<b>US</b>	<b>5 867 505</b>	<b>A</b>
<b>US</b>	<b>5 043 657</b>	<b>A</b>
<b>US</b>	<b>5 642 307</b>	<b>A</b>

(54) Bezeichnung: **Halbleiter-Bauelement-Test-Verfahren für ein Halbleiter-Bauelement-Test-System mit reduzierter Anzahl an Test-Kanälen**

(57) Hauptanspruch: Verfahren zum Testen von Halbleiter-Bauelementen, welches die Schritte aufweist: Bereitstellen einer Anordnung mit mehreren zu testenden Halbleiter-Bauelementen (3a, 3b, 3c, 3d), wobei den Halbleiter-Bauelementen (3a, 3b, 3c, 3d) zum Durchführen eines für das jeweilige Halbleiter-Bauelement (3a, 3b, 3c, 3d) individuellen Tests eine das entsprechende Halbleiter-Bauelement (3a, 3b, 3c, 3d) individuell kennzeichnende Kennung zugeordnet wird, welche an das jeweilige Halbleiter-Bauelement (3a, 3b, 3c, 3d) übertragen wird, wobei jedes Halbleiter-Bauelement (3a, 3b, 3c, 3d) mehr als zwei Halbleiter-Bauelement-Identifizier-Anschlüsse (12a, 12b, 12c, 12d, 13a, 13b, 13c, 13d) aufweist, denen jeweils unterschiedliche Kennungen zugeordnet sind, wobei die ein jeweiliges Halbleiter-Bauelement individuell kennzeichnende Kennung dadurch an das entsprechende Halbleiter-Bauelement (3a, 3b, 3c, 3d) übertragen wird, dass ein einziges Signal an jedes der Halbleiter-Bauelemente gemeinsam übermittelt wird und das Signal bei jedem der Halbleiter-Bauelemente an einen einzigen jeweils einer von der Kennung der übrigen Halbleiter-Bauelemente verschiedenen Kennung zugeordneten Anschluss angelegt wird.



## Beschreibung

**[0001]** Die Erfindung betrifft Verfahren zum Testen von Halbleiter-Bauelementen.

**[0002]** Halbleiter-Bauelemente, z. B. entsprechende, integrierte (analoge bzw. digitale) Rechenschaltkreise, Halbleiter-Speicherbauelemente wie z. B. Funktionsspeicher-Bauelemente (PLAs, PALs, etc.) und Tabellenspeicher-Bauelemente (z. B. ROMs und RAMs, insbesondere SRAMs und DRAMs), etc. werden – z. B. im fertigen, und/oder im halbfertigen Zustand – umfangreichen Tests unterzogen.

**[0003]** Die zum Testen von – z. B. noch auf dem entsprechenden Wafer befindlichen – Halbleiter-Bauelementen erforderlichen Signale können z. B. von einem mit einer entsprechenden Halbleiter-Bauelement-Test-Karte („probecard“) verbundenen Testgerät erzeugt, und mittels entsprechenden, an der Test-Karte vorgesehenen nadelförmigen Anschlüssen in die jeweiligen Halbleiter-Bauelemente eingegeben werden.

**[0004]** Die in Reaktion auf die eingegebenen Test-Signale von den Halbleiter-Bauelementen ausgegebenen Signale werden von entsprechenden, nadelförmigen Probecard-Anschlüssen abgegriffen, und an das Testgerät weitergeleitet, wo eine Auswertung der entsprechenden Signale stattfinden kann.

**[0005]** Um eine möglichst große Anzahl von Halbleiter-Bauelementen parallel bzw. gleichzeitig von ein- und demselben Testgerät testen zu können, kann ein entsprechendes, vom Testgerät ausgegebenes Test-Signal – gleichzeitig – mehreren, z. B.  $n = 4$  verschiedenen, eine Test-Gruppe bildenden Halbleiter-Bauelementen zugeführt werden.

**[0006]** Dadurch können z. B. mit Hilfe von an  $k$  verschiedenen Testgerät-Anschlüssen bereitgestellten Test-Signalen (d. h. mit  $k$  verschiedenen Test-Kanälen)  $n \times k$ , z. B.  $4 \times k$  verschiedene Halbleiter-Bauelemente gleichzeitig getestet, und damit Test-Kanäle eingespart werden.

**[0007]** Bei bestimmten Test-Verfahren, z. B. bei – zur Einstellung von internen Spannungen im Halbleiter-Bauelement verwendeten – Soft-Trimming-Verfahren, ist es nicht möglich, ein- und denselben Test-Kanal gleichzeitig für mehrere verschiedene, insbesondere für sämtliche in der jeweiligen Test-Gruppe enthaltenen Halbleiter-Bauelemente zu verwenden.

**[0008]** Stattdessen muß das entsprechende Test-Verfahren, z. B. das jeweilige Soft-Trimming-Verfahren separat für jedes (insbesondere für jedes in der entsprechenden Test-Gruppe enthaltene) Halbleiter-Bauelement durchgeführt werden (d. h. chip-individuell).

**[0009]** Zur Auswahl bzw. zum Adressieren des entsprechenden Halbleiter-Bauelements kann eine – z. B. der Anzahl der in der jeweiligen Test-Gruppe enthaltenen Halbleiter-Bauelementen entsprechende – Anzahl an separaten CS-Anschlüssen bzw. CS-Kanälen (Chip-Select- bzw. Halbleiter-Bauelement-Auswahl-Kanälen) vorgesehen sein, wobei vom jeweiligen Testgerät an den jeweiligen CS-Anschlüssen – für jedes in der entsprechenden Test-Gruppe enthaltene Halbleiter-Bauelement separat – jeweils ein entsprechendes CS-Signal ausgegeben werden kann.

**[0010]** Dadurch kann einem bestimmten, an den jeweiligen CS-Kanal angeschlossenen Halbleiter-Bauelement signalisiert werden, ob die an einem – geteilten – Test-Kanal anliegenden Signale gerade für das jeweilige Halbleiter-Bauelement Gültigkeit haben sollen (z. B. wenn gerade für mehrere Halbleiter-Bauelemente gleichzeitig ein entsprechendes Test-Verfahren durchgeführt werden soll, oder z. B. für das entsprechende Halbleiter-Bauelement ein Soft-Trimming-Verfahren), oder nicht (beispielsweise, wenn unter Nutzung des geteilten Test-Kanals gerade für ein anderes, in der Test-Gruppe enthaltenes Halbleiter-Bauelement ein Soft-Trimming-Verfahren durchgeführt werden soll).

**[0011]** Von Nachteil ist hierbei allerdings die relativ hohe Anzahl an – zur Adressierung des jeweils betroffenen Halbleiter-Bauelements – benötigten, separaten CS-Kanälen bzw. CS-Anschlüssen.

**[0012]** Aus dem Dokument US 5 642 307 A und aus dem Dokument US 5 043 657 A ist jeweils eine Anordnung mit mehreren zu testenden Halbleiter-Bauelementen bekannt.

**[0013]** Aus dem Dokument US 5 867 505 A ist ein Verfahren und eine Vorrichtung zum Testen von Halbleiterchips bekannt, wobei jeder Chip eine eindeutige Kennung hat, die in einer Datenbank gespeichert ist.

**[0014]** In US 2002/0 085 439 A1 werden Kennungen zum Identifizieren von Halbleiter-Bauelementen verwendet. Hierbei bildet eine Vielzahl von Sicherungen eines jeweiligen Halbleiter-Bauelements eine das jeweilige Halbleiter-Bauelement identifizierende Kennung.

**[0015]** In US 6 161 052 A wird eine Identifizierung von Speicherzellgruppen anhand physischer Parameter der zu identifizierenden Speicherzellgruppen beschrieben.

**[0016]** In US 6 363 329 B2 wird ein Verfahren zum Identifizieren und Aussondern von fehlerhaften Speicherelementen (Chips) beschrieben. Dabei werden den einzelnen Chips IDs und Information über die auf sie anzuwendenden Prozessschritte zugewiesen,

welche nach dem Separieren der Chips ausgelesen werden kann. Somit können alle Chips identifiziert werden, die Prozessschritten unterworfen wurden, welche für sie nicht vorgesehen waren, beispielsweise, weil sie defekt waren.

**[0017]** Die Erfindung hat zur Aufgabe, eine neuartige Anordnung, insbesondere Wafer mit mehreren zu testenden Halbleiter-Bauelementen, ein neuartiges Halbleiter-Bauelement-Test-System, sowie ein neuartiges Verfahren zum Testen von Halbleiter-Bauelementen bereitzustellen.

**[0018]** Sie erreicht dieses und weitere Ziele mit dem Gegenstand des Anspruchs 1.

**[0019]** Vorteilhafte Weiterbildungen der Erfindung sind in dem Unteranspruch angegeben.

**[0020]** Gemäß einem Grundgedanken der Erfindung wird eine Anordnung, insbesondere Wafer mit mehreren zu testenden Halbleiter-Bauelementen bereitgestellt, wobei jedem Halbleiter-Bauelement zum Durchführen eines – für das jeweilige Halbleiter-Bauelement individuellen – Tests eine das entsprechende Halbleiter-Bauelement individuell kennzeichnende Kennung, insbesondere Identifizier-Nummer zugeordnet ist. Jedes Halbleiter-Bauelement weist mehr als zwei Halbleiter-Bauelement-Identifizier-Anschlüsse auf, denen jeweils unterschiedliche Kennungen zugeordnet sind. Dabei wird zur Zuweisung der Kennung ein einziges Signal an jedes der Halbleiter-Bauelemente gemeinsam übermittelt und das Signal bei jedem der Halbleiter-Bauelemente an einen einzigen jeweils einer von der Kennung der übrigen Halbleiter-Bauelemente verschiedenen Kennung zugeordneten Anschluss angelegt.

**[0021]** Dadurch wird ermöglicht, dass sich dasjenige Bauelement, für das ein individueller Test durchgeführt werden soll, anhand der o. g. Identifizier-Nummer selbst identifizieren kann.

**[0022]** Deshalb kann darauf verzichtet werden – für jedes Halbleiter-Bauelement separat – einen entsprechenden CS-Kanal (Chip-Select- bzw. Halbleiter-Bauelement-Auswahl-Kanal) zur Verfügung zu stellen, wodurch die Anzahl an (Test-)Kanälen reduziert werden kann.

**[0023]** Im folgenden wird die Erfindung anhand von Ausführungsbeispielen und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

**[0024]** Fig. 1 eine schematische Darstellung des prinzipiellen Aufbaus eines bei der vorliegenden Erfindung verwendeten Halbleiter-Bauelement-Test-Systems;

**[0025]** Fig. 2 eine schematische Darstellung eines Halbleiter-Bauelement-Test-Systems mit einer Halbleiter-Bauelement-Test-Karte, einem Halbleiter-Bauelement-Test-Gerät, sowie von zu testenden Halbleiter-Bauelementen, die so ausgestaltet und eingerichtet sind, daß ein Bauelement-Identifizier- und -Adressier-Verfahren gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung durchgeführt werden kann; und

**[0026]** Fig. 3 eine schematische Darstellung eines Halbleiter-Bauelement-Test-Systems mit einer Halbleiter-Bauelement-Test-Karte, einem Halbleiter-Bauelement-Test-Gerät, sowie von zu testenden Halbleiter-Bauelementen, die so ausgestaltet und eingerichtet sind, daß ein Bauelement-Identifizier- und -Adressier-Verfahren gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung durchgeführt werden kann.

**[0027]** In Fig. 1 ist eine schematische Darstellung des prinzipiellen Aufbaus eines bei der vorliegenden Erfindung verwendeten Halbleiter-Bauelement-Test-Systems 1 gezeigt.

**[0028]** Dieses dient dazu, auf einer Silizium-Scheibe bzw. einem Wafer 2 gefertigte Halbleiter-Bauelemente 3a, 3b, 3c, 3d zu testen (bzw. auf dem Wafer 2 angeordnete, in einem fertigen bzw. halbfertigen Zustand befindliche Halbleiter-Bauelemente 3a, 3b, 3c, 3d). Bei den Halbleiter-Bauelementen 3a, 3b, 3c, 3d kann es sich um – fertige oder halb-fertige – Halbleiter-Bauelemente handeln, z. B. um entsprechende, integrierte (analoge bzw. digitale) Rechenschaltkreise, oder um Halbleiter-Speicherbauelemente wie z. B. Funktionsspeicher-Bauelemente (PLAs, PALs, etc.) oder Tabellenspeicher-Bauelemente (z. B. ROMs oder RAMS), insbesondere um SRAMs oder DRAMs (hier z. B. um DRAMs (Dynamic Random Access Memories bzw. dynamische Schreib-Lese-Speicher) mit doppelter Datenrate (DDR-DRAMs = Double Data Rate – DRAMs)).

**[0029]** Die zum Testen der Halbleiter-Bauelemente 3a, 3b, 3c, 3d erforderlichen Test-Eingabe-Signale werden von einem Testgerät 4 erzeugt, und – mittels entsprechender Signal-Treiber-Einrichtungen 5a, 5b – an entsprechenden Anschlüssen 6 des Testgeräts 4 ausgegeben.

**[0030]** Wie in Fig. 1 weiter gezeigt ist, können die Anschlüsse 6 des Testgeräts 4 (über entsprechende Leitungen, hier: eine Anzahl N an Leitungen 7) an entsprechende Anschlüsse einer Halbleiter-Bauelement-Test-Karte 8 bzw. probecard 8 angeschlossen sein, die – über entsprechende, mit den probecard-Anschlüssen in Verbindung stehende Kontakt-Nadeln 9a, 9b, 9c, 9d – an entsprechende auf den Halbleiter-Bauelementen 3a, 3b, 3c, 3d vorgesehene

(Test-)Anschlüsse **10a**, **10b** angeschlossen werden können.

**[0031]** Die vom Testgerät **4** ausgegebenen Test-Eingabe-Signale können somit – über die Leitungen **7**, die Kontakt-Nadeln **9a**, **9b**, **9c**, **9d** der Halbleiter-Bauelement-Test-Karte **8**, und die entsprechenden Halbleiter-Bauelement-Anschlüsse **10a**, **10b** ins jeweils gewünschte Halbleiter-Bauelement **3a**, **3b**, **3c**, **3d** eingegebenen werden.

**[0032]** Die in Reaktion auf die eingegebenen Test-Eingabe-Signale an entsprechenden (z. B. den o. g., oder hiervon unterschiedlichen) Halbleiter-Bauelement-Anschlüssen **10a**, **10b** ausgegebenen Test-Ausgabe-Signale werden – entsprechend umgekehrt wie oben in Bezug auf die Test-Eingabe-Signale beschrieben – von entsprechenden Kontakt-Nadeln **9a**, **9b**, **9c**, **9d** der Halbleiter-Bauelement-Test-Karte **8** abgegriffen, und über die o. g. Leitungen **7** entsprechenden Anschlüssen des Testgeräts **4** zugeführt, wo dann eine Auswertung der Test-Ausgabe-Signale stattfinden kann.

**[0033]** Um eine möglichst große Anzahl von Halbleiter-Bauelementen **3a**, **3b**, **3c**, **3d** parallel bzw. gleichzeitig, und von ein- und demselben Testgerät **4** testen zu können, kann das an einem bestimmten Anschluß **5a** des Testgeräts **4** ausgegebene Test-Eingabe-Signal (z. B. durch Vorsehen entsprechender Abzweig-Leitungen) – gleichzeitig – an  $n$  verschiedene Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d** weitergeleitet werden (z. B. jeweils an  $n = 4$  verschiedene, eine Test-Gruppe **11a** bildende Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d** von  $m$  (z. B.  $m = 16$ ) verschiedenen Test-Gruppen **11a**, **11b** (wobei ein entsprechendes, an einem Anschluß **5b** des Testgeräts **4** ausgegebenes Test-Eingabe-Signal an  $n = 4$  weitere, eine weitere Test-Gruppe **11b** bildende Halbleiter-Bauelemente **3e**, **3f**, **3g**, **3h**, weitergeleitet wird, etc.) – oder alternativ an sämtliche,  $l$  auf dem Wafer **2** angeordnete Halbleiter-Bauelemente (z. B.  $l = 64$  Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d**, **3e**, **3f**, **3g**, **3h**)).

**[0034]** Dadurch können z. B. mit Hilfe von an  $k$  verschiedenen Testgerät-Anschlüssen **5a**, **5b** bereitgestellten Test-Eingabe-Signalen (d. h. mit  $k$  verschiedenen Test-Kanälen)  $n \times k$  (oder z. B.  $l \times k$ ) verschiedene Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d** gleichzeitig getestet werden.

**[0035]** Bei bestimmten Test-Verfahren, z. B. bei – zur Einstellung bestimmter, interner Spannungen im Halbleiter-Bauelement **3a**, **3b**, **3c**, **3d** verwendeten – Soft-Trimming-Verfahren, ist es nicht möglich, ein- und dasselbe Test-Eingabe-Signal gleichzeitig für mehrere verschiedene, insbesondere für sämtliche in der jeweiligen Test-Gruppe **11a**, **11b** enthaltene (bzw. sämtliche, auf dem Wafer **2** angeordnete) Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d** zu verwenden.

**[0036]** Stattdessen muß das entsprechende Test-Verfahren, z. B. das jeweilige Soft-Trimming-Verfahren für jedes (in der entsprechenden Test-Gruppe **11a**, **11b**, bzw. auf dem Wafer **2** enthaltene) Halbleiter-Bauelement **3a**, **3b**, **3c**, **3d** getrennt durchgeführt werden.

**[0037]** Zur Adressierung bzw. Auswahl des jeweils betroffenen Halbleiter-Bauelements **3a**, **3b**, **3c**, **3d** können bei der vorliegenden Erfindung die jeweiligen Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d** (und/oder das Halbleiter-Bauelement-Test-Gerät **4** bzw. die Halbleiter-Bauelement-Test-Karte **8**) auf besondere, im folgenden im Detail erläuterte Weise eingerichtet sein bzw. werden, und können die im folgenden im Detail erläuterten Verfahren eingesetzt werden:

**Fig. 2** zeigt die genaue Ausgestaltung der in **Fig. 1** gezeigten Halbleiter-Bauelement-Test-Karte **8**, des in **Fig. 1** gezeigten Halbleiter-Bauelement-Test-Geräts **4**, sowie der zu testenden, auf dem Wafer **2** befindlichen Halbleiter-Bauelemente (hier: die in der ersten Test-Gruppe **11a** enthaltenen Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d**) bei einem ersten Ausführungsbeispiel der Erfindung (wobei ein Bauelement-Identifizier- und -Adressier-Verfahren gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung eingesetzt wird).

**[0038]** Wie in **Fig. 2** gezeigt ist, sind die Halbleiter-Bauelemente **3a**, **3b**, **3c**, **3d** alle identisch aufgebaut und eingerichtet, und weisen – anders als herkömmliche Halbleiter-Bauelemente – an jeweils identischen Stellen eine der Anzahl  $n$  an in der jeweiligen, hier der ersten Test-Gruppe **11a** enthaltenen Halbleiter-Bauelementen **3a**, **3b**, **3c**, **3d** (oder alternativ der Anzahl  $l$  der insgesamt auf dem Wafer **2** enthaltenen, und vom Testgerät **4** zu testenden Halbleiter-Bauelementen **3a**, **3b**, **3c**, **3d**) entsprechende Anzahl  $n$ , hier:  $n = 4$  (bzw.  $l$ , hier:  $l = 64$ ) von zusätzlichen Halbleiter-Bauelement-Identifizier-Anschlüssen **12a**, **12b**, **12c**, **12d**, **13a**, **13b**, **13c**, **13d**, **14a**, **14b**, **14c**, **14d**, **15a**, **15b**, **15c**, **15d** auf.

**[0039]** Ein an einem entsprechenden Anschluß (hier: dem Anschluß **6a**) des Testgeräts **4** von einer entsprechenden Signal-Treiber-Einrichtung (hier: der Signal-Treiber-Einrichtung **5a**) ausgegebenes (binäres) Halbleiter-Bauelement-Identifizier-Signal (bzw. Chip-Select-(Halbleiter-Bauelement-Auswahl-)Signal) wird über eine entsprechende Leitung **7a** der o. g.  $N$  Leitungen **7** an die Halbleiter-Bauelement-Test-Karte **8** weitergeleitet, und dort – über eine entsprechende Verbindungs-Leitung **16** – an sämtliche von  $n$  (z. B.  $n = 4$ ) verschiedenen, jeweils einem der o. g., zur Test-Gruppe **11a** gehörenden Halbleiter-Bauelementen **3a**, **3b**, **3c**, **3d** zugeordneten Kontakt-Nadeln **9a**, **9b**, **9c**, **9d** (oder alternativ an sämtliche von  $l$  (z. B.  $l = 64$ ) verschiedenen, jeweils einem (von sämtlichen) auf dem Wafer **2** angeordneten Halblei-

ter-Bauelementen **3a, 3b, 3c, 3d** zugeordneten Kontakt-Nadeln **9a, 9b, 9c, 9d**).

**[0040]** Jede Kontakt-Nadel **9a, 9b, 9c, 9d** kontaktiert das jeweils zugeordnete Halbleiter-Bauelement **3a, 3b, 3c, 3d** an einem jeweils unterschiedlichen der o. g. zusätzlichen Halbleiter-Bauelement-Identifizier-Anschlüsse **12a, 13b, 14c, 15d**. Dies kann dadurch erreicht werden, dass die entsprechenden Kontakt-Nadel **9a, 9b, 9c, 9d** jeweils an geeigneten, den entsprechenden Bauelement-Identifizier-Anschlüssen **12a, 13b, 14c, 15d** gegenüberliegenden Stellen der Halbleiter-Bauelement-Test-Karte **8** angeordnet sind.

**[0041]** Beispielsweise kontaktiert eine erste Kontakt-Nadel **9a** das (erste) Halbleiter-Bauelement **3a** an dessen ersten Halbleiter-Bauelement-Identifizier-Anschluss **12a**, eine zweite Kontakt-Nadel **9b** das (zweite) Halbleiter-Bauelement **3b** an diesem zweiten Halbleiter-Bauelement-Identifizier-Anschluss **13b**, eine dritte Kontakt-Nadel **9c** das (dritte) Halbleiter-Bauelement **3c** an dessen dritten Halbleiter-Bauelement-Identifizier-Anschluss **14c**, und eine vierte Kontakt-Nadel **9d** das (vierte) Halbleiter-Bauelement **3d** an dessen vierten Halbleiter-Bauelement-Identifizier-Anschluss **15d**.

**[0042]** Das o. g. Halbleiter-Bauelement-Identifizier-Signal wird somit über die Leitung **7a**, die Verbindungs-Leitung **16**, und die erste, zweite, dritte bzw. vierte Kontakt-Nadel **9a, 9b, 9c, 9d** dem ersten Halbleiter-Bauelement-Identifizier-Anschluss **12a** (von insgesamt vier (alternativ z. B. 64) Halbleiter-Bauelement-Identifizier-Anschlüssen **12a, 12b, 12c, 12d**) des ersten Halbleiter-Bauelements **3a** zugeführt, sowie dem zweiten Halbleiter-Bauelement-Identifizier-Anschluss **13b** (von insgesamt vier (alternativ z. B. 64) Halbleiter-Bauelement-Identifizier-Anschlüssen **13a, 13b, 13c, 13d**) des zweiten Halbleiter-Bauelements **3b**, und dem dritten bzw. vierten Halbleiter-Bauelement-Identifizier-Anschluss **14d** bzw. **15e** (von insgesamt vier (alternativ z. B. 64) Halbleiter-Bauelement-Identifizier-Anschlüssen **14a, 14b, 14c, 14d** bzw. **15a, 15b, 15c, 15d**) des dritten bzw. vierten Halbleiter-Bauelements **3c** bzw. **3d**.

**[0043]** Jedes Halbleiter-Bauelement **3a, 3b, 3c, 3d** weist eine Ermittlungs-Einrichtung **17a, 17b, 17c, 17d**, insbesondere eine entsprechende Schalt-Vorrichtung auf, mit der ermittelt wird, ob, und falls ja: an welchem Halbleiter-Bauelement-Identifizier-Anschluss **12a, 13b, 14c, 15d** das o. g. Halbleiter-Bauelement-Identifizier-Signal anliegt (genauer ob, und falls ja: an welchem Halbleiter-Bauelement-Identifizier-Anschluss **12a, 13b, 14c, 15d** ein „logisch hoher“ (oder alternativ: „logisch niedriger“) Spannungspegel anliegt).

**[0044]** Dadurch kann sich das jeweilige Halbleiter-Bauelement **3a, 3b, 3c, 3d** selbst identifizieren (d. h. erkennen, ob es – innerhalb der Test-Gruppe **11a** (oder alternativ: von sämtlichen Halbleiter-Bauelementen auf dem Wafer **2**) – das erste, zweite, dritte, oder vierte Halbleiter-Bauelement **3a, 3b, 3c, 3d** darstellt (je nachdem, ob das o. g. Halbleiter-Bauelement-Identifizier-Signal jeweils am ersten, zweiten, dritten oder vierten Halbleiter-Bauelement-Identifizier-Anschluss **12a, 13b, 14c, 15d** anliegt)), so dass dann die Ermittlungs-Einrichtung entsprechend dem Ergebnis des o. g. Ermittlungs-Vorgangs eine entsprechende, das jeweilige Halbleiter-Bauelement **3a, 3b, 3c, 3d** (innerhalb der Test-Gruppe **11a**, oder insgesamt) eindeutig kennzeichnende Identifizier-Nummer zur Verfügung stellen kann (z. B. für das „erste“ Halbleiter-Bauelement **3a** die entsprechende Binärzahl „001“, für das „zweite“ Halbleiter-Bauelement **3b** z. B. die entsprechende Binärzahl „010“, für das „dritte“ Halbleiter-Bauelement **3c** die entsprechende Binärzahl „011“, und für das „vierte“ Halbleiter-Bauelement **3d** die entsprechende Binärzahl „100“).

**[0045]** Wie in **Fig. 2** weiter gezeigt ist, weist das Testgerät **4** eine Speichereinrichtung **18** auf, auf der eine die jeweils durchzuführenden Tests steuernde Test-Software geladen ist.

**[0046]** Jedem durchzuführenden Test kann eine – den entsprechenden Test kennzeichnende – Test-Mode-Nummer zugeordnet sein.

**[0047]** Um den Halbleiter-Bauelementen **3a, 3b, 3c, 3d** zu signalisieren, welcher Test gerade durchgeführt werden soll, wird diesen – auf an sich bekannte Weise, und unter Steuerung der o. g. Test-Software – die den jeweiligen Test kennzeichnende Test-Mode-Nummer (bzw. Test-Mode-Adresse) übermittelt.

**[0048]** Hierzu wird die entsprechende Test-Mode-Nummer mittels eines entsprechenden, vom Testgerät **4** an entsprechenden Anschlüssen **6b, 6c, 6d** ausgegebenen binären Adress-Signals an sämtliche Halbleiter-Bauelemente **3a, 3b, 3c, 3d** auf dem Wafer **2**, bzw. an sämtliche in der jeweiligen Test-Gruppe **11a** enthaltene Halbleiter-Bauelemente **3a, 3b, 3c, 3d** übertragen, d. h. über „geteilte“, d. h. von sämtlichen Halbleiter-Bauelementen **3a, 3b, 3c, 3d** auf dem Wafer **2** (oder von sämtlichen Halbleiter-Bauelementen **3a, 3b, 3c, 3d** innerhalb einer Test-Gruppe **11a**) gemeinsam genutzte Adress-Kanäle.

**[0049]** Das binäre Adress-Signal wird über – jeweils mit entsprechenden der o. g. Anschlüsse **6b, 6c, 6d** verbundene – Leitungen **7b, 7c, 7d** der o. g. N Leitungen an die Halbleiter-Bauelement-Test-Karte **8** weitergeleitet, und dort – über entsprechende, hier nicht dargestellte Verbindungs-Leitungen, und entsprechende, hier ebenfalls nicht dargestellte Kontakt-Nadeln – jeweils an sämtliche Halbleiter-Bauelemen-

te **3a, 3b, 3c, 3d** auf dem Wafer **2** (bzw. an sämtliche Halbleiter-Bauelemente **3a, 3b, 3c, 3d** innerhalb einer Test-Gruppe **11a**).

**[0050]** Beim vorliegenden Ausführungsbeispiel werden die o. g. Adress-Anschlüsse **6b, 6c, 6d** (bzw. die oben beschriebenen Adress-Kanäle) – außer zum Übertragen von Test-Mode-Nummern – auch dazu verwendet, von den Halbleiter-Bauelementen insgesamt bzw. von den in einer entsprechenden Test-Gruppe **11a** enthaltenen Halbleiter-Bauelementen **3a, 3b, 3c, 3d** jeweils ein bestimmtes Halbleiter-Bauelement auszuwählen, z. B. dann, wenn ein entsprechendes Test-Verfahren, beispielsweise ein Soft-Trimming-Verfahren von einem bestimmten Halbleiter-Bauelement **3a, 3b, 3c, 3d** separat, und nicht gleichzeitig von sämtlichen Halbleiter-Bauelementen **3a, 3b, 3c, 3d** auf dem Wafer **2** (bzw. sämtlichen, in der jeweiligen Test-Gruppe **11a** enthaltenen Halbleiter-Bauelementen **3a, 3b, 3c, 3d**) parallel durchgeführt werden soll.

**[0051]** Dabei wird – zum Adressieren des jeweils gewünschten Halbleiter-Bauelements **3a, 3b, 3c, 3d** – eine von der Test-Software entsprechend gewählte (Adressier-)Nummer über die Adress-Leitungen **7b, 7c, 7d** an sämtliche Halbleiter-Bauelemente **3a, 3b, 3c, 3d** auf dem Wafer **2** (bzw. sämtliche in einer bestimmten Test-Gruppe **11a** enthaltene Halbleiter-Bauelemente) übertragen (z. B. zum Adressieren des ersten Halbleiter-Bauelements **3a** z. B. die Binärzahl „001“, zum Adressieren des zweiten Halbleiter-Bauelements **3b** z. B. die Binärzahl „010“, zum Adressieren des dritten Halbleiter-Bauelements **3c** z. B. die Binärzahl „011“, und zum Adressieren des vierten Halbleiter-Bauelements **3d** z. B. die Binärzahl „100“). – Mit anderen Worten werden also zum Adressieren der Halbleiter-Bauelemente **3a, 3b, 3c, 3d** „neue“, zusätzliche, sonst nicht verwendete Test-Mode-Nummern vergeben, und übertragen, wobei die jeweilige „Test-Mode-“ bzw. Adressier-Nummer so gewählt sein kann, daß sie der Identifizier-Nummer desjenigen Halbleiter-Bauelements entspricht, das angesprochen bzw. adressiert werden soll.

**[0052]** Die übertragene („Test-Mode-“ bzw. Adressier-)Nummer wird im jeweiligen Halbleiter-Bauelement **3a, 3b, 3c, 3d** mit der o. g., von der jeweiligen Ermittlungs-Einrichtung **17a, 17b, 17c, 17d** (momentan) bereitgestellten, oder (zwischenzeitlich) in ein entsprechendes Identifizier-Nummer-Register geschriebenen Identifizier-Nummer verglichen; wird festgestellt, dass die von der jeweiligen Ermittlungs-Einrichtung **17a, 17b, 17c, 17d** ermittelte Identifizier-Nummer, und die über die Adress-Kanäle übertragene Adressier-Nummer übereinstimmt, wird ermittelt, dass das entsprechende Halbleiter-Bauelement **3a, 3b, 3c, 3d** dem aktuell ausgewählten bzw. adressierten Halbleiter-Bauelement **3a, 3b, 3c, 3d** entspricht.

**[0053]** Durch das oben erläuterte Bauelement-Identifizier- und -Adressier-Verfahren kann – gegenüber herkömmlichen Halbleiter-Bauelement-Test-Systemen – die Anzahl von Test-Kanälen reduziert werden. Insbesondere kann darauf verzichtet werden – für jedes Halbleiter-Bauelement **3a, 3b, 3c, 3d** (bzw. für jedes in einer entsprechenden Test-Gruppe **11a** enthaltenes Halbleiter-Bauelement **3a, 3b, 3c, 3d**) – einen separaten, zusätzlichen CS-Kanal zur Verfügung zu stellen – stattdessen muß lediglich für sämtliche Halbleiter-Bauelemente **3a, 3b, 3c, 3d** insgesamt (oder – alternativ – für jeweils jede der o. g. m verschiedenen Test-Gruppen **11a, 11b**) ein einziger, zusätzlicher Signal-Anschluss **6a** bzw. Halbleiter-Bauelement-Identifizier-Kanal (hier: die o. g. Leitung **7a**) zur Verfügung gestellt werden (d. h. hier insgesamt z. B. – für sämtliche Halbleiter-Bauelemente sämtlicher Test-Gruppen gemeinsam – ein einziger Halbleiter-Bauelement-Identifizier-Kanal, oder z. B. – entsprechend der Anzahl an Test-Gruppen – eine Anzahl m, beispielsweise m = 16 Halbleiter-Bauelement-Identifizier-Kanäle).

**[0054]** Fig. 3 zeigt die genaue Ausgestaltung der in Fig. 1 gezeigten Halbleiter-Bauelement-Test-Karte **8**, des in Fig. 1 gezeigten Halbleiter-Bauelement-Test-Geräts **4**, sowie der zu testenden, auf dem Wafer **2** befindlichen Halbleiter-Bauelemente (hier: die in der ersten Test-Gruppe **11a** enthaltenen Halbleiter-Bauelemente **3a, 3b, 3c, 3d**) bei einem zweiten Ausführungsbeispiel der Erfindung (wobei ein – im Vergleich zum oben beschriebenen Verfahren – unterschiedliches Bauelement-Identifizier-Verfahren eingesetzt wird).

**[0055]** Wie in Fig. 3 gezeigt ist, sind die Halbleiter-Bauelemente **3a, 3b, 3c, 3d** alle identisch aufgebaut.

**[0056]** Zur Identifizierung der Halbleiter-Bauelemente **3a, 3b, 3c, 3d** werden – im Gegensatz zu dem in Fig. 2 gezeigten Ausführungsbeispiel – keine (zusätzlich, gesondert) vorgesehenen Halbleiter-Bauelement-Identifizier-Anschlüsse **12a, 12b, 12c, 12d** bzw. ein einzelner, zusätzlicher, spezieller Halbleiter-Bauelement-Identifizier-Kanal **7a** (oder mehrere derartige Kanäle) verwendet, sondern – für für jeweils einzelne Halbleiter-Bauelemente **3a, 3b, 3c, 3d** jeweils separat vorgesehene – „herkömmliche“, jedoch auf neuartige Weise genutzte Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c**, z. B. sog. DQ-Kanäle bzw. DQ-Channels.

**[0057]** Wie in Fig. 3 gezeigt ist, wird bei den separaten Test-Kanälen **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** ein an einem entsprechenden Anschluß **25a, 25b, 25c, 26a, 26b, 26c, 27a, 27b, 27c, 28a, 28b, 28c** des Testgeräts **4** ausgegebenes (binäres) Test-Signal über entsprechende Leitungen **21a, 21b, 21c, 22a, 22b, 22c, 23a, 23b, 23c, 24a, 24b, 24c** an die Halbleiter-Bauelement-

Test-Karte **8** weitergeleitet, und von dort aus über eine entsprechende Kontakt-Nadel **19a, 19b, 19c, 19d, 19e, 19f, 19g, 19h, 19i, 19k, 19l, 19m**, und einen entsprechenden Bauelement-Test-Signal-Anschluss **34a, 34b, 34c** – anders als bei geteilten, d. h. von mehreren, insbesondere sämtlichen Halbleiter-Bauelementen auf dem Wafer **2** bzw. einer Test-Gruppe **11a** gemeinsam genutzten Test-Kanälen – jeweils nur einem einzigen, dem jeweiligen separaten Test-Kanal individuell zugeordneten Halbleiter-Bauelement **3a, 3b, 3c, 3d**.

**[0058]** Die o. g. Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** werden beim vorliegenden Ausführungsbeispiel – anders als üblich – außer zur Übertragung von zur Durchführung bestimmter Tests notwendiger, „eigentlicher“ Test-Signale zusätzlich noch dazu verwendet, an jedes Halbleiter-Bauelement **3a, 3b, 3c, 3d** (bzw. an jedes in der jeweiligen Test-Gruppe **11a** enthaltene Halbleiter-Bauelement) separat eine dem jeweiligen Halbleiter-Bauelement **3a, 3b, 3c, 3d** (unter sämtlichen Bauelementen, oder nur innerhalb der entsprechenden Test-Gruppe **11a**) eindeutig zugeordnete Identifizier-Nummer zu übertragen (d. h. die Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** werden zusätzlich noch als Halbleiter-Bauelement-Identifizier-Kanäle verwendet, um entsprechende Halbleiter-Bauelement-Identifizier-Signale zu übertragen).

**[0059]** Beispielsweise wird – unter Steuerung einer auf einer Speichereinrichtung **18** gespeicherten Test-Software – über die o. g. Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** an das „erste“ Halbleiter-Bauelement **3a** als diesem zugeordnete Identifizier-Nummer die entsprechende Binärzahl „001“ übertragen, an das „zweite“ Halbleiter-Bauelement **3b** als diesem zugeordnete Identifizier-Nummer die entsprechende Binärzahl „010“, und an das „dritte“ bzw. „vierte“ Halbleiter-Bauelement **3c, 3d** als diesen zugeordnete Identifizier-Nummern die entsprechenden Binärzahlen „011“ bzw. „100“.

**[0060]** Dies geschieht während eines speziellen Test-Modus, dem eine bestimmte Test-Mode-Nummer zugeordnet ist. Diese wird auf an sich bekannte Weise, und entsprechend wie oben im Zusammenhang mit **Fig. 2** beschrieben – vor der Übertragung der entsprechenden Halbleiter-Bauelement-Identifizier-Signale bzw. Identifizier-Nummern über die o. g. Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** – an die jeweiligen Halbleiter-Bauelemente **3a, 3b, 3c, 3d** übertragen (und zwar mittels eines an entsprechenden Adress-Anschlüssen **6b, 6c, 6d** ausgegebenen, über entsprechende Leitungen **7b, 7c, 7d** an sämtliche, bzw. sämtliche in der jeweiligen Test-Gruppe **11a** enthaltene Halbleiter-Bauelemente **3a, 3b, 3c, 3d** übertragenen, die

Test-Mode-Nummer enthaltenden binären (Test-Mode-Adress-)Signals).

**[0061]** Die vom jeweiligen Halbleiter-Bauelement **3a, 3b, 3c, 3d** über die entsprechenden Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** empfangene Identifizier-Nummer wird dort in einem entsprechenden – zusätzlich – vorgesehenen Identifizier-Nummer-Register **20a, 20b, 20c, 20d** abgespeichert.

**[0062]** Beim vorliegenden Ausführungsbeispiel werden – entsprechend wie beim im Zusammenhang mit **Fig. 2** beschriebenen Ausführungsbeispiel – die o. g. Adress-Anschlüsse **6b, 6c, 6d** (bzw. die oben beschriebenen (Test-Mode-Adress-)Kanäle) – außer zum Übertragen „eigentlicher“ Test-Mode-Nummern – zusätzlich dazu verwendet, von den Halbleiter-Bauelementen insgesamt bzw. von den in einer entsprechenden Test-Gruppe **11a** enthaltenen Halbleiter-Bauelementen **3a, 3b, 3c, 3d** jeweils ein bestimmtes Halbleiter-Bauelement auszuwählen, z. B. dann, wenn ein entsprechendes Test-Verfahren, beispielsweise ein Soft-Trimming-Verfahren von einem bestimmten Halbleiter-Bauelement **3a, 3b, 3c, 3d** separat, und nicht gleichzeitig von sämtlichen Halbleiter-Bauelementen **3a, 3b, 3c, 3d** auf dem Wafer **2** (bzw. sämtlichen, in der jeweiligen Test-Gruppe **11a** enthaltenen Halbleiter-Bauelementen **3a, 3b, 3c, 3d**) parallel durchgeführt werden soll.

**[0063]** Dabei wird – zum Adressieren des jeweils gewünschten Halbleiter-Bauelements **3a, 3b, 3c, 3d** – eine von der Test-Software entsprechend gewählte (Adressier-)Nummer über die Adress-Leitungen **7b, 7c, 7d** an sämtliche Halbleiter-Bauelemente **3a, 3b, 3c, 3d** auf dem Wafer **2** (bzw. sämtliche in einer bestimmten Test-Gruppe **11a** enthaltene Halbleiter-Bauelemente) übertragen (z. B. zum Adressieren des ersten Halbleiter-Bauelements **3a** z. B. die Binärzahl „001“, zum Adressieren des zweiten Halbleiter-Bauelements **3b** z. B. die Binärzahl „010“, zum Adressieren des dritten Halbleiter-Bauelements **3c** z. B. die Binärzahl „011“, und zum Adressieren des vierten Halbleiter-Bauelements **3d** z. B. die Binärzahl „100“). – Mit anderen Worten werden also zum Adressieren der Halbleiter-Bauelemente **3a, 3b, 3c, 3d** „neue“, zusätzliche, sonst nicht verwendete Test-Mode-Nummern vergeben, und übertragen, wobei die jeweilige „Test-Mode“ bzw. Adressier-Nummer so gewählt sein kann, daß sie der Identifizier-Nummer desjenigen Halbleiter-Bauelements entspricht, das angesprochen bzw. adressiert werden soll.

**[0064]** Die übertragene („Test-Mode-“ bzw. Adressier-)Nummer wird im jeweiligen Halbleiter-Bauelement **3a, 3b, 3c, 3d** mit der o. g., im jeweiligen Identifizier-Nummer-Register **20a, 20b, 20c, 20d** abgespeicherten Identifizier-Nummer verglichen; wird festgestellt, dass die entsprechende Identifizier-Nummer,

und die über die Adress-Kanäle übertragene Adressier-Nummer übereinstimmt, wird ermittelt, dass das entsprechende Halbleiter-Bauelement **3a, 3b, 3c, 3d** dem aktuell ausgewählten bzw. adressierten Halbleiter-Bauelement **3a, 3b, 3c, 3d** entspricht.

**[0065]** Dadurch kann dem jeweiligen Halbleiter-Bauelement **3a, 3b, 3c, 3d** signalisiert werden, daß die darauffolgend an einem – geteilten – Test-Kanal angelegten, z. B. zur Durchführung eines Soft-Trimming-Verfahrens bestimmten Signale für das jeweilige Halbleiter-Bauelement **3a, 3b, 3c, 3d** Gültigkeit haben sollen (nicht aber für die übrigen Halbleiter-Bauelemente, bzw. für die übrigen in der entsprechenden Test-Gruppe **11a** enthaltenen Halbleiter-Bauelemente).

**[0066]** Durch das oben erläuterte Bauelement-Identifizier- und -Adressier-Verfahren kann – gegenüber herkömmlichen Halbleiter-Bauelement-Test-Systemen – die Anzahl von Test-Kanälen reduziert werden. Insbesondere kann ganz auf die Bereitstellung separater, zusätzlicher CS- bzw. Halbleiter-Bauelement-Identifizier-Kanäle verzichtet werden – die Identifizierung und Adressierung der Halbleiter-Bauelemente **3a, 3b, 3c, 3d** erfolgt über – sowieso schon vorhandene – Test- und Adress-Kanäle (und zwar die o. g. Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c**, und die o. g. Adress-Kanäle **7b, 7c, 7d**).

**[0067]** Alternativ zu den o. g. über die Test-Kanäle **30a, 30b, 30c, 31a, 31b, 31c, 32a, 32b, 32c, 33a, 33b, 33c** an die entsprechenden Halbleiter-Bauelemente **3a, 3b, 3c, 3d** übertragenen, und dort in den Identifizier-Nummer-Registern **20a, 20b, 20c, 20d** abgespeicherten Identifizier-Nummern können z. B. auch – den Identifizier-Nummern entsprechende – Nummern vor dem Testen der Halbleiter-Bauelemente **3a, 3b, 3c, 3d** z. B. unter Verwendung sog. „Fuses“ oder „E-Fuses“ (d. h. mittels – entsprechend der jeweils zu kodierenden Nummer – durchgebrannter, auf den Halbleiter-Bauelementen **3a, 3b, 3c, 3d** vorgesehener elektrischer Kontakte) im jeweiligen Halbleiter-Bauelement **3a, 3b, 3c, 3d** abgespeichert werden (wobei beim Adressieren der Halbleiter-Bauelemente **3a, 3b, 3c, 3d** dann – entsprechend wie oben beschrieben – die entsprechende „Fuse“- oder „E-Fuse“-Nummer (bzw. Identifizier-Nummer) mit der jeweiligen über die Adress-Kanäle **7b, 7c, 7d** übertragenen Adressier-Nummer verglichen wird).

#### Bezugszeichenliste

<b>1</b>	Halbleiter-Bauelement-Test-System
<b>2</b>	Wafer
<b>3a</b>	Halbleiter-Bauelement
<b>3b</b>	Halbleiter-Bauelement
<b>3c</b>	Halbleiter-Bauelement
<b>3d</b>	Halbleiter-Bauelement

<b>3e</b>	Halbleiter-Bauelement
<b>3f</b>	Halbleiter-Bauelement
<b>3g</b>	Halbleiter-Bauelement
<b>3h</b>	Halbleiter-Bauelement
<b>4</b>	Testgerät
<b>5a</b>	Signal-Treiber-Einrichtung
<b>5b</b>	Signal-Treiber-Einrichtung
<b>6</b>	Anschlüsse
<b>6a</b>	Anschluss
<b>6b</b>	Anschluss
<b>6c</b>	Anschluss
<b>6d</b>	Anschluss
<b>7</b>	Leitungen
<b>7a</b>	Leitung
<b>7b</b>	Leitung
<b>7c</b>	Leitung
<b>7d</b>	Leitung
<b>8</b>	Halbleiter-Bauelement-Test-Karte
<b>9a</b>	Nadel
<b>9b</b>	Nadel
<b>9c</b>	Nadel
<b>9d</b>	Nadel
<b>10a</b>	Halbleiter-Bauelement-Anschluss
<b>10b</b>	Halbleiter-Bauelement-Anschluss
<b>11a</b>	Test-Gruppe
<b>11b</b>	Test-Gruppe
<b>12a</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>12b</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>12c</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>12d</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>13a</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>13b</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>13c</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>13d</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>14a</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>14b</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>14c</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>14d</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>15a</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>15b</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>15c</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>15d</b>	Halbleiter-Bauelement-Identifizier-Anschluss
<b>16</b>	Verbindungs-Leitung
<b>17a</b>	Ermittlungs-Einrichtung



17b	Ermittlungs-Einrichtung
17c	Ermittlungs-Einrichtung
17d	Ermittlungs-Einrichtung
18	Speichereinrichtung
19a	Nadel
19b	Nadel
19c	Nadel
19d	Nadel
19e	Nadel
19f	Nadel
19g	Nadel
19h	Nadel
19i	Nadel
19k	Nadel
19l	Nadel
19m	Nadel
20a	Identifizier-Nummer-Register
20b	Identifizier-Nummer-Register
20c	Identifizier-Nummer-Register
20d	Identifizier-Nummer-Register
21a	Leitung
21b	Leitung
21c	Leitung
22a	Leitung
22b	Leitung
22c	Leitung
23a	Leitung
23b	Leitung
23c	Leitung
24a	Leitung
24b	Leitung
24c	Leitung
25a	Anschluss
25b	Anschluss
25c	Anschluss
26a	Anschluss
26b	Anschluss
26c	Anschluss
27a	Anschluss
27b	Anschluss
27c	Anschluss
28a	Anschluss
28b	Anschluss
28c	Anschluss
30a	Test-Kanal
30b	Test-Kanal
30c	Test-Kanal
31a	Test-Kanal
31b	Test-Kanal
31c	Test-Kanal
32a	Test-Kanal
32b	Test-Kanal
32c	Test-Kanal
33a	Test-Kanal
33b	Test-Kanal
33c	Test-Kanal
34a	Bauelement-Test-Signal-Anschluss
34b	Bauelement-Test-Signal-Anschluss
34c	Bauelement-Test-Signal-Anschluss

## Patentansprüche

1. Verfahren zum Testen von Halbleiter-Bauelementen, welches die Schritte aufweist:

Bereitstellen einer Anordnung mit mehreren zu testenden Halbleiter-Bauelementen (**3a, 3b, 3c, 3d**), wobei den Halbleiter-Bauelementen (**3a, 3b, 3c, 3d**) zum Durchführen eines für das jeweilige Halbleiter-Bauelement (**3a, 3b, 3c, 3d**) individuellen Tests eine das entsprechende Halbleiter-Bauelement (**3a, 3b, 3c, 3d**) individuell kennzeichnende Kennung zugeordnet wird, welche an das jeweilige Halbleiter-Bauelement (**3a, 3b, 3c, 3d**) übertragen wird, wobei jedes Halbleiter-Bauelement (**3a, 3b, 3c, 3d**) mehr als zwei Halbleiter-Bauelement-Identifizier-Anschlüsse (**12a, 12b, 12c, 12d, 13a, 13b, 13c, 13d**) aufweist, denen jeweils unterschiedliche Kennungen zugeordnet sind, wobei die ein jeweiliges Halbleiter-Bauelement individuell kennzeichnende Kennung dadurch an das entsprechende Halbleiter-Bauelement (**3a, 3b, 3c, 3d**) übertragen wird, dass ein einziges Signal an jedes der Halbleiter-Bauelemente gemeinsam übermittelt wird und das Signal bei jedem der Halbleiter-Bauelemente an einen einzigen jeweils einer von der Kennung der übrigen Halbleiter-Bauelemente verschiedenen Kennung zugeordneten Anschluss angelegt wird.

2. Verfahren nach Anspruch 1, bei welchem zur Auswahl bzw. Adressierung eines bestimmten Halbleiter-Bauelements (**3a, 3b, 3c, 3d**) eine Adressier-Kennung an die Halbleiter-Bauelemente (**3a, 3b, 3c, 3d**) gesendet, und im jeweiligen Halbleiter-Bauelement (**3a, 3b, 3c, 3d**) mit der das jeweilige Halbleiter-Bauelement individuell kennzeichnenden Kennung verglichen wird.

Es folgen 3 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

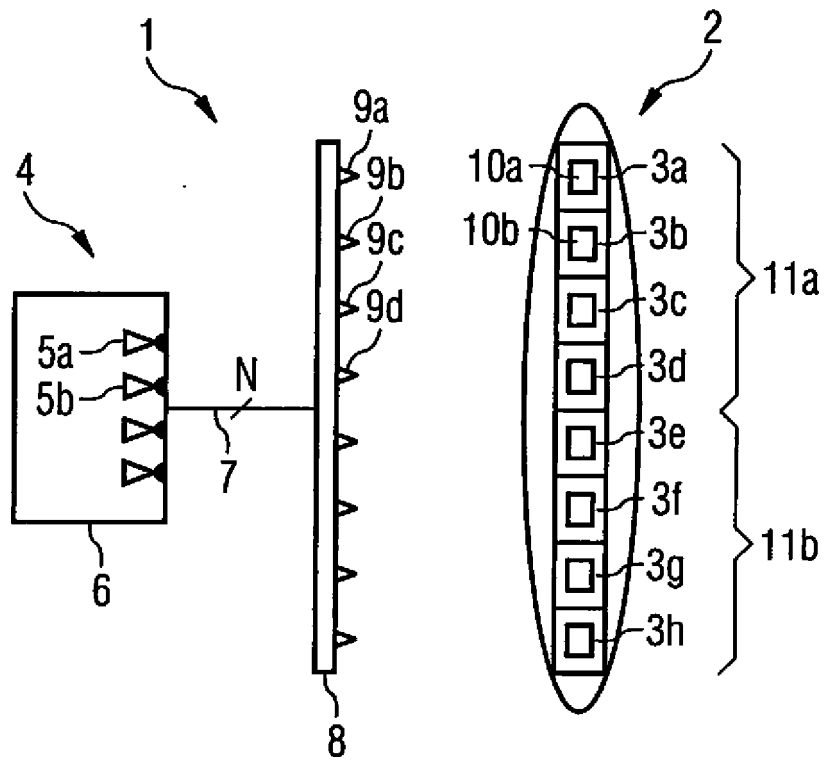


FIG 2

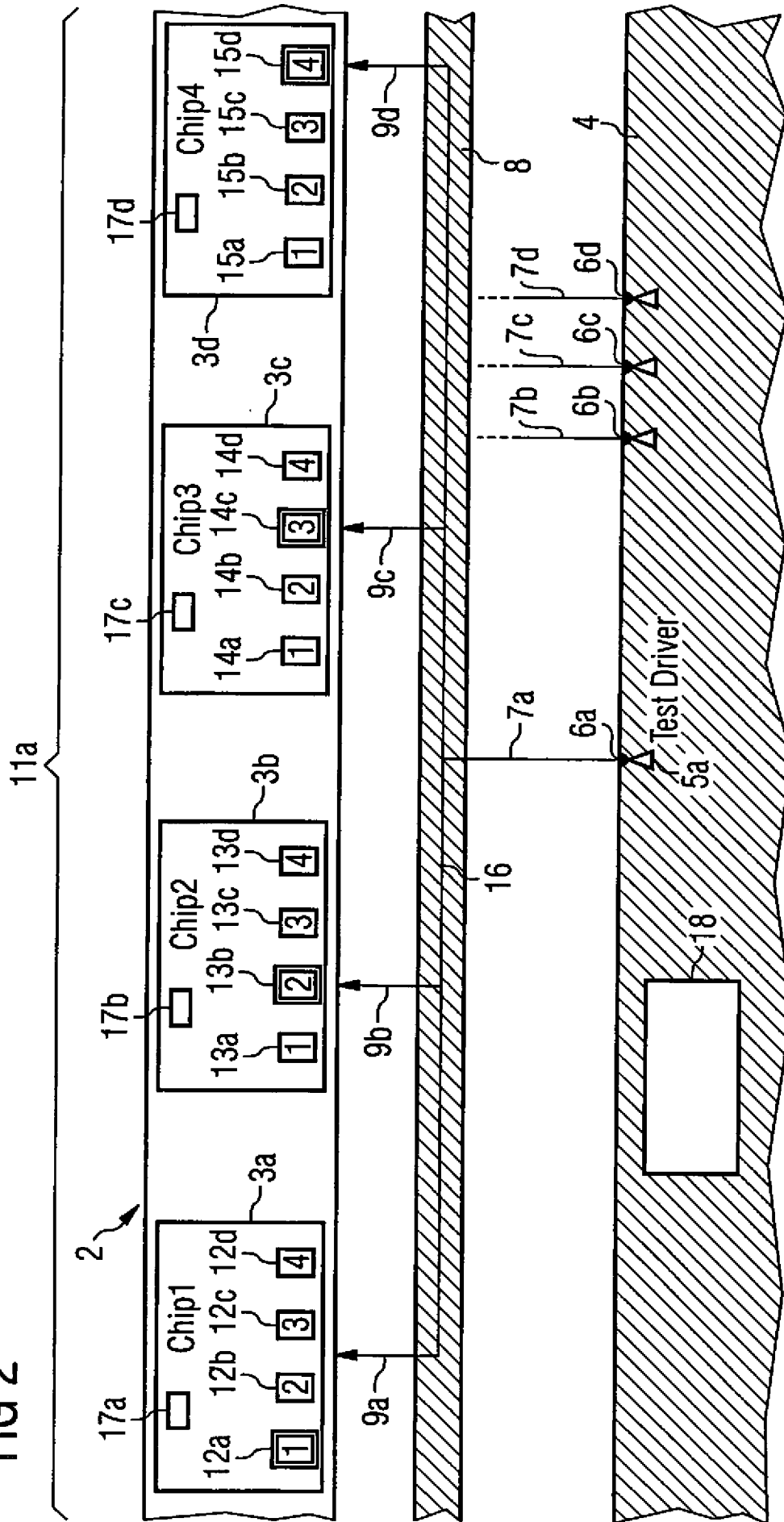


FIG 3

