(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4193866号
(P4193866)
(45)発行日　平成20年12月10日(2008.12.10)　(24)登録日　平成20年10月3日(2008.10.3)

(51)Int.Cl.　　F I
H01S 5/12 (2006.01)　H01S 5/12
H01S 5/343 (2006.01)　H01S 5/343

請求項の数 5　(全 10 頁)

(21)出願番号　特願2006-124153 (P2006-124153)
(22)出願日　平成18年4月27日 (2006.4.27)
(65)公開番号　特開2007-299796 (P2007-299796A)
(43)公開日　平成19年11月15日 (2007.11.15)
審査請求日　平成18年12月21日 (2006.12.21)

前置審査

(73)特許権者　000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目５番３３号
(74)代理人　100102691
弁理士　中野　稔
(74)代理人　100112117
弁理士　山口　幹雄
(74)代理人　100116366
弁理士　二島　英明
(72)発明者　八木　英樹
神奈川県横浜市栄区田谷町１番地　住友電気工業株式会社横浜製作所内

審査官　松崎　義邦

最終頁に続く

(54)【発明の名称】半導体発光素子の製造方法

(57)【特許請求の範囲】

【請求項１】

III－Ｖ族化合物半導体基板上にIII族元素としてインジウムを含むと共にＶ族元素としてリンを含むIII－Ｖ族化合物半導体層を形成する工程と、

前記III－Ｖ族化合物半導体層上にエッチングマスクを形成する工程と、

前記エッチングマスクを用いて前記III－Ｖ族化合物半導体層をメタン及び水素を含むガスを用いてドライエッチングすることによって、回折格子を形成する複数の凹部を形成する工程と、

前記複数の凹部を、硫酸または塩酸を含むエッチャントによりウェットエッチングすることにより前記複数の凹部のエッジ形状が滑らかになるまでウェットエッチングする工程と、

前記エッチングマスクを用いてIII－Ｖ族化合物半導体からなる活性領域を毎時５００ｎｍ以下の成膜速度で前記複数の凹部内に平坦に埋め込む工程と、

を含み、

前記複数の凹部を形成する工程において形成された当該複数の凹部の深さが、前記III－Ｖ族化合物半導体層の厚みと同じである、

半導体発光素子の製造方法。

【請求項２】

前記複数の凹部の幅が、前記複数の凹部間に形成される凸部の幅と同じか又はそれよりも小さい、請求項１に記載の半導体発光素子の製造方法。

【請求項３】
　前記活性領域が量子井戸構造を有する、請求項１又は２に記載の半導体発光素子の製造方法。
【請求項４】
　前記活性領域を毎時２００ｎｍ以上の成膜速度で前記複数の凹部内に埋め込む、請求項１～３のいずれか一項に記載の半導体発光素子の製造方法。
【請求項５】
　前記活性領域が、量子細線構造又は量子箱構造を有する、請求項１～４のいずれか一項に記載の半導体発光素子の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明は、半導体発光素子の製造方法に関する。
【背景技術】
【０００２】
　分布帰還型の半導体レーザ（以下「ＤＦＢレーザ」という。）を製造する際には、基板上に活性層を形成した後、その活性層をドライエッチングして周期的な凹部を形成している（例えば特許文献１参照）。その後、この凹部内に埋込層を形成する。
【特許文献１】特開２００４－５５７９７号公報
【発明の開示】
【発明が解決しようとする課題】
【０００３】
　しかしながら、半導体発光素子を製造する際に活性層をドライエッチングすると、ドライエッチングにより活性層がダメージを受ける。その結果、活性層に結晶欠陥が生じるので、結晶欠陥に起因する非発光再結合によって半導体発光素子の発光効率が低下し、さらに、レーザ素子の場合は、閾値電流の上昇を引き起こす。
【０００４】
　本発明は、上記事情に鑑みて為されたものであり、活性領域が受けるダメージを低減できる半導体発光素子の製造方法を提供することを目的とする。
【課題を解決するための手段】
【０００５】
　上述の課題を解決するため、本発明の半導体発光素子の製造方法は、III－Ｖ族化合物半導体基板上にIII族元素としてインジウムを含むと共にＶ族元素としてリンを含むIII－Ｖ族化合物半導体層を形成する工程と、前記III－Ｖ族化合物半導体層上にエッチングマスクを形成する工程と、前記エッチングマスクを用いて前記III－Ｖ族化合物半導体層をメタン及び水素を含むガスを用いてドライエッチングすることによって、回折格子を形成する複数の凹部を形成する工程と、前記複数の凹部を、硫酸または塩酸を含むエッチャントによりウェットエッチングすることにより前記複数の凹部のエッジ形状が滑らかになるまでウェットエッチングする工程と、前記エッチングマスクを用いてIII－Ｖ族化合物半導体からなる活性領域を毎時５００ｎｍ以下の成膜速度で前記複数の凹部内に平坦に埋め込む工程と、を含み、前記複数の凹部を形成する工程において形成された当該複数の凹部の深さが、前記III－Ｖ族化合物半導体層の厚みと同じである。
【０００６】
　本発明の半導体発光素子の製造方法では、活性領域をドライエッチングする必要がないので、活性領域が受けるダメージを低減できる。また、III－Ｖ族化合物半導体層が、III族元素としてインジウムを含むと共にＶ族元素としてリンを含んでおり、複数の凹部を形成する工程において、III－Ｖ族化合物半導体層をメタン及び水素を含むガスを用いてドライエッチングすることにより、凹部の側壁の垂直性を向上させることができる。また、III－Ｖ族化合物半導体層がドライエッチングにより受けるダメージを抑制することができる。また、成膜速度が毎時５００ｎｍ以下であると、成膜速度が毎時５００ｎｍを超え

る場合に比べて活性領域の表面の平坦性を向上させることができる。また、複数の凹部を形成する工程と活性領域を埋め込む工程との間に、複数の凹部を硫酸または塩酸を含むエッチャントによりウェットエッチングすることにより前記複数の凹部のエッジ形状が滑らかになるまでウェットエッチングする工程を含むことにより、活性領域を埋め込む際に活性領域の表面の平坦性を向上させることができる。また、複数の凹部を形成する工程において、複数の凹部の深さが、前記III－Ｖ族化合物半導体層の厚みと同じであることが好ましい。また、複数の凹部が回折格子を形成していることにより、半導体発光素子から出射される光の波長を単一にすることができる。

【０００７】

また、前記複数の凹部の幅が、前記複数の凹部間に形成される凸部の幅と同じか又はそれよりも小さいことが好ましい。この場合、III－Ｖ族化合物半導体からなる活性領域を複数の凹部内に埋め込むことにより、活性領域とそれを含まない領域との割合を自由に選択することができ、量子井戸構造の他に、量子細線、量子箱等の微細構造を容易に作製することができる。

【０００８】

また、前記活性領域が量子井戸構造を有することが好ましい。そして、この活性領域を複数の凹部内に埋め込むことにより、活性領域の厚さを大きくすることができる。

【０００９】

また、前記活性領域を毎時２００ｎｍ以上の成膜速度で前記複数の凹部内に埋め込むことが好ましい。

【００１０】

成膜速度が毎時２００ｎｍ以上であると、成膜速度が毎時２００ｎｍ未満の場合に比べて活性領域中に混入する異物の濃度を低減することができる。

【００１６】

また、前記活性領域が、量子細線構造又は量子箱構造を有することが好ましい。これにより、低閾値の半導体発光素子が得られる。

【発明の効果】

【００１７】

本発明によれば、活性領域が受けるダメージを低減できる半導体発光素子の製造方法が提供される。

【発明を実施するための最良の形態】

【００１８】

以下、添付図面を参照しながら本発明の実施形態を詳細に説明する。なお、図面の説明において、同一又は同等の要素には同一符号を用い、重複する説明を省略する。

【００１９】

図１は、半導体発光素子の一例を模式的に示す斜視断面図である。図１に示される半導体発光素子１０は、ＤＦＢレーザである。図１には、ｘｙｚ空間座標系が示されている。

【００２０】

半導体発光素子１０は、第１導電型（例えばｎ型）のIII－Ｖ族化合物半導体基板１２と、III－Ｖ族化合物半導体基板１２上に設けられたメサ部ｍに含まれる活性領域１８と、活性領域１８上に設けられた第２導電型（例えばｐ型）のIII－Ｖ族化合物半導体層２６とを備える。III－Ｖ族化合物半導体基板１２及びIII－Ｖ族化合物半導体層２６は、例えばＩｎＰからなる。III－Ｖ族化合物半導体基板１２はクラッド層を含む。このクラッド層のドーパント濃度は、例えば$1\times10^{18}\,cm^{-3}$である。III－Ｖ族化合物半導体層２６はクラッド層として機能する。III－Ｖ族化合物半導体層２６のドーパント濃度は、例えば$1\times10^{18}\,cm^{-3}$である。メサ部ｍの高さ方向はｚ軸方向である。メサ部ｍは、ｙ軸方向に沿って延びている。

【００２１】

III－Ｖ族化合物半導体基板１２と活性領域１８との間には、III－Ｖ族化合物半導体か

らなる光閉じ込め層１４が設けられている。また、活性領域１８とIII－Ｖ族化合物半導体層２６との間には、III－Ｖ族化合物半導体からなる光閉じ込め層２４が設けられている。光閉じ込め層１４，２４は、メサ部ｍに含まれる。光閉じ込め層１４，２４は、例えばＧａＩｎＡｓＰからなる。光閉じ込め層１４，２４のドーパント濃度は、例えば$5\times10^{17}cm^{-3}$である。

【００２２】

光閉じ込め層１４，２４間には、III－Ｖ族化合物半導体領域１６が設けられている。III－Ｖ族化合物半導体領域１６は、メサ部ｍに含まれる。活性領域１８とIII－Ｖ族化合物半導体領域１６とは、ｙ軸方向に沿って交互に配列されている。活性領域１８とIII－Ｖ族化合物半導体領域１６とは、回折格子を形成している。半導体発光素子１０からのレーザ光は、ｙ軸方向に出射される。III－Ｖ族化合物半導体領域１６は、例えばｉ－ＧａＩｎＡｓＰ又はｉ－ＩｎＰからなる。

【００２３】

III－Ｖ族化合物半導体層２６上には、コンタクト層２８が設けられている。コンタクト層２８は、例えばＧａＩｎＡｓからなる。コンタクト層２８のドーパント濃度は、例えば$1\times10^{19}cm^{-3}$である。コンタクト層２８上には、開口３４ａが形成された絶縁膜３４を介して電極３０が設けられている。開口３４ａは、メサ部ｍ上に配置されている。電極３０はコンタクト層２８にオーミック接触している。III－Ｖ族化合物半導体基板１２の裏面１２ａ上には、電極３２が設けられている。

【００２４】

III－Ｖ族化合物半導体基板１２とIII－Ｖ族化合物半導体層２６との間には、メサ部ｍの側面ｍａを覆う埋め込み領域３６が設けられている。埋め込み領域３６は、III－Ｖ族化合物半導体基板１２上に設けられた第２導電型のIII－Ｖ族化合物半導体層３８と、III－Ｖ族化合物半導体層３８上に設けられた第１導電型のIII－Ｖ族化合物半導体層４０と、III－Ｖ族化合物半導体層４０上に設けられた第２導電型のIII－Ｖ族化合物半導体層４２とを備える。

【００２５】

図２は、図１に示される領域Ａの拡大図である。図２に示されるように、活性領域１８は、互いに異なるバンドギャップエネルギーを有する井戸層２０と障壁層２２とが交互に積層された構造を有することが好ましい。井戸層２０及び障壁層２２は、例えばｉ－ＧａＩｎＡｓＰからなる。活性領域１８は、量子井戸構造、量子細線構造又は量子箱構造を有することが好ましい。活性領域１８が量子井戸構造を有する場合、井戸層２０及び障壁層２２の積層数を増加させることによって、活性領域１８の厚さを大きくすることができる。また、活性領域１８が量子細線構造又は量子箱構造を有する場合、低閾値の半導体発光素子１０が得られる。

【００２６】

図３～図７は、好適な実施形態に係る半導体発光素子の製造方法の各工程を模式的に示す断面図である。この製造方法により、上述の半導体発光素子１０が好適に製造される。以下、半導体発光素子１０の製造方法の各工程について説明する。

【００２７】

（III－Ｖ族化合物半導体層形成工程）

まず、図３に示されるように、III－Ｖ族化合物半導体基板１２上にIII－Ｖ族化合物半導体層１６ａを形成する。III－Ｖ族化合物半導体基板１２は、例えば半導体基板上にクラッド層を形成することによって得られる。III－Ｖ族化合物半導体層１６ａを形成する前に、必要に応じてIII－Ｖ族化合物半導体基板１２上に光閉じ込め層１４を形成してもよい。III－Ｖ族化合物半導体層１６ａ及び光閉じ込め層１４は、例えば有機金属気相成長法（ＯＭＶＰＥ法）等の気相成長法を用いて形成される。III－Ｖ族化合物半導体層１６ａ及び光閉じ込め層１４の成長温度は例えば６５０℃である。

【００２８】

（エッチングマスク形成工程）

次に、図４に示されるように、III－Ｖ族化合物半導体層１６ａ上にエッチングマスクＭを形成する。エッチングマスクＭは、例えばシリコン酸化物からなる。エッチングマスクＭは、リソグラフィー法を用いてパターニングされることが好ましい。エッチングマスクＭは、例えば以下のように形成される。まず、ＣＶＤ法を用いてIII－Ｖ族化合物半導体層１６ａ上にSiO_2膜を形成する。SiO_2膜の厚さは、例えば１５～２０ｎｍである。続いて、そのSiO_2膜上にレジスト膜を形成し、レジスト膜に電子ビーム露光を施す。一実施例において、レジスト膜は電子ビーム露光用レジスト（ＺＥＰ５２０）にC_{60}を混合したものからなり、レジスト膜の厚さは６０ｎｍである。さらに、露光されたレジスト膜を現像し、CF_4ガスを用いてSiO_2膜をドライエッチングした後、O_2アッシングによりレジスト膜を剥離除去する。

【００２９】

（ドライエッチング工程）

次に、図５に示されるように、エッチングマスクＭを用いてIII－Ｖ族化合物半導体層１６ａをドライエッチングする。これにより、複数の凹部４４を有するIII－Ｖ族化合物半導体領域１６を形成する。複数の凹部４４間には凸部４５が形成される。III－Ｖ族化合物半導体層１６ａは、例えばプラズマＰを用いて反応性イオンエッチング（ＲＩＥ）によりドライエッチングされる。

【００３０】

III－Ｖ族化合物半導体層１６ａがIII族元素としてインジウムを含むと共にＶ族元素としてリンを含む場合、メタン及び水素を含むガスを用いてIII－Ｖ族化合物半導体層１６ａをドライエッチングすることが好ましい。これにより、凹部４４の側壁の垂直性を向上させることができる。また、III－Ｖ族化合物半導体層１６ａがドライエッチングにより受けるダメージを抑制することができる。

【００３１】

水素のガス流量は、メタンのガス流量の３～５倍であることが好ましい。一実施例において、ドライエッチングの条件は以下の通りである。

・メタンのガス流量：１０ｓｃｃｍ
・水素のガス流量：４０ｓｃｃｍ
・チャンバ圧力：６．５Ｐａ
・ＲＦパワー：１００Ｗ

【００３２】

また、ドライエッチングの後、必要に応じてO_2アッシングを行うことが好ましい。これにより、メタンから生成されたポリマーを除去することができる。一実施例において、O_2アッシングの条件は以下の通りである。

・酸素のガス流量：３０ｓｃｃｍ
・チャンバ圧力：１０Ｐａ
・ＲＦパワー：５０Ｗ

【００３３】

凹部４４の幅Ｗａは、凸部４５の幅Ｗｇと同じか又はそれよりも小さいことが好ましい。これにより、活性領域１８の幅を細くすることができ、量子井戸構造以外に、量子細線、量子箱等の微細構造も容易に形成することができる。

【００３４】

凹部４４は、回折格子を形成していることが好ましい。この場合、半導体発光素子１０からシングルモードのレーザ光を出射させることができる。凹部４４は、所定のピッチΛで周期的に形成されることが好ましい。凹部４４が回折格子を形成する場合、ピッチΛはブラッグ周期に対応する。ピッチΛは、凹部４４の幅Ｗａと凸部４５の幅Ｗｇとの和に相当する。半導体発光素子１０の発振波長が例えば１．３μｍの場合、ピッチΛは、２００ｎｍであることが好ましい。半導体発光素子１０の発振波長が例えば１．５５μｍの場合、ピッチΛは、２４０ｎｍであることが好ましい。凹部４４の深さｄは、例えばIII－Ｖ族化合物半導体層１６ａの厚さと同じである。深さｄは、４０ｎｍ以上であることが好ま

しい。

【００３５】

（ウェットエッチング工程）

次に、図６に示されるように、凹部４４をウェットエッチングすることが好ましい。これにより、凹部４４のエッジ形状が滑らかになるので、活性領域１８を埋め込む際に活性領域１８の表面の平坦性を向上させることができる。例えば、III－V族化合物半導体領域１６をエッチング槽４６中のエッチャント４８に浸漬させることにより凹部４４をウェットエッチングすることができる。エッチャント４８は、III－V族化合物半導体領域１６がＧａＩｎＡｓＰの場合は硫酸を含むことが好ましく、III－V族化合物半導体領域１６がＩｎＰの場合は塩酸を含むことが好ましい。また、エッチャント４８をIII－V族化合物半導体領域１６にスプレーしてもよい。

【００３６】

（埋め込み工程）

次に、図７に示されるように、エッチングマスクＭを用いてIII－V族化合物半導体からなる活性領域１８を凹部４４内に埋め込む。活性領域１８は、例えば有機金属気相成長法（ＯＭＶＰＥ法）等の気相成長法を用いて形成される。活性領域１８を毎時２００～５００ｎｍの成膜速度で凹部４４内に埋め込むことが好ましい。成長温度は例えば６００℃である。

【００３７】

埋め込み工程では、活性領域１８を毎時２００～５００ｎｍの成膜速度で凹部４４内に埋め込むことが好ましい。成膜速度が毎時２００ｎｍ以上であると、成膜速度が毎時２００ｎｍ未満の場合に比べて活性領域１８中に混入する異物の濃度を低減することができる。また、成膜速度が毎時５００ｎｍ以下であると、成膜速度が毎時５００ｎｍを超える場合に比べて活性領域１８の表面の平坦性を向上させることができる。

【００３８】

また、エッチングマスクＭを用いて活性領域１８を凹部４４内に埋め込むので、III－V族化合物半導体領域１６上に活性領域１８が形成されない。さらに、活性領域１８と光閉じ込め層２４との間に、キャリヤの注入を阻害するような半導体層が形成されない。また、III－V族化合物半導体基板１２としてｎ型半導体基板及びｐ型半導体基板のいずれでも好適に用いることができる。

【００３９】

（成膜工程）

エッチングマスクＭを剥離除去した後、図２に示されるように、活性領域１８及びIII－V族化合物半導体領域１６上に光閉じ込め層２４、III－V族化合物半導体層２６及びコンタクト層２８をこの順に形成する。エッチングマスクＭは、例えばバッファードフッ酸により剥離除去される。光閉じ込め層２４、III－V族化合物半導体層２６及びコンタクト層２８は、例えば有機金属気相成長法（ＯＭＶＰＥ法）等の気相成長法を用いて形成される。成長温度は例えば６５０℃である。

【００４０】

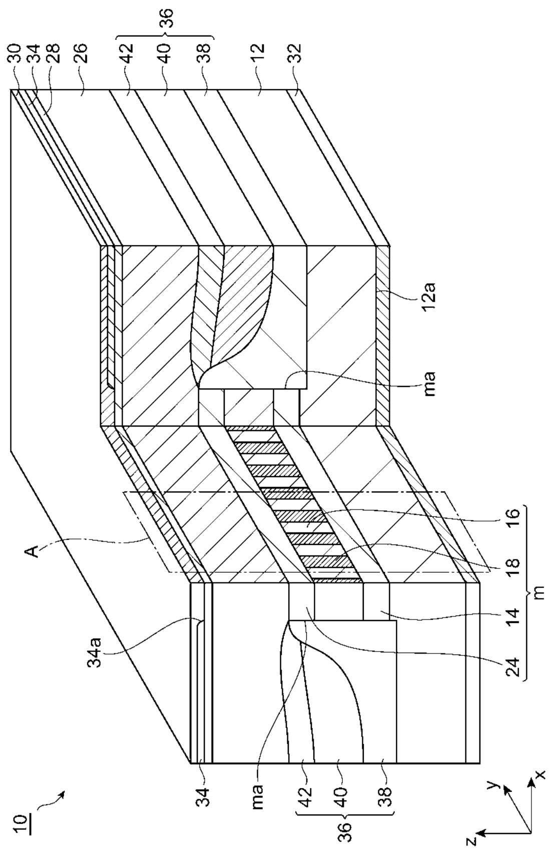
（電極形成工程）

次に、図２に示されるように、コンタクト層２８上に電極３０を形成し、III－V族化合物半導体基板１２の裏面１２ａ上に電極３２を形成する。

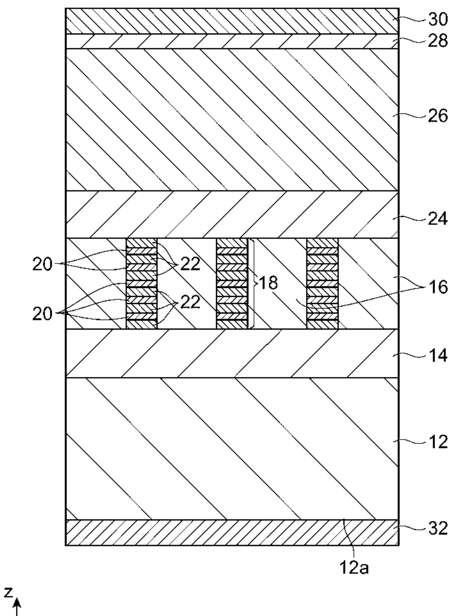
【００４１】

上記各工程を経ることによって、半導体発光素子１０を製造することができる。本実施形態の半導体発光素子の製造方法では活性領域１８を凹部４４内に埋め込むので、ドライエッチングによる活性領域１８の加工が必要ない。よって、活性領域１８が受けるダメージを低減できるので、非発光再結合による悪影響を低減できる。したがって、低電流、及び発光効率の高い半導体発光素子１０が得られる。また、III－V族化合物半導体層１６ａがノンドープの場合、非発光再結合は更に抑制され、さらに、不純物に起因した内部損失の上昇が生じない。

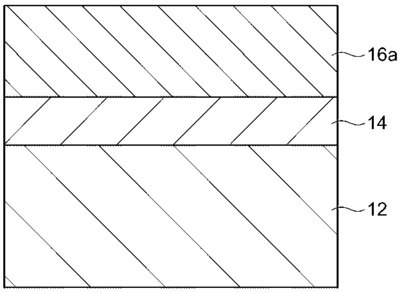
【００４２】
以上、本発明の好適な実施形態について詳細に説明したが、本発明は上記実施形態に限定されない。
【００４３】
例えば、半導体発光素子１０は、例えばＬＥＤ、ファブリペロー型量子細線レーザ、量子箱レーザ、又は、量子細線若しくは量子箱活性層を有する面発光レーザ等であってもよい。また、半導体発光素子１０は光閉じ込め層１４，２４を備えていなくてもよい。
【図面の簡単な説明】
【００４４】
【図１】半導体発光素子の一例を模式的に示す斜視断面図である。
【図２】図１に示される領域Ａの拡大図である。
【図３】好適な実施形態に係る半導体発光素子の製造方法の各工程を模式的に示す断面図である。
【図４】好適な実施形態に係る半導体発光素子の製造方法の各工程を模式的に示す断面図である。
【図５】好適な実施形態に係る半導体発光素子の製造方法の各工程を模式的に示す断面図である。
【図６】好適な実施形態に係る半導体発光素子の製造方法の各工程を模式的に示す断面図である。
【図７】好適な実施形態に係る半導体発光素子の製造方法の各工程を模式的に示す断面図である。
【符号の説明】
【００４５】
１０…半導体発光素子、１２…III－Ｖ族化合物半導体基板、１６ａ…III－Ｖ族化合物半導体層、１８…活性領域、４４…複数の凹部、４５…凸部、Ｍ…エッチングマスク。
【図１】



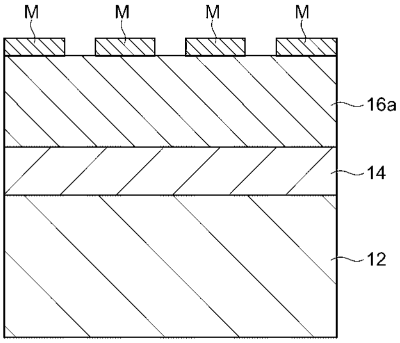
【図２】



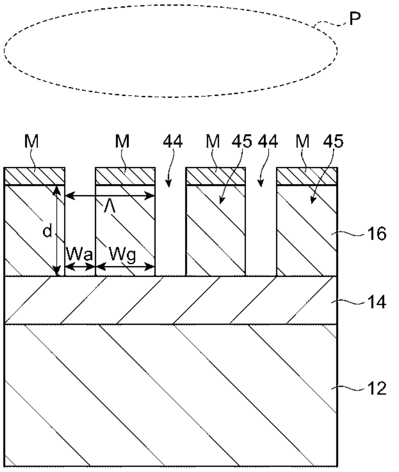
【図３】


16a
14
12

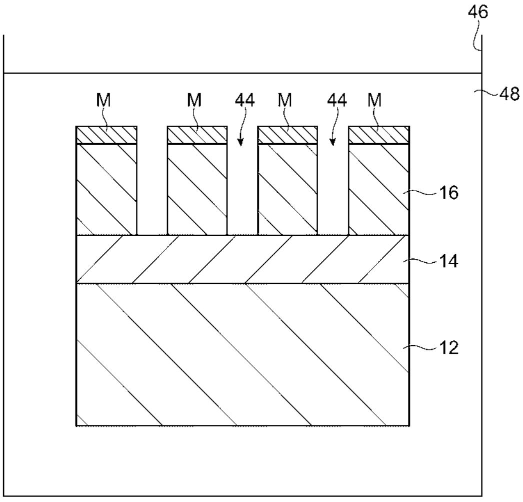
【図４】


M
M
M
M
16a
14
12

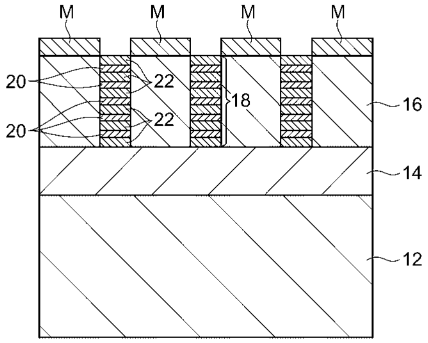
【図５】


P
M
M
44
M
45
44
M
45
Λ
d
Wa
Wg
16
14
12

【図６】


46
48
M
M
44
M
44
M
16
14
12

【図７】



フロントページの続き

(56)参考文献　特開平０３－０４９２８７（ＪＰ，Ａ）
特開平１０－２７０７９３（ＪＰ，Ａ）
特開２００２－０３３３０５（ＪＰ，Ａ）
特開２０００－０９１３０３（ＪＰ，Ａ）
特開平１１－０５４８３５（ＪＰ，Ａ）
特開平０７－２２１３９２（ＪＰ，Ａ）
特開２００１－１５６３９１（ＪＰ，Ａ）
特開平０３－０４９２８４（ＪＰ，Ａ）
特開２００３－１４２７７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｓ５／００－５／５０