

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7299374号
(P7299374)

(45)発行日 令和5年6月27日(2023.6.27)

(24)登録日 令和5年6月19日(2023.6.19)

(51)国際特許分類	F I
G 0 6 F 11/10 (2006.01)	G 0 6 F 11/10 6 1 2
G 1 1 C 11/4093(2006.01)	G 1 1 C 11/4093
G 1 1 C 11/4096(2006.01)	G 1 1 C 11/4096 5 5 0

請求項の数 17 (全19頁)

(21)出願番号	特願2022-68000(P2022-68000)	(73)特許権者	512167426 華邦電子股 ぶん 有限公司 Winbond Electronics Corp. 台湾台中市大雅區中部科學園區科雅一路 8號
(22)出願日	令和4年4月18日(2022.4.18)	(74)代理人	100108833 弁理士 早川 裕司
審査請求日	令和4年4月18日(2022.4.18)	(74)代理人	100162156 弁理士 村雨 圭介
		(72)発明者	藤岡 伸也 神奈川県横浜市港北区新横浜2丁目3- 12 新横浜スクエアビル9階 ウィンボ ンド・エレクトロニクス株式会社内
		審査官	田中 幸雄

最終頁に続く

(54)【発明の名称】 半導体記憶装置及び半導体記憶装置の制御方法

(57)【特許請求の範囲】

【請求項1】

複数のメモリセルを含むメモリセルアレイと、
前記メモリセルアレイから出力されたデータに含まれている誤りビットを検出して訂正する誤り検出訂正部であって、訂正可能な誤りビットが前記データに含まれている場合に、前記訂正可能な誤りビットを検出したことを示すエラー検出信号をアサートする誤り検出訂正部と、

前記誤り検出訂正部において訂正することができない数の誤りビットである訂正不可能ビットが前記データに含まれている場合に、クロック信号に応じて前記データとともに出力されるデータストローブ信号のクロッキングを停止する第1制御部と、を備える、

半導体記憶装置。

【請求項2】

前記誤り検出訂正部は、前記クロック信号に応じて出力されるデータ毎に前記訂正不可能ビットが含まれているか否かを判別し、

前記第1制御部は、前記訂正不可能ビットが含まれている場合に、前記訂正不可能ビットを含むデータが出力されている間のみ前記データストローブ信号のクロッキングを停止する、請求項1に記載の半導体記憶装置。

【請求項3】

前記第1制御部は、前記訂正不可能ビットが前記データに含まれている場合に、前記データを含むデータシーケンスの読み出しトランザクションが完了するまで前記データスト

ローブ信号のクロッキングを停止する、請求項 1 に記載の半導体記憶装置。

【請求項 4】

前記誤り検出訂正部は、前記クロック信号に応じて出力されるデータ毎に前記訂正可能な誤りビットが含まれているか否かを判別し、前記訂正可能な誤りビットを検出した場合に、前記訂正可能な誤りビットを含むデータが出力されている間のみ前記エラー検出信号をアサートする、請求項 1 ~ 3 の何れかに記載の半導体記憶装置。

【請求項 5】

前記誤り検出訂正部は、前記訂正可能な誤りビットが前記データに含まれている場合に、前記データを含むデータシーケンスの読み出しトランザクションが完了するまで前記エラー検出信号をアサートする、請求項 1 ~ 3 の何れかに記載の半導体記憶装置。

10

【請求項 6】

前記メモリセルアレイと、前記誤り検出訂正部と、前記第 1 制御部と、を備える半導体チップが選択されていない場合に、前記半導体チップから出力される前記エラー検出信号、前記データ及び前記データストローブ信号のうち少なくとも 1 つをハイインピーダンス状態に設定する第 2 制御部を備える、請求項 1 に記載の半導体記憶装置。

【請求項 7】

前記誤り検出訂正部は、誤り検出部と、誤り訂正部と、を備え、
前記誤り検出部は、出力されるデータの各々が前記訂正不可能ビットを含むと判別した場合に、アサートされた検出信号を生成し、前記アサートされた検出信号を、前記誤り訂正部及び前記第 1 制御部に出力する、請求項 2 に記載の半導体記憶装置。

20

【請求項 8】

前記検出信号は、チップセレクト信号がアサートされるとアサートされ、前記チップセレクト信号がネゲートされるまでアサートされたままである、請求項 7 に記載の半導体記憶装置。

【請求項 9】

前記第 1 制御部は、データストローブドライバを備え、
前記データストローブドライバは、
高電位側電源と低電位側電源との間に直列に接続された P チャンネル型 MOS F E T (Metal Oxide Semiconductor Field Effect Transistor) 及び N チャンネル型 MOS F E T であって、前記 P チャンネル型 MOS F E T 及び前記 N チャンネル型 MOS F E T の各々のゲートに前記クロック信号が入力される、 P チャンネル型 MOS F E T 及び N チャンネル型 MOS F E T と、

30

前記 P チャンネル型 MOS F E T と前記 N チャンネル型 MOS F E T との間のノードに接続され、前記検出信号を受信するように構成されたスイッチ回路であって、前記検出信号がネゲートされている場合にオン状態になり、前記クロック信号に応じて、前記データストローブ信号に対応するクロックパルスを生成する、スイッチ回路と、を備え、

前記スイッチ回路は、前記検出信号がアサートされるとオフ状態になり、前記クロック信号に応じた、前記データストローブ信号に対応するクロックパルスの生成を停止する、請求項 7 に記載の半導体記憶装置。

【請求項 10】

40

前記データストローブドライバは、
前記スイッチ回路の出力に接続されたラッチ回路であって、前記データストローブ信号に対応する信号を出力するように構成されたラッチ回路と、

インバータであって、前記検出信号を受信し、前記検出信号の論理反転信号を生成し、前記検出信号の論理反転信号を前記スイッチ回路のゲートに供給するように構成された、インバータと、を備え、

前記スイッチ回路は、前記データストローブ信号に対応する信号を保持し、前記信号は、前サイクルにおいて前記ラッチ回路に保持されている、請求項 9 に記載の半導体記憶装置。

【請求項 11】

50

前記第 2 制御部は、オフチップドライバを備え、

前記オフチップドライバは、

高電位側電源と低電位側電源との間に直列に接続された第 1 の P チャンネル型 MOS F E T 並びに第 1 及び第 2 の N チャンネル型 MOS F E T であって、前記第 1 の P チャンネル型 MOS F E T 及び前記第 2 の N チャンネル型 MOS F E T の各々のゲートには、前記エラー検出信号、前記データ及び前記データストロープ信号のうち少なくとも 1 つが入力信号として入力され、前記第 1 の N チャンネル型 MOS F E T のゲートにはアクティブ信号が入力される、第 1 の P チャンネル型 MOS F E T 並びに第 1 及び第 2 の N チャンネル型 MOS F E T と、

ソースが前記高電位側電源に接続されており、ドレインが前記第 1 の P チャンネル型 MOS F E T と前記第 1 の N チャンネル型 MOS F E T との間のノードに接続されており、ゲートに前記アクティブ信号が入力されるように構成された第 2 の P チャンネル型 MOS F E T と、

10

前記高電位側電源と前記低電位側電源との間に直列に接続された第 3 及び第 4 の P チャンネル型 MOS F E T 並びに第 3 の N チャンネル型 MOS F E T であって、前記第 3 の P チャンネル型 MOS F E T のゲートには前記入力信号の論理反転信号が入力され、前記第 4 の P チャンネル型 MOS F E T 及び前記第 3 の N チャンネル型 MOS F E T の各々のゲートには前記アクティブ信号の論理反転信号が入力される、第 3 及び第 4 の P チャンネル型 MOS F E T 並びに第 3 の N チャンネル型 MOS F E T と、

ソースが前記低電位側電源に接続されており、ドレインが前記第 4 の P チャンネル型 MOS F E T と前記第 3 の N チャンネル型 MOS F E T との間のノードに接続されており、ゲートに前記アクティブ信号の論理反転信号が入力されるように構成された第 4 の N チャンネル型 MOS F E T と、

20

前記高電位側電源と前記低電位側電源との間に直列に接続された第 5 の P チャンネル型 MOS F E T 及び第 5 の N チャンネル型 MOS F E T であって、前記第 5 の P チャンネル型 MOS F E T のゲートが、前記第 1 の P チャンネル型 MOS F E T と前記第 1 の N チャンネル型 MOS F E T との間のノードに接続されており、前記第 5 の N チャンネル型 MOS F E T のゲートが、前記第 4 の P チャンネル型 MOS F E T と前記第 3 の N チャンネル型 MOS F E T との間のノードに接続されており、前記第 5 の P チャンネル型 MOS F E T と前記第 5 の N チャンネル型 MOS F E T との間のノードから前記エラー検出信号、前記データ及び前記データストロープ信号のうち少なくとも 1 つが出力信号として出力される、第 5 の P チャンネル型 MOS F E T 及び第 5 の N チャンネル型 MOS F E T と、を備え、

30

前記オフチップドライバは、前記アクティブ信号がネゲートされている場合に、前記出力信号をハイインピーダンス状態に設定する、請求項 6 に記載の半導体記憶装置。

【請求項 1 2】

前記アクティブ信号は、チップセレクト信号がアサートされている場合にアサートされ、前記チップセレクト信号がネゲートされている場合にネゲートされる、請求項 1 1 に記載の半導体記憶装置。

【請求項 1 3】

40

半導体記憶装置内の誤り検出訂正部が、複数のメモリセルを含む前記半導体記憶装置内のメモリセルアレイから出力されたデータに含まれている誤りビットを検出して訂正するステップであって、訂正可能な誤りビットが前記データに含まれている場合に、前記訂正可能な誤りビットを検出したことを示すエラー検出信号をアサートするステップと、

前記半導体記憶装置内の第 1 制御部が、前記誤り検出訂正部において訂正することができない数の誤りビットである訂正不可能ビットが前記データに含まれている場合に、クロック信号に応じて前記データとともに出力されるデータストロープ信号のクロッキングを停止するステップと、を含む、

半導体記憶装置の制御方法。

【請求項 1 4】

50

前記誤り検出訂正部が、前記クロック信号に応じて出力されるデータ毎に前記訂正不可能ビットが含まれているか否かを判別するステップを含み、

前記第1制御部が前記データストローブ信号のクロッキングを停止するステップは、前記第1制御部が、前記訂正不可能ビットが含まれている場合に、前記訂正不可能ビットを含むデータが出力されている間のみ前記データストローブ信号のクロッキングを停止するステップを含む、請求項13に記載の半導体記憶装置の制御方法。

【請求項15】

前記第1制御部が前記データストローブ信号のクロッキングを停止するステップは、前記第1制御部が、前記訂正不可能ビットが前記データに含まれている場合に、前記データを含むデータシーケンスの読み出しトランザクションが完了するまで前記データストローブ信号のクロッキングを停止するステップを含む、請求項13に記載の半導体記憶装置の制御方法。

10

【請求項16】

前記誤り検出訂正部が前記エラー検出信号をアサートするステップは、前記クロック信号に応じて出力されるデータ毎に前記訂正可能な誤りビットが含まれているか否かを判別し、前記訂正可能な誤りビットを検出した場合に、前記訂正可能な誤りビットを含むデータが出力されている間のみ前記エラー検出信号をアサートするステップを含む、請求項13～15の何れかに記載の半導体記憶装置の制御方法。

【請求項17】

前記誤り検出訂正部が前記エラー検出信号をアサートするステップは、前記訂正可能な誤りビットが前記データに含まれている場合に、前記データを含むデータシーケンスの読み出しトランザクションが完了するまで前記エラー検出信号をアサートするステップを含む、請求項13～15の何れかに記載の半導体記憶装置の制御方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及び半導体記憶装置の制御方法に関する。

【背景技術】

【0002】

従来の半導体記憶装置では、外部装置（例えば、メモリコントローラ等）から入力された読み出しコマンドに応じて出力されるデータにエラー（誤りビット）が含まれている場合に、エラーを検出して訂正する機能を備えたものが知られている（例えば、非特許文献1）。非特許文献1に記載された半導体記憶装置は、Figure 13.1に開示されているように、外部に出力されるデータにエラーが含まれている場合に、エラーが発生したことを示すERR信号がアサートされるように構成されている。

30

【先行技術文献】

【非特許文献】

【0003】

【文献】16M x 8 HyperRAM™ with On Chip ECC. [online]. Integrated Silicon Solution Inc., 2020-06-13. [retrieved on 2020-11-05]. Retrieved from the Internet: URL: <http://www.issi.com/WW/pdf/66-67WVH16M8EDALL-BLL.pdf>

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、外部装置では、ERR信号がアサートされた場合に、出力されるデータにエラーが発生したことしか認識することができず、発生したエラーの具体的な内容（例えば、訂正可能な数（例えば、1ビット等）の誤りビットが検出されたのか、又は、訂正不可能な数（例えば、2ビット以上等）の誤りビットが検出されたのか等）を容易に認識することが困難であった。

【0005】

50

本発明は上記課題に鑑みてなされたものであり、出力されるデータに発生したエラーの具体的な内容を容易に認識することの可能な半導体記憶装置及び半導体記憶装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記課題を解決するために、第一に本発明は、複数のメモリセルを含むメモリセルアレイと、前記メモリセルアレイから出力されたデータに含まれている誤りビットを検出して訂正する誤り検出訂正部であって、訂正可能な誤りビットが前記データに含まれている場合に、前記訂正可能な誤りビットを検出したことを示すエラー検出信号をアサートする誤り検出訂正部と、前記誤り検出訂正部において訂正することができない数の誤りビットである訂正不可能ビットが前記データに含まれている場合に、クロック信号に応じて前記データとともに出力されるデータストロブ信号のクロッキングを停止する第1制御部と、を備える、半導体記憶装置を提供する。

10

【0007】

第二に本発明は、半導体記憶装置内の誤り検出訂正部が、複数のメモリセルを含む前記半導体記憶装置内のメモリセルアレイから出力されたデータに含まれている誤りビットを検出して訂正するステップであって、訂正可能な誤りビットが前記データに含まれている場合に、前記訂正可能な誤りビットを検出したことを示すエラー検出信号をアサートするステップと、前記半導体記憶装置内の第1制御部が、前記誤り検出訂正部において訂正することができない数の誤りビットである訂正不可能ビットが前記データに含まれている場合に、クロック信号に応じて前記データとともに出力されるデータストロブ信号のクロッキングを停止するステップと、を含む、半導体記憶装置の制御方法を提供する。

20

【発明の効果】

【0008】

本発明の半導体記憶装置及び半導体記憶装置の制御方法によれば、出力されるデータに発生したエラーの具体的な内容を容易に認識することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の第1実施形態に係る半導体記憶装置の構成例を示すブロック図である。

【図2】本実施形態の半導体記憶装置におけるデータ制御の一例を説明する図である。

【図3】第1制御部の構成例を示す図である。

【図4】第2制御部の構成例を示す図である。

【図5】本実施形態の半導体記憶装置の動作の一例を示すタイムチャートである。

【図6】本実施形態の半導体記憶装置の処理の一例を示すフローチャートである。

【図7】本発明の第2実施形態に係る半導体記憶装置の動作の一例を示すタイムチャートである。

30

【発明を実施するための形態】

【0010】

以下、本発明の実施形態に係る半導体記憶装置について添付図面を参照して詳細に説明する。ただし、この実施形態は例示であり、本発明はこれに限定されるものではない。

40

【0011】

また、本明細書等における「第1」、「第2」、「第3」等の表記は、或る構成要素を他の構成要素と区別するために使用されるものであって、当該構成要素の数、順序又は優先度等を限定するためのものではない。例えば、「第1要素」及び「第2要素」との記載が存在する場合、「第1要素」及び「第2要素」という2つの要素のみが採用されることを意味するものではないし、「第1要素」が「第2要素」に先行しなければならないことを意味するものでもない。

【0012】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体記憶装置の構成例を示すブロック図である

50

。本実施形態に係る半導体記憶装置10は、I/O部11と、コマンドデコーダ12と、アドレスデコーダ13と、データバス制御部14と、メモリコア15と、ECC制御部16と、を備える1つ以上の半導体チップを含む。半導体記憶装置10内の各部11~16は、専用のハードウェアデバイスや論理回路によって構成されてもよい。なお、本実施形態では、説明を簡略化するために、例えば電源回路等の他の周知の構成が示されていない。

【0013】

本実施形態に係る半導体記憶装置は、内部に記憶されたデータの誤り検出及び訂正機能を備えたものであれば如何なるものであってもよく、例えば、DRAM (Dynamic Random Access Memory)、pSRAM (pseudo-Static Random Access Memory)、SRAM (Static Random Access Memory)、フラッシュメモリ等であってもよい。なお、ここでは、半導体記憶装置がpSRAMである場合を一例として説明する。pSRAMは、DRAMをメモリセルアレイとしてデータを記憶し、SRAMと互換性を有するインタフェースを備えている。また、pSRAMは、データ転送方式としてDDR (Double Data Rate) 方式を採用しており、アクセスインタフェースとして、拡張シリアルペリフェラルインタフェース (Expanded Serial Peripheral Interface: xSPI) と、HyperBus™インタフェース又はXccl™インタフェースとを使用することができる。

10

【0014】

I/O部11は、外部装置 (例えば、メモリコントローラ等) との間で信号の送受信を行うように構成されている。具体的に説明すると、I/O部11は、外部装置から入力されたアクティブロー (負論理) のチップセレクト信号CS#やコマンド信号 (図示省略) をコマンドデコーダ12に出力する。また、I/O部11は、外部装置から入力された外部クロック信号CLKを、例えば、外部クロック信号CLKに基づいて内部クロック信号CLKI (図2に示す) を生成するためのクロックジェネレータ (図示省略) に出力する。さらに、I/O部11は、外部装置から入力されたアドレス信号 (図示省略) をアドレスデコーダ13に出力する。さらにまた、I/O部11は、外部装置から入力されたデータ信号DQ (以降、「データDQ」と称する) をデータバス制御部14に出力し、データバス制御部14から出力されたデータDQを外部装置に出力する。また、I/O部11は、外部装置に出力されるデータDQとともにデータストロブ信号RWDsを外部装置に出力する。さらに、I/O部11は、ECC制御部16から出力されたエラー検出信号ERR (後述する) を外部装置に出力する。

20

30

【0015】

また、I/O部11は、第1制御部11a (図2に示す) と、第2制御部11b (図2に示す) と、を備える。各制御部11a, 11bの動作及び構成については後述する。

【0016】

コマンドデコーダ12は、I/O部11を介して外部装置から入力されたチップセレクト信号CS#に基づいて、アクティブハイ (正論理) のアクティブ信号ACT (図4に示す) を生成する。例えば、チップセレクト信号CS#がアサート (ローレベル) されている場合には、アクティブ信号ACTがアサート (ハイレベル) され、チップセレクト信号CS#がネゲート (ハイレベル) されている場合には、アクティブ信号ACTがネゲート (ローレベル) される。また、コマンドデコーダ12は、I/O部11を介して外部装置から入力されたコマンド信号をデコードして、内部コマンドを生成する。ここで、生成される内部コマンドには、例えば、リード信号、ライト信号、プリチャージ信号、リフレッシュ信号等が含まれる。なお、半導体記憶装置10がpSRAMである場合には、コマンドデコーダ12は、外部装置からコマンドが入力されたか否かに関わらずに、リフレッシュ信号を所定のタイミングで生成してもよい。また、コマンドデコーダ12は、リフレッシュ信号を内部コマンドとして生成した場合に、リフレッシュの対象となるメモリセルのアドレスを示す信号をアドレスデコーダ13に出力する。

40

【0017】

コマンドデコーダ12は、内部コマンドを生成した場合に、読み出し又は書き込みアク

50

セスやリフレッシュ等の対象となるワード線を活性化するための信号をメモリコア 15 のロウデコーダ 15 a (後述する)に出力する。また、コマンドデコーダ 12 は、内部コマンドを生成した場合に、読み出し又は書き込みアクセスやリフレッシュ等の対象となるビット線を活性化するための信号をメモリコア 15 のカラムデコーダ 15 b (後述する)に出力する。さらに、コマンドデコーダ 12 は、生成したアクティブ信号 A C T を I / O 部 11 の第 2 制御部 11 b に出力してもよい。さらにまた、コマンドデコーダ 12 は、生成した内部コマンドをアドレスデコーダ 13 及びデータバス制御部 14 に出力して、アドレスデコーダ 13 及びデータバス制御部 14 の各々を内部コマンドに基づいて制御させてもよい。

【 0018 】

アドレスデコーダ 13 は、I / O 部 11 を介して外部装置から入力されたアドレス信号や、コマンドデコーダ 12 から入力されたリフレッシュの対象となるメモリセルのアドレスを示す信号をデコードして、メモリコア 15 のメモリセルアレイ 15 c 内の複数のワード線のうち活性化されるワード線を示すロウアドレス信号を生成する。そして、アドレスデコーダ 13 は、生成したロウアドレス信号をメモリコア 15 のロウデコーダ 15 a に出力する。

【 0019 】

また、アドレスデコーダ 13 は、I / O 部 11 を介して外部装置から入力されたアドレス信号をデコードして、メモリコア 15 のメモリセルアレイ 15 c 内の複数のビット線のうち活性化されるビット線を示すカラムアドレス信号を生成する。そして、アドレスデコーダ 13 は、生成したカラムアドレス信号をメモリコア 15 のカラムデコーダ 15 b に出力する。

【 0020 】

データバス制御部 14 は、I / O 部 11 を介して外部装置から入力されたデータ D Q をメモリコア 15 のセンスアンプ (図示省略) 及び E C C 制御部 16 に出力する。また、データバス制御部 14 は、メモリコア 15 のセンスアンプ又は E C C 制御部 16 から出力されたデータ D Q を I / O 部 11 に出力する。

【 0021 】

本実施形態において、メモリコア 15 は、ロウデコーダ 15 a と、カラムデコーダ 15 b と、メモリセルアレイ 15 c と、E C C セルアレイ 15 d と、センスアンプ (図示省略) と、を備える。

【 0022 】

ロウデコーダ 15 a は、読み出し又は書き込みアクセスやリフレッシュ等の対象となるワード線を活性化するための信号がコマンドデコーダ 12 から入力された場合に、メモリセルアレイ 15 c 内の複数のワード線のうち、アドレスデコーダ 13 から出力されたロウアドレス信号によって示されたワード線を活性化 (駆動) する。

【 0023 】

カラムデコーダ 15 b は、読み出し又は書き込みアクセスやリフレッシュ等の対象となるビット線を活性化するための信号がコマンドデコーダ 12 から入力された場合に、メモリセルアレイ 15 c 内の複数のビット線のうち、アドレスデコーダ 13 から出力されたカラムアドレス信号によって示されたビット線を活性化 (駆動) する。

【 0024 】

メモリセルアレイ 15 c は、行列 (アレイ) 状に配置された複数のメモリセル (図示省略) を含む。各メモリセルには、I / O 部 11 を介して外部から入力されたデータが記憶される。各メモリセルは、周知の 1 T 1 C (1 トランジスタ 1 キャパシタ) 型のメモリセルであってもよいし、周知の 2 T 2 C (2 トランジスタ 2 キャパシタ) 型のメモリセルであってもよい。また、各メモリセルは、複数のワード線のうち何れか 1 つのワード線と、複数のビット線のうち何れか 1 つのビット線と、に接続されている。さらに、複数のワード線の各々は、ロウデコーダ 15 a に接続されており、複数のビット線の各々は、カラムデコーダ 15 b 及びセンスアンプに接続されている。

10

20

30

40

50

【0025】

ECCセルアレイ15dは、メモリセルアレイ15cと同様に、行列状に配置された複数のメモリセル(図示省略)を含む。各メモリセルには、ECC制御部16から出力された検査データ(パリティデータ)が記憶される。各メモリセルは、1T1C型のメモリセルであってもよいし、2T2C型のメモリセルであってもよい。また、各メモリセルは、複数のワード線のうち何れか1つのワード線と、複数のビット線のうち何れか1つのビット線と、に接続されている。さらに、複数のワード線の各々は、ロウデコーダ15aに接続されており、複数のビット線の各々は、カラムデコーダ15b及びセンスアンプに接続されている。

【0026】

ここで、ECCセルアレイ15dの記憶容量は、メモリセルアレイ15cの記憶容量と同じであってもよいし、異なってもよい。また、ECCセルアレイ15dには、メモリセルアレイ15cに記憶される全てのデータの検査データが記憶されてもよいし、メモリセルアレイ15cに記憶される全てのデータのうちの一部のデータの検査データが記憶されてもよい。

【0027】

なお、メモリセルアレイ15c及びECCセルアレイ15dの各々のメモリセルに対するデータ制御の詳細については周知の技術と同様であるため、本実施形態では説明を省略する。

【0028】

ECC制御部16は、データバス制御部14からメモリセルアレイ15cに出力(記憶)されるデータに対して誤り訂正符号(符号化データ)を生成し、生成した誤り訂正符号内の検査データ(パリティデータ)をECCセルアレイ15dに記憶する。また、ECC制御部16は、読み出しコマンド(コマンドデコーダ12から入力されたリードコマンド)に応じてメモリセルアレイ15cから出力された(読み出された)データに含まれている誤りビットを、ECCセルアレイ15dに記憶された検査データを用いて検出及び訂正する。そして、ECC制御部16は、誤り検出及び訂正処理後のデータをデータバス制御部14に出力する。また、ECC制御部16は、訂正可能な誤りビットが、メモリセルアレイ15cから出力されたデータに含まれている場合に、訂正可能な誤りビットを検出したことを示すエラー検出信号ERRをアサート(ハイレベル)して、I/O部11に出力する。なお、ECC制御部16は、本発明における「誤り検出訂正部」の一例である。

【0029】

本実施形態において、ECC制御部16は、メモリセルアレイ15cに記憶されるデータに対して誤り訂正符号(符号化データ)を生成する誤り訂正符号生成部16a(図2に示す)と、誤り訂正符号が生成されているデータがメモリセルアレイ15cから読み出される場合に、当該データに含まれている誤りビットを検出する誤り検出部16b(図2に示す)と、訂正可能な誤りビットが誤り検出部16bによって検出された場合に、当該誤りビットを訂正する誤り訂正部16c(図2に示す)と、を備える。

【0030】

ここで、誤り訂正符号の生成処理と、誤りビットの検出及び訂正処理とは、例えばハミング符号やBCH(Bose-Chaudhuri-Hocquenghem)符号等を用いた周知の方法で行われてもよい。また、符号化データの元となるデータDQの長さ及び検査データの長さは任意に選択されてもよいが、本実施形態では、符号化データの元となるデータDQの長さが8ビットであり、検査データの長さが4ビットである場合を一例として説明する。この場合、8ビットのデータDQ内に1つの誤りビットが含まれている場合には当該誤りビットを検出及び訂正可能であるが、2つ以上の誤りビットが含まれている場合には当該誤りビットを訂正することができない。

【0031】

図2を参照して、本実施形態の半導体記憶装置10におけるデータ制御の一例について説明する。まず、メモリセルアレイ15cにデータが記憶される場合について説明する。

10

20

30

40

50

図 2 に示すように、8 ビットのデータ DQ [7 : 0] がデータバス制御部 1 4 から E C C 制御部 1 6 に入力されると、E C C 制御部 1 6 の誤り訂正符号生成部 1 6 a は、データ DQ [7 : 0] に対して誤り訂正符号 (符号化データ) を生成し、生成した誤り訂正符号内の 4 ビットの検査データ (パリティデータ) を E C C セルアレイ 1 5 d に記憶する。ここで、誤り訂正符号生成部 1 6 a は、生成した誤り訂正符号内のデータ DQ [7 : 0] をメモリセルアレイ 1 5 c に記憶してもよいし、データ DQ [7 : 0] をメモリセルアレイ 1 5 c に記憶するようにデータバス制御部 1 4 を制御してもよい。

【 0 0 3 2 】

次に、メモリセルアレイ 1 5 c からデータ DQ [7 : 0] が出力される (読み出される) 場合について説明する。8 ビットのデータ DQ [7 : 0] がメモリセルアレイ 1 5 c から出力されると、E C C 制御部 1 6 の誤り検出部 1 6 b は、出力されたデータ DQ [7 : 0] に対応する検査データを E C C セルアレイ 1 5 d から取得し、取得した検査データを用いて、出力されたデータ DQ [7 : 0] に含まれている誤りビットを検出する。ここで、メモリセルアレイ 1 5 c から出力されたデータ DQ [7 : 0] は、データバス制御部 1 4 によって誤り検出部 1 6 b に入力されてもよい。また、誤り検出部 1 6 b は、誤りビットの検出が行われたデータ DQ [7 : 0] と、当該データ DQ [7 : 0] に対応する検査データと、を誤り訂正部 1 6 c に出力する。

10

【 0 0 3 3 】

ここで、E C C 制御部 1 6 の誤り検出部 1 6 b は、訂正可能な数 (ここでは、1 つ) の誤りビットがデータ DQ [7 : 0] に含まれている場合に、訂正可能な誤りビットを検出したことを示すエラー検出信号 E R R をアサート (ハイレベル) して、誤り訂正部 1 6 c 及び I / O 部 1 1 の第 2 制御部 1 1 b に出力する。

20

【 0 0 3 4 】

なお、本実施形態では、E C C 制御部 1 6 (誤り検出訂正部) の誤り検出部 1 6 b は、訂正可能な誤りビットがデータ DQ [7 : 0] に含まれている場合に、データ DQ [7 : 0] を含むデータシーケンスの読み出しトランザクションが完了するまで (例えば、チップセレクト信号 C S # がアサート (ローレベル) からネゲート (ハイレベル) に変化するまで) エラー検出信号 E R R をアサート (ハイレベル) する。これにより、訂正可能な誤りビットを含むデータ DQ [7 : 0] がデータシーケンスに含まれていることを容易に認識することができる。

30

【 0 0 3 5 】

また、誤り検出部 1 6 b は、訂正することができない数 (ここでは、2 つ以上) の誤りビットである訂正不可能ビットがデータ DQ [7 : 0] に含まれている場合に、訂正不可能ビットを検出したことを示す検出信号 E D をアサート (ハイレベル) して、誤り訂正部 1 6 c 及び I / O 部 1 1 の第 1 制御部 1 1 a に出力する。ここで、検出信号 E D は、本発明の「検出信号」の一例である。

【 0 0 3 6 】

なお、本実施形態では、E C C 制御部 1 6 (誤り検出訂正部) の誤り検出部 1 6 b は、訂正不可能ビットがデータ DQ [7 : 0] に含まれている場合に、データ DQ [7 : 0] を含むデータシーケンスの読み出しトランザクションが完了するまで (例えば、チップセレクト信号 C S # がアサート (ローレベル) からネゲート (ハイレベル) に変化するまで) 検出信号 E D をアサート (ハイレベル) してもよい。

40

【 0 0 3 7 】

E C C 制御部 1 6 の誤り訂正部 1 6 c は、エラー検出信号 E R R がアサートされている場合に、誤り検出部 1 6 b から入力されたデータ DQ [7 : 0] を、誤り検出部 1 6 b から入力された検査データを用いて訂正する。そして、誤り訂正部 1 6 c は、訂正後のデータ DQ [7 : 0] を I / O 部 1 1 の第 2 制御部 1 1 b に出力する。また、誤り訂正部 1 6 c は、検出信号 E D がアサートされている場合に、誤り検出部 1 6 b から入力されたデータ DQ [7 : 0] を、訂正処理を行うことなく第 2 制御部 1 1 b に出力してもよい。

【 0 0 3 8 】

50

I/O部11の第1制御部11aは、検出信号EDがネゲート（ローレベル）されている場合（すなわち、ECC制御部16の誤り検出部16bにおいて訂正することができない訂正不可能ビットがデータDQ[7:0]に含まれていない場合）、データストローブ信号RWDSに対応する信号PRWDSを、クロック信号（図2の例では、内部クロック信号CLKI）に応じてクロッキング（トグル）してI/O部11の第2制御部11bに出力する。また、第1制御部11aは、検出信号EDがアサート（ハイレベル）されている場合（すなわち、ECC制御部16の誤り検出部16bにおいて訂正することができない訂正不可能ビットがデータDQ[7:0]に含まれている場合）、信号PRWDSのクロッキングを停止してI/O部11の第2制御部11bに出力する。ここで、信号PRWDSは、本発明の「クロックパルス」の一例である。

10

【0039】

なお、本実施形態では、I/O部11の第1制御部11aは、訂正不可能ビットがデータDQ[7:0]に含まれている場合に、データDQ[7:0]を含むデータシーケンスの読み出しトランザクションが完了するまで（例えば、チップセレクト信号CS#がアサート（ローレベル）からネゲート（ハイレベル）に変化するまで）データストローブ信号RWDSのクロッキングを停止する。これにより、訂正不可能ビットを含むデータDQ[7:0]がデータシーケンスに含まれていることを容易に認識することができる。

【0040】

I/O部11の第2制御部11bは、メモリセルアレイ15cと、ECC制御部16（誤り検出訂正部）と、第1制御部11aと、を備える半導体チップが選択されている場合（すなわち、チップセレクト信号CS#がアサート（ローレベル）されている場合）、入力されたデータDQ[7:0]をデータ端子（図示省略）に出力し、入力されたエラー検出信号ERRをERR出力用端子（図示省略）に出力し、入力された信号PRWDSをデータストローブ信号RWDSとしてデータストローブ端子（図示省略）に出力する。このようにして、データDQ[7:0]、エラー検出信号ERR及びデータストローブ信号RWDSが各端子を介して外部装置に出力される。

20

【0041】

また、I/O部11の第2制御部11bは、メモリセルアレイ15cと、ECC制御部16（誤り検出訂正部）と、第1制御部11aと、を備える半導体チップが選択されていない場合（すなわち、チップセレクト信号CS#がネゲート（ハイレベル）されている場合）、半導体チップから出力されるエラー検出信号ERR、データDQ[7:0]及びデータストローブ信号RWDSのうち少なくとも1つをハイインピーダンス状態に設定する。

30

【0042】

図3を参照して、I/O部11の第1制御部11aの構成について説明する。第1制御部11aは、クロック信号（ここでは、内部クロック信号CLKI）に基づいて、データストローブ信号RWDSに対応する信号PRWDSを生成するデータストローブ（RWDS）ドライバ100を備える。RWDSドライバ100は、Pチャンネル型のMOSFET101、102と、Nチャンネル型のMOSFET103、104と、インバータ105と、ラッチ回路106と、を備える。

【0043】

MOSFET101、103は、高電位側電源VDDと低電位側電源VSSとの間に直列に接続されている。MOSFET101、103間の接続ノードには、MOSFET102とMOSFET104とによって構成されたスイッチ回路が接続されている。また、MOSFET102、104によって構成されたスイッチ回路の出力がラッチ回路106に接続されており、ラッチ回路106からの出力信号が、信号PRWDSとしてRWDSドライバ100から出力される。

40

【0044】

MOSFET102のゲートには、ECC制御部16の誤り検出部16bから出力された検出信号EDが入力され、MOSFET104のゲートには、インバータ105で生成される検出信号EDの論理反転信号が入力される。また、MOSFET101、103の

50

各々のゲートには、クロック信号（内部クロック信号CLKI）が入力される。

【0045】

このように構成されたRWDSドライバ100は、検出信号EDがネゲート（ローレベル）されている場合に、MOSFET102, 104によって構成されたスイッチ回路がオン状態になるので、クロック信号（内部クロック信号CLKI）に応じた信号PRWDSのクロッキングが行われる。一方、RWDSドライバ100は、検出信号EDがアサート（ハイレベル）されている場合に、MOSFET102, 104によって構成されたスイッチ回路がオフ状態になるので、クロック信号（内部クロック信号CLKI）に応じた信号PRWDSのクロッキングが停止され、ラッチ回路106に保持された前サイクルの信号PRWDSが保持される。

10

【0046】

次に、図4を参照して、I/O部11の第2制御部11bの構成について説明する。第2制御部11bは、図4に示すオフチップドライバ200を備える。オフチップドライバ200は、第1のPチャンネル型のMOSFET201と、第1及び第2のNチャンネル型のMOSFET202, 203と、第2のPチャンネル型のMOSFET204と、インバータ205, 206と、第3及び第4のPチャンネル型のMOSFET207, 208と、第3及び第4のNチャンネル型のMOSFET209, 210と、第5のPチャンネル型のMOSFET211と、第5のNチャンネル型のMOSFET212と、を備える。

【0047】

第1のPチャンネル型MOSFET201と第1及び第2のNチャンネル型MOSFET202, 203とは、高電位側電源VDDと低電位側電源VSSとの間に直列に接続されている。第1のPチャンネル型MOSFET201と第1のNチャンネル型MOSFET202との間の接続ノードには、第2のPチャンネル型MOSFET204のドレインと、第5のPチャンネル型MOSFET211のゲートと、が接続されている。また、第2のPチャンネル型MOSFET204のソースは、高電位側電源VDDに接続されている。

20

【0048】

第1のPチャンネル型MOSFET201及び第2のNチャンネル型MOSFET203の各々のゲートには、入力信号Input（ここでは、データ[7:0]、データストロープ信号RWDS及びエラー検出信号ERRのうち何れか）が入力される。また、第1のNチャンネル型MOSFET202及び第2のPチャンネル型MOSFET204の各々のゲートには、アクティブ信号ACTが入力される。

30

【0049】

第3及び第4のPチャンネル型MOSFET207, 208と第3のNチャンネル型MOSFET209とは、高電位側電源VDDと低電位側電源VSSとの間に直列に接続されている。第4のPチャンネル型MOSFET208と第3のNチャンネル型MOSFET209との間の接続ノードには、第4のNチャンネル型MOSFET210のドレインと、第5のNチャンネル型MOSFET212のゲートと、が接続されている。また、第4のNチャンネル型MOSFET210のソースは、低電位側電源VSSに接続されている。

40

【0050】

第3のPチャンネル型MOSFET207及び第4のNチャンネル型MOSFET210の各々のゲートには、インバータ205によって論理反転された、入力信号Inputの論理反転信号が入力される。また、第4のPチャンネル型MOSFET208及び第3のNチャンネル型MOSFET209の各々のゲートには、インバータ206によって論理反転された、アクティブ信号ACTの論理反転信号が入力される。

【0051】

第5のPチャンネル型MOSFET211及び第5のNチャンネル型MOSFET212は、高電位側電源VDDと低電位側電源VSSとの間に直列に接続されている。また、

50

第5のPチャンネル型MOSFET211と第5のNチャンネル型MOSFET212との間の接続ノードの信号が、出力信号（ここでは、データ[7:0]、データストローブ信号RWD S及びエラー検出信号ERRのうち何れか）としてオフチップドライバ200から出力される。

【0052】

このように構成されたオフチップドライバ200は、高電位側電源VDDと低電位側電源VSSとの何れかを、入力信号Inputの論理に基づいて出力する。例えば、アクティブ信号ACTがハイレベルであって入力信号Inputがハイレベルの場合には、第5のPチャンネル型MOSFET211がオン状態になり、第5のNチャンネル型MOSFET212がオフ状態になる。これにより、オフチップドライバ200は、ハイレベル（高電位側電源VDD）を出力する。また、アクティブ信号ACTがハイレベルであって入力信号Inputがローレベルの場合には、第5のPチャンネル型MOSFET211がオフ状態になり、第5のNチャンネル型MOSFET212がオン状態になる。これにより、オフチップドライバ200は、ローレベル（低電位側電源VSS）を出力する。

10

【0053】

一方、アクティブ信号ACTがローレベル（ネゲート）の場合には、第5のPチャンネル型MOSFET211及び第5のNチャンネル型MOSFET212の各々がオフ状態になる。すなわち、この場合には、高電位側電源VDD及び低電位側電源VSSの各々がオフチップドライバ200の出力から切断された状態（ハイインピーダンス状態）になる。これにより、オフチップドライバ200から出力される信号（ここでは、データ[7:0]、データストローブ信号RWD S及びエラー検出信号ERRのうち何れか）がハイインピーダンス状態に設定される。

20

【0054】

図5は、本実施形態の半導体記憶装置10の読み出し動作の一例を示すタイムチャートである。図5に示すように、半導体チップが選択されていない場合（チップセレクト信号CS#がネゲート（ハイレベル）されている場合）には、データストローブ信号RWD S、データDQ[7:0]及びエラー検出信号ERRのうち何れか（図の例では、データストローブ信号RWD S及びデータDQ[7:0]）がハイインピーダンス状態（Hi-Z）になっている。また、図の例では、外部クロック信号CLKの第1クロックの立ち下がりエッジにおいてチップセレクト信号CS#がアサートされ、外部クロック信号CLKの第1クロックの立ち下がりエッジから外部クロック信号CLKの第4クロックの立ち下がりエッジまでの間にコマンド（ここでは、読み出しコマンド）及びアドレスが入力される。

30

【0055】

そして、図に示す例では、外部クロック信号CLKの第6クロック以降の各クロックの立ち上がりエッジに応じてデータストローブ信号RWD Sがクロッキングされ、各クロックの立ち上がりエッジ及び立ち上がりエッジにおいてデータDQ[7:0]が出力される。ここで、外部クロック信号CLKの第7クロックの立ち上がりエッジにおいて出力されるデータDQ[7:0]に訂正可能な誤りビットが含まれている場合には、エラー検出信号ERRがアサート（ハイレベル）される。なお、エラー検出信号ERRは、読み出しトランザクションが完了するまでアサートされる。また、外部クロック信号CLKの第8クロックの立ち上がりエッジにおいて出力されるデータDQ[7:0]に訂正不可能ビットが含まれている場合には、データストローブ信号RWD Sのクロッキングが停止される。なお、データストローブ信号RWD Sのクロッキングは、読み出しトランザクションが完了するまで停止される。

40

【0056】

次に、図6を参照して、本実施形態に係る半導体記憶装置10の制御方法の一例について説明する。なお、ここでは、読み出しトランザクションにおける半導体記憶装置10の動作について説明する。

【0057】

半導体記憶装置10は、メモリセルアレイ15cから出力されたデータにエラーが存在

50

しているかチェックする（ステップS300）。具体的に説明すると、ECC制御部16の誤り検出部16bは、ECCセルアレイ15dに記憶された検査データを用いて、メモリセルアレイ15cから出力されたデータに誤りビットが含まれているか否かを判別する。
【0058】

ステップS300においてエラーが存在しなかった場合、半導体記憶装置10は、エラー検出信号ERRをローレベルに維持し、データストロブ信号RWD Sのクロッキングを継続する（ステップS301）。具体的に説明すると、ECC制御部16の誤り検出部16bは、エラー検出信号ERRをネグート（ローレベル）して、ECC制御部16の誤り訂正部16c及びI/O部11の第2制御部11bに出力する。

【0059】

ステップS300において訂正可能な数（ここでは、1つ）の誤りビットがデータに含まれている場合、半導体記憶装置10は、エラー検出信号ERRをハイレベルにする（ステップS302）。具体的に説明すると、ECC制御部16の誤り検出部16bは、エラー検出信号ERRをアサート（ハイレベル）して、ECC制御部16の誤り訂正部16c及びI/O部11の第2制御部11bに出力する。なお、誤りビットは、ECC制御部16の誤り訂正部16cにおいて訂正される。

【0060】

ステップS300において訂正不可能な数（ここでは、2つ以上）の誤りビットがデータに含まれている場合、半導体記憶装置10は、データストロブ信号RWD Sのクロッキングを停止する（ステップS303）。具体的に説明すると、I/O部11の第1制御部11aは、クロック信号（ここでは、内部クロック信号CLK I）に応じて生成されるデータストロブ信号RWD Sのクロッキングを停止する。

【0061】

上述したように、本実施形態の半導体記憶装置10及び半導体記憶装置10の制御方法によれば、メモリセルアレイ15cから出力されたデータDQ[7:0]に訂正可能な誤りビットが含まれている場合には、エラー検出信号ERRがアサートされ、データDQ[7:0]に訂正不可能ビットが含まれている場合には、データストロブ信号RWD Sのクロッキングが停止される。これにより、エラー検出信号ERRがアサートされることによって、訂正可能な誤りビットが出力データDQ[7:0]に含まれていることを認識することが可能になるとともに、データストロブ信号RWD Sのクロッキングが停止されることによって、訂正不可能ビットが出力データDQ[7:0]に含まれていることを認識することが可能になる。したがって、エラー検出信号ERR及びデータストロブ信号RWD Sに基づいて、出力されるデータDQ[7:0]に発生したエラーの具体的な内容を容易に認識することができる。

【0062】

また、本実施形態では、第2制御部11bは、メモリセルアレイ15cと、ECC制御部16（誤り検出訂正部）と、第1制御部11aと、を備える半導体チップが選択されていない場合に、半導体チップから出力されるエラー検出信号ERR、データDQ[7:0]及びデータストロブ信号RWD Sのうち少なくとも1つをハイインピーダンス状態（Hi-Z）に設定するように構成されている。これにより、例えば、共通の信号バスに接続する複数の半導体チップが半導体記憶装置10に設けられている場合であっても、複数の半導体チップの各々から出力された信号（エラー検出信号ERR、データDQ[7:0]及びデータストロブ信号RWD Sのうち少なくとも1つ）が共通の信号バス上で衝突するのを抑制することができる。

【0063】

（第2実施形態）

以下、本発明の第2実施形態について説明する。本実施形態の半導体記憶装置10は、メモリセルアレイ15cから出力されるデータDQ[7:0]に訂正可能な誤りビットが含まれている場合に、当該データDQ[7:0]が出力されている間のみエラー検出信号ERRがアサートされる点、及び、メモリセルアレイ15cから出力されるデータDQ[

10

20

30

40

50

7 : 0] に訂正不可能ビットが含まれている場合に、当該データ D Q [7 : 0] が出力されている間のみデータストローブ信号 R W D S のクロッキングが停止される点において、第 1 実施形態と異なっている。以下、第 1 実施形態と異なる構成について説明する。

【 0 0 6 4 】

本実施形態において、E C C 制御部 1 6 の誤り検出部 1 6 b は、クロック信号（ここでは、外部クロック信号 C L K ）に応じて出力されるデータ D Q [7 : 0] 毎に、訂正可能な誤りビットが含まれているか否かを判別するとともに、訂正不可能ビットが含まれているか否かを判別する。

【 0 0 6 5 】

また、誤り検出部 1 6 b は、訂正不可能ビットが含まれている場合に、訂正不可能ビットを含むデータが出力されている間のみデータストローブ信号 R W D S のクロッキングを停止する。例えば、誤り検出部 1 6 b は、訂正不可能ビットがデータ D Q [7 : 0] に含まれている場合に、読み出しトランザクションにおけるデータシーケンスの次のデータ D Q [7 : 0] が誤り検出部 1 6 b に入力されるまでの間、検出信号 E D をアサートしてもよい。

10

【 0 0 6 6 】

さらに、誤り検出部 1 6 b は、訂正可能な誤りビットがデータ D Q [7 : 0] に含まれている場合に、訂正可能な誤りビットを含むデータ D Q [7 : 0] が出力されている間のみエラー検出信号 E R R をアサートする。例えば、誤り検出部 1 6 b は、訂正可能な誤りビットがデータ D Q [7 : 0] に含まれている場合に、読み出しトランザクションにおけるデータシーケンスの次のデータ D Q [7 : 0] が誤り検出部 1 6 b に入力されるまでの間、エラー検出信号 E R R をアサートしてもよい。

20

【 0 0 6 7 】

本実施形態において、I / O 部 1 1 の第 1 制御部 1 1 a は、訂正不可能ビットが含まれている場合に、訂正不可能ビットを含むデータ D Q [7 : 0] が出力されている間のみデータストローブ信号 R W D S のクロッキングを停止する。ここで、第 1 制御部 1 1 a は、図 3 に示す R W D S ドライバ 1 0 0 を備える場合に、誤り検出部 1 6 b から検出信号 E D が入力されることによって、読み出しトランザクションにおけるデータシーケンスの次のデータ D Q [7 : 0] が出力されるまでの間、データストローブ信号のクロッキングを停止することが可能になる。

30

【 0 0 6 8 】

図 7 は、本実施形態の半導体記憶装置 1 0 の読み出し動作の一例を示すタイムチャートである。本実施形態では、外部クロック信号 C L K の第 7 クロックの立ち上がりエッジにおいて出力されるデータ D Q [7 : 0] に訂正可能な誤りビットが含まれている場合には、エラー検出信号 E R R がアサート（ハイレベル）される。なお、エラー検出信号 E R R は、次のデータ D Q [7 : 0]（図の例では、外部クロック信号 C L K の第 7 クロックの立ち下がりエッジにおいて出力されるデータ D Q）が出力されるまでアサートされる。また、外部クロック信号 C L K の第 8 クロックの立ち上がりエッジにおいて出力されるデータ D Q [7 : 0] に訂正不可能ビットが含まれている場合には、データストローブ信号 R W D S のクロッキングが停止される。なお、データストローブ信号 R W D S のクロッキングは、次のデータ D Q [7 : 0]（図の例では、外部クロック信号 C L K の第 8 クロックの立ち下がりエッジにおいて出力されるデータ D Q）が出力されるまで停止される。

40

【 0 0 6 9 】

上述したように、本実施形態によれば、訂正不可能ビットが含まれているか否かを、外部クロック信号 C L K に応じて出力されるデータ D Q [7 : 0] 毎（例えば、オクタルインタフェースの場合には 1 バイト毎）に判別することが可能になる。また、例えば、訂正不可能ビットを含むデータが、読み出しコマンドに応じて出力されるデータシーケンスに含まれている場合には、訂正不可能ビットを含むデータ D Q [7 : 0] が出力されている間のみデータストローブ信号 R W D S のクロッキングを停止し、訂正不可能ビットを含むデータ以外の他のデータについてはデータストローブ信号 R W D S のクロッキングを行う

50

ことが可能になるので、訂正不可能ビットを含むデータDQ[7:0]がデータシーケンスに含まれている場合に当該データDQ[7:0]の後続のデータDQ[7:0]が無効になるのを抑制することができる。

【0070】

また、本実施形態によれば、訂正可能な誤りビットが含まれているか否かを、外部クロック信号CLKに応じて出力されるデータDQ[7:0]毎(例えば、オクタルインタフェースの場合には1バイト毎)に判別することが可能になる。また、例えば、訂正可能な誤りビットを含むデータDQ[7:0]が、読み出しコマンドに応じて出力されるデータシーケンスに含まれている場合には、訂正可能な誤りビットを含むデータDQ[7:0]が出力されている間のみエラー検出信号ERRをアサートし、訂正可能な誤りビットを含むデータ以外の他のデータDQ[7:0]が出力されている間、エラー検出信号ERRをネグートすることが可能になるので、訂正可能な誤りビットがデータシーケンス内の何れのデータDQ[7:0]に含まれているのかを容易に判別することができる。

10

【0071】

以上説明した各実施形態は、本発明の理解を容易にするために記載されたものであって、本発明を限定するために記載されたものではない。したがって、上記各実施形態に開示された各要素は、本発明の技術的範囲に属する全ての設計変更や均等物をも含む趣旨である。

【0072】

例えば、上述した第1実施形態では、訂正可能な誤りビットがデータDQ[7:0]に含まれる場合に、読み出しトランザクションが完了するまでエラー検出信号ERRがアサートされ、訂正不可能ビットがデータDQ[7:0]に含まれる場合に、読み出しトランザクションが完了するまでデータストローブ信号RWD Sのクロッキングが停止される場合を一例として説明したが、本発明はこの場合に限られない。例えば、上述した第1実施形態において、第2実施形態と同様に、訂正可能な誤りビットを含むデータDQ[7:0]が出力されている間のみエラー検出信号ERRがアサートされてもよいし、又は、訂正不可能誤りビットを含むデータDQ[7:0]が出力されている間のみデータストローブ信号RWD Sのクロッキングが停止されてもよい。

20

【0073】

また、上述した各実施形態における半導体記憶装置10内の各部11~16, 100, 200の構成は一例であり、適宜変更されてもよいし、他の様々な構成が採用されてもよい。

30

【符号の説明】

【0074】

- 10 ... 半導体記憶装置
- 11 ... I/O部
- 11 a ... 第1制御部
- 11 b ... 第2制御部
- 15 ... メモリセルアレイ
- 16 ... ECC制御部
- 16 b ... 誤り検出部
- 16 c ... 誤り訂正部

40

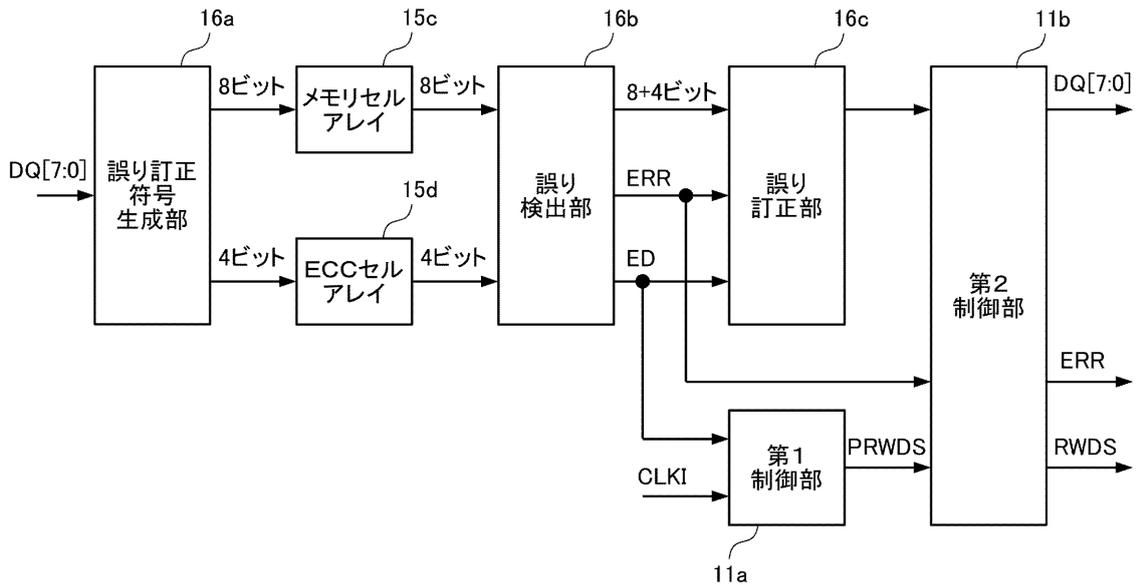
【要約】

【課題】出力されるデータに発生したエラーの具体的な内容を容易に認識することの可能な半導体記憶装置及び半導体記憶装置の制御方法を提供する。

【解決手段】半導体記憶装置10は、複数のメモリセルを含むメモリセルアレイ15cと、メモリセルアレイ15cから出力されたデータに含まれている誤りビットを検出して訂正する誤り検出訂正部16b、16cであって、訂正可能な誤りビットがデータに含まれている場合に、訂正可能な誤りビットを検出したことを示すエラー検出信号ERRをアサートする誤り検出訂正部16b、16cと、誤り検出訂正部16b、16cにおいて訂正することができない数の誤りビットである訂正不可能ビットがデータに含まれている場合に、クロック信号に応じてデータとともに出力されるデータストローブ信号RWDSのクロッキングを停止する第1制御部11aと、を備える。

10

【選択図】図2



20

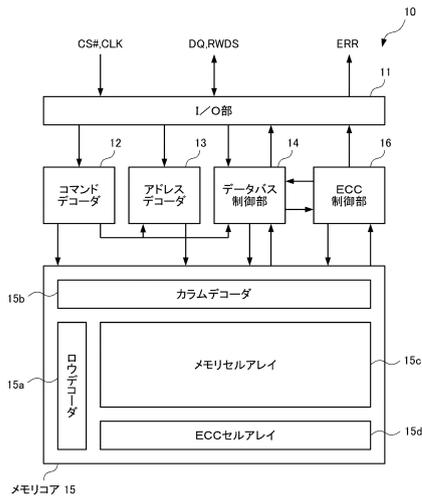
30

40

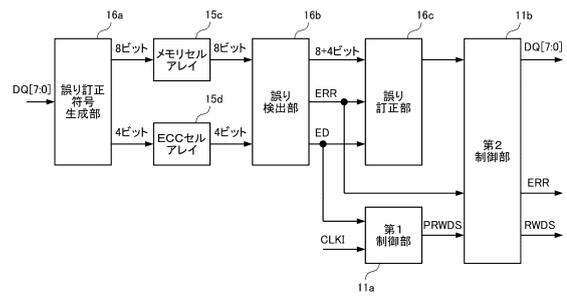
50

【図面】

【図 1】

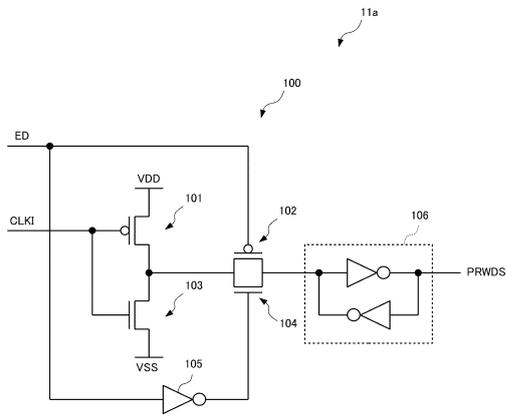


【図 2】

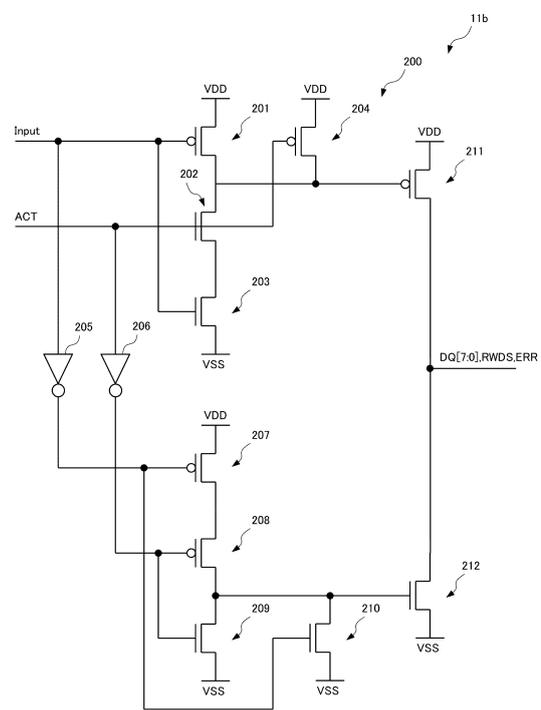


10

【図 3】



【図 4】



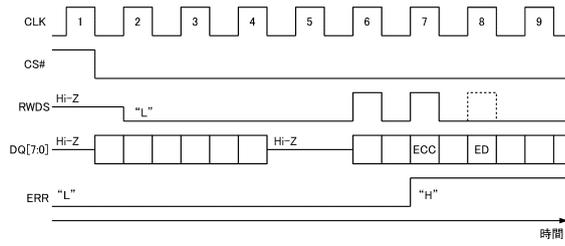
20

30

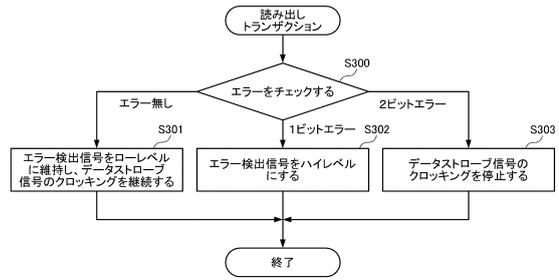
40

50

【図 5】

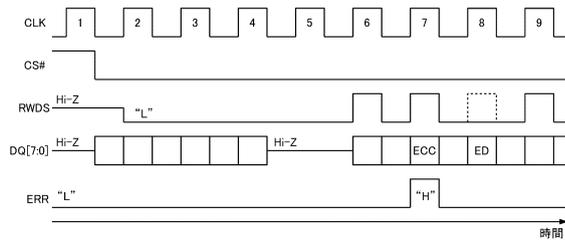


【図 6】



10

【図 7】



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 6 - 4 5 9 5 7 (J P , A)
米国特許出願公開第 2 0 2 2 / 1 8 0 9 6 1 (U S , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
- G 0 6 F 1 1 / 1 0
G 1 1 C 1 1 / 4 0 9 3
G 1 1 C 1 1 / 4 0 9 6