



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월27일
 (11) 등록번호 10-1333914
 (24) 등록일자 2013년11월21일

(51) 국제특허분류(Int. Cl.)
 H01L 21/28 (2006.01) H01L 21/3205 (2006.01)
 (21) 출원번호 10-2012-0009181
 (22) 출원일자 2012년01월30일
 심사청구일자 2012년01월30일
 (65) 공개번호 10-2012-0096413
 (43) 공개일자 2012년08월30일
 (30) 우선권주장
 13/031,897 2011년02월22일 미국(US)
 (56) 선행기술조사문헌
 US05973372 A*
 US05523597 A*
 KR1020070066114 A*
 JP2011014667 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (72) 발명자
 리 영후에이
 대만 타이베이현 단수이 칭칭 로드 294-4에프
 차이 저우지에
 대만 타이난 사이언스 파크 난케 엔 로드 넘버1
 (뒷면에 계속)
 (74) 대리인
 신정건, 김태홍

전체 청구항 수 : 총 8 항

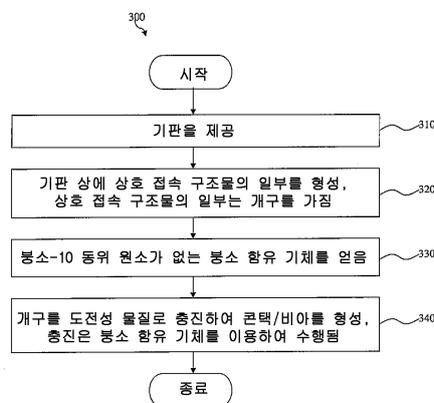
심사관 : 정구원

(54) 발명의 명칭 **진보된 실리콘 프로세스로 감소된 소프트 에러 레이트 (SER) 를 갖는 반도체 디바이스를 제조하는 방법 및 그러한 반도체 디바이스**

(57) 요약

반도체 장치를 제조하는 방법이 제공된다. 방법은 기판을 제공하는 단계를 포함한다. 방법은 기판 상에 상호 접속 구조물의 일부를 형성하는 단계를 포함한다. 상호 접속 구조물의 일부는 개구를 포함한다. 방법은 붕소-10 동위 원소가 없는 붕소 함유 기체를 얻는 단계를 포함한다. 방법은 개구를 도전성 물질로 충전하여 콘택을 형성하는 단계를 포함한다. 개구의 충전은 붕소 함유 기체를 이용하여 수행된다. 또한, 반도체 장치가 제공된다. 반도체 장치는 기판을 포함한다. 반도체 장치는 기판 상에 형성된 상호 접속 구조물을 포함한다. 반도체 장치는 상호 접속 구조물 내에 형성된 도전성 콘택을 포함한다. 도전성 콘택은 텅스텐 및 붕소를 포함하는 물질 구성을 가지며, 붕소는 ¹¹B 강화 붕소이다.

대표도 - 도6



(72) 발명자

우 치아광

대만 타이난시 700 웨스트 센트럴 디스트릭트 시먼
로드 섹터 2 넘버 437

리 장준

대만 신주시 300 가오취 로드 레인 137 넘버 11

추 웨이칭

대만 타이난시 701 이스트 디스트릭트 유샤오 로드
레인 157 넘버 3

귀 동

대만 신주시 룬 602 진산 노스 1 스트리트 7

특허청구의 범위

청구항 1

반도체 디바이스를 제조하기 위한 방법에 있어서,

기판을 제공하는 단계;

상기 기판 상에 콘택 홀을 형성하는 단계; 및

^{11}B 강화 붕소 물질(^{11}B -enriched Boron material)을 이용하여 상기 콘택 홀 내에 도전성 콘택을 형성하는 단계를 포함하고,

상기 도전성 콘택을 형성하는 단계는 원자층 증착(atomic layer deposition; ALD) 프로세스를 통해 상기 콘택 홀에 텅스텐 함유 시드층을 형성하는 단계를 포함하고,

상기 ^{11}B 강화 붕소 물질은 상기 ALD 프로세스에서 선구 물질(precursor)로서 사용되는 것인 반도체 디바이스 제조 방법.

청구항 2

제1항에 있어서, 상기 ^{11}B 강화 붕소 물질은 80% 보다 높은 ^{11}B 함유량을 갖는 것인 반도체 디바이스 제조 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 도전성 콘택을 형성하는 단계는 상기 ALD 프로세스 후에 화학 기상 증착(chemical vapor deposition; CVD) 프로세스를 수행하는 단계를 더 포함하고, 상기 CVD 프로세스는 상기 텅스텐 함유 시드층 상에 텅스텐 물질을 형성하는 반도체 디바이스 제조 방법.

청구항 6

제1항에 있어서, 상기 방법은 90 나노미터 미만의 기술 노드에 속하는 제조 프로세스의 일부로서 수행되는 것인 반도체 디바이스 제조 방법.

청구항 7

제1항에 있어서, 상기 콘택 홀을 형성하기 전에, 상기 기판에 트랜지스터를 형성하는 단계를 더 포함하고, 상기 트랜지스터는 채널 영역을 갖고,

상기 도전성 콘택을 형성하는 단계는 상기 도전성 콘택이 상기 채널 영역으로부터 0.5 미크론 미만으로 이격되는 방식으로 수행되는 것인 반도체 디바이스 제조 방법.

청구항 8

반도체 디바이스를 제조하기 위한 방법에 있어서,

기판을 제공하는 단계;

상기 기판 상에 층간 유전체를 형성하고, 상기 층간 유전체에 개구를 형성하는 단계;

^{10}B 동위 원소가 없는 붕소 함유 기체를 얻는 단계; 및

콘택을 형성하기 위해 상기 개구를 도전성 물질로 충전하는 단계 - 상기 충전은 상기 붕소 함유 기체를 사용하여 수행됨 -

를 포함하고,

상기 개구를 충전하는 단계는, 원자층 증착(ALD) 프로세스를 통해 상기 개구에 텅스텐 함유 시드층을 형성하는 단계를 포함하고,

상기 붕소 함유 기체는 상기 ALD 프로세스에서 선구 물질로서 사용되는 것인 반도체 디바이스 제조 방법.

청구항 9

반도체 디바이스에 있어서,

기판;

상기 기판 상에 형성된 상호 접속 구조물; 및

상기 상호 접속 구조물 내에 형성된 도전성 콘택

을 포함하고,

상기 도전성 콘택의 형성은, 원자층 증착(ALD) 프로세스를 통해 텅스텐 함유 시드층을 형성하는 것을 포함하고,

상기 ALD 프로세스에서 ¹¹B 강화 붕소 물질이 선구 물질로서 사용되는 것인 반도체 장치.

청구항 10

제9항에 있어서, 상기 기판에 형성된 트랜지스터를 더 포함하고, 상기 트랜지스터의 채널 영역은 상기 도전성 콘택으로부터 0.5 마이크로 미만으로 이격된 것인, 반도체 장치.

명세서

기술분야

[0001] 본 출원은 발명의 명칭이 "SOFT ERROR RATE (SER) REDUCTION IN ADVANCED SILICON PROCESSES"이고 2010년 8월 4일 제출된 가출원 번호 제61/370,671호의 우선권을 주장하며, 그 전체 내용은 참고용으로 본 명세서에 포함된다.

[0002] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0003] 반도체 집적 회로(IC) 산업은 급속히 성장하여 왔다. IC 물질 및 설계에서의 기술적 진보는 IC의 세대를 생성하여 왔고, 각 세대는 이전 세대보다 더 작고 더 복잡한 회로를 갖는다. 그러나, 이러한 진보는 IC 처리 및 제조의 복잡성을 증가시켜 왔다. 집적 회로가 진화하는 동안, 기하학적 사이즈(즉, 제조 프로세스를 사용하여 생성될 수 있는 가장 작은 컴포넌트)가 감소하면서 기능 밀도(즉, 칩 면적당 상호 접속된 장치의 수)가 일반적으로 증가하여 왔다. 이러한 축소 프로세스는 일반적으로 생산 효율을 증가시키고 관련 비용을 감소시킴으로써 이득을 제공한다.

[0004] 반도체 장치 사이즈가 계속 축소함에 따라, 소프트 에러 레이트(SER)는 문제가 될 수 있다. 소프트 에러는 장치 내의 잘못된거나 부정확한 신호에 의해(예를 들어, 잡음에 의해) 발생된 에러이며, 이를 통해 장치 자체의 결함이 발생하지 않지만, 장치의 부정확한 동작을 유도할 수 있다. 소프트 에러 레이트는 장치가 소프트 에러를 접하는 레이트이다. 반도체 기술 노드가 특히 65 나노미터(nm) 및 그 이상에서 제조된 장치에 대하여 새로운 세대로 진행함에 따라, 이들 장치에 대한 소프트 에러 레이트는 좀 더 크게 나타난다. 현재의 반도체 제조 기술은 새로운 기술 노드에 대하여 소프트 에러 레이트를 감소시키는 효율적인 방법을 제안하지 않는다.

[0005] 그러므로, 반도체 장치에 대한 소프트 에러 레이트 감소의 기존 방법이 의도된 목적을 위해 일반적으로 적절하지만, 모든 면에서 완전히 만족하지는 못한다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 소프트 에러 레이트 문제를 방지할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 한 형태에 따르면, 기판을 제공하는 단계; 상기 기판 상에 콘택 홀을 형성하는 단계; 및 ¹¹B 강화 붕소 물질을 이용하여 상기 콘택 홀 내에 도전성 콘택을 형성하는 단계를 포함하는 방법이 제공된다.

[0008] 본 발명의 다른 형태에 따르면, 기판을 제공하는 단계; 상기 기판 상에 상호 접속 구조물의 일부를 형성하는 단계 - 상기 상호 접속 구조물의 일부는 개구를 포함함 -; 실질적으로 ¹⁰B 동위 원소가 없는 붕소 함유 기체를 얻는 단계; 및 상기 개구를 도전성 물질로 충전하여 콘택을 형성하는 단계를 포함하고, 상기 충전은 붕소 함유 기체를 사용하여 수행되는 방법이 제공된다.

[0009] 본 발명의 다른 형태에 따르면, 기판; 상기 기판 상에 형성된 상호 접속 구조물; 및 상기 상호 접속 구조물 내에 형성된 도전성 콘택을 포함하고, 상기 도전성 콘택은 텅스텐 및 붕소를 포함하는 물질 구성을 갖고, 상기 붕소는 ¹¹B 강화 붕소인 반도체 기판이 제공된다.

발명의 효과

[0010] 본 발명에 따르면, B-10 동위 원소와 관련된 소프트 에러 레이트 문제를 방지할 수 있다.

도면의 간단한 설명

[0011] 본 개시물의 형태는 첨부된 도면과 함께 읽을 때 다음의 상세한 설명으로부터 가장 잘 이해될 것이다. 산업의 표준적 행위에 따라, 다양한 특징은 일정한 비율로 그려지지 않음을 강조한다. 다양한 특징의 치수는 설명의 명료화를 위하여 임의로 증가되거나 감소되었다.

도 1은 본 개시물의 다양한 형태에 따라 정제된 붕소 기체를 합성하는 방법을 나타내는 플로우 차트이다..

도 2는 본 개시물의 다양한 형태에 따라 반도체 제조 프로세스에서 정제된 붕소 기체를 이용하는 방법을 나타내는 플로우 차트이다.

도 3 및 4는 도 1 및 2에 도시된 방법에 따라 제조 단계에서의 반도체 장치의 부분 단면 측면도이다.

도 5는 소프트 에러 레이트 및 텅스텐 플러그 내의 B-10의 농도 간의 상관을 입증하는 시뮬레이션 결과를 나타내는 차트이다.

도 6은 도 1 및 2에 개시된 방법에 따라 반도체 장치를 제조하는 방법을 나타내는 플로우 차트이다.

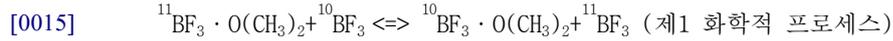
발명을 실시하기 위한 구체적인 내용

[0012] 다음의 개시물은 본 발명의 상이한 특징을 구현하기 위한 많은 상이한 실시예 또는 예를 제공한다. 본 개시물을 간략화하기 위하여 컴포넌트 및 장치의 특정 예가 이하에서 기재된다. 물론 이들은 단지 예일 뿐이며 제한하는 것은 아니다. 또한, 다음의 설명에서 제2 특징부 상의 제1 특징부의 형성은 제1 및 제2 특징부가 직접 접촉하여 형성되는 실시예 및 제1 및 제2 특징부 사이에 추가의 특징부가 형성되어 제1 및 제2 특징부가 직접 접촉하지 않는 실시예를 포함한다. 다양한 특징부는 간략화 및 명료화를 위하여 상이한 크기로 임의로 그려질 수 있다.

[0013] 도 1은 본 개시물의 다양한 형태에 따른 정제된 B-11 동위 원소 기체를 합성하는 방법(10)을 나타내는 플로우 차트이다. 다음의 설명에서, B-11 및 ¹¹B은 붕소-11 동위 원소를 지칭하기 위하여 혼용될 수 있다. 마찬가지로, B-10 및 ¹⁰B은 붕소-10 동위 원소를 지칭하기 위하여 혼용될 수 있다. B-10 및 B-11은 붕소의 상이한 동위 원소이고 각각은 5개의 양자를 갖는다. 그러나, 동위 원소 B-10은 5개의 중성자를 갖지만, 동위 원소 B-11은 6개의 중성자를 갖는다. 자연 상태에서, B-10 및 B-11은 대략 20%/80% 스플릿(split)으로 존재(약 20% B-10 및 약 80% B-11)한다.

[0014] 도 1을 참조하면, 방법(10)은 다단 교환-증류 프로세스를 포함한다. 방법(10)은 ¹¹BF₃ 기체를 합성하는 블록

(20)을 포함한다. 실시예에서, 다음 화학적 프로세스가 사용되어 $^{11}\text{BF}_3$ 기체를 생성한다.



[0016] 여기서, $^{11}\text{BF}_3 \cdot \text{O}(\text{CH}_3)_2$ 및 $^{10}\text{BF}_3 \cdot \text{O}(\text{CH}_3)_2$ 는 액체 형태이고, $^{10}\text{BF}_3$ 및 $^{11}\text{BF}_3$ 는 기체 형태이다.

[0017] 상기의 제1 화학적 프로세스는 양방향 화학 반응이다. 반응 방향은 화학적 프로세스의 압력을 조절함으로써 제어될 수 있다. 예를 들어, 낮은 압력은 제1 화학적 프로세스의 방향을 "좌측"에서 "우측"으로 진행하도록 하여 $^{10}\text{BF}_3 \cdot \text{O}(\text{CH}_3)_2$ 액체 및 $^{11}\text{BF}_3$ 기체를 생성한다. $^{11}\text{BF}_3$ 컴포넌트는 기체 형태이므로, $^{10}\text{BF}_3 \cdot \text{O}(\text{CH}_3)_2$ 액체로부터 분리될 수 있고 후속의 사용을 위해 수집될 수 있다.

[0018] 방법(10)은 $^{11}\text{BF}_3$ 기체가 $^{11}\text{B}_2\text{H}_6$ 기체를 합성하는데 사용되는 블록(30)에서 계속된다. 실시예에서, 다음의 화학적 프로세스가 $^{11}\text{B}_2\text{H}_6$ 기체를 생성하는데 사용된다.

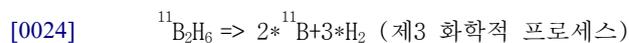


[0020] $^{11}\text{B}_2\text{H}_6$ 는 NaF로부터 별도로 수집될 수 있다. $^{11}\text{B}_2\text{H}_6$ 는 B-10 동위 원소가 실질적으로 없는 정제된 B-11 동위 원소 함유 기체(또는 ^{11}B -강화 기체)로 간주된다. 정제된 $^{11}\text{B}_2\text{H}_6$ 기체 내의 붕소 물질의 B-11의 함유량은 실질적으로 약 80%보다 크고, 예를 들어, 약 95%이다. 실시예에서, 정제된 붕소 기체 내의 붕소 물질의 B-11 함유량은 약 99.7%이고, 정제된 붕소 기체의 B-10 동위 원소는 약 0.3%보다 작은 것을 의미한다. B-11 동위 원소의 더 높은 농도가 바람직하면, 추가적인 정제 프로세스를 수행하여 기체에 대한 B-11 함유량을 더 증가시킬 수 있다. $^{11}\text{B}_2\text{H}_6$ 기체의 B-11 동위 원소는 매우 안정하다. 이러한 특성 때문에, $^{11}\text{B}_2\text{H}_6$ 기체는 이하에 기재된 반도체 제조 프로세스에 사용된다.

[0021] 도 2는 본 개시물의 다양한 형태에 따른 반도체 제조 프로세스에서 정제된 $^{11}\text{B}_2\text{H}_6$ 기체를 이용하는 방법(50)을 나타내는 플로우 차트이다. 도 2를 참조하면, 방법(50)은 기관(또한, 웨이퍼라 한다)에 개구가 형성되는 블록(60)을 포함한다. 실시예에서, 기관은 반도체 기관, 예를 들어, P형 또는 N형 도펀트로 도핑된 실리콘 기관이다. 다양한 타입의 반도체 장치가 기관 내에 형성될 수 있다. 이들 반도체 장치는 전계 효과 트랜지스터(FET) 장치 또는 바이폴라 트랜지스터 장치를 포함할 수 있다. 기관은 또한 기관의 다양한 반도체 장치를 상호 접속하는 금속선을 포함하는 다수의 상호 접속층(금속층)을 포함하는 상호 접속 구조물을 포함할 수 있다. 상이한 상호 접속층 간의 전기적 접속은 콘택/비아(via)를 통해 확립될 수 있다.

[0022] 블록(60)에서, 개구가 상호 접속 구조물에 형성되고 개구가 도전성 물질(텅스텐 등)으로 충전되어 나중에 콘택층의 하나를 형성할 수 있다. 따라서, 개구는 콘택 홀이라 할 수 있다.

[0023] 방법(50)은 원자층 증착(ALD) 프로세스가 형성되어 정제된 B-11 동위 원소 기체를 이용하여 부분적으로 콘택 홀을 충전하는 블록(70)에서 계속된다. ALD 프로세스는 ALD 챔버 내에서 발생할 수 있다. 실시예에서, ALD 프로세스는 선구 물질로서 도 1의 방법(10)에 의해 수집된 $^{11}\text{B}_2\text{H}_6$ 기체를 사용한다. 이러한 실시예에서, ALD 프로세스는 복수의 사이클을 갖는다. 각각의 사이클은 담금(soaking) 프로세스 및 핵생성 프로세스를 포함한다. 담금 프로세스는 약 250°C의 프로세스 온도에서 수행된다. 담금 프로세스 동안, 다음의 화학적 프로세스가 발생한다.

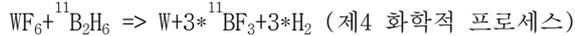


[0025] 즉, 정제된 $^{11}\text{B}_2\text{H}_6$ 기체는 콘택 홀 내의 B-11의 박층(원자 규모에서)을 증착하는데 사용된다. 화학적 프로세스의 다른 생성물($3 * \text{H}_2$)은 기체이며 탈출하거나 얻지 못한다.

[0026] ALD 프로세스의 각 사이클은 또한 핵생성 프로세스를 포함한다. 핵생성 프로세스는 약 2 Torr 내지 약 15 Torr

의 프로세스 압력에서 수행된다. 핵생성 프로세스 동안 다음의 화학적 프로세스가 발생한다.

[0027]



[0028]

WF₆은 또 다른 선구 물질로서 사용된다. 그러므로, 정제된 ¹¹B₂H₆ 기체는 콘택 홀 내에 텅스텐(W)의 박층(원자 규모에서)을 증착하는데 사용된다. 담금 프로세스는 핵생성 프로세스를 선행하기 때문에, 콘택 홀 내에 형성된 텅스텐의 박층은 B-11 동위 원소를 포함할 수 있다. 화학적 프로세스의 다른 생성물(¹¹BF₃ 및 3*H₂)은 기체이며 탈출하거나 얻지 못한다.

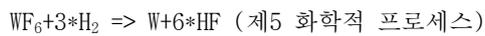
[0029]

다수의 상기 사이클(각 사이클은 담금 프로세스 및 그 후의 핵생성 프로세스를 포함함)이 수행된 후, 텅스텐층이 형성되어 콘택 홀을 부분적으로 충전한다. 이 텅스텐 층은 안정한 B-11를 포함한다.

[0030]

방법(50)은 화학적 기상 증착(CVD) 프로세스가 수행되어 콘택 홀을 충전하는 텅스텐 플러그를 형성하는 블록(80)에서 계속된다. CVD 프로세스는 시드층으로서 상술한 블록(70)의 ALD 프로세스에 의해 형성된 텅스텐 층을 이용하여 콘택 홀에 더 많은 텅스텐 물질을 증착한다. CVD 프로세스는 약 350°C 내지 약 500°C의 프로세스 온도 및 약 200 Torr 내지 약 400 Torr의 프로세스 압력에서 수행될 수 있다. CVD 프로세스는 CVD 챔버에서 발생할 수 있다. CVD 프로세스 동안 다음의 화학적 프로세스가 발생한다.

[0031]



[0032]

화학적 프로세스의 6*HF 생성물은 기체이며 탈출하거나 얻지 못한다. 화학적 프로세스의 W 생성물은 콘택 홀을 충전하는 텅스텐 벌크이고, 또한 텅스텐 플러그라 할 수 있다. 따라서, 텅스텐 플러그를 형성하는 전체 제조 프로세스에 걸쳐서, B-10 동위 원소는 사용되지 않는다. 대신에, 안정한 B-11 동위 원소가 텅스텐 플러그를 형성하는 것을 돕는데 사용하고 최종적으로 형성된 텅스텐 플러그 내에 존재할 수 있다.

[0033]

또한, 2단 프로세스(멀티-사이클 ALD 프로세스 후의 CVD 프로세스)가 텅스텐 플러그를 형성하는데 사용되는 이유 중의 하나는 ALD 프로세스가 갭 충전 성능을 향상시키는데 사용되기 때문이다. 기술 노드가 작아짐에 따라, 장치 사이즈가 감소하고, 콘택 홀도 작아진다. 전통적인 증착 프로세스를 이용하여, 그 내에 갭을 남기지 않고 이러한 작은 콘택 홀을 충전하기 어렵다. 이들 갭은 장치 성능을 저하시키거나 장치 결함을 유발한다. 여기서, ALD 프로세스는 매우 정밀한 방식으로 작은 특징부를 형성할 수 있기 때문에, ALD 프로세스는 갭 없이 콘택 홀의 바닥 부분을 충전하는데 사용된다. 그 후, 텅스텐 플러그의 벌크를 형성하는 CVD 프로세스는 갭을 남기지 않고 콘택 홀의 나머지를 충전할 수 있다.

[0034]

도 3 내지 4는 여기에 개시된 실시예의 이점의 설명을 돕기 위하여 반도체 장치(100)의 부분 단면 측면도이다. 도 3을 참조하면, 반도체 장치(100)는 도핑된 실리콘 기판(110)을 갖는다. 반도체 장치(100)는 소스/드레인 영역(120 및 121) 및 게이트 구조물(122)을 갖는 FET 트랜지스터 장치를 포함한다. 소스/드레인 영역은 각각 붕소 등의 P형 도펀트 또는 비소 또는 인 등의 N형 도펀트에 의해 도핑된다. 도시되지는 않지만, 소스/드레인 영역(120 및 121)의 각각은 저농도로 도핑된 소스/드레인 영역 및 고농도로 도핑된 소스/드레인 영역을 더 포함할 수 있다. 실시예에서, 반도체 장치(100)는 90 나노미터(nm) 미만의 기술 노드 또는 기술 세대에 속하는 반도체 장치이다. 예를 들어, 반도체 장치(100)는 65 nm 기술 노드 트랜지스터, 40 nm 기술 노드 트랜지스터, 28 nm 기술 노드 트랜지스터 또는 20 nm 기술 노드 트랜지스터일 수 있다. 임의의 실시예에서, 반도체 장치(100)는 FINFET 트랜지스터 또는 수직 트랜지스터를 포함할 수 있다.

[0035]

게이트 구조물(122)은 기판(110) 위 및 소스/드레인 영역(120 및 121) 사이에 배치된다. 게이트 구조물(122)은 게이트 유전체층 및 게이트 유전체층 상에 형성된 게이트 전극층을 포함한다. 일 실시예에서, 게이트 유전체층은 산화물 물질을 포함하고, 게이트 전극층은 폴리실리콘 물질을 포함한다. 또 다른 실시예에서, 게이트 유전체층은 하이-k 유전체 물질을 포함하고 게이트 전극층은 금속 물질을 포함한다. 적절한 전압이 소스/드레인 영역(120 및 121) 및 게이트 구조물(122)에 인가되면, 도전성 채널 영역(125)은 게이트 구조물(122) 내의 기판(110)의 일부에 형성될 수 있다.

[0036]

다음으로, 층간 유전체(126)가 기판(110) 위 및 게이트(122) 위에 형성된다. 층간 유전체(126)는 후에 형성될 상호 접속 구조물(미도시)의 일부이다. 배선 구조물은 복수의 상호 접속 금속층을 가지며 반도체 장치(100) 및 외부 장치 사이에 전기적 접속부를 제공한다. 층간 유전체(126)는 로우-k 물질을 포함할 수 있다. 개구(128)는 층간 유전체(126) 내에 형성된다. 실시예에서, 개구(128)는 소스/드레인 영역(120 및 121) 중의 하나의 위

에 형성된다. 다른 실시예에서, 개구(128)는 게이트 구조물(122) 상에 형성될 수 있다.

[0037] 도 4를 참조하면, 텅스텐 플러그(130)가 개구(128) 내에 형성된다. 상술한 바와 같이, 상호 접속 구조물은 복수의 상호 접속층을 가질 수 있다. 여기서, 텅스텐 플러그(130)는 소스/드레인 영역(121)으로의 전기적 접속부를 형성하는데 사용될 수 있다. 마찬가지로, 텅스텐 플러그(130)와 유사한 다른 텅스텐 플러그가 게이트 구조물(122) 또는 다른 소스/드레인 영역(120) 상에 형성될 수 있다. 간략화를 위하여, 이들 다른 텅스텐 플러그는 여기에 도시되지 않는다.

[0038] 텅스텐 플러그(130)는 도 1 및 2에서 상술한 방법(10 및 50)에 따라 형성된다. 다르게 말하면, 텅스텐 플러그(130)는 B-10 동위 원소를 이용하지 않고 안정한 B-11 동위 원소로 형성된다. 실시예에서, $^{11}\text{BF}_3$ 기체가 먼저 도 1의 블록(20)을 참조하여 상술한 제1 화학적 프로세스를 이용하여 생성된다. 다음으로, $^{11}\text{BF}_3$ 기체는 도 1의 블록(30)을 참조하여 상술한 제2 화학적 프로세스를 수행함으로써 $^{11}\text{B}_2\text{H}_6$ 기체를 생성하는데 사용된다. $^{11}\text{B}_2\text{H}_6$ 기체의 B-11 함유량은 B-11 강화되고, 따라서, 실질적으로 B-10가 없다. 실시예에서, $^{11}\text{B}_2\text{H}_6$ 기체 내의 붕소의 B-11 함유량은 약 95%보다 크고, 예를 들어, 99.7% 이상이다. 즉, $^{11}\text{B}_2\text{H}_6$ 기체 내의 붕소의 B-10 함유량은 약 5% 미만, 예를 들어, 약 0.3% 이하이다. 그 후, B-11 강화 $^{11}\text{B}_2\text{H}_6$ 기체는 ALD 프로세스에서 선구 물질로서 사용하여 콘택 홀에 텅스텐 시드층을 형성한다. ALD 프로세스는 복수의 담금 및 핵생성 프로세스를 포함한다. 텅스텐 시드층은 붕소를 포함하고, 이 경우, 붕소는 B-11 강화 붕소이다. 텅스텐 시드층에는 실질적으로 B-10이 없다. 그 후, CVD 프로세스가 수행되어 실질적으로 콘택 홀을 텅스텐으로 충전하여, 텅스텐 플러그(130)를 형성한다.

[0039] 열적 중성자(140)가 텅스텐 플러그(130) 주변의 공기에 존재할 수 있다. 열적 중성자(140)는 신속하게 이동하여 텅스텐 플러그(130), 예를 들어, 텅스텐 플러그(130)의 측면에 부딪힐 수 있다. B-10 동위 원소가 텅스텐 플러그를 형성하는데 사용되면, 텅스텐 플러그는 B-10 동위 원소 물질을 포함한다. 이 경우, 열적 중성자(140)는 알파 분열 프로세스(alpha fission process)에서 텅스텐 플러그 내의 B-10 동위 원소에 의해 흡수될 수 있다. 그 결과, 불안정한 B-11 동위 원소가 형성된다. 불안정한 B-11 동위 원소는 리튬(Li) 및 알파 입자로 변환될 수 있다. 그 텅스텐 플러그가 트랜지스터 장치에 비교적 가깝게 위치하면(예를 들어, 채널 영역(125)에 약 0.5 μm 미만), 알파 입자는 트랜지스터 장치에 분열 또는 전기적 간섭을 일으켜 소프트 에러 레이트 면에서의 열화로 나타날 수 있다.

[0040] 여기에 기재된 실시예에 따르면, 텅스텐 플러그(130)는 B-10 동위 원소 대신에 안정한 B-11 동위 원소를 포함하므로, 열적 중성자(140)는 불안정한 B-11 동위 원소를 형성시키지 않고 텅스텐 플러그(130)에 부딪힐 수 있다. 이처럼, 알파 분열이 발생하지 않으면, 알파 입자가 형성되지 않는다. 결과적으로, 소프트 에러 레이트가 상술한 방법을 구현함으로써 크게 개선된다. 이것은 텅스텐 플러그(130)가 채널 영역(125) 또는 소스/드레인 영역(120 내지 121)에 근접하여(예를 들어, 채널 영역(125)에 약 0.5 μm 미만) 위치하여도 마찬가지이다.

[0041] 비교하여, 65 나노미터 기술 노드 및 그 이상의 반도체 제조의 전통적인 방법은 텅스텐 플러그 내의 B-10의 존재 및 열적 중성자(140)의 결합과 관련된 문제를 아직 인식하지 못하고 있다. 예를 들어, 이들 전통적인 방법은 ALD 프로세스에서 선구 물질로서 단지 붕소를 이용하면 텅스텐 플러그 내에 무시할 수 없는 양의 B-10 물질을 도입할 수 있다는 것을 인식하지 못했다. 또 다른 예에서, 전통적인 방법은 또한 소프트 에러 레이트에서 이들 무시할 수 없는 양의 B-10 물질에 의해 발생하는 충격을 인식하지 못했다. 또한, 기존의 기술 세대에서, 기하학적 사이즈가 컸기 때문에, 형성된 텅스텐 플러그는 잡음에 민감한 반도체 컴포넌트로부터 충분히 멀 수 있다. 이 외에, B-10 물질은 프로세스에서 도포되지 않는다. 상술한 이유로 전통적인 방법은 텅스텐 플러그를 형성하는데 있어서의 B-10 기체의 사용을 방지하는 방법을 강구할 수 없다. 결과적으로, 특히, 기술 세대가 점점 더 작아짐에 따라(점점 더 작은 기하학적 사이즈를 유도함), 이들 전통적인 방법으로 제조된 반도체 장치는 수락가능하지 않게 높은 소프트 에러 레이트로부터 종종 고통받는다.

[0042] 비교하여, 본 개시물은 ALD 프로세스에서 선구 물질로서 단지 붕소를 이용하면 무시할 수 없는 양의 B-10 물질을 텅스텐 플러그에 남긴다는 것을 인식하였다. 본 개시물은 또한 B-10 물질의 해로운 효과가 계속 줄어드는 반도체 장치의 원인일 수 있다는 것을 인식하였다. 따라서, 본 개시물은 붕소 기체를 정제하여 실질적으로 B-10 동위 원소가 없는 B-11 강화 붕소 기체를 도출하는 섬세한 방법을 강구하는 것을 포함한다. 이 방식에서,

텅스텐 플러그(130)는 실질적으로 B-10 없이 형성될 수 있고, 따라서, 소프트 에러 레이트 문제를 크게 개선할 수 있다.

- [0043] 또한, 여기에 개시된 방법은 다른 제조 프로세스에 사용될 수 있다. 예를 들어, 40 nm 기술 노드 및 그 이상과 관련된 실리콘 게르마늄(SiGe) 에피택시 프로세스는 붕소의 사용을 포함할 수 있다. SiGe 프로세스와 관련된 B-10 동위 원소 농도는 텅스텐 플러그보다 낮은 약 두자릿수 낮다. 이처럼, SiGe 에피택시 프로세스에서의 B-10 동위 원소에 의해 발생된 소프트 에러 레이트는 텅스텐 플러그 프로세스와 비교하여 크지 않다. 그럼에도 불구하고, 소프트 에러 레이트가 개선될 필요가 있으면, 상술한 것과 유사한 이유로 B-10 동위 원소 대신에 B-11 동위 원소가 SiGe 에피택시 프로세스에 사용될 수 있다.
- [0044] 도시하지는 않지만, 추가의 프로세스가 수행되어 반도체 장치(100)의 제조를 완료할 수 있다. 예를 들어, 텅스텐 플러그(130)가 속하는 상호 접속 구조물의 나머지가 형성될 수 있다. 반도체 장치(100)를 포함하는 웨이퍼가 패시베이션, 테스트, 웨이퍼 절단/슬라이싱, 및 패키징 프로세스를 받을 수 있다.
- [0045] 도 4는 소프트 에러 레이트 및 텅스텐 플러그 내의 B-10의 농도 간의 상관을 나타내는 시뮬레이션 결과의 차트(200)이다. 차트(200)의 Y축은 시뮬레이팅된 소프트 에러 레이트를 백분율로 나타낸다. 차트(200)의 X축은 기술 노드 N90(90 nm 노드, N65(65 nm 노드), N40(40 nm 노드), N28(28 nm 노드) 및 N20(20 nm 노드)를 나타낸다. 바(210 내지 214)는 각각 이들 기술 노드에 대하여 나타낸다. 바(210 내지 214)는 텅스텐 플러그 내의 소정의 B-10 동위 원소 농도와 관련된 소프트 에러 레이트의 시뮬레이션 결과를 나타낸다. 바(220 내지 223)는 또한 각각 N65, N40, N28 및 N20 노드에 대하여 나타낸다. 바(220 내지 223) 텅스텐 플러그 내의 소정의 B-10 동위 원소 농도의 절반과 관련된 소프트 에러 레이트의 시뮬레이션 결과를 나타낸다.
- [0046] 도 4에 도시된 바와 같이, N90 기술 노드에 대하여, 텅스텐 플러그 내의 B-10에 의해 발생된 소프트 에러 레이트는 무시할 만큼 낮아, 그에 대한 더 이상의 분석은 필요하지 않다. N65 기술 노드 및 그 이상(더 작은 노드)에 대하여, 텅스텐 플러그 내의 B-10에 의해 발생된 소프트 에러 레이트는 무시하기엔 너무 커질 수 있다. 그러나, B-10의 농도가 감소함에 따라, 소프트 에러 레이트도 대응하여 강하함을 알 수 있다. 텅스텐 내의 B-10의 농도 및 소프트 에러 레이트는 1:1 역 상관을 가질 수 있다. 즉, 소프트 에러 레이트는 텅스텐 플러그 내의 B-10의 농도에 정비례 및 반비례할 수 있다. 그러므로, 텅스텐 플러그 내의 B-10를 제거함으로써, 본 개시물은 소프트 에러 레이트를 상당히 개선할 것이다.
- [0047] 도 6은 도 1 및 2에 개시된 방법의 다양한 형태에 따라 반도체 장치를 제조하는 방법을 나타내는 플로우 차트이다. 방법(300)은 기판이 제공되는 블록(310)에서 시작한다. 방법(30)은 상호 접속 구조물의 일부가 기판 상에 형성되는 블록(320)에서 계속된다. 상호 접속 구조물의 일부는 개구를 갖는다. 방법(300)은 붕소 함유 기체가 얻어지는 블록(330)에서 계속된다. 붕소 함유 기체는 실질적으로 붕소-10 동위 원소를 갖지 않는다. 방법(300)은 개구를 도전성 물질로 충전하여 콘택을 형성하는 블록(340)에서 계속된다. 충전은 붕소 함유 가스를 이용하여 수행된다.
- [0048] 본 개시물의 실시예는 기존의 방법보다 이점을 제공한다. 그러나, 다른 실시예가 다른 이점을 제공할 수 있고, 특정 이점은 모든 실시예에 요구되는 것은 아니다. 하나의 이점은, 정제된(B-11 강화) 붕소 기체의 사용 때문에, 텅스텐 플러그는 실질적으로 B-10 동위 원소 없이 형성된다는 것이다. 그러므로, B-10 동위 원소와 관련된 소프트 에러 레이트 문제는 방지될 수 있다. 또 다른 이점은 본 개시물의 프로세스는 기존의 제조 프로세스 흐름과 호환가능하며 따라서 추가의 제조 비용을 수반하지 않는다.
- [0049] 본 개시물의 더 넓은 형태 중의 하나는 방법을 포함한다. 방법은 기판을 제공하는 단계를 포함한다. 방법은 또한 기판 상에 콘택 홀을 형성하는 단계를 포함한다. 방법은 또한 ¹¹B 강화 붕소 물질을 이용하여 콘택 홀 내에 도전성 콘택을 형성하는 단계를 포함한다.
- [0050] 본 개시물의 더 넓은 형태 중의 다른 하나는 방법을 포함한다. 방법은 기판을 제공하는 단계를 포함한다. 방법은 기판 상에 상호 접속 구조물의 일부를 형성하는 단계를 포함한다. 상호 접속 구조물의 일부는 개구를 포함한다. 방법은 ¹⁰B 동위 원소가 실질적으로 없는 붕소 함유 기체를 얻는 단계를 포함한다. 방법은 개구를 도전성 물질로 충전하여 콘택을 형성하는 단계를 포함한다. 충전은 붕소 함유 기체를 이용하여 수행된다.
- [0051] 본 개시물의 더 넓은 형태의 또 다른 하나는 반도체 장치를 포함한다. 반도체 장치는 기판을 포함한다. 반도체 장치는 기판 상에 형성된 상호 접속 구조물을 포함한다. 반도체 장치는 상호 접속 구조물 내에 형성된 도전성 콘택을 포함한다. 도전성 콘택은 텅스텐 및 붕소를 포함하는 물질 구성을 가지며, 붕소는 ¹¹B 강화

봉소이다.

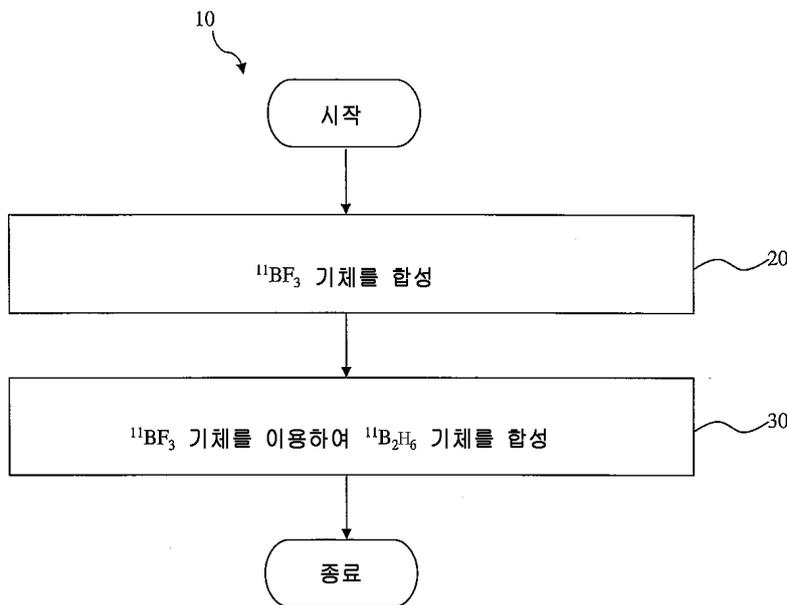
[0052] 상기 설명은 몇 가지 실시예의 개략적인 특징을 가져 당업자가 상세한 설명을 더 잘 이해할 수 있도록 한다. 당업자는 여기에 도입된 실시예의 동일한 목적을 수행 및/또는 동일한 이점을 달성하기 위한 다른 프로세스 및 구조물을 설계 또는 변경하기 위한 기초로서 본 개시물을 용이하게 이용할 수 있음을 인식할 것이다. 당업자는 본 개시물의 사상 및 범위를 벗어나지 않고 동등물의 구성이 가능하고 본 개시물의 사상 및 범위를 벗어나지 않고 다양한 변형, 대체, 및 변경이 가능함을 인식할 것이다.

부호의 설명

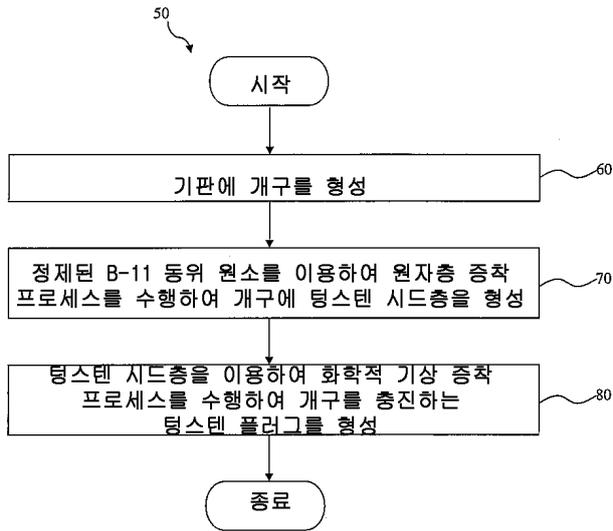
- [0053] 100: 반도체 장치
- 110: 도핑된 실리콘 기판
- 120, 121: 소스/드레인 영역
- 122: 게이트 구조물
- 125: 도전성 채널 영역
- 128: 개구
- 130: 텅스텐 플러그

도면

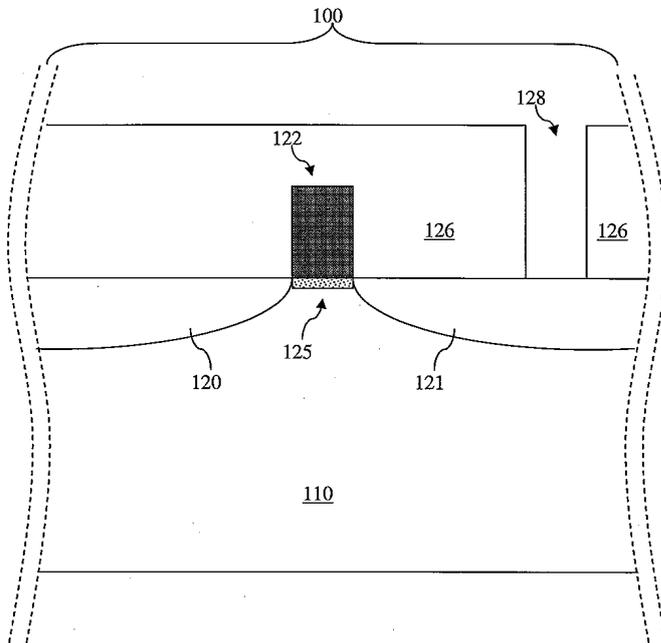
도면1



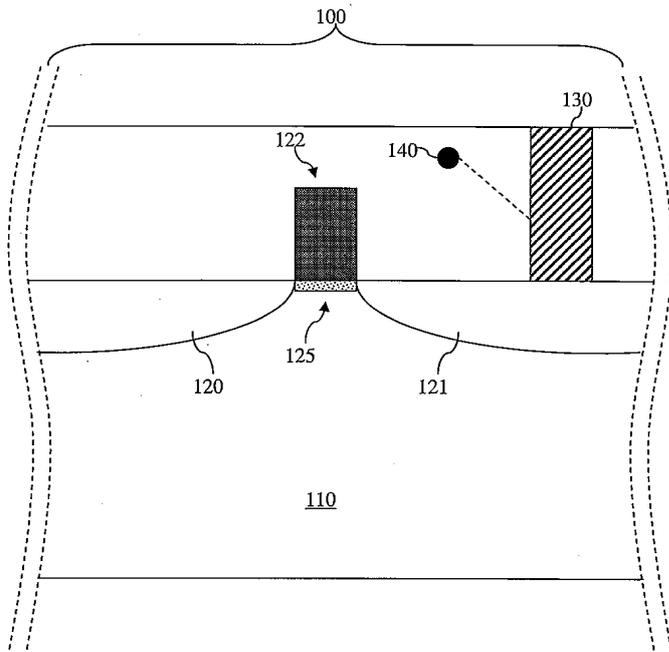
도면2



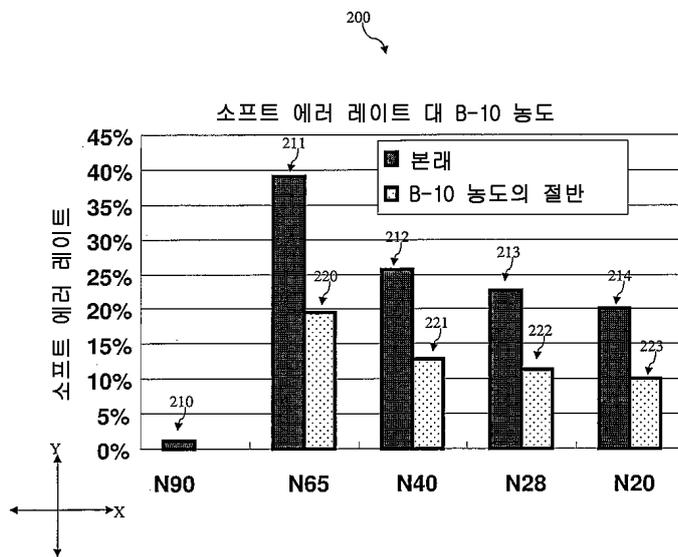
도면3



도면4



도면5



도면6

