

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年6月30日(30.06.2011)

PCT

(10) 国際公開番号
WO 2011/077825 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2010/068756
- (22) 国際出願日: 2010年10月22日(22.10.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-293297 2009年12月24日(24.12.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山口 尚宏
(YAMAGUCHI, Takahiro). 高橋 功(TAKAHASHI,
Isao). 業天 誠二郎(GYOUTEN, Seijirou). 松田
登(MATSUDA, Noboru).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE-

MARK); 〒5300041 大阪府大阪市北区天神橋2
丁目北2番6号 大和南森町ビル Osaka (JP).

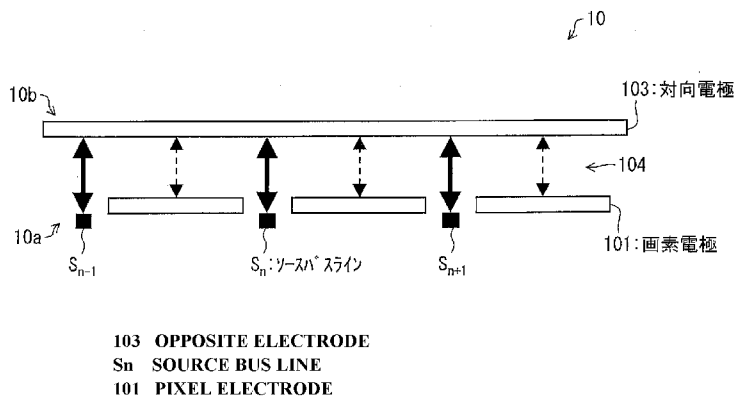
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE, DRIVE METHOD OF LIQUID CRYSTAL DISPLAY DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称: 液晶表示装置、液晶表示装置の駆動方法並びに電子機器

[図4]



(57) Abstract: Provided is a liquid crystal display device in which, in the case where a period during which a voltage corresponding to a video signal supplied to a source bus line (S_n) is applied to a pixel electrode (101) is set as a write period of the video signal, and a period until the write period of the next video signal is set as a non-write period of the video signal, an in-phase signal or a reverse phase signal of a signal supplied to an opposite electrode (103) is supplied to the source bus line (S_n) during the non-write period. As a result, it becomes possible to keep a potential difference caused between the source bus line (S_n) and the opposite electrode (103) constant. Thus, a flicker caused between the source bus line and the opposite electrode is prevented, thereby achieving a liquid crystal display device having high display quality.

(57) 要約: 本発明の液晶表示装置は、ソースバスライン (S_n) に供給される映像信号に応じた電圧が画素電極 (101) に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記ソースバスライン (S_n) に対して上記対向電極 (103) に供給されている信号と同相または逆相の信号が供給される。これにより、ソースバスライン (S_n) と対向電極 (103) との間で生じる電位差を一定に保つことが可能となる。よって、ソースバスラインと対向電極との間で生じるフリッカを抑制することで、表示品位の高い液晶表示装置を実現できる。



WO 2011/077825 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

液晶表示装置、液晶表示装置の駆動方法並びに電子機器

技術分野

[0001] 本発明は、メモリ機能を有する液晶表示装置に関する。

背景技術

[0002] 近年、携帯電話に代表される携帯端末においては、多機能化に伴う消費電力の増加が問題になっている。そこで、携帯端末において少しでも消費電力を低減させるために、特に電力消費の多い表示部を構成している液晶表示装置における省電力化が図られている。

[0003] 液晶表示装置において、消費電力を低減するために、例えば、携帯電話において時刻表示など画像変化の少ない画面の表示が行われる際に、画素を表示するための画素形成部内の液晶容量に映像信号を書き込む周期を長くすることが行われている。

[0004] ところが、液晶容量への映像信号の書き込み周期を長くすると、液晶容量において長時間、印加された電圧が保持されなければならない。このため、上述のような液晶表示装置には、液晶容量に印加された電圧が保持されるように、各画素形成部にメモリ機能を有する回路（以下、画素メモリ回路と称する）が設けられている。

[0005] このような画素メモリ回路を内蔵した液晶表示装置は、例えば、特許文献1に開示された表示装置を挙げることができる。

先行技術文献

特許文献

[0006] 特許文献1：日本国公開特許公報「特開2007-286237（2007年11月1日公開）」

発明の概要

発明が解決しようとする課題

- [0007] ところで、一般的な液晶表示装置において、ソースバスラインは、画素電極間に設けられており、その上にブラックマトリクスが形成されているので、ソースバスラインと対向電極との間で生じる電位差に起因する、当該ソースバスライン上のフリッカを上記ブラックマトリクスにより見えないように隠すことができる。
- [0008] ところが、上述のように、ブラックマトリクスによりソースバスライン上のフリッカを見えないようにすることが可能であるが、ブラックマトリクスを設けないような場合には、ソースバスラインと対向電極との間で生じる電位差が一定でないとフリッカが見えてしまう。
- [0009] また、ソースバスライン上にブラックマトリクスが設けられていても、きちんとした位置に設けられていなければ、ソースバスライン上で生じるフリッカが見えてしまう。つまり、ソースバスライン上でフリッカが生じてしまうと、ブラックマトリクスが設けられていたとしてもフリッカが見えてしまう虞がある。
- [0010] 通常、画素電極 101 と対向電極 103 は、液晶が劣化しないように一定周期で反転動作している信号（電圧）が印加されている。そして、画素電極 101 と対向電極 103 は、例えば図 5 の（a）に示すように、常に一定の電位差となるように同相または逆相の信号が印加されている。ここで、図 5 の（a）に示す例では、画素電極 101 と対向電極 103 との間に介在している液晶に印加される電圧、すなわち液晶印加電圧は 0 V（白表示：ノーマリホワイトの場合）となる。このため、画素電極 101 と対向電極 103 との間では電位差の変動に起因するフリッカは生じない。
- [0011] これに対して、バイナリドライバの出力信号ラインであるソースバスラインに供給される信号は、常に、“H”（黒表示を選択するハイレベルの信号）か、“L”（白表示を選択するローレベルの信号）かのいずれかの信号に固定されている。このため、対向電極 103 に、上述したように一定周期で反転動作している信号が印加されていれば、例えば図 5 の（b）に示すように、ソースバスライン S_n と対向電極 103 との間に生じる電位差は変動す

る。ここで、図5の(b)に示す例では、ソースバスライン S_n と対向電極103との間に介在している液晶に印加される電圧、すなわち液晶印加電圧は0Vと5Vを繰り返すようになる。このため、ソースバスライン S_n と対向電極103との間では電位差の変動に起因するフリッカが生じる。

[0012] 従って、ソースバスライン S_n と対向電極103との間の電位差に変動が生じてしまうとフリッカが発生し、ブラックマトリックスの有無に関わらず見えてしまう場合があり、表示品位を低下させるという問題が生じる。

[0013] 本願発明は、上記の問題点に鑑みなされたものであって、その目的は、ソースバスラインと対向電極との間で生じるフリッカを抑制することで、ソースバスライン上にブラックマトリックスの有無に関わらず、フリッカの見えない表示品位の高い液晶表示装置を提供することにある。

課題を解決するための手段

[0014] 上記の課題を解決するために、アクティブマトリクス基板と対向基板との間に液晶容量が封入された液晶表示装置において、上記アクティブマトリクス基板には、複数のデータ信号配線と複数の走査信号配線との交差部にそれぞれ対応してマトリクス状に配置された画素電極が形成され、上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記液晶容量に印加する対向電極が形成され、上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号が供給されることを特徴としている。

[0015] また、本発明の液晶表示装置の駆動方法は、アクティブマトリクス基板と対向基板との間に液晶容量が封入された液晶表示装置の駆動方において、上記アクティブマトリクス基板には、複数のデータ信号配線と複数の走査信号配線との交差部にそれぞれ対応してマトリクス状に配置された画素電極が形成され、上記対向基板には、上記アクティブマトリクス基板の画素電極に対

向し、当該画素電極に印加される電圧に同期して対向電圧を上記液晶容量に印加する対向電極が形成され、上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号を供給することを特徴としている。

[0016] 上記の構成によれば、データ信号配線に対する映像信号の非書込み期間に、当該データ信号線に対して、上記対向電極に供給されている信号と同相または逆相の信号が供給されることで、データ信号配線と上記対向電極との間の電位差を一定にすることができる。これにより、上記非書込み期間に、データ信号配線上において、電位差が一定でないことに起因するフリッカの発生を抑制できるので、フリッカによる表示品位の低下を抑制することができる。

[0017] 本発明の他の液晶表示装置は、アクティブマトリクス基板と対向基板との間に、電圧無印加時に液晶分子の配列が不規則な状態となる第1表示状態と、電圧印加時に液晶分子の配列が規則的な状態となる第2表示状態となる光拡散型液晶を封入してなる液晶表示装置において、上記アクティブマトリクス基板には、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数のデータ信号配線と、上記複数のデータ信号配線と交差する複数の走査信号配線と、上記複数のデータ信号配線と上記複数の走査信号配線との交差点にそれぞれ対応してマトリクス状に配置された画素電極と、上記画素電極毎に設けられ、上記データ信号配線によって伝達される映像信号に基づいて、上記第1表示状態を実現するための第1表示データを、第1供給配線を介して取り込むと共に、上記第2表示状態を実現するための第2表示データを、第2供給配線を介して取り込み、それぞれのデータを記憶する表示データ記憶回路とが形成され、上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記光拡散型液晶に印加する対向電極が形成され、上記データ信号配線に

供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号が供給されることを特徴としている。

[0018] また、本発明の液晶表示装置の駆動方法は、アクティブマトリクス基板と対向基板との間に、電圧無印加時に液晶分子の配列が不規則な状態となる第1表示状態と、電圧印加時に液晶分子の配列が規則的な状態となる第2表示状態となる光拡散型液晶を封入してなる液晶表示装置の駆動方法であって、上記アクティブマトリクス基板には、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数のデータ信号配線と、上記複数のデータ信号配線と交差する複数の走査信号配線と、上記複数のデータ信号配線と上記複数の走査信号配線との交差点にそれぞれ対応してマトリクス状に配置された画素電極と、上記画素電極毎に設けられ、上記データ信号配線によって伝達される映像信号に基づいて、上記第1表示状態を実現するための第1表示データを、第1供給配線を介して取り込むと共に、上記第2表示状態を実現するための第2表示データを、第2供給配線を介して取り込み、それぞれのデータを記憶する表示データ記憶回路とが形成され、上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記光拡散型液晶に印加する対向電極が形成され、上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号を供給することを特徴としている。

[0019] 上記の構成によれば、データ信号配線に対する映像信号の非書込み期間に、当該データ信号線に対して、上記対向電極に供給されている信号と同相または逆相の信号が供給されることで、データ信号配線と上記対向電極との間

の電位差を一定にすることができる。これにより、上記非書込み期間に、データ信号配線上において、電位差が一定でないことに起因するフリッカの発生を抑制できるので、フリッカによる表示品位の低下を抑制することができる。

発明の効果

[0020] 本発明の液晶表示装置は、複数のデータ信号配線と複数の走査信号配線との交差部にそれぞれ対応してマトリクス状に配置された画素電極が形成されたアクティブマトリクス基板と、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記液晶に印加する対向電極が形成された対向基板と、上記アクティブマトリクス基板と対向基板との間に封入された液晶とを備え、上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号が供給されることで、データ信号配線に対する映像信号の非書込み期間に、当該データ信号線に対して、上記対向電極に供給されている信号と同相または逆相の信号が供給される。これにより、データ信号配線と上記対向電極との間の電位差を一定にすることができるので、上記非書込み期間に、データ信号配線上において、電位差が一定でないことに起因するフリッカの発生を抑制できる。この結果、フリッカによる表示品位の低下を抑制することができるという効果を奏する。

図面の簡単な説明

[0021] [図1]本発明の実施形態に係る液晶表示装置の概略構成を示すブロック図である。

[図2]図1に示す液晶表示装置のアクティブエリアの要部を示す概略平面図である。

[図3]図2に示すアクティブエリアの1画素の概略構成図である。

[図4]図2に示すアクティブエリアの概略断面図である。

[図5] (a) は、対向電極と画素電極との電位差を示す波形図であり、(b) は、対向電極とソースバスラインとの電位差を示す従来の波形図であり、(c) は、対向電極とソースバスラインとの電位差を示す本発明の波形図である。

[図6] 対向電極印加用信号 V_{com} 、黒書込用信号 V_A 、白書込用信号 V_B の反転周期を示す波形図である。

[図7] 図 1 に示す液晶表示装置に備えられた極性コントローラの回路図である。

[図8] 図 1 に示す液晶表示装置に備えられたバイナリドライバの回路の一例を示す回路図である。

[図9] 図 8 に示す回路構成のバイナリドライバを駆動する際の各種信号のタイミングチャートである。

[図10] 図 1 に示す液晶表示装置に備えられたバイナリドライバの回路の他の例を示す回路図である。

[図11] 図 10 に示す回路構成のバイナリドライバを駆動する際の各種信号のタイミングチャートである。

[図12] 本発明の実施形態に係る他の液晶表示装置の概略構成を示すブロック図である。

発明を実施するための形態

[0022] 以下、本発明の実施の形態について、詳細に説明する。

[0023] (液晶表示装置の概要)

図 1 は、本願発明の液晶表示装置の一例を示す概略ブロック図である。

[0024] 図 2 は、液晶表示装置の表示パネルの概略構成図である。

[0025] 図 3 は、表示パネルの 1 画素の概略構成図である。

[0026] 図 1 に示すように、本実施の形態に係る液晶表示装置 1 は、表示パネル 10 と、当該表示パネル 10 を駆動するための電源 20 とを備えている。

[0027] 上記表示パネル 10 は、アクティブエリア 11、ゲートドライバ（走査信号配線駆動回路） 12、バイナリドライバ 13（データ信号配線駆動回路）

、極性コントローラ（信号供給回路）14、タイミングジェネレータ15を備えている。なお、上記アクティブエリア11における画素数は、縦×横＝320ドット×240ドットとする。

[0028] 上記表示パネル10は、図2に示すように、ソースバスライン S_n （データ信号配線）と、ゲートバスライン G_n （走査信号配線）との交差部にスイッチング素子102を介して画素電極101が形成された画素がマトリクス状に配置された構造となっている。なお、図2では、説明の便宜上、後述する画素メモリ回路については省略している。

[0029] 上記画素は、図3に示すように、ソースバスライン S_n とゲートバスライン G_n との交差部に設けられたP型TFTとN型TFTとからなるCMOS型TFTからなるスイッチング素子102と、当該スイッチング素子102のドレイン電極に接続されたメモリ回路105と、当該メモリ回路105の出力側にスイッチング素子106を介して接続された画素電極101とを備えた構造となっている。画素電極101と対向電極103との間には液晶容量104が介在され、画素電極101の印加電圧と対向電極103の印加電圧との電位差が液晶印加電圧として液晶容量104に印加されるようになっている。

[0030] 上記スイッチング素子106は、メモリ回路105からの出力に応じて、上記画素電極101に供給される信号を、黒書込み用の信号（以下、黒書込用信号VAと称する）と、白書込み用の信号（以下、白書込用信号VBと称する）とを切り換えるようになっている。

[0031] 上記画素では、ゲートバスライン G_n に印加されている走査信号によりスイッチング素子102をオンすることで、ソースバスライン S_n に印加されている映像信号をメモリ回路105に出力するようになっている。

[0032] 上記走査信号は、上記ゲートドライバ12によりゲートバスライン G_n に印加され、上記映像信号は、上記バイナリドライバ13によりソースバスライン S_n に印加されている。

[0033] 上記ゲートドライバ12は、各ゲートバスラインを1水平走査期間ずつ順

次に選択するために、ゲートスタートパルス信号GSPとゲートクロック信号GCKとに基づいて、アクティブな走査信号の各ゲートバスラインへの印加を1垂直走査期間を周期として繰り返す。つまり、ゲートドライバ12は、各ゲートバスラインG_nを1水平走査期間ずつ順次を選択する駆動方式を採用していることになる。

[0034] 上記バイナリドライバ13は、デジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号SCK、SCKBおよびモード信号MODE、MODEBを受け取り、各ソースバスラインに駆動用の映像信号を印加する。

[0035] 上記バイナリドライバ13は、さらに、上述した黒書込用信号VA及び白書込用信号VBが入力され、上記映像信号の代わりに黒書込用信号VAまたは白書込用信号VBをソースバスラインS_nに印加するようになっている。

[0036] 上記黒書込用信号VA及び白書込用信号VBは、上記極性コントローラ14から出力されている。極性コントローラ14からは、上述したように、画素電極101に印加するために、アクティブエリア11にも黒書込用信号VA及び白書込用信号VBを出力している。

[0037] 上記極性コントローラ14は、上記タイミングジェネレータ15から出力されるフレーム信号FRAMEと上記電源20から供給される電源VDDと電源VSSとにより、対向電極印加用信号V_{com}と、黒書込用信号VA及び白書込用信号VBを生成している。この極性コントローラ14の詳細については後述する。

[0038] 上記タイミングジェネレータ15は、外部から送られる画像データDATと表示モード指示信号Mとを受け取り、デジタル映像信号DVを生成し、バイナリドライバ13に出力するようになっている。

[0039] また、上記タイミングジェネレータ15は、パネル外部から入力されるシリアルデータSI、シリアルクロックSCLK、および、シリアルチップセレクト信号SCSから、モード信号MODE、MODEB、フレーム信号FRAME、ソースクロック（データ信号線ドライバのシフトレジスタを動作

させるクロック信号としてのタイミング信号) SCK・SCKB、ソーススタートパルス(水平期間のタイミング信号) SSP、ゲートクロック(ゲート信号線ドライバのシフトレジスタに入力するタイミング信号) GCK、ゲートスタートパルスGSPを生成する。

[0040] タイミングジェネレータ15からバイナリドライバ13へは、ソーススタートパルスSSPが供給され、タイミングジェネレータ15からゲートドライバ12へは、ゲートクロックGCK、ゲートスタートパルスGSPが供給され、タイミングジェネレータ15から極性コントローラ14へは、フレーム信号FRAMEが供給される。なお、ソースクロックSCK・SCKBはバイナリドライバ13のシフトレジスタを動作させるクロック信号となる。

[0041] (フリッカ対策)

上記表示パネル10は、図4に示すように、アクティブマトリクス基板10aと対向基板10bとの間に液晶容量104が封入されている。上記アクティブマトリクス基板10aには、複数のソースバスライン S_n と複数のゲートバスライン G_n (図示せず)との交差部にそれぞれ対応してマトリクス状に配置された画素電極101が形成されており、上記対向基板10bには、上記アクティブマトリクス基板10aの画素電極101に対向し、当該画素電極101に印加される電圧に同期して対向電圧を上記液晶容量104に印加する対向電極103が形成されている。

[0042] 図4に示す表示パネル10では、ソースバスライン S_n 上にはブラックマトリクスが設けられていないため、当該ソースバスライン上で生じるフリッカが見えてしまう。

[0043] 図5の(a)~図5の(c)は、非書込み期間における、対向電極103と画素電極101、対向電極とソースバスライン S_n の間の電位差を示すタイミングチャートである。

[0044] 上記画素電極101と対向電極103は、液晶が劣化しないように一定周期で反転動作している信号(電圧)が印加されている。そして、画素電極101と対向電極103は、図5の(a)に示すように、常に一定の電位差と

なるように同じ周期で同じタイミングで反転動作している信号（同相の信号）が印加されている。ここで、図5の（a）に示す例では、画素電極101と対向電極103との間に介在している液晶に印加される電圧、すなわち液晶印加電圧は0V（白表示：ノーマリホワイトの場合）となる。このため、画素電極101と対向電極103との間では電位差の変動に起因するフリッカは生じない。

[0045] これに対して、バイナリドライバ13の出力信号ラインであるソースバスライン S_n は、常に、“H”（黒表示を選択するハイレベルの信号）か、“L”（白表示を選択するローレベルの信号）かのいずれかの信号に固定されている。このため、対向電極103が上述したように一定周期で反転動作している信号が印加されていれば、図5の（b）に示すように、ソースバスライン S_n と対向電極103との間では電位差が変動する。ここで、図5の（b）に示す例では、ソースバスライン S_n と対向電極103との間に介在している液晶容量104に印加される電圧、すなわち液晶印加電圧は0Vと5Vを繰り返すことになる。このため、ソースバスライン S_n と対向電極103との間では電位差の変動に起因するフリッカが生じる。

[0046] そこで、上記構成の液晶表示装置1では、図5の（c）に示すように、ソースバスライン S_n と対向電極103との間の電位差が一定になるような信号を当該ソースバスライン S_n に供給するようにしている。ここでは、ソースバスライン S_n に供給する信号は、対向電極103に供給されている信号と同じタイミングで同じ極性に反転する同相の信号、または逆の極性に反転する逆相の信号であることが好ましい。このような同相または逆相の信号としては、本実施形態では、上述した極性コントローラ14から出力される黒書込用信号 V_A または白書込用信号 V_B を用いる。図5の（c）では、ソースバスライン S_n に白書込用信号 V_B が供給された例を示している。すなわち、ソースバスライン S_n と対向電極103との間の電位差が0V、すなわち液晶印加電圧が0Vで一定に保たれていることを示している。

[0047] ここで、本実施の形態では、上記対向電極印加用信号 V_{com} 、黒書込用

信号VA、白書込用信号VBは何れも0Vから5Vまでの幅で反転するものとする。図6は、対向電極印加用信号Vcomと白書込用信号VBとが同相、対向電極印加用信号Vcomと黒書込用信号VAとが逆相となっていることを示している。つまり、対向電極印加用信号Vcomと同相の信号が白書込用信号VBであるので、上述したように、非書込み期間中に、ソースバスラインSnに白書込用信号VBを供給することで、対向電極103とソースバスラインSnとの間における電位差を一定(0V)にしている。

[0048] ここで、上記ソースバスラインSnに供給される映像信号に応じた電圧が上記画素電極101に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間とする。

[0049] 上記構成の液晶表示装置及びその駆動方法によれば、ソースバスラインSnに対する映像信号の非書込み期間に、当該ソースバスラインSnに対して、上記対向電極103に供給されている信号と同相または逆相の信号が供給されることで、ソースバスラインSnと上記対向電極103との間の電位差を一定にすることができる。これにより、上記非書込み期間に、ソースバスラインSn上において、電位差が一定でないことに起因するフリッカの発生を抑制できるので、フリッカによる表示品位の低下を抑制することができる。

[0050] 従って、図4に示すように、ソースバスラインSn上にブラックマトリックスが設けられていないような場合であっても、当該ソースバスラインSnと対向電極103との電位差を一定に保つようにすれば、フリッカの発生を抑制できる。これにより、ソースバスラインSn上のフリッカが見えないようになるので、フリッカによる表示品位の低下を抑制することができる。

[0051] 上記対向電極印加用信号Vcom、黒書込用信号VA、白書込用信号VBの生成は、上述したように、極性コントローラ14により行われる。

[0052] 図7は、極性コントローラ14の具体的な回路を示す。

[0053] 上記極性コントローラ14では、フレーム信号FRAMEがバッファを通して、それぞれC接点相当のスイッチSW1・SW2・SW3の制御信号と

して入力される。スイッチSW1・SW2・SW3は、順に対向電極印加用信号Vcom、黒書込用信号VA、白書込用信号VBの電圧を出力するスイッチである。フレーム信号FRAMEがHighとLowとで切り替わる度に、スイッチSW1・SW2・SW3は、順に電源VDD・VSS・VDDの組み合わせと、電源VSS・VDD・VSSの組み合わせとの間で切り替わるように電源を選択する。これにより、上記極性コントローラ14から、対向電極印加用信号Vcom、黒書込用信号VA、白書込用信号VBが、図6に示すような反転周期で出力される。

[0054] (バイナリドライバの説明)

図8は、バイナリドライバ13の概略構成を示すブロック図を示す。

[0055] 図9は、図8に示すバイナリドライバ13における信号のタイミングチャートを示す。

[0056] ここで、上記バイナリドライバ13は、アクティブエリア11の横の画素数(240)に対応する240個に1段加えた241個のシフトレジスタを備えている。第0段のシフトレジスタを除いて、第1段のシフトレジスタ～第240段のシフトレジスタの出力は、それぞれデジタル映像信号DVをラッチするためのラッチ回路に接続されている。

[0057] すなわち、各シフトレジスタには、ソースクロック信号SCK、SCKBが入力され、第1段のシフトレジスタ～第240段のシフトレジスタの出力は、それぞれに対応したラッチ回路に接続される。ラッチ回路は、シフトレジスタの出力に基づいて、デジタル映像信号DVをラッチしてソースバスラインSnに接続されている信号配線SL<n>に出力される。ここで、上記nは、1～240の整数である。

[0058] 上記バイナリドライバ13は、通常のバイナリドライバと異なり、ラッチ回路と、その出力先である信号配線SL<n>との間に、デジタル映像信号DVと、白書込用信号VBとを切り換える切換部Aが設けられている。

[0059] 上記切換部Aは、2つのCMOS型TFTからなるスイッチング素子が直列に設けられ、デジタル映像信号DVと、白書込用信号VBとを切り換える

。具体的には、前段のスイッチング素子のソース電極は白書込用信号VBに接続され、2つのゲート電極はモード信号MODEとその反転信号であるモード信号MODEBとにそれぞれ接続され、ドレイン電極は信号配線SLに接続されている。後段のスイッチング素子のソース電極はラッチ回路の出力が接続され、2つのゲート電極はモード信号MODEBとその反転信号であるモード信号MODEとにそれぞれ接続され、ドレイン電極は信号配線SLに接続されている。

[0060] 従って、上記切換部Aでは、モード信号MODEが”High”レベルのとき、当然モード信号MODEBは”Low”レベルであるので、前段のスイッチング素子がON状態になり、後段のスイッチング素子がOFF状態となる。この場合、信号配線SLに出力されるのは、白書込用信号VBとなる。

[0061] また、モード信号MODEが”Low”レベルのとき、モード信号MODEBは”High”レベルであるので、前段のスイッチング素子がOFF状態になり、後段のスイッチング素子がON状態となる。この場合、信号配線SLに出力されるのはラッチ回路にてラッチされたデジタル映像信号DVである。

[0062] 上記モード信号MODEが”High”レベルになるタイミングは、図9に示すように、1フレーム分のデータを書込み、次のフレームのデータ書込み開始までのデータの非書込み期間（図では領域Bにおけるデータ保持期間が相当）に切り替わるときとなる。

[0063] この非書込み期間において信号配線SLに出力される白書込用信号VBは、図6に示すように、対向電極印加用信号Vcomと同相であるので、信号配線SLに接続されたソースバスラインSnと対向電極103との電位差は一定となる。図9では、領域Bにおいて、電位差（Vcom/VB）が一定になっていることを示している。つまり、上記電位差が、図5（c）に示すような関係となっていることを示している。

[0064] 図8に示すバイナリドライバ13の場合、切換対象となっている信号が、

対向電極印加用信号 V_{com} と同相である白書込用信号 V_B となっているが、図 6 に示すように、対向電極印加用信号 V_{com} の逆相の黒書込用信号 V_A であってもよい。

[0065] 上記のように、バイナリドライバ 13 によって、ソースバスライン S_n に対して、書込み期間から非書込み期間に切り換わるタイミングで、ハイレベルの信号（黒書込用信号 V_A ）またはローレベルの信号（白書込用信号 V_B ）の何れかの信号から、上記対向電極 103 に供給されている信号と同相（または逆相）の信号が切り換えられて出力されるので、ソースバスライン S_n と対向電極 103 との間で生じる電位差を非書込み期間の開始直後から一定にすることが可能となる。これにより、非書込み期間に生じるフリッカを確実に抑制できるので、表示品位をさらに向上させることが可能となる。

[0066] しかも、上記極性コントローラ 14 から画素電極 101 に供給される信号を、上記非書込み期間にソースバスライン S_n に出力する信号としているので、信号の共通化を図ることができる。これにより、非書込み期間にソースバスライン S_n に出力する信号を別途設ける必要がなく、既存の回路をそのまま使用することができるので、製造費を抑えて、且つ、装置の小型化を図ることが可能となる。

[0067] なお、図 8 に示すバイナリドライバ 13 の場合、シフトレジスタを用いてラッチ回路によるデジタル映像信号 DV のラッチを行っているが、これに限定されるものではなく、例えば、図 10 に示すバイナリドライバ 113 のように、シフトレジスタを用いずにラッチ回路によるデジタル映像信号 DV のラッチを行うようにしてもよい。

[0068] 図 10 に示すバイナリドライバ 113 では、デジタル映像信号 DV を 3 つずつの 80 のグループ（ $V_1 \sim V_{80}$ ）に分けている。つまり、一つのデジタル映像信号 DV （ V_1 ）が 3 つのラッチ回路に出力されているので、各ラッチ回路にはソース用の 3 種類のスイッチング信号 SSW_1 、 SSW_2 、 SSW_3 がそれぞれ入力されている。

[0069] 上記のスイッチング信号 SSW_1 、 SSW_2 、 SSW_3 は、図示しないが

、表示パネル10を駆動するためのドライバICで生成され、当該表示パネル10に供給される。

[0070] なお、図10に示すバイナリドライバ113も、図8に示すバイナリドライバ13と同様に、ラッチ回路の出力と、白書込用信号VBとを切り換える切換部Cを備えている。この切換部Cは、図8に示す切換部Aと同じ構成であるので、詳細な説明は省略する。

[0071] また、図10に示すバイナリドライバ113においても、図8に示すバイナリドライバ13の切換部Aと同様に、切換部Cでは、モード信号MODEが”High”レベルのとき、当然モード信号MODEBは”Low”レベルであるので、前段のスイッチング素子がON状態になり、後段のスイッチング素子がOFF状態となる。この場合、信号配線SLに出力されるのは、白書込用信号VBとなる。また、モード信号MODEが”Low”レベルのとき、モード信号MODEBは”High”レベルであるので、前段のスイッチング素子がOFF状態になり、後段のスイッチング素子がON状態となる。この場合、信号配線SLに出力されるのはラッチ回路にてラッチされたデジタル映像信号DV(V1)である。

[0072] 上記モード信号MODEが”High”レベルになるタイミングは、図11に示すように、1フレーム分のデータを書込み、次のフレームのデータ書き込み開始までのデータの非書き込み期間（図では領域Dにおけるデータ保持期間が相当）に切り替わるときとなる。

[0073] この非書き込み期間において信号配線SLに出力される白書込用信号VBは、図6に示すように、対向電極印加用信号Vcomと同相であるので、信号配線SLに接続されたソースバスラインSnと対向電極103との電位差は一定となる。図11では、領域Dにおいて、電位差(Vcom/VB)が一定になっていることを示している。つまり、上記電位差が、図5(c)に示すような関係となっていることを示している。

[0074] なお、本願発明は、画素電極101間にブラックマトリクスが設けられていない場合に有効な発明であるが、ブラックマトリクスは設けられていても

よい。この場合、ブラックマトリクスがフリッカを隠す役目をして、ソースバスライン S_n 上で生じるフリッカを見え難くするものの、ブラックマトリクスの配置がきちんとしていなければフリッカが見える虞がある。従って、本願発明のように、フリッカを抑制する発明であれば、ブラックマトリクスの有無に関わらず適用することができる。

[0075] 上述のように、本願発明は、画素電極101間にブラックマトリクスが設けられていない場合に特に有効であることから、ブラックマトリクスを設けない狭ピッチの画素配置とする液晶表示装置に有効である。

[0076] また、本実施の形態では、液晶については特に限定しないで説明したが、例えば、画素メモリ回路を設けた表示パネルを使用した液晶表示装置において用いられる光拡散型液晶を用いてもよい。特に小型の携帯端末に使用される液晶表示装置などのようにスペースの限られた表示画面において高解像度化を図る液晶表示装置には好適である。

[0077] 上記光拡散型液晶を用いた液晶表示装置としては、図示しないが、例えば、アクティブマトリクス基板と対向基板との間に、電圧無印加時に液晶分子の配列が不規則な状態となる第1表示状態と、電圧印加時に液晶分子の配列が規則的な状態となる第2表示状態となる光拡散型液晶を封入して構成されている。

[0078] 上記アクティブマトリクス基板には、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数のデータ信号配線と、上記複数のデータ信号配線と交差する複数の走査信号配線と、上記複数のデータ信号配線と上記複数の走査信号配線との交差点にそれぞれ対応してマトリクス状に配置された画素電極と、上記画素電極毎に設けられ、上記データ信号配線によって伝達される映像信号に基づいて、上記第1表示状態を実現するための第1表示データを、第1供給配線を介して取り込むと共に、上記第2表示状態を実現するための第2表示データを、第2供給配線を介して取り込み、それぞれのデータを記憶する表示データ記憶回路とが形成されている。

[0079] 上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、

当該画素電極に印加される電圧に同期して対向電圧を上記光拡散型液晶に印加する対向電極が形成されている。

[0080] そして、上記構成の液晶表示装置において、図 1 に示す構成の液晶表示装置と同様に、上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相（または逆相）の信号が供給される構成となっている。

[0081] 上記の構成によれば、データ信号配線に対する映像信号の非書込み期間に、当該データ信号線に対して、上記対向電極に供給されている信号と同相（または逆相）の信号が供給されることで、データ信号配線と上記対向電極との間の電位差を一定にすることができる。これにより、上記非書込み期間に、データ信号配線上において、電位差が一定でないことに起因するフリッカの発生を抑制できるので、フリッカによる表示品位の低下を抑制することができる。

[0082] なお、本実施形態では、上述したように、ゲートドライバ 1 2 は各ゲートバスラインを 1 水平走査期間ずつ順次に選択する駆動方式を採用している。

[0083] しかしながら、本願発明は、上述のようなライン順次駆動方式のゲートドライバに限定されず、書き換えの必要なゲートラインのみを選択駆動するラインアドレス駆動方式のゲートドライバを採用した液晶表示装置にも適用できる。

[0084] 図 1 2 は、ラインアドレス駆動方式を採用したゲートドライバを備えた液晶表示装置 1 を示している。

[0085] ここで、図 1 2 に示す液晶表示装置 1 は、図 1 に示す液晶表示装置 1 とほとんど構成が変わらず、ゲートドライバ 1 2 に入力される信号が変更されている。つまり、図 1 では、ゲートドライバ 1 2 に対して、タイミングジェネレータ 1 5 からゲートスタートパルス信号 G S P とゲートクロック信号 G C K とが入力されているのに対して、図 1 2 では、タイミングジェネレータ 1

5から信号GENと信号GSELとが入力されている。

- [0086] 上記信号GENと、信号GSELとは、シリアルデータSIから、映像信号を書き込む対象となる画素電極の位置情報を示すアドレスデータをデコードすることによって生成される。この信号GENと、信号GSELを生成するデコード回路は、タイミングジェネレータ15内に配置されている。
- [0087] ここで、上記の信号GENは、ゲートバスラインが選択される期間を制御する信号を示す。例えば信号GEN="High"の間アドレスによって選択されたゲートバスラインG_nがアクティブになり、そこにつながっている画素が開き、ソースバスラインS_nからのデータが取り込まれる。そして、信号GEN="Low"の間はどのラインも非アクティブ状態となる。また、上記の信号GSELは入力されたアドレスがデコードされた信号を示す。
- [0088] このように、図12に示す液晶表示装置1では、ゲートドライバ12が、映像信号の書込み対象となる画素電極の位置情報に応じて、上記ゲートバスラインG_nを選択的に駆動している。つまり、書き換えの必要なゲートバスラインG_nのみが駆動されることになる。
- [0089] 従って、書き換えの必要な画素電極に接続されているゲートバスラインG_nのみが選択駆動されることで、上述したライン順次駆動方式に比べて非書込み期間を長くとることができる。
- [0090] これにより、非書込み期間中のソースバスラインS_nと対向電極との間の電位差調整を安定して行うことができるので、当該非書込み期間中におけるフリッカの発生を確実に抑制することができる。
- [0091] 以上のように、図1、図12に示す液晶表示装置1では、表示パネル10内において、黒書込用信号VA、白書込用信号VB、モード信号MODE、モード信号MODEB、対向電極印加用信号V_{com}を当該表示パネル10内部で生成する例を示したが、これに限定されるものではなく、表示パネル10の外部に設けられたドライバICで生成されるようにしてもよい。
- [0092] また、上記データ信号配線を駆動するデータ信号配線駆動回路として、当該データ信号配線に対して、ハイレベルの信号またはローレベルの信号の何

れかの信号を出力するバイナリドライバが設けられ、上記バイナリドライバは、上記データ信号配線に対して、上記書込み期間から非書込み期間に切り換わるタイミングで、ハイレベルの信号またはローレベルの信号の何れかの信号から、上記対向電極に供給されている信号と同相または逆相に切り換えて出力することが好ましい。

[0093] 上記の構成によれば、バイナリドライバによって、データ信号配線に対して、書込み期間から非書込み期間に切り換わるタイミングで、ハイレベルの信号またはローレベルの信号の何れかの信号から、上記対向電極に供給されている信号と同相または逆相の信号が切り換えられて出力されるので、データ信号配線と対向電極との間で生じる電位差を非書込み期間の開始直後から一定にすることが可能となる。これにより、非書込み期間に生じるフリッカを確実に抑制できるので、表示品位をさらに向上させることが可能となる。

[0094] また、上記対向電極に印加される信号と同相または逆相の信号を上記画素電極に供給する信号供給回路が設けられ、上記バイナリドライバは、上記信号供給回路から画素電極に供給される信号を、上記非書込み期間にデータ信号配線に出力する信号とすることが好ましい。

[0095] 上記の構成によれば、信号供給回路から画素電極に供給される信号を、上記非書込み期間にデータ信号配線に出力する信号とすることで、信号の共通化を図ることができる。これにより、非書込み期間にデータ信号配線に出力する信号を別途設ける必要がなく、既存の回路をそのまま使用することができるので、製造費を抑えて、且つ、装置の小型化を図ることが可能となる。

[0096] また、上記走査信号配線を駆動する走査信号線駆動回路を備え、上記走査信号線駆動回路は、映像信号の書込み対象となる画素電極の位置情報に応じて、上記走査信号配線を選択的に駆動することが好ましい。

[0097] 従って、書き換えの必要な画素電極に接続されている走査信号配線のみが選択駆動されることで、各走査信号配線を1水平走査期間ずつ順次に選択する駆動方式に比べて非書込み期間を長くとることができる。

[0098] これにより、非書込み期間中のソースバスライン S_n と対向電極との間の

電位差調整を安定して行うことができるので、当該非書込み期間中におけるフリッカの発生を確実に抑制することができる。

[0099] さらに、上記構成の液晶表示装置は、種々の電子機器に適用できる。例えば、表示品位の向上が必須である液晶テレビに搭載することが好ましい。また、パソコン用のモニタとして使用してもよく、表示装置を備えた電子機器であれば、その表示装置として本願発明の液晶表示装置を用いれば、常に、フリッカの無い表示品位の高い表示を行わせることが可能となる。

[0100] 本発明は上述した本実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、本実施形態に開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

産業上の利用可能性

[0101] 本発明は、対向電極と画素電極との間の電位差を液晶印加電圧とする全ての液晶表示装置に利用することができ、特に、画素ピッチが狭くブラックマトリクスがデータ信号配線上に設けられない液晶表示装置及びこれを備えた電子機器に利用することができる。

符号の説明

- [0102]
- 1 液晶表示装置
 - 10 表示パネル
 - 11 アクティブエリア
 - 12 ゲートドライバ（走査信号配線駆動回路）
 - 13 バイナリドライバ（データ信号配線駆動回路）
 - 14 極性コントローラ
 - 15 タイミングジェネレータ
 - 20 電源
 - 101 画素電極
 - 102 スイッチング素子
 - 103 対向電極
 - 104 液晶容量

105 メモリ回路

S n ソースバスライン（データ信号配線）

G n ゲートバスライン（走査信号配線）

D A T 画像データ

D V デジタル映像信号

V A 黒書込用信号

V B 白書込用信号

V c o m 対向電極印加用信号

請求の範囲

[請求項1]

アクティブマトリクス基板と対向基板との間に液晶容量が封入された液晶表示装置において、

上記アクティブマトリクス基板には、複数のデータ信号配線と複数の走査信号配線との交差部にそれぞれ対応してマトリクス状に配置された画素電極が形成され、

上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記液晶容量に印加する対向電極が形成され、

上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、

上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号が供給されることを特徴とする液晶表示装置。

[請求項2]

上記データ信号配線を駆動するデータ信号配線駆動回路として、当該データ信号配線に対して、ハイレベルの信号またはローレベルの信号の何れかの信号を出力するバイナリドライバが設けられ、

上記バイナリドライバは、

上記データ信号配線に対して、上記書込み期間から非書込み期間に切り換わるタイミングで、ハイレベルの信号またはローレベルの信号の何れかの信号から、上記対向電極に供給されている信号と同相または逆相の信号に切り換えて出力することを特徴とする請求項1に記載の液晶表示装置。

[請求項3]

上記対向電極に印加される信号と同相または逆相の信号を上記画素電極に供給する信号供給回路が設けられ、

上記バイナリドライバは、上記信号供給回路から画素電極に供給される信号を、上記非書込み期間にデータ信号配線に出力する信号とす

ることを特徴とする請求項2に記載の液晶表示装置。

[請求項4]

アクティブマトリクス基板と対向基板との間に、電圧無印加時に液晶分子の配列が不規則な状態となる第1表示状態と、電圧印加時に液晶分子の配列が規則的な状態となる第2表示状態となる光拡散型液晶を封入してなる液晶表示装置において、

上記アクティブマトリクス基板には、

表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数のデータ信号配線と、

上記複数のデータ信号配線と交差する複数の走査信号配線と、

上記複数のデータ信号配線と上記複数の走査信号配線との交差点にそれぞれ対応してマトリクス状に配置された画素電極と、

上記画素電極毎に設けられ、上記データ信号配線によって伝達される映像信号に基づいて、上記第1表示状態を実現するための第1表示データを、第1供給配線を介して取り込むと共に、上記第2表示状態を実現するための第2表示データを、第2供給配線を介して取り込み、それぞれのデータを記憶する表示データ記憶回路とが形成され、

上記対向基板には、

上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記光拡散型液晶に印加する対向電極が形成され、

上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、

上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号が供給されることを特徴とする液晶表示装置。

[請求項5]

上記走査信号配線を駆動する走査信号配線駆動回路を備え、

上記走査信号配線駆動回路は、

映像信号の書込み対象となる画素電極の位置情報に応じて、上記走査信号配線を選択的に駆動することを特徴とする請求項1～4の何れか1項に記載の液晶表示装置。

[請求項6]

アクティブマトリクス基板と対向基板との間に液晶容量が封入された液晶表示装置の駆動方法において、

上記アクティブマトリクス基板には、複数のデータ信号配線と複数の走査信号配線との交差部にそれぞれ対応してマトリクス状に配置された画素電極が形成され、

上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記液晶容量に印加する対向電極が形成され、

上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、

上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号を供給することを特徴とする液晶表示装置の駆動方法。

[請求項7]

アクティブマトリクス基板と対向基板との間に、電圧無印加時に液晶分子の配列が不規則な状態となる第1表示状態と、電圧印加時に液晶分子の配列が規則的な状態となる第2表示状態となる光拡散型液晶を封入してなる液晶表示装置の駆動方法であって、

上記アクティブマトリクス基板には、表示すべき画像を表す複数の映像信号をそれぞれ伝達するための複数のデータ信号配線と、上記複数のデータ信号配線と交差する複数の走査信号配線と、上記複数のデータ信号配線と上記複数の走査信号配線との交差点にそれぞれ対応してマトリクス状に配置された画素電極と、上記画素電極毎に設けられ、上記データ信号配線によって伝達される映像信号に基づいて、上記第1表示状態を実現するための第1表示データを、第1供給配線を介

して取り込むと共に、上記第2表示状態を実現するための第2表示データを、第2供給配線を介して取り込み、それぞれのデータを記憶する表示データ記憶回路とが形成され、

上記対向基板には、上記アクティブマトリクス基板の画素電極に対向し、当該画素電極に印加される電圧に同期して対向電圧を上記光拡散型液晶に印加する対向電極が形成され、

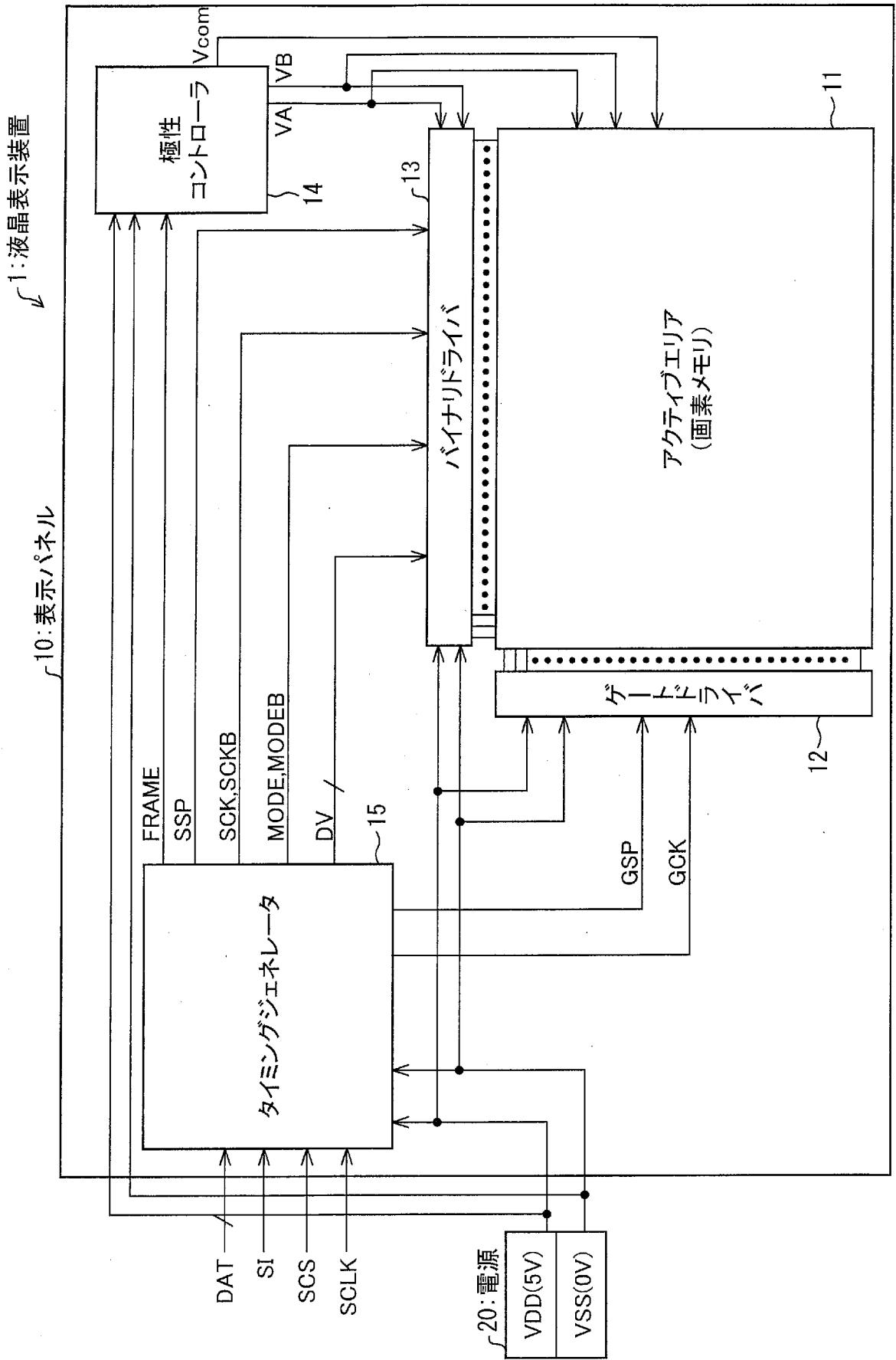
上記データ信号配線に供給される映像信号に応じた電圧が上記画素電極に印加される期間を映像信号の書込み期間、次の映像信号の書込み期間までの期間を映像信号の非書込み期間としたとき、

上記非書込み期間に、上記データ信号配線に対して上記対向電極に供給されている信号と同相または逆相の信号を供給することを特徴とする液晶表示装置の駆動方法。

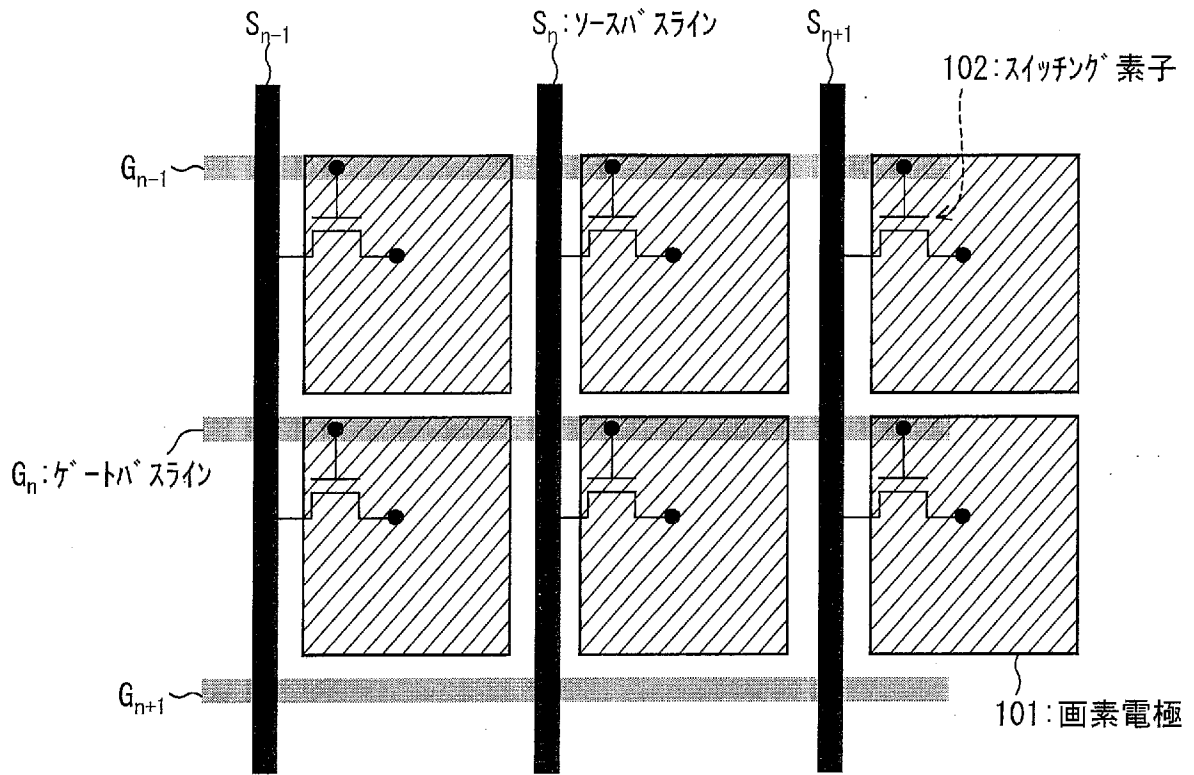
[請求項8]

請求項1または4に記載の液晶表示装置を備えた電子機器。

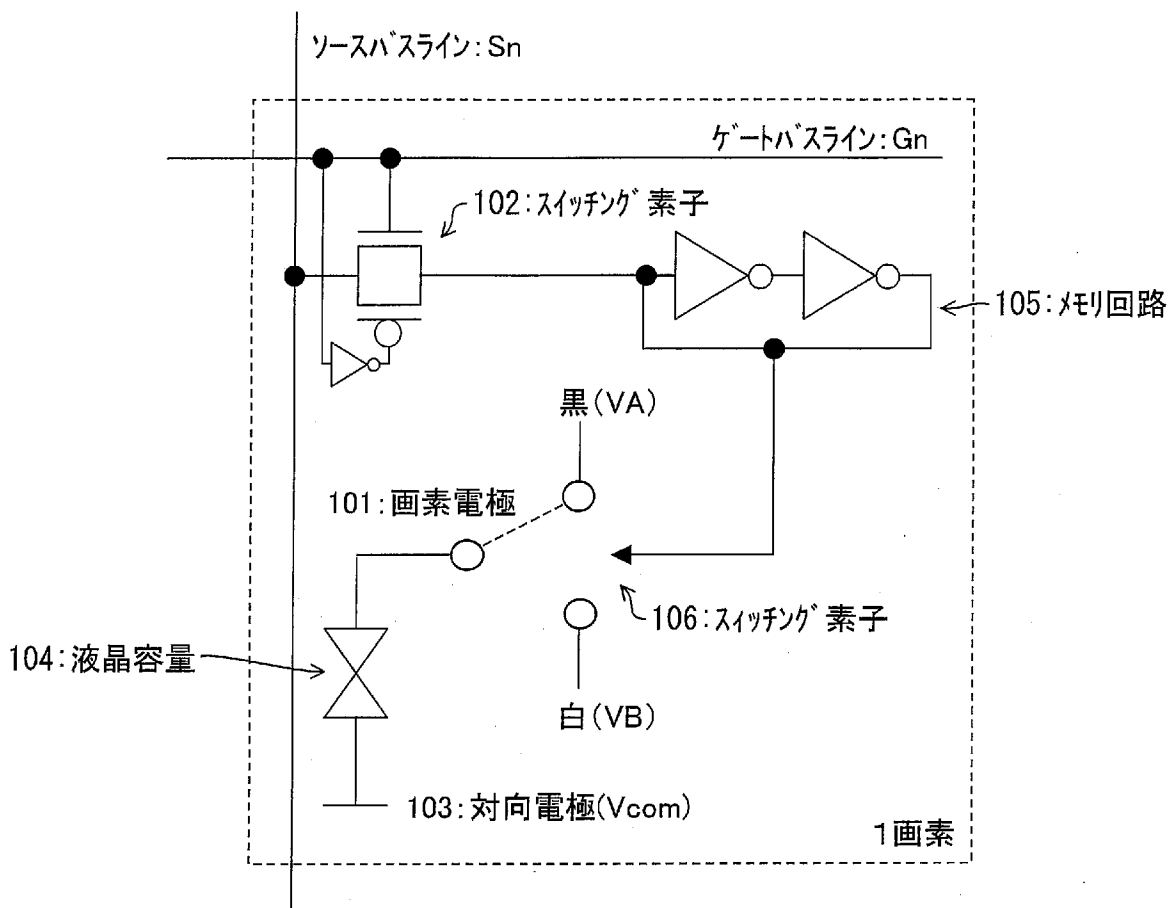
【図1】



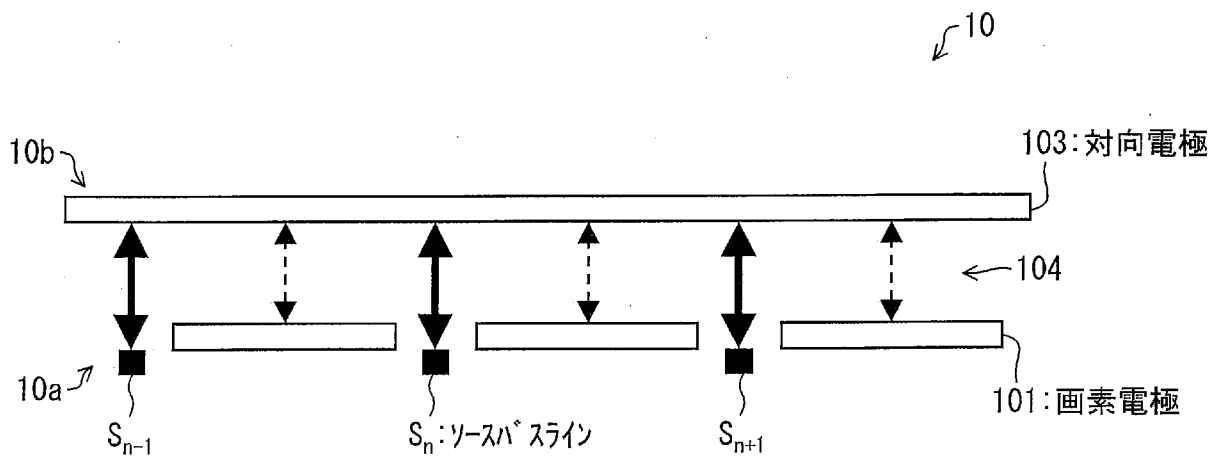
[図2]



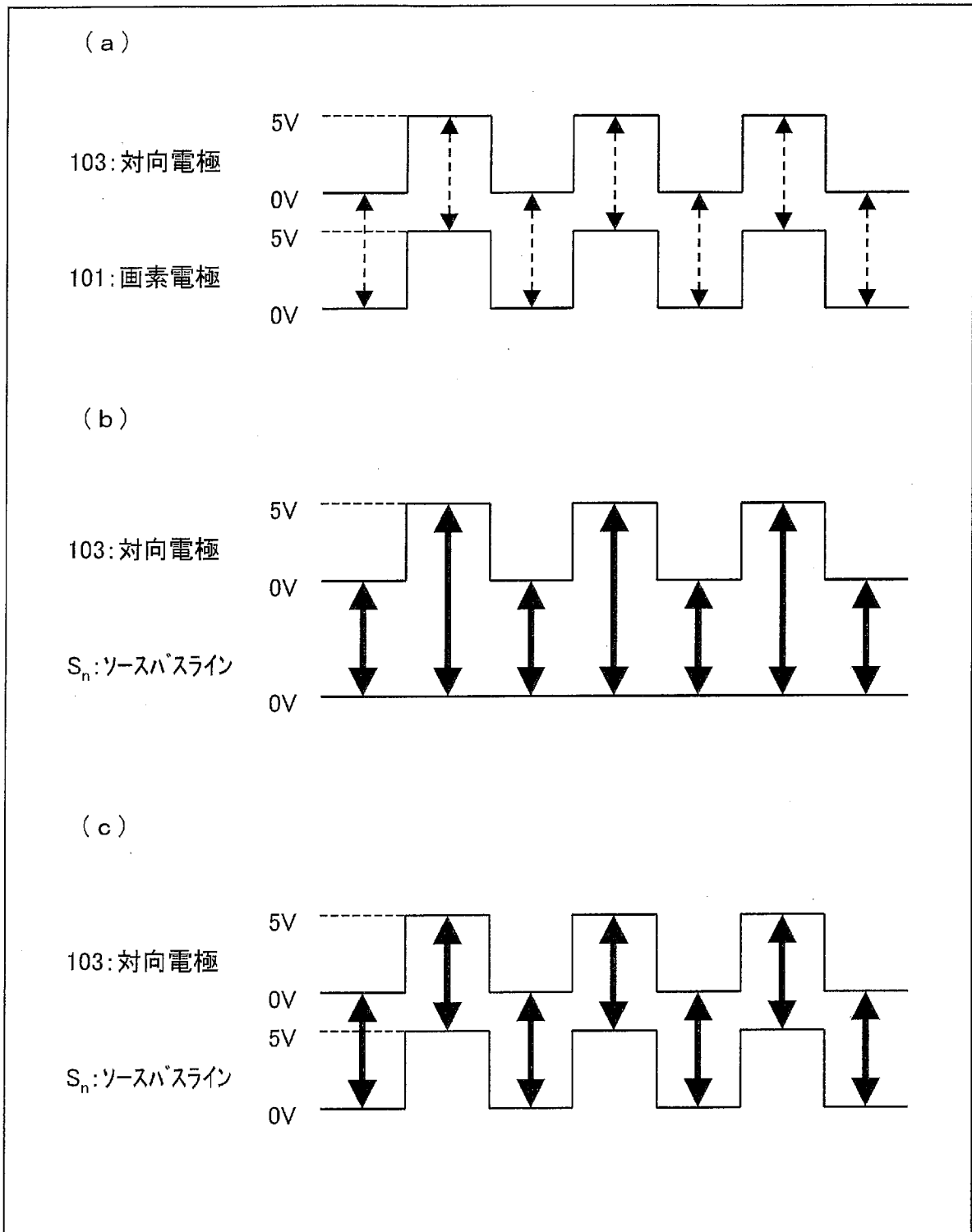
[図3]



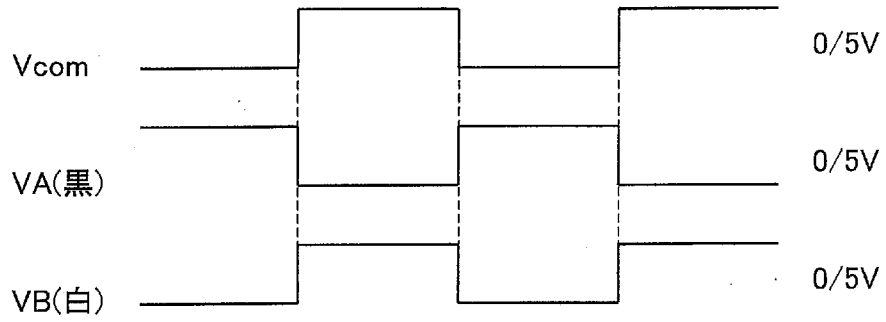
[図4]



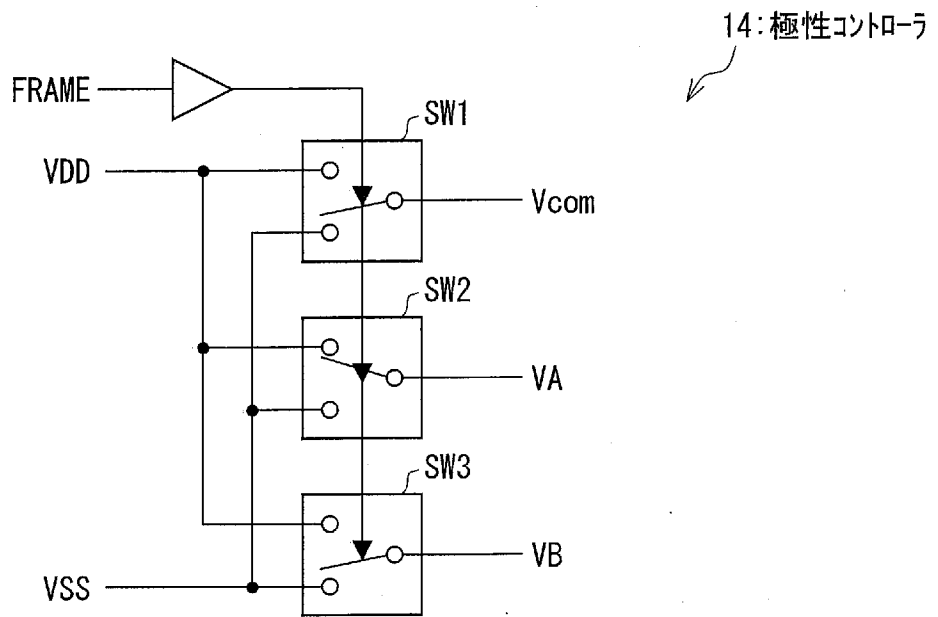
[図5]



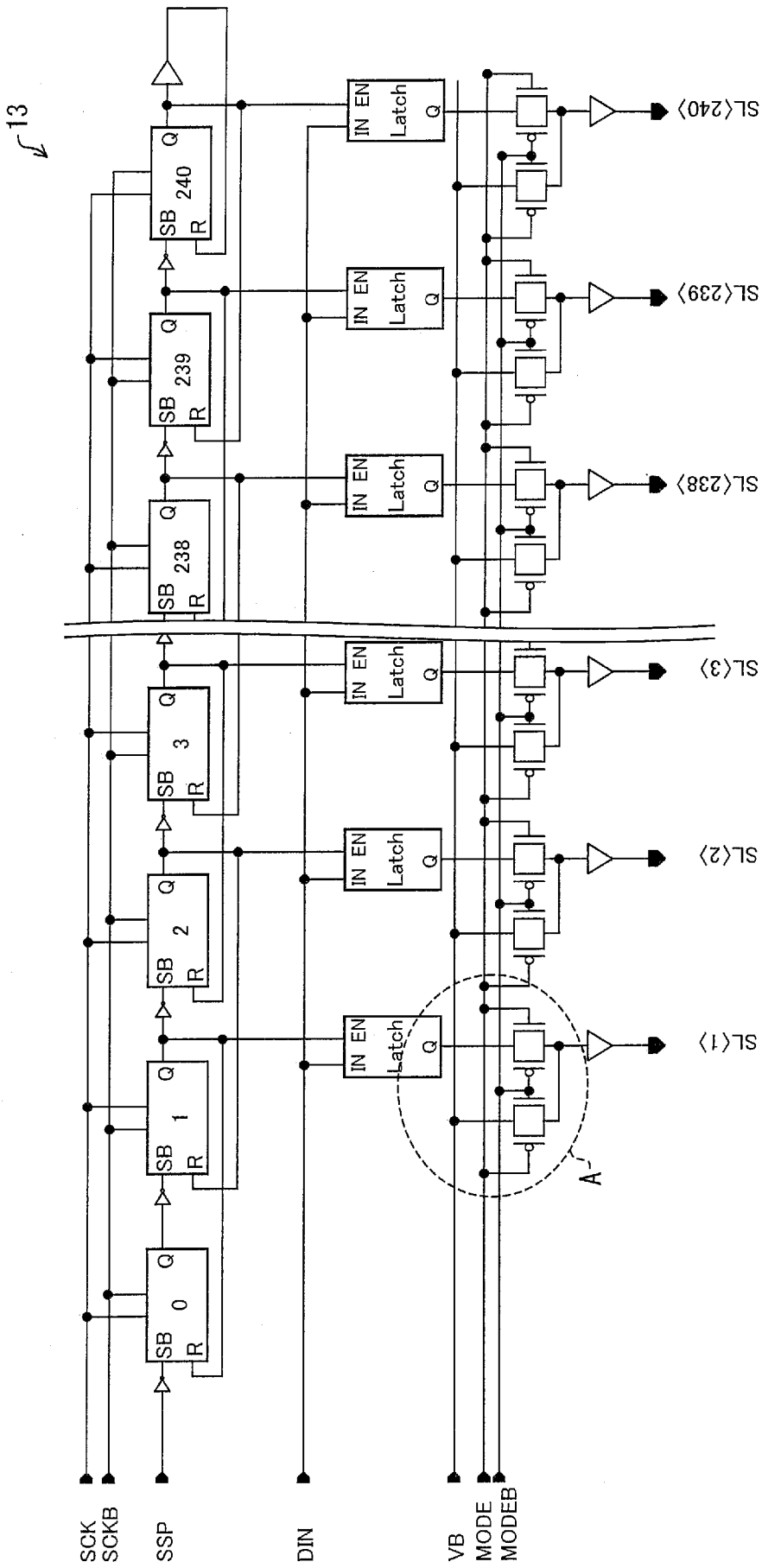
[図6]



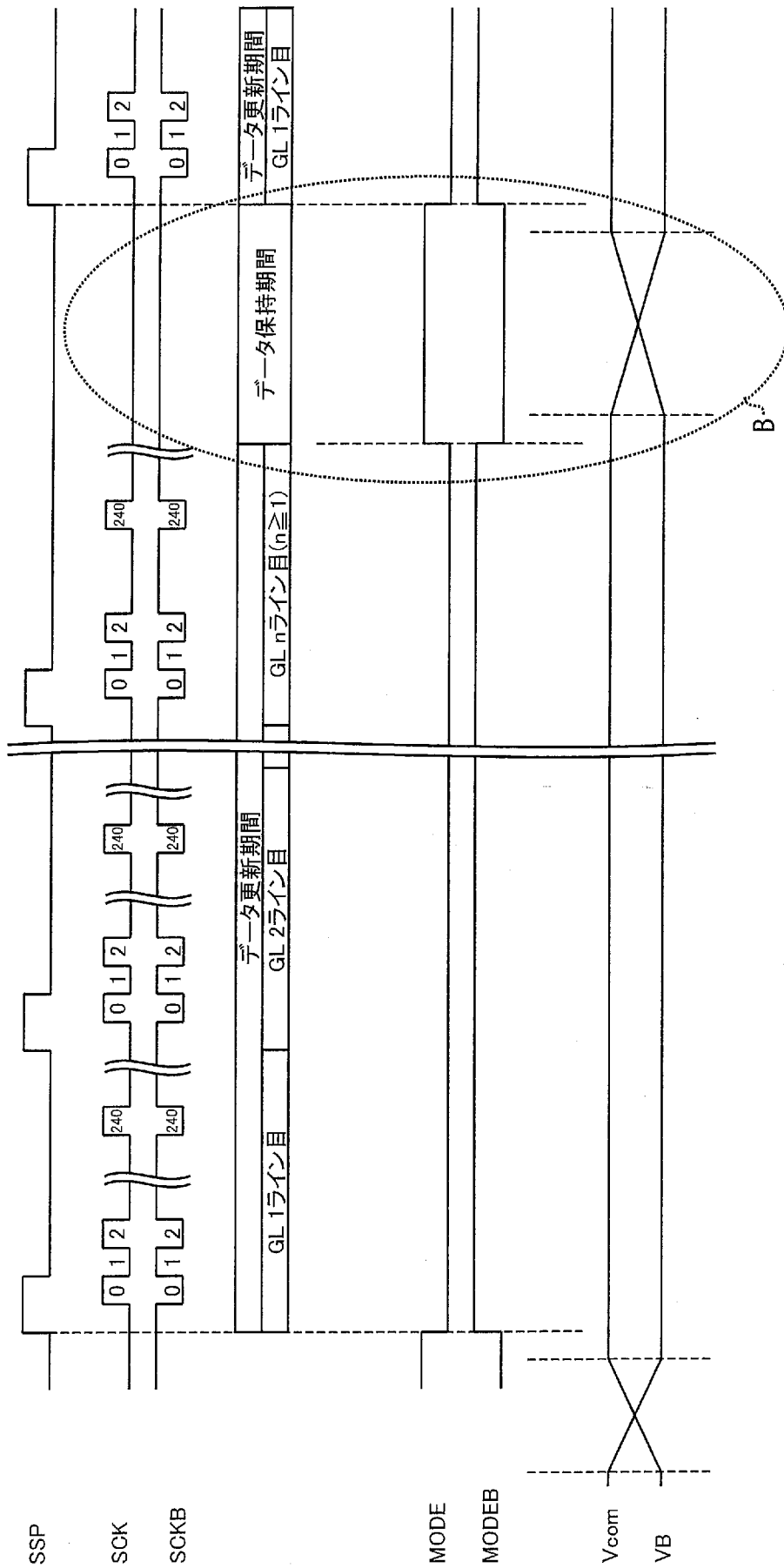
[図7]



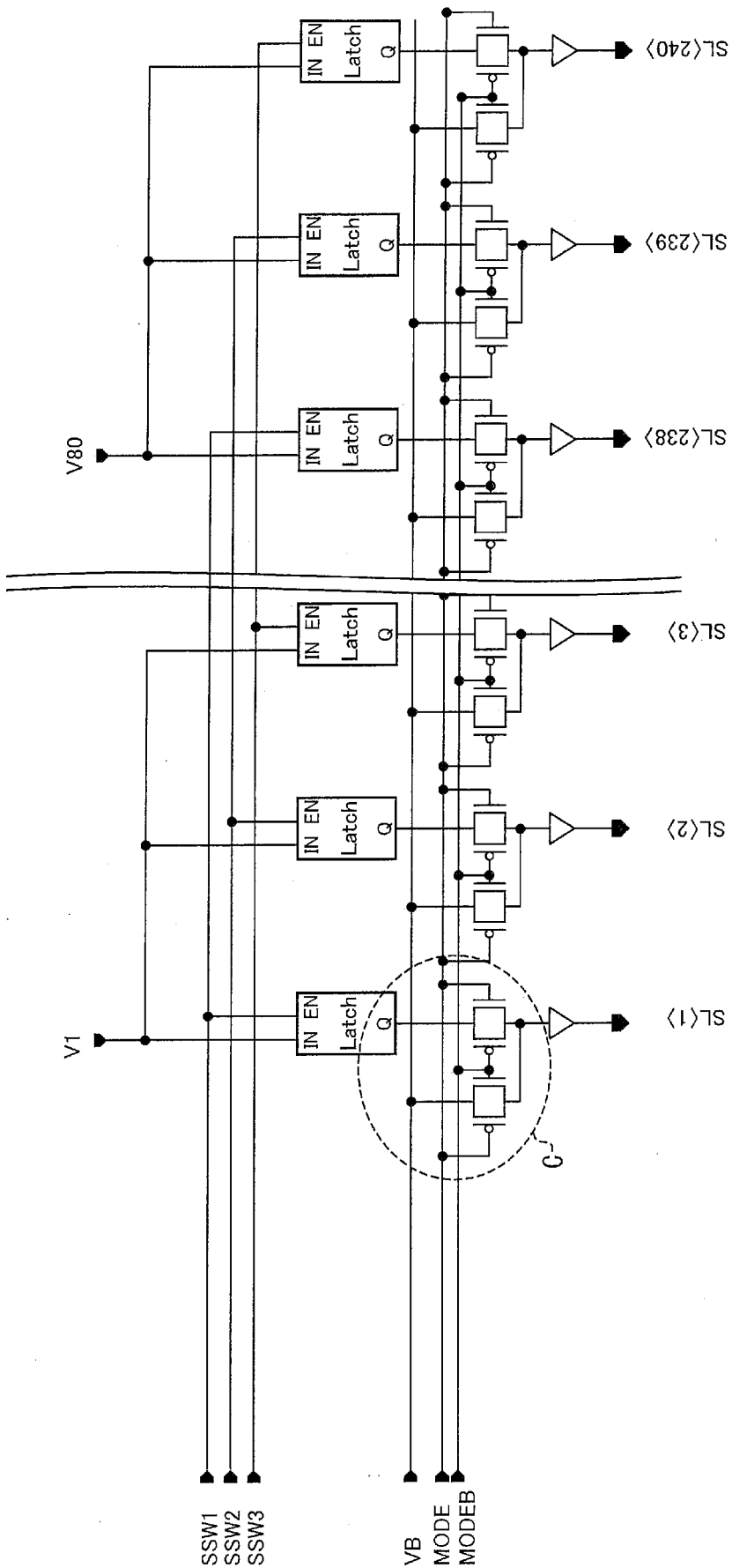
[8]



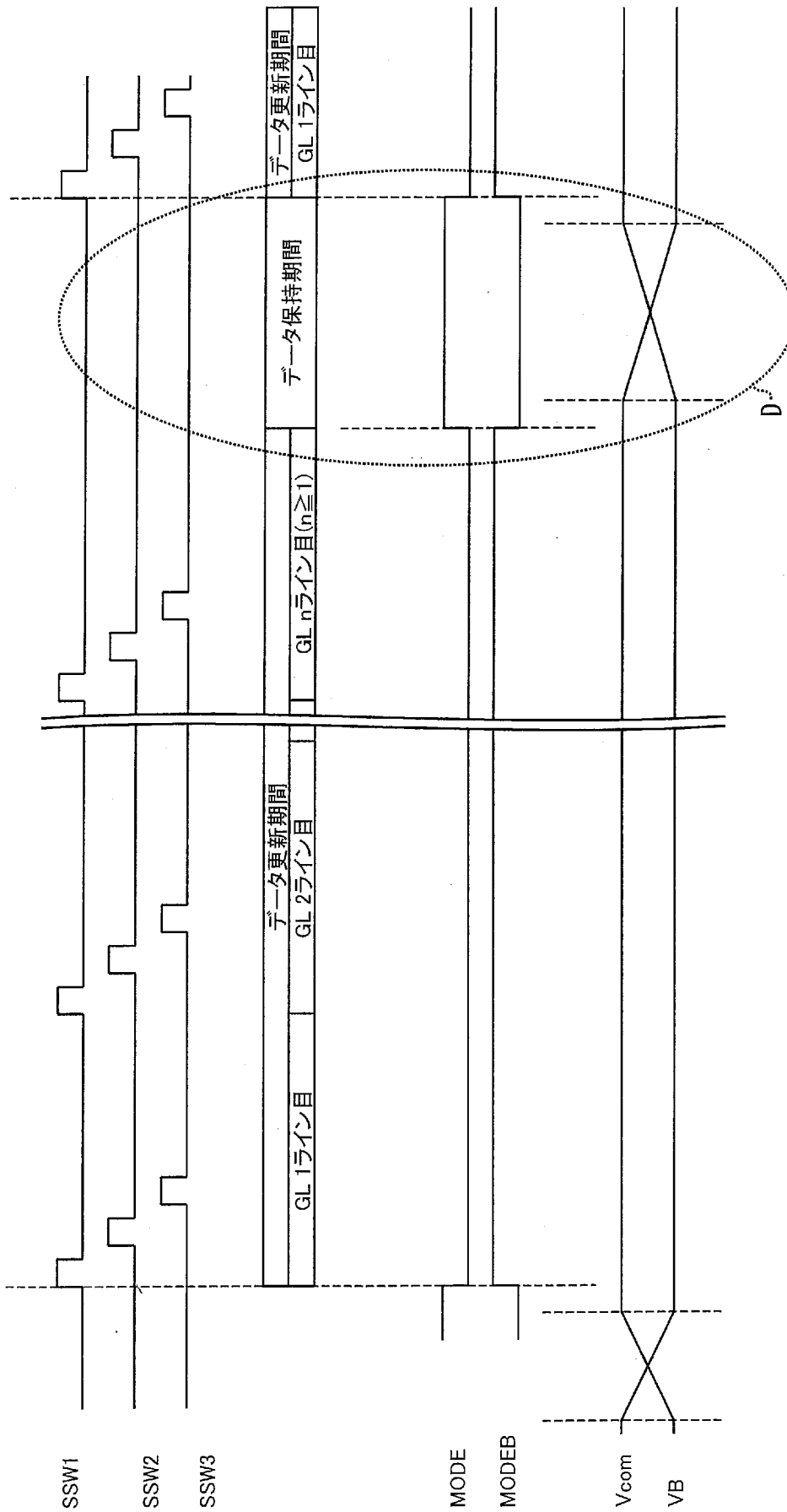
[図9]



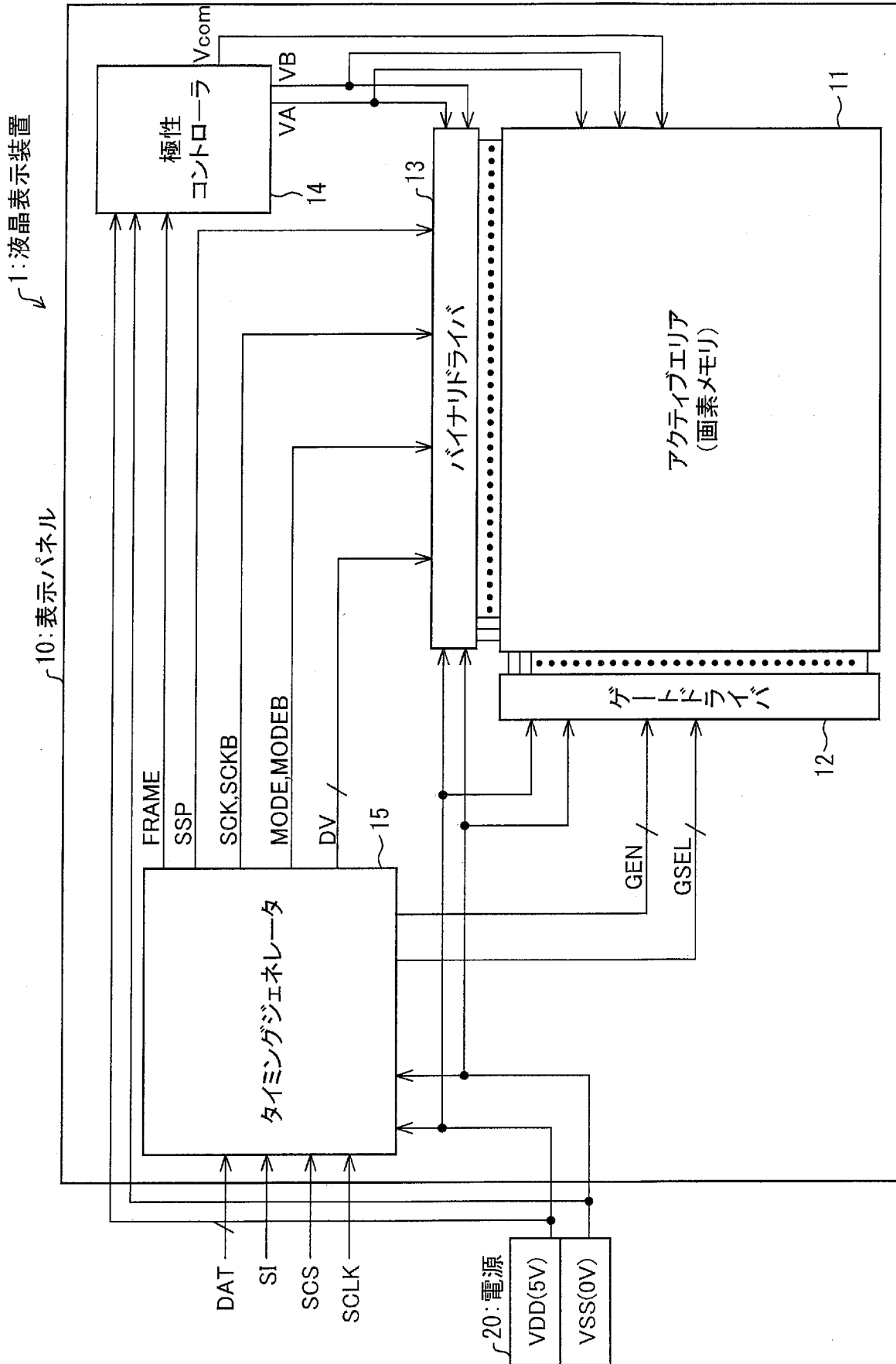
[10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/068756

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-182619 A (Sharp Corp.), 26 June 2002 (26.06.2002), paragraphs [0063] to [0075], [0125] to [0129], [0142]; fig. 5, 12, 13 & US 2005/0140632 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	1-3, 6, 8 4-5, 7
Y	JP 8-286170 A (Toshiba Corp.), 01 November 1996 (01.11.1996), paragraphs [0081], [0115] to [0154]; fig. 10 to 11 & US 5712652 A & KR 10-0177016 B	4, 7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 November, 2010 (08.11.10)Date of mailing of the international search report
16 November, 2010 (16.11.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/068756

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-311901 A (Sanyo Electric Co., Ltd.), 25 October 2002 (25.10.2002), paragraph [0040] & US 6885359 B2 & EP 1249821 A2 & TW 583434 B & KR 10-2002-0079562 A & CN 1380638 A	5
P, Y	WO 2010/035548 A1 (Sharp Corp.), 01 April 2010 (01.04.2010), entire text; all drawings (Family: none)	4, 7

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2010年
 日本国実用新案登録公報 1996-2010年
 日本国登録実用新案公報 1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-182619 A (シャープ株式会社) 2002.06.26, 【0063】 ～【0075】, 【0125】～【0129】, 【0142】, 図5, 1 2, 13 & US 2005/0140632 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	1-3, 6, 8 4-5, 7
Y	JP 8-286170 A (株式会社東芝) 1996.11.01, 【0081】, 【011 5】～【0154】, 図10～11 & US 5712652 A & KR 10-0177016 B	4, 7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
 08.11.2010

国際調査報告の発送日
 16.11.2010

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 鳥居 祐樹
 2G 4070
 電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-311901 A (三洋電機株式会社) 2002. 10. 25, 【0040】 & US 6885359 B2 & EP 1249821 A2 & TW 583434 B & KR 10-2002-0079562 A & CN 1380638 A	5
P, Y	WO 2010/035548 A1 (シャープ株式会社) 2010. 04. 01, 全文、全図 (フ ァミリーなし)	4, 7