

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-142401
(P2007-142401A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	5FO32
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B	5F152
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 F	
HO 1 L 23/52 (2006.01)	HO 1 L 27/12 L	
HO 1 L 21/20 (2006.01)	HO 1 L 27/12 C	

審査請求 未請求 請求項の数 20 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2006-303404 (P2006-303404)
 (22) 出願日 平成18年11月8日 (2006.11.8)
 (31) 優先権主張番号 11/164345
 (32) 優先日 平成17年11月18日 (2005.11.18)
 (33) 優先権主張国 米国 (US)

(71) 出願人 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MASCHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード
 (74) 代理人 100108501
 弁理士 上野 剛史
 (74) 代理人 100112690
 弁理士 太佐 種一
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

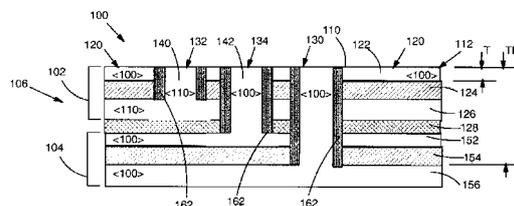
(54) 【発明の名称】 基板、方法 (1つまたは複数のSOI領域またはバルク半導体領域あるいはその両方を有するハイブリッド結晶表面配向基板)

(57) 【要約】

【課題】単一スタック内で互いに結合された複数の絶縁体上半導体(SOI)ウエハを含む半導体デバイス用の基板を提供すること。

【解決手段】このスタックの遠位端は、第1表面配向を有するある厚さの第1半導体層を伴う第1のSOI領域を含む。この単一スタックの表面はさらに、非SOI領域、または少なくとも1つの第2のSOI領域、あるいはその両方を含み得る。この非SOI領域は、単一スタックのすべての絶縁体層を貫通して延び、かつ、第1シリコン層と異なる厚さを有するバルク・シリコンを含み得る。第2のSOI領域はそれぞれ、厚さが第1半導体層の厚さと異なるか、または表面配向が第1表面配向と異なるか、あるいはその両方とも異なる第2の半導体層を有する。そのため、この基板により、表面配向が異なるか、または厚さが異なるか、あるいはバルクまたはSOIと構造が異なるか、あるいはこれら異なるものが組み合わせられた最適な基板領域上に異なるデバイスを形成することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体デバイス用の基板であって、
スタックを備え、前記スタックは、

第 1 表面配向を有する第 1 半導体層、第 2 表面配向を有する第 2 半導体層、およびこれら
の間の第 1 絶縁体層を含む第 1 の絶縁体上半導体 (SOI) ウエハと、

第 3 表面配向を有する第 3 半導体層、第 4 表面配向を有する第 4 半導体層、およびこれ
らの間の第 2 絶縁体層を含む少なくとも 1 つの第 2 の絶縁体上半導体 (SOI) ウエハと

、
前記第 1 の SOI ウエハと前記少なくとも 1 つの第 2 の SOI ウエハの 1 つとの間の酸化絶縁体層と、 10

前記第 1 半導体層を含む前記第 1 の SOI ウエハの第 1 の SOI 領域および少なくとも
1 つの第 2 領域を含む、前記スタックの遠位端とを備え、前記少なくとも 1 つの第 2 領域
は、

前記スタックのすべての絶縁体層を貫通して延び、かつ、前記第 1 の SOI 領域の前記
第 1 半導体層の厚さと異なる厚さを有するバルク半導体領域と、

半導体の厚さおよび表面配向の少なくとも 1 つが、前記第 1 半導体層の厚さおよび前記
第 1 半導体層の表面配向と異なる第 2 の SOI 領域のうち 1 つを含み、

前記第 1、第 2、第 3、および第 4 の表面配向の少なくとも 1 つは、他の表面配向と異
なる、基板。 20

【請求項 2】

少なくとも 1 つの半導体層は、シリコン、ゲルマニウム、シリコン・ゲルマニウム、シ
リコン・ゲルマニウム上の歪シリコン、および歪シリコンの 1 つを含む、請求項 1 に記載
の基板。

【請求項 3】

前記表面配向は、 $\langle 100 \rangle$ 、 $\langle 110 \rangle$ 、および $\langle 111 \rangle$ からなる群から選択され
る、請求項 1 に記載の基板。

【請求項 4】

前記第 1 の SOI 領域以外の各領域は、周囲構造から前記各領域を分離するトレンチ分
離を含む、請求項 1 に記載の基板。 30

【請求項 5】

前記トレンチ分離は、二酸化シリコンおよび窒化シリコンの 1 つを含む、請求項 4 に記
載の基板。

【請求項 6】

前記第 2 半導体層の上にシリコン・ゲルマニウム層をさらに備える、請求項 1 に記載の
基板。

【請求項 7】

半導体デバイス用の基板であって、

単一スタック内で互いに結合された複数の絶縁体上半導体 (SOI) ウエハを備え、前
記単一スタックの遠位端は、ある厚さおよび第 1 表面配向を有する第 1 半導体層を伴う第 1
の SOI 領域を含み、前記単一スタックの表面は、 40

前記単一スタックのすべての絶縁体層を貫通して延び、かつ、前記第 1 半導体層の厚さ
と異なる厚さを有する非 SOI 領域と、

厚さおよび表面配向の少なくとも 1 つが、前記第 1 半導体層の厚さおよび前記第 1 表面
配向と異なる第 2 半導体層を有する少なくとも 1 つの第 2 の SOI 領域のうち少なくとも
1 つを含む、基板。

【請求項 8】

前記非 SOI 領域の表面配向は前記第 1 表面配向と異なる、請求項 7 に記載の基板。

【請求項 9】

前記スタックの少なくとも 1 つの半導体層は、シリコン、ゲルマニウム、シリコン・ゲ 50

ルマニウム、シリコン・ゲルマニウム上の歪シリコン、および歪シリコンの1つを含む、請求項7に記載の基板。

【請求項10】

前記第1のSOI領域以外の各領域は、周囲構造から前記各領域を分離するトレンチ分離を含む、請求項7に記載の基板。

【請求項11】

前記非SOI領域はバルク・シリコンを含む、請求項7に記載の基板。

【請求項12】

前記表面は、 $\langle 100 \rangle$ 表面配向を有する前記第1のSOI領域と、 $\langle 110 \rangle$ 表面配向を有する第2のSOI領域と、 $\langle 100 \rangle$ 表面配向および $\langle 110 \rangle$ 表面配向の1つを有する前記非SOI領域とを含む、請求項7に記載の基板。

10

【請求項13】

前記スタック内の各SOIウエハは、酸化絶縁体層によって隣接するSOIウエハに結合する、請求項7に記載の基板。

【請求項14】

前記スタックは2枚のSOIウエハを含み、そのため、前記スタック内には3つの絶縁体層が含まれる、請求項13に記載の基板。

【請求項15】

前記表面は3つの異なる表面配向を含む、請求項7に記載の基板。

【請求項16】

半導体基板を形成する方法であって、
第1の絶縁体上半導体(SOI)ウエハを提供するステップと、
前記第1のSOIウエハに第2のSOIウエハを結合するステップと、
前記結合されたウエハの遠位半導体表面を貫通し、前記SOIウエハの他の半導体層の1つを露出させるように延びる開口を形成するステップと、
前記開口内に分離体を形成するステップと、
前記開口内で、露出した半導体層と同じ表面配向を有する半導体材料を再成長させるステップとを含む、方法。

20

【請求項17】

前記開口は前記SOIウエハのすべての絶縁体層を貫通して延び、前記半導体材料はバルク・シリコンを含む、請求項16に記載の方法。

30

【請求項18】

前記SOIウエハの異なる半導体層に別の開口を形成し、前記別の開口について分離体の形成および再成長を繰り返すステップをさらに含む、請求項16に記載の方法。

【請求項19】

少なくとも1つの再成長させた半導体材料の表面配向は、前記遠位半導体表面の表面配向と異なる、請求項18に記載の方法。

【請求項20】

前記結合ステップは、前記第2のSOIウエハの表面上に酸化絶縁体層を形成することと、前記第1のSOIウエハと第2のSOIウエハを前記酸化絶縁体層のところで接合することを含む、請求項16に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体デバイスに関し、より詳細には、1つまたは複数の絶縁体上半導体(SOI)領域、または異なる半導体デバイスを支持する非SOI領域、あるいはその両方のハイブリッド結晶表面配向を有する基板に関する。

【背景技術】

【0002】

半導体デバイスの性能の向上は、これらのデバイスの製造業者にとって不断の努力活動

50

である。現在半導体産業が直面している1つの挑戦課題は、工程の簡単さおよびトランジスタの性能を維持しつつ、単一チップ上にメモリ・デバイスおよび論理デバイスなどの異なる半導体デバイスを実装することである。これらのデバイスをシステム・オン・チップ(SoC)」と称する。というのは、動作する完全な製品用の電子回路が単一チップ上に含まれるからである。SoCの性能を向上させるために現在採用されている一手法は、異なるタイプの半導体デバイスを、それぞれ最適な表面配向を有するシリコン基板上に製作することである。本発明で用いる「表面配向(方位)」は、ウエハ表面上でのシリコン原子の結晶構造または周期的な配置を指す。異なる半導体デバイスには異なる表面配向が最適である。例えば、n型電界効果トランジスタ(nFET)は、 $\langle 100 \rangle$ 表面配向を有するシリコン上で生成することによって最適化することができ、p型電界効果トランジスタ(pFET)は、 $\langle 110 \rangle$ 表面配向を有するシリコン上で生成することによって最適化することができる。さらに、メモリ・デバイスおよびnFETは一般に、絶縁体上半導体(SOI)基板上で生成されるときに最適化され、pFETは一般に、バルク・シリコン基板上で生成されるときに最適化される。

10

20

30

40

50

【0003】

これらの基板を提供する一手法は、互いに異なる表面配向を有する2枚の基板を、これらの間に絶縁二酸化(酸化)シリコン層をはさんで結合してSOI基板を形成することを含む。しかし、当産業では、個々の応用例について単一基板上のSOI区域および非SOI区域がともに必要とされる。これらの応用例には、例えば、電力デバイスや、厚いシリコン基板により埋込シリコン・ゲルマニウム(SiGe)などの特徴から所望の歪みが得られるデバイスが含まれる。埋込酸化物の上に2種以上の厚さのシリコンを備えることが望ましいこともある。

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記に鑑みて、当技術分野では、異なる表面配向と、SOI領域および非SOI領域などの異なる構造とを有する基板が求められている。

【課題を解決するための手段】

【0005】

一実施形態では、単一スタック内で互いに結合された複数の絶縁体上半導体(SOI)ウエハを含む半導体デバイス用の基板が開示される。このスタックの遠位端は、第1表面配向を有するある厚さの第1半導体層を伴う第1のSOI領域を含む。この単一スタックの表面はさらに、非SOI領域、または少なくとも1つの第2のSOI領域、あるいはその両方を含み得る。この非SOI領域は、単一スタックのすべての絶縁体層を貫通して延び、かつ、第1シリコン層と異なる厚さを有するバルク・シリコンを含み得る。第2のSOI領域はそれぞれ、厚さが第1半導体層の厚さと異なるか、または表面配向が第1表面配向と異なるか、あるいはその両方とも異なる第2の半導体層を有する。そのため、この基板により、表面配向が異なるか、または厚さが異なるか、あるいはバルクまたはSOIと構造が異なるか、あるいはこれら異なるものが組み合わされた最適な基板領域上に異なるデバイスを形成することができる。

【0006】

本発明の第1態様では、半導体デバイス用の基板が提供される。この基板はスタックを備え、このスタックは、第1表面配向を有する第1半導体層、第2表面配向を有する第2半導体層、およびこれらの間の第1絶縁体層を含む第1の絶縁体上半導体(SOI)ウエハと、第3表面配向を有する第3半導体層、第4表面配向を有する第4半導体層、およびこれらの間の第2絶縁体層を含む少なくとも1つの第2の絶縁体上半導体(SOI)ウエハと、第1のSOIウエハと少なくとも1つの第2のSOIウエハの1つとの間の酸化絶縁体層と、第1半導体層を含む第1のSOIウエハの第1のSOI領域および少なくとも1つの第2のSOI領域を含む、スタックの遠位端とを含み、この少なくとも1つの第2のSOI領域は、このスタックのすべての絶縁体層を貫通して延び、かつ、第1のSOI

領域の第1半導体層の厚さと異なる厚さを有するバルク半導体領域と、半導体の厚さおよび表面配向の少なくとも1つが、第1半導体層の厚さおよび第1半導体層の表面配向と異なる第2のSOI領域のうち1つを含み、第1、第2、第3、および第4の表面配向の少なくとも1つは他の表面配向と異なる。

【0007】

本発明の第2態様では、半導体デバイス用の基板が提供される。この基板は、単一スタック内で互いに結合された複数の絶縁体上半導体(SOI)ウエハを備える。この単一スタックの遠位端は、ある厚さおよび第1表面配向を有する第1半導体層を伴う第1のSOI領域を含む。この単一スタックの表面は、単一スタックのすべての絶縁体層を貫通して延び、かつ、第1半導体層の厚さと異なる厚さを有する非SOI領域と、厚さおよび表面配向の少なくとも1つが、第1半導体層の厚さおよび第1表面配向と異なる第2半導体層を有する少なくとも1つの第2のSOI領域のうち少なくとも1つを含む。

10

【0008】

本発明の第3態様では、半導体基板を形成する方法が提供される。この方法は、第1の絶縁体上半導体(SOI)ウエハを提供するステップと、この第1のSOIウエハに第2のSOIウエハを結合するステップと、これらの結合されたウエハの遠位半導体表面を貫通し、これらのSOIウエハの他の半導体層の1つを露出させるように延びる開口を形成するステップと、この開口内に分離体を形成するステップと、この開口内で、露出した半導体層と同じ表面配向を有する半導体材料を再成長させるステップとを含む。

【0009】

本発明の態様の例は、本明細書で説明する問題および本明細書では論じないが当業者によって想起可能な他の問題を解決するように設計される。

20

【0010】

本発明の上記その他の特徴は、本発明の様々な態様についての以下の詳細な説明を、本発明の様々な実施形態を示す添付の図面と併せ読めばより容易に理解されよう。

【0011】

本発明の図面は実寸に比例していないことに留意されたい。これらの図面は、単に本発明の典型的な態様を示すためのものであり、したがって、本発明の範囲を限定するとみなすべきではない。図面では、同様の数字は、これらの図面の間で同様の要素を表す。

【発明を実施するための最良の形態】

30

【0012】

図1を参照すると、本発明による半導体デバイス用基板100の一実施形態が示されている。基板100は、単一のスタック106内で互いに結合された複数の絶縁体上半導体(SOI)ウエハ102、104を含む。2枚のSOIウエハ102、104しか示さないが、当業者には明らかなように、本発明の教示は、2枚のSOIウエハだけに限定されるものではない。各SOIウエハ102、104は、半導体層122、152(典型的には、シリコン、シリコン・ゲルマニウム、またはゲルマニウムの何らかの形態)と、(例えば、二酸化シリコン(SiO_2)の)絶縁体層124、154と、例えばバルク・シリコンの半導体層(基板)126、156とを含む。第1のSOIウエハ102は、第1表面配向を有する第1半導体層122と、第2表面配向を有する第2半導体層126と、これらの間の第1絶縁体層124とを含む。同様に、第2のSOIウエハ104はそれぞれ、第3表面配向を有する第3半導体層152と、第4表面配向を有する第4半導体層156と、これらの間の第2絶縁体層154とを含む。少なくとも1つの半導体層は、他の層と異なる表面配向を有する。例えば、図に示すように、半導体層126は異なる表面配向を有する。SOIウエハ102、104はそれぞれ、従来型SOIウエハ、酸素注入による分離(SIMOX)ウエハ、または結合ウエハとして提供することができる。スタック106の少なくとも1つの半導体層122、152、126、156は、シリコン、ゲルマニウム、シリコン・ゲルマニウム、シリコン・ゲルマニウム上の歪シリコン、または歪シリコンを含み得る。

40

【0013】

50

第1および第2のSOIウエハ102、104は、現在周知の、または今後開発される任意のやり方で合わせて結合される。一実施形態では、結合処理は、第2のSOIウエハ104上で酸化絶縁体層128を形成することと、第1のSOIウエハ102を接合することを含む。スタック106内の各SOIウエハ102、104は、酸化絶縁体層によって隣接するSOIウエハに同様に結合することができる。図に示す実施形態では、スタック106は、2枚のSOIウエハ102、104を含み、そのため、このスタック内には3つの絶縁体層124、154、128が含まれる。

【0014】

基板100は、単一のスタック106の遠位端112の表面110も含む。表面110は、第1表面配向を有する厚さ(T)の第1半導体層122を伴う第1のSOI領域120を含む。第1のSOI領域120は、第1のSOIウエハ102の一部として形成される。図に示すように、第1表面配向は<100>である。ただし、個々のデバイスを最適化するのに一般に用いる任意の表面配向、例えば、<100>、<110>、または<111>を用いることができる。例えば、nFETには、移動度が最大になる<100>表面配向が好ましく、pFETでは、<110>表面配向で対応する移動度が増大する。いずれにしても、上記で述べたように、本発明の一実施形態によれば、半導体層122、126、152、156の表面配向の少なくとも1つは他の表面配向と異なる。

【0015】

遠位端112はさらに、非SOI領域130、または少なくとも1つの第2のSOI領域132、134、あるいはその両方を含むことがある。各領域130、132(少なくとも1つの第2の領域)、134(少なくとも1つの第2の領域)のシリコンの厚さは、第1のSOI領域120のシリコンの厚さと異なることがある。さらに、各領域130、132、134の表面配向も、領域130、132、134をエピタキシャル成長させるシリコン層の表面配向に応じて、第1のSOI領域120の表面配向と同じこともあり、第1のSOI領域120の表面配向と異なることもある。その結果、基板100では、単一のスタック106内で、表面配向、または半導体の厚さ、または構造(例えばバルクまたはSOI)、あるいはこれらの組合せを様々に変えることができる。したがって、基板100により、単一の基板100上に様々な異なるデバイスを形成し得る。

【0016】

これらの領域の例の細部に移ると、一実施形態では、非SOI領域130は、単一のスタック106のすべての絶縁体層124、128、154を貫通して、最下部の半導体層(基板)156まで延びる。非SOI領域130は、バルク・シリコンを含み得る。その結果、非SOI領域130は、第1半導体層122の厚さ(T)と異なる厚さ(TB)を有する。さらに、以下で説明するように、非SOI領域130は、半導体層(基板)156からエピタキシャル成長させるので、半導体層(基板)156と同じ表面配向を有し、この表面配向は、第1表面配向と同じ、例えば<100>とすることもできるし、異なることもある。図に示すように、これらの表面配向は同じ、すなわち<100>である。

【0017】

第2の各SOI領域132、134は、それぞれ第2半導体層140、142を有することがある。これらの半導体層の厚さおよび表面配向の少なくとも1つは、シリコン層等の第1半導体層122の厚さおよび第1表面配向と異なる。図に示すように、第2のSOI領域132は、<110>表面配向を有し、第2のSOI領域134は、<100>表面配向を有する。第2の各SOI領域132、134は、第1半導体層122の厚さ(T)と異なる厚さを有する。第2のSOI領域132、134の表面配向および厚さは、領域132、134をエピタキシャル成長させる半導体層に基づいて決まることがある。一実施形態では、図に示すように、第1のSOI領域120は<100>表面配向を有するが、第2のSOI領域132は<110>表面配向を有し、第2のSOI領域134は<100>表面配向を有し、非SOI領域130は(図示する)<100>または<110>の表面配向を有する。ただし、所望の場合には、遠位端112は、3つの異なる表面配向を含み得る。例えば、第1のSOI領域120を<100>表面配向とし、第2のSOI

10

20

30

40

50

I領域132を<110>表面配向とし、非SOI領域130または第2のSOI領域134、あるいはその両方を<111>表面配向とし得る。

【0018】

第1のSOI領域120以外の各領域130、132、134は、例えば二酸化シリコン(SiO_2)などのトレンチ分離162を含む。

【0019】

図2~図6に移り、半導体用の基板100を形成する方法の一実施形態を説明する。基板100は、本明細書では説明しないが、本発明の範囲に含まれるとみなされる他の様々な方法で形成し得ることを理解されたい。図2および図3を参照すると、第1ステップでは、第1のSOIウエハ102が提供され、次いで、第2のSOIウエハ104に結合される。上記で述べたように、この結合ステップは、現在周知の、または今後開発される任意のウエハ結合方法を含み得る。一実施形態では、図3に示すように、この結合ステップは、第2のSOIウエハ104の表面上に酸化絶縁体層128を形成し、酸化絶縁体層128のところで第1のSOIウエハ102と第2のSOIウエハ104を接合することを含み得る。ただし、現在周知の、または今後開発される他の様々な結合技術も可能であることを理解されたい。例えば、酸化絶縁体層128なしで、第1のSOIウエハ102と第2のSOIウエハ104を結合する。これを例えばシリコン-シリコン結合と称する。

10

【0020】

図4に示すように、次のステップは、結合されたウエハの遠位半導体表面、すなわち遠位端112の半導体層122を貫通して開口180を形成することを含む。一実施形態では、開口180は、マスク182を被着させ、マスク182をパターン化し、スタック106内の選択した深さまでエッチング(184)することによって形成される。このエッチングは、例えば、テトラフルオロメタン(CF_4)などの化学物質を使用する反応性イオン・エッチング(RIE)、あるいは重合エッチングとする。すなわち、開口180は、SOIウエハ102、104の他の半導体層126、152、156の1つを露出させるように延びる。図に示すように、開口180は、半導体層126を露出させる。ただし、これは任意の半導体層とし得る。さらに、所望の場合には、任意の時点で、2つ以上の開口180を形成し得る。次いで、マスク182を除去する。

20

【0021】

次に、図5に示すように、任意の従来のやり方で開口180内にトレンチ分離162を形成して、形成中の周囲の構造からこの領域を分離する。一実施形態では、このステップの第1部分は、例えば二酸化シリコン(SiO_2)または窒化シリコン(Si_3N_4)あるいはその両方を含み得る側壁スペーサ160を形成することを含む。側壁スペーサ160の厚さは、この構造の必要性に応じて、例えば20~200nmとすることがある。やはり図5に示すように、次のステップは、開口180内で半導体材料190を再成長させることを含む。この成長は、用いられるマスク方式に応じて選択的とすることもできるし、非選択的としてもよい。半導体材料190が表面110に達するまで成長を継続させる。あるいは、化学機械研磨(CMP)によって表面110と合うように平坦化することができる。シリコンなどの半導体材料190は、露出した半導体層、すなわち、図に示すように半導体層126と同じ表面配向を有する。

30

40

【0022】

図6に示すように、分離形成ステップの第2部分は、各側壁スペーサ160(図5)をトレンチ分離162で置き換えることを含み得る。トレンチ分離162は、例えば、二酸化シリコン(SiO_2)または窒化シリコン(Si_3N_4)あるいはその両方とし得る。この分離ステップは、ここで説明するのと異なる形態で実現することができる。例えば、これらの分離部は、半導体材料を再成長させた後で形成してもよい。トレンチ分離162により、各領域内に異なるデバイスを形成することができ、側壁スペーサ160に隣接する一般に欠陥を含むエピタキシャル成長部が除去される。すなわち、トレンチ分離162用にエッチングするトレンチは、側壁スペーサ160よりも広い。

【0023】

50

図1に示すように、多数の領域130、132、134を形成し得るように、上記で説明した開口形成ステップ、分離形成ステップ、および再成長ステップを繰り返すことができることを理解されたい。例えば、この方法は、SOIウエハ102、104の異なる半導体層に別の開口を形成するステップと、分離形成ステップおよび再成長ステップを繰り返して、例えば、非SOI領域130または別の第2のSOI領域134を形成するステップとを含み得る。非SOI領域130については、開口180は、SOIウエハ102、104のすべての絶縁体層124、128、154を貫通して延び、そのため、再成長した半導体材料は、層156のバルク・シリコン等のバルク半導体層(基板)を含むことになる。いずれにしても、基板100により、遠位半導体層122の表面配向と異なる表面配向を有する少なくとも1つの再成長した半導体材料が得られる。

10

【0024】

この時点で従来の半導体処理を継続して行い、それによって、基板100の非SOI領域130上にある種のデバイス形成し、複数の表面配向のSOI領域120、132、134上に、あるいは、ゲルマニウム(Ge)またはシリコン・ゲルマニウム(SiGe)などの複数の結晶の一部として他の高性能デバイスを形成することができる。すなわち、半導体層122、126、152、156の1つは、最初から、例えば、シリコンの代わりにSiGe、あるいは、シリコン・オン・インシュレータの代わりにシリコン・ゲルマニウム・オン・インシュレータを含むことができる。代替実施形態では、まず、半導体基板156がシリコン基板である場合に、その上にSiGe層を被着させ、それによって、2重埋込酸化絶縁体層128、154が同時にSiGe材料およびSi材料の中にあるようにすることができる。この構造により、SiGe層の上に歪シリコン層を成長させる可能性が得られ、そのため、層の別の組合せを設けることができる。マスクまたはエッチング深さに関してこのプロセスを変更してわずかに改変された構造を形成することができることと、これらの改変は本発明の範囲に含まれるとみなされることを理解されたい。

20

【0025】

本発明の様々な態様の上記の説明は、例示し説明するために提示したものである。本発明を網羅的に示し、また、本発明をここで開示したそのままの形態に限定することは意図しておらず、明らかに、多くの改変形態および変形形態が可能である。当業者には明らかであり得るこのような改変形態および変形形態は、添付の特許請求の範囲で定義する本発明の範囲に含まれることが意図されている。

30

【図面の簡単な説明】

【0026】

【図1】本発明による基板の一実施形態を示す図である。

【図2】2枚のSOIウエハを示す図である。

【図3】図1の2枚のSOIウエハを合わせて結合してスタックにしたところを示す図である。

【図4】本発明による方法の一実施形態のステップを示す図である。

【図5】本発明による方法の一実施形態のステップを示す図である。

【図6】本発明による方法の一実施形態のステップを示す図である。

【符号の説明】

40

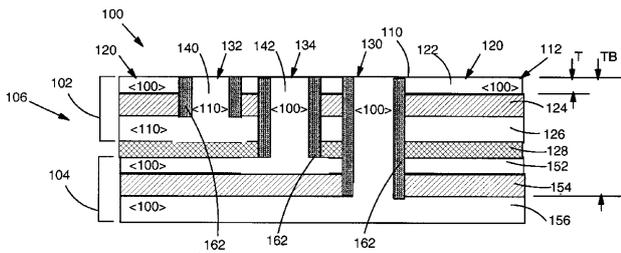
【0027】

- 100 基板
- 102 絶縁体上半導体(SOI)ウエハ
- 104 絶縁体上半導体(SOI)ウエハ
- 106 スタック
- 110 表面
- 112 遠位端
- 120 第1のSOI領域
- 122 半導体層
- 124 絶縁体層

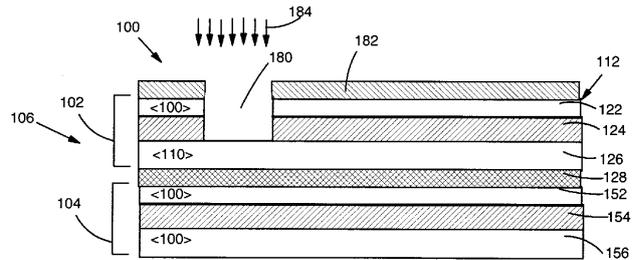
50

- 1 2 6 半 導 体 層 (基 板)
- 1 2 8 酸 化 絶 縁 体 層
- 1 3 0 非 S O I 領 域
- 1 3 2 第 2 の S O I 領 域
- 1 3 4 第 2 の S O I 領 域
- 1 4 0 第 2 の 半 導 体 層
- 1 4 2 第 2 の 半 導 体 層
- 1 5 2 半 導 体 層
- 1 5 4 絶 縁 体 層
- 1 5 6 半 導 体 層 (基 板)
- 1 6 0 側 壁 ス ペ ー サ
- 1 6 2 ト レ ン チ 分 離
- 1 8 0 開 口
- 1 8 2 マ ス ク
- 1 8 4 エ ッ チ ン グ
- 1 9 0 半 導 体 材 料

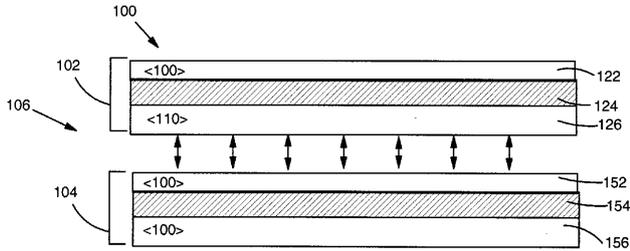
【 図 1 】



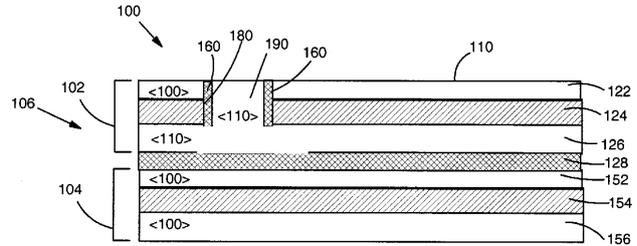
【 図 4 】



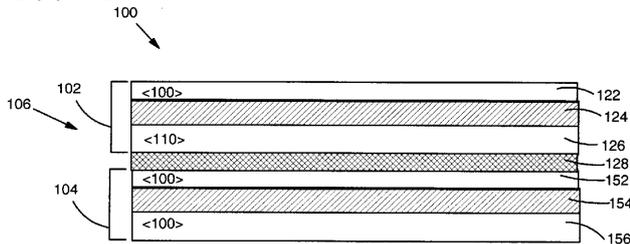
【 図 2 】



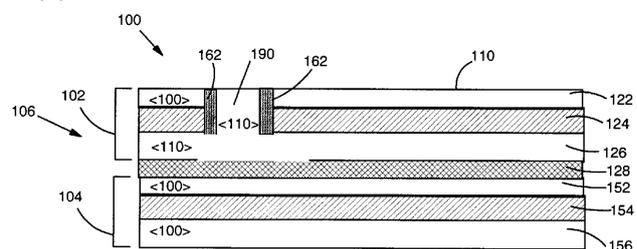
【 図 5 】



【 図 3 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 H 0 1 L 21/02 B
 H 0 1 L 21/20

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ドミニク・ジョセフ・シェピス

アメリカ合衆国 1 2 5 9 0 ニューヨーク州 ワッピンガーズ フォールズ ノース ヒルサイド
 レーク ロード 8 9 0

(72)発明者 ジュードン・リー

アメリカ合衆国 1 2 5 3 3 ニューヨーク州 ホープウェル ジャンクション デイビス コート
 2

(72)発明者 デブンドラ・ケイ・サダナ

アメリカ合衆国 1 0 5 7 0 ニューヨーク州 プレザントビル スカイ トップ ドライブ 9 0

(72)発明者 ガバム・ジー・シャヒディ

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン ハイツ P . O . B o x 2 7 9

Fターム(参考) 5F032 AA01 AA06 AA07 AA34 AA44 AA46 AA67 AA82 AA91 BA03

BA06 BB01 CA09 DA16 DA25 DA33 DA78

5F152 LM02 LM04 LM09 LN07 LN32 LP01 LP02 MM03 MM19 NN03

NN04 NN15 NN27 NN29 NQ03 NQ04 NQ17