

公告本

申請日期	88 年 1 月 29 日
案 號	88101403
類 別	G07F 50

A4
C4

556013

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	光電裝置及該製造方法以及電子機器
	英 文	
二、發明 人	姓 名	(1) 村出正夫
	國 籍	(1) 日本 (1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內
三、申請人	住、居所	
	姓 名 (名稱)	(1) 精工愛普生股份有限公司 セイコーエプソン株式会社
	國 籍	(1) 日本 (1) 日本國東京都新宿區西新宿二丁目四番一號
	代 表 人 姓 名	(1) 安川英昭

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區)	申請專利, 申請日期:	案號:	, <input type="checkbox"/> 有 <input type="checkbox"/> 無主張優先權
日本	1998 年 1 月 30 日	10-20002	<input checked="" type="checkbox"/> 有主張優先權
日本	1998 年 8 月 3 日	10-219433	<input checked="" type="checkbox"/> 有主張優先權
日本	1998 年 9 月 25 日	10-272118	<input checked="" type="checkbox"/> 有主張優先權

有關微生物已寄存於：, 寄存日期：, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係屬於薄膜電晶體(以下以TFT稱之)所成主動矩陣驅動方式之液晶裝置等之光學裝置及該製造方法之技術領域,尤其屬於內藏資料線驅動電路或掃描線驅動電路等之周邊電路的周邊電路內藏型中,於TFT之下側設置遮光膜形式之液晶裝置等之光電裝置及該製造方法的技術領域。

【以往之技術】

以往,於挾持液晶之一對基板一方之TFT陣列基板上,形成資料線驅動電路、掃描線驅動電路、取樣電路等之周邊電路。此等之周邊電路係由製造效率等之觀點,經由使用與為進行施加於設於各畫素之各畫素電極的畫像信號之開關控制的TFT(以下稱畫素開關用TFT)同一構造之製造步驟所形成者為一般的。然後,於TFT陣列基板,於對向於液晶之畫像顯示範圍內,多數之資料線及掃描線相交叉加以配線。又,在於此畫像顯示範圍外,對向於為封入液晶之密封材的密封範圍或更位於該外側的周邊範圍中,配線周邊電路之輸出入配線。更具體而言,做為周邊電路之輸出入配線,自資料線、掃描線及容量線之拉出配線等則設於密封範圍下,連接於外部電路連接端子之畫像信號線、控制信號線、電源配線、時脈信號線等則設於周邊範圍。

特別做為周邊電路,具備取樣電路的液晶裝置中,介

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

由外部電路連接端子，畫像信號供給畫像信號線時，經由自資料線驅動電路以所定取樣輸出之取樣電路驅動信號，取樣電路之各取樣開關則對每資料線加以取樣地加以構成。

在此，畫像信號線係供給規定液晶施加電壓的畫像信號的信號線之故，該畫像信號之延遲為低之時，在於防止畫質劣化上極為重要。為此，構成液晶裝置之配線材料中之最低阻抗，通常係自形成資料線所使用之 Al (鋁) 等之金屬膜，形成畫像畫像信號線。

對此，令掃描線自金屬膜或金屬矽化物膜形成之技術係於掃描線形成後之高溫工程中，由於會產生掃描線之膜剝落等之理由，而無法實用化，掃描線係通常以多矽膜加以形成。此多矽膜之密封材阻抗係例如與 Al 等之金屬膜所成密封阻抗比較，有多數十倍，配線阻抗自然變大。因此，假使自多矽膜形成畫像信號線之時，由於該配線阻抗之變大，而產生信號之延遲，而引起畫質之劣化。為此，實際上畫像信號線係如前述，由金屬膜所形成。

於如此構成之周邊電路內藏型之液晶裝置中，畫像信號線為一條之時，自設於基板端部之外部電路連接端子，至取樣電路之各取樣開關，可經由在於基板同一層（即經由同一工程所形成）之金屬膜加以配線。但是，例如為對應液晶裝置之高頻驅動，對於串列－平行變換之畫像信號，對應串列－平行變換數，畫像信號線需複數條之時，或對 RGB 之彩色畫像信號，為分別色彩畫像信號線需複數

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(3)

條等之時等，至各取樣開關期間，至少一條之畫像信號線與其他之畫像信號線呈交差時，會無法加以配線。即，僅使用同一層之金屬膜，不可能將所有複數之畫像信號線加以配線。為此，對該金屬膜介由層間絕緣膜，將在於別層之多矽層做為中斷配線（第1配線部）加使用處理。更具體而言，交叉之處中，令一方之配線，做為低阻抗之金屬膜所成第2配線部加以構成。然後，令另一方之配線，介由層間絕緣膜，將第2配線部之下或上立體地加以交叉地，介由於交叉處之前後開孔之連接孔，於金屬膜所成配線部分，做為，電氣連接之多矽膜所成第1配線部加以構成。

如以上所述，僅將交叉處呈多矽膜所成之第1配線部，將此外之處呈低阻抗之金屬膜所成第2配線部時，多矽膜所成中繼配線之長度則僅需極短即可，該多矽膜所成中斷配線存在所造成之畫像信號線整體之時定數的上昇，幾乎成為實用上問題。

【發明所欲解決之問題】

在於近來畫質提升之一般的要求下，所謂XGA方式、SXGA方式等之液晶裝置之驅動周邊數係更為提高，伴隨而來串列-平行變換數亦例如呈24相而變得很多。

但是，如是地多數地串列-平行變換時，並列配置之畫像信號線數當然亦變多，對應於此，6布1拉1外4刺4矽膜之中繼配線之長度亦會變長。在此，配線阻抗係對

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(4)

應於長度之比例變大之故，中繼配線之配線阻抗則會變高，起因於此畫像信號線之時間定數會變大，而產生畫質劣化。例如，畫像信號線之時定數變大之時，經由偶合容量之增大，產生畫像信號之電位搖擺，於下段之線(列)寫入本段之線(列)用之畫像信號，而產生鬼影或串訊的問題。

又，假使，將密封範圍或周邊範圍之中繼配線，自畫素部不使用之金屬膜等另外加以形成時，使用平板技術之製造步驟的製造效率則下降，而招致成本上昇，而失去周邊電路內藏型液晶裝置之基本優點。

本發明係有鑑於上述之問題，於周邊電路內藏型之液晶裝置等之光電裝置中，經由構成畫素部薄膜之有效利用，降低周邊電路之輸出入配線之電氣阻抗，提供可高品質畫像顯示的光電裝置及其製造方法為課題。

【解決課題之手段】

本發明之第1之光電裝置係為解決上述課題，於基板上具備複數之掃描線、和複數之資料線、和連接於前述各掃描線和前述各資料線的薄膜電晶體、和連接於前述薄膜電晶體之畫素電極、和於前述薄膜電晶體之至少通道範圍呈平面被覆配置的導電性遮光膜、和為於前述掃描線和前述資料線之至少一方供給信號之周邊電路、和連接於前述周邊電路之周邊配線，前述周邊配線係具有包含形成前述遮光膜的第1導電層之第1配線部、和包含構成前述薄膜

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

電晶體、前述資料線及前述掃瞄線的複數薄膜之至少一個導電層的第2配線部者為特徵者。

根據本發明之第1之光電裝置時，於基板上遮光膜則將前述薄膜電晶體之至少通道範圍設置呈平面被覆者。因此，薄膜電晶體之通道範圍係經由遮光膜加以遮光，可防止由於對薄膜電晶體之光侵入等的特性劣化。本發明係特別在於周邊配線具有構成薄膜電晶體、資料線及掃瞄線的複數薄膜之至少一個導電層所成之第2配線部，和與遮光膜同一膜所成之第1配線部。例如將第1導電膜經由包含Ti(鈦)、Cr(鉻)、W(鎢)、Ta(鉭)、Mo(鉬)及Pb(鉛)等之導電性高融點金屬膜形成之時，可使配線阻抗明顯地降低。此時，遮光膜係兼具對薄膜電晶體之遮光機能和做為周邊配線之機能之兩者之故，在於達成構成之簡易化及製造單純化上為有利者。

以上之結果，經由低阻抗之周邊配線，進行周邊電路之畫像信號等之各種信號的輸出入之故，提升光電裝置之驅動頻率，更且增加串列—並列變換數或並列輸入畫像信號時，如前述以往例之畫像信號線等之周邊配線之容量偶合的電位搖動、鬼影、串訊等被減低，可進行高品質之畫像顯示。

本發明之第1光電裝置之一形態中，前述第1配線部具有構成前述薄膜電晶體、前述資料線及前述掃瞄線的複數薄膜中的至少一個第2導電層和前述第1導電層，前述第2配線部係包含與構成前述薄膜電晶體、前述資料線及

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

前述掃描線的複數薄膜中的前述第2導電層不同之第3導電層者為特徵者。

根據此形態，例如第3導電膜為例如金屬膜等之低阻抗金屬膜，第2導電膜為以例如較多矽膜等之第3導電膜高阻抗薄膜層形成之時，僅可能經由低阻抗金屬膜所成第3導電膜形成配線者為佳，但配線間交叉之處係將第2導電膜可做為配線之一部分使用。此時，第2導電膜係較第3導電膜阻抗為高之故，有產生信號延遲等之問題。在此，代替第2導電膜所成配線，電氣連接第1及第2導電膜，經由成為二重配線，可使周邊配線本身之阻抗降低。例如將第2導電膜自多矽膜加以形成，且令第1導電膜由包含Ti、Cr、W、Ta、Mo及Pb等之導電性高融點金屬膜形成之時，令第1配線部之阻抗可經由第1導電膜之密封材阻抗加以支配。即，比較如以往之多矽膜單獨所成配線，將第1導電膜經由電氣連接，可大幅低阻抗化。

更且，由於異物等，造成第1配線部之多矽膜所成第2導電膜或第1導電帶所成部分在中途斷線之時，可實現於其他部分可得導通之冗長構造。

然而，本發明之周邊配線係雖具有第1配線部及第2配線部，對於具有如上述第3導電膜的第2配線而言，加上冗長配線，做為二重、三重之多重配線時，對於具有該一重配線部並無不同，更且，對於具有如上述第1導電膜和第2導電膜的第1配線部，更加上冗長配線，做為三重、四重之多重配線時，當然對於具有該二重配線部亦並無

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(7)

不同。

本發明之第 1 光電裝置之前述第 2 導電膜係較前述第 1 導電膜為高阻抗即可。

根據如此之構成時，第 3 導電膜係例如於構成鋁膜等之薄膜電晶體的薄膜層中為最低阻抗，另一方之第 2 導電膜係例如構成多矽膜等之薄膜電晶體的薄膜層中，為第 2 低阻抗者。於第 1 配線部中，經由第 1 導電膜阻抗被降低之故，周邊配線本身之阻抗亦降低。

於本發明之第 1 之光電裝置中，更具備介於前述遮光膜和前述薄膜電晶體間的第 1 層間絕緣膜，和介於前述第 2 導電膜和前述第 3 導電膜間的第 2 層間絕緣膜，前述第 1 配線部係電氣連接於前述第 2 配線部之一部分的同時，對於前述第 1 配線部之其他部分，各介由前述第 1 及第 2 層間絕緣膜，呈立體交叉的中斷配線所構成。

於本發明之第 1 光電裝置中，前述周邊配線係包含自外部電路連接端予供給前述畫像的畫像信號線，前述周邊電路係包含取樣前述畫像信號之取樣電路，和將該取樣電路以所定時間加以驅動，令前述畫像信號線上之前述畫像信號介由該前述取樣電路，供予前述複數資料線的資料線驅動電路，和驅動前述掃瞄線之掃瞄線驅動地加以構成亦可。

呈如此之構成時，需相互交叉之處，將同一層無法配設之畫像信號線，介由中繼配線配線呈期望之圖案。

本發明之第 1 光電裝置中，前述畫像信號係被 N (唯

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

N 為 2 以上之自然數) 序列 - 並行變換, 前述畫像信號線係並列設置 N 條, 該 N 條畫像信號線係於相互交叉之處包含前述中斷配線者。

呈如此之構成時, 串列 - 並列變換數 (N) 為大之故, 或如 R G B 彩色畫像信號等之時, 並列入力之畫像信號數為多之故, 中繼配線需有變長之必要, 或與前述往例自多矽膜單獨形成中線配線時比較, 可抑制中斷配線之阻抗或時定數之增加。

本發明之第 1 之光電裝置中, 更具備為自前述資料線驅動電路供給前述取樣電路驅動信號的複數之取樣電路驅動信號線; 前述取樣電路驅動信號線係至少交叉於前述; 畫像信號線處為前述中斷配線所成亦可。

呈如此之構成時, 令自資料線驅動電路至取樣電路之取樣電路驅動信號, 例如, 可使用與畫像信號線交叉的中繼配線加以配線, 增加配線佈局之自由度, 更且於此時, 將取樣電路驅動信號線之中繼配線, 與如前述往例自多矽膜等之單獨第 2 導電膜所形成之時比較, 可抑制取樣電路驅動信號線之時定數。

本發明之第 1 光電裝置中, 構成前述第 1 配線部之前述第 1 導電膜及前述第 2 導電膜, 係介由設於前述第 1 層間絕緣膜之連接孔, 呈相互電氣連接亦可。

呈如此之構成時, 介由連接孔, 可得相互電氣連接性為高之第 1 配線部。而且, 如此之連接孔係利用畫素 T F T 之製造步驟, 可較為容易地形成。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(9)

本發明之第 1 光電裝置中，前述第 3 導電膜係由形成前述資料線之金屬膜所成；前述第 2 導電膜係由形成前述掃描線之多矽膜所成亦可。

根據此構成時，第 2 配線部係例如由鋁等之金屬膜所形成之故，可呈低阻抗化。又，多矽膜部分係與金屬膜之情形比較，約為 200 倍程度之高阻抗，但經由第 1 導電膜呈二重配線時，第 1 配線部之阻抗係可較多矽膜之阻抗更為低阻抗化。例如令第 1 導電膜由包含 Ti、Cr、W、Ta、Mo 及 Pb 等之至少一個金屬或金屬矽化物薄膜所形成之時，較單獨多矽膜之時，可使時定數降低數分之一（例如約 $1/2$ 或 $1/3$ 程度）。

本發明之第 1 之光電裝置中，在於與對向於前述基板之對向基板間，挾持前述光電物質，前述基板和對向基板係經由密封材黏著，對向於前述密封材之前述基板上之密封範圍中，對於光電物質之周圍，至少堆積前述第 1 導電膜、前述第 2 導電膜及前述遮光膜，介由前述密封範圍所導出之前述資料線及前述掃描線側之導出配線部，係各為由前述第 1 導電膜、前述第 2 導電膜及前述第 3 導電膜中至少一個所成者。

呈如此之構成時，經由密封材，於一對之基板間，封入光電物質，構成所謂光電物質格。在此，於密封材範圍，於光電物質之周圍，堆積至少第 1 導電膜、第 2 導電膜及第 3 導電膜之故，在於密封材範圍包含各種薄膜之兩基板間之間隙之光電物質之周圍，可抑制參差不齊之情形。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(10)

因此，於密封材中，將具所定外徑之間隙材混入，控制光電物質格之間隙時，可使間隙控制更正確且更良好地加以進行。然後，介由密封範圍，向資料線及掃瞄線之延伸設置方向，各別拉出之拉出配線部係由第1導電膜、第2導電膜及第3導電膜中至少一個所成之故，可將畫像顯示裝置內之信號供給無問題地加以進行。

於本發明之第1光電裝置之密封材範圍，堆積第1導電膜、第2導電膜及第3導電膜的形態中，前述拉出配線部係各前述第1導電膜、第2導電膜及第3導電膜之至少2個，相互地介由連接孔，呈電氣連接之二重或三重配線部加以構成亦可。如此地構成時，達成拉出配線部之低阻抗化。

或者前述拉出配線部係各由前述第1導電膜、第2導電膜及第3導電膜之其中1個所成之單重配線部所成，前述第1導電膜、第2導電膜及第3導電膜之其他2個係於前述密封範圍中，做為配線呈不工作之虛擬配線所成構成亦可。根據如此之構成時，經由虛擬配線之膜厚，可抑制密封範圍之兩基板間之間隔之參差不齊。

本發明之第1之光電裝置中，係前述第1導電膜係具有經由第2導電膜被覆之形狀即有。

根據此形態時，將第1配線部中之第1導電膜，經由第2導電膜平面地加以被覆，交叉此第1導電膜所成部分，例如於畫像信號線等之配線部中，可抑制此第1導電膜所成部分之容量偶合之增大，因此，此容量偶合所造成之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(11)

配線部的時定數的增大。尤其，採用介有第1導電膜和第2導電膜之構造時，將遮光膜利用於二重配線部之時之第1導電膜和第2導電膜間之容量偶合的增大。結果，可有效防止畫像信號線等之配線的畫像信號等的劣化。

本發明之第1光電裝置中，前述第1導電膜之配線寬度係為前述第2導電膜所成部分之配線寬度以下即可。

如此加以構成之時，可確實抑制第1導電膜和第2導電膜間之容量偶合的增大。

本發明之第2光電裝置中，為解決上述課題，於基板上具備複數之掃描線，和複數之資料線，和連接於各掃描線和各前述資料線之薄膜電晶體，和連接於該薄膜電晶體之畫素電極，和將前述薄膜電晶體之至少通道範圍，呈平面加以被覆配置之導電性遮光膜，和供給畫像信號之複數畫像信號線，和取樣供予該複數之畫像信號線之前述畫像信號，供予前述複數之資料線的取樣電路；連接前述畫像信號線和前述取樣電路的配線之至少一部分，係由與前述遮光膜同一層所成之第1導電膜所成者。

根據本發明之第2之光電裝置，連接畫像信號線和取樣電路的中繼配線之至少一部分，係由與導電性之遮光膜同一之膜的第1導電膜所成之故，可達成配線之低阻抗化。例如將第1導電膜經由導電性之高融點金屬形成之時，可明顯降低該中繼配線之配線阻抗。此時，第1導電膜係兼顧對薄膜電晶體之遮光機能和做為配線之兩者之故，在於達成構成簡易化及製造單純化上為有利者。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（12）

以上之結果，經由低阻抗之配線，進行取樣電路之畫像信號的輸入之故，提高光電裝置之驅動頻率，更且增加串列－並列變換數或並列輸入之畫像信號數時，減低如前述往例之畫像信號線等之中繼配線之容量偶合的電位搖擺，鬼影、串訊等，進行高品質之畫像顯示。

本發明之第2之光電裝置之一形態中，於前述取樣電路，供給取樣電路驅動信號之取樣電路驅動信號線之至少一部分係由前述第1導電膜所成者。

根據此形態，取樣電路驅動信號之至少一部分係第1導電膜所成之故，可達成取樣電路驅動信號線之低阻抗化。結果，經由低阻抗之取樣電路驅動信號線，進行取樣電路之取樣電路驅動信號之輸入之故，可進行高品質之畫像顯示。

本發明之第1之光電裝置之製造方法係為解決上述課題，於一對基板間插入光電物質，於該一對基板之一方之基板上，具備複數之掃描線，和複數之資料線，和連接於各前述複數之掃描線和各前述資料線之薄膜電晶體，和連接於前述薄膜電晶體之畫素電極，和設於將前述薄膜電晶體之至少通道範圍，呈平面加以被覆之位置之導電性遮光膜，和供給畫像信號之複數畫像信號線，和取樣供予該複數之畫像信號線之前述畫像信號，供予前述複數之資料線的取樣電路之光電物質之製造方法中，具有將呈連接前述畫像信號線和前述取樣電路的配線的一部分的第1導電膜和前述遮光膜，經由同一材料形成之工程，和於前述第1

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(13)

導電膜及前述遮光膜上，形成第1層間絕緣膜之工程，和形成在於該第1層間絕緣膜上，形成前述掃描線的同時，介由形成於前述第1層間絕緣膜之連接孔，連接於前述第1導電膜之第2導電膜的工程，和於前述掃描線及前述第2導電膜上，形成第2層間絕緣膜之工程，和介由前述第2層間絕緣膜之連接孔，形成連接於前述薄膜電晶體的前述資料線及連接於前述第2導電膜之前述畫像信號線的工程者。

根據本發明之第1之光電裝置，連接畫像信號線和取樣電路的第1導電膜和遮光膜經由同一材料形成。因此，可達製造工程之簡化。接著，於第1導電膜及遮光膜上，形成第1層間絕緣膜，於此第1層間絕緣膜上形成掃描線，介由形成於第1層間絕緣膜的連接孔，形成連接於第1導電膜之第2導電膜。接著，於掃描線及第2導電膜上，形成第2層間絕緣膜，介由第2層間絕緣膜之連接孔，形成連接於薄膜電晶體之資料線，及連接於第2導電膜之畫像信號線。以上之結果，經由低阻抗之中繼配線，可進行取樣電路之畫像信號之輸入之故，可提升光電裝置之驅動頻率，更且增加串列—並列變換數或並列輸入之畫像信號數時，亦可製造高品質之畫像顯示的光學裝置。

本發明之第2之光電裝置之製造方法，係為解決上述課題於一對基板間插入光電物質，於該一對基板之一方之基板上，具備複數之掃描線，和複數之資料線，和連接於各前述複數之掃描線和各前述資料線之薄膜電晶體，和連

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(14)

接於該薄膜電晶體之畫素電極，和設於將前述薄膜電晶體之至少通道範圍，呈平面加以被覆之位置的導電性遮光膜，和供給畫像信號之複數畫像信號線，和取樣供予該複數之畫像信號線之前述畫像信號，供予前述複數之資料線的取樣電路之光電物質之製造方法中，係具有將呈連接前述畫像信號線和前述取樣電路的配線的一部分的第1導電膜和前述遮光膜，經由同一材料形成之工程，和於前述第1導電膜及前述遮光膜上，形成第1層間絕緣膜之工程，和於前述第1層間絕緣膜上，順序堆積形成前述薄膜電晶體之源極及汲極所成之半導體層。閘極絕緣膜及閘極電極的工程，和於前述閘極電極上，形成第2層間絕緣膜的工程，和介由前述第2層間絕緣膜之連接孔，形成連接於前述薄膜電晶體之前述資料線，介由前述第1及第2層間絕緣膜之連接孔，形成連接於前述第1導電膜的畫像信號線的工程。

根據本發明之第2之光電裝置，連接畫像信號線和取樣電路的第1導電膜和遮光膜經由同一材料形成。因此，可達製造工程之簡化。接著，於第1導電膜及遮光膜上，形成第1層間絕緣膜，於此第1層間絕緣膜上形成第1層間絕緣膜，於此第1層間絕緣膜上，順序堆積形成對薄膜電晶體之源極及汲極所成半導體層，閘極絕緣膜以及閘極電極，更且於閘極電極上，形成第2層間絕緣膜。接著，介由第2層間絕緣膜之連接孔，形成連接於薄膜電晶體之資料線。接著，介由第1及第2層間絕緣膜之連接孔，形

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（15）

成連接於第 1 導電膜之畫像信號線。以上之結果，經由低阻抗之中繼配線，可進行取樣電路之畫像信號之輸入之故，可提升光電裝置之驅動頻率，更且增加串列－並列變換數或並列輸入之畫像信號數時，亦可製造高品質之畫像顯示的光學裝置。

本發明之電子機器係具備上述光學裝置為特徵者。根據相關之構成時，可抑制信號延遲，提供高品質之畫像顯示之電子機器。

本發明之如此作用及其他之增益係可由以下說明之實施形態得知。

【發明之實施形態】

以下，令本發明之實施形態根據圖面加以說明。然而，本發明之實施形態中，做為光電裝置，以液晶裝置為例加以說明。

（液晶裝置之構成及動作）

首先，對液晶裝置之電路構成，參照圖 1 之方塊圖加以說明。

圖 1 係於液晶裝置之 T F T 陣列基板上，形成構成畫像顯示裝置之陣列狀的複數畫素，係為控制畫素電極 9 a 和畫素電極 9 a 之 T F T 3 0 複數形成呈矩陣狀，供給畫像信號之資料線 6 a 則電氣連接於 T F T 3 0 之源極。於資料線 6 a 中，寫入畫像信號 S 1、S 2、…、S n 係依

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明（16）

此順序線順序地加以供給亦可，於本實施形態中，特別是畫像信號 S_1 、 S_2 、 \dots 、 S_n 係呈 N 相串列—並列變換，自 N 條之畫像信號 1 1 5，對相鄰之 N 條資料線 6 a 間，供予每群地加以構成。

又，於 T F T 3 0 之閘極，電氣連接掃描線 3 a，以所定時間，於掃描線 3 a 呈脈衝地將掃描信號 G_1 、 G_2 、 \dots 、 G_m ，依此順序以線順序施加地加以構成。畫素電極 9 a 係電氣連接於 T F T 3 0 之汲極，令開關元件之 T F T 3 0，經由關閉一定期間之該開關，將自資料線 6 a 供給之畫像信號 S_1 、 S_2 、 \dots 、 S_n ，以所定時間加以寫入。介由畫素電極 9 a，寫入做為光電物質之液晶的所定準位之畫像信號 S_1 、 S_2 、 \dots 、 S_n 係於形成於對向基板（後述之）的對向電極（後述之）間，保持一定期間。液晶係經由施加電壓準位，變化分子集合之配向或秩序，將光調制，可顯示灰階顯示。正常白色模式中，對應施加之電壓。入射光無法通過液晶部分，為 1 正常黑色模式時，對應施加之電壓，入射光則可通過此液晶部分，就整體而言，自液晶裝置射出具有對應畫像信號對比之光。在此，與為防止保持畫像信號的泄放，形成於畫素電極 9 a 和對向電極間的液晶容量並列地附加蓄積容量 7 0。例如，畫素電極 9 a 之電壓係僅較施加源極電壓之時間多出 3 位數的長時間，經由蓄積容量 7 0 加以保持。由此，保持特性係更為改善，可實現對比高之液晶裝置。然而，做為形成蓄積容量 7 0 之方法，可設置為形成容量之配線

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (17)

的容量線 3 b 亦可，與前段之掃瞄線 3 a 間，當然亦可形成容量。

於圖 1 之中，液晶裝置係如上所述，於形成資料線 6 a、掃瞄線 3 a 等之 T F T 陣列基板上的畫像顯示範圍之周圍，做為周圍電路之例，具備驅動資料線 6 a 之資料驅動電路 1 0 1、驅動掃瞄線 3 a 之掃瞄線驅動電路

1 0 4 及取樣畫像信號之取樣電路 1 0 3。更且，於畫像顯示範圍之周圍，做為周邊配線之一例，自外部電路連接端子向上述之 N 相，配線串列－並列變換之供給畫像信號 S 1、S 2、…、S n 的 N 條之畫像信號線 1 1 5。

做為此串列－並列變換數 (N) 係例如該取樣電路 1 0 3 之取樣能力相對為高之時，只需 3 相之串列－並列變換、6 相之串列－並列變換等即足夠，取樣能力相對為低之時，1 3 相之串列－並列變換、2 4 相之串列－並列變換等為佳。

在此特別於本實施形態中，如於後詳述者，串列－並列變換數 (N)，即對應畫像信號線 1 1 5 之條數 (N)，將變長之中繼配線 1 1 6 經由呈二重配線構造，而為低阻抗化之故，可有效抑制畫像信號之信號延遲，增加串列－並列變換數 (N) 及畫像信號線 1 1 5 之條數，因此可不劣化畫質，提高液晶裝置之驅動頻率。然而，做為此串列－並列變換數 (N)，彩色畫像信號由於由 2 有關 3 個顏色 (紅、藍、綠) 之信號所成之關係而呈 3 之倍數，於 N T S C 顯示或 P A L 顯示等之視訊顯示時，在於控制或

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (18)

電路之簡化上為較佳者。

如上所述，不進行串列－並列變換，如 R G B 之彩色畫像信號之時等，設置複數之畫像信號線之時，呈有關以下所說明之本實施形態之阻抗抗化的；中繼配線等的構造為有效者。

更且，於本實施形態中，如後所詳述，自資料驅動電路 1 0 1，至取樣電路 1 0 3 的取樣電路驅動信號線 1 1 4 之阻抗抗化，亦可以該二重配線構造加以達成。

資料線驅動電路 1 0 1 係掃描線驅動電路 1 0 4 則呈脈衝性地於掃描線 3 a，順序地配合送出閘極電壓，介由取樣電路驅動信號線 1 1 4，將取樣電路驅動信號，供予構成取樣電路 1 0 3 之各取樣開關 1 0 3 a 之控制端子。取樣電路 1 0 3 係對應此取樣電路驅動信號，取樣自外部電路供予畫像信號線 1 1 5 的畫像信號，供予資料線 6 a。

然而，構成取樣電路 1 0 3 之各取樣開關 1 0 3 a 係自製造效率等之觀點，較佳為經由與畫素部之 T F T 3 0 的同一製造步驟，由製造可能之 n 通道型、p 通道型、互補型等之 T F T 構成。

接著，對於液晶裝置之畫像顯示範圍內之畫素部的構成，參照圖 2 及圖 3 加以說明。圖 2 係形成資料線、掃描線、畫素電極、遮光膜等的 T F T 陣列基板之相鄰接的複數畫素群的平面圖，圖 3 係圖 2 之 A - A ' 截面圖。然而，於圖 3 中，令各層或各構件，於圖面上呈可辨識程度之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (19)

大小之故，於各層或各構件有不同之比例尺。

圖 2 中，於液晶裝置之 T F T 陣列基板上，呈矩陣狀地設置複數透明之畫素電極 9 a (經由點線部 9 a 顯示輪廓)，於畫素電極 9 a 之縱橫境界，各別相沿，設置資料線 9 a、掃瞄線 3 a 及容量線 3 b。資料線 6 a 係介由連接孔 5，電氣連接於多矽膜等之半導體層 1 a 中後述之源極範圍，畫素電極 9 a 係介由連接孔 8，電氣連接於半導體層 1 a 中後述之汲極範圍。又，對向於半導體層 1 a 中之後讀之通道範圍地，配置掃瞄線 3 a。然後，圖中右上之斜線所示之範圍中，設置畫素部之第 1 遮光膜 1 1 a。即，第 1 遮光膜 1 1 a 係於畫素部，將自包含半導體層 1 a 之通道範圍的 T F T，自 T F T 陣列基板之側視之，設於被覆各平面之位置。然而，第 1 遮光膜 1 1 a 係被覆至少半導體層 1 a 之通道範圍及通道和源極、汲極範圍的接合部，雖可發揮畫素 T F T 之光泄放之防止機能，令第 1 遮光膜 1 1 a 使之具有呈定電位的配線機能，或規定畫素部之開口範圍 (即，透過光之範圍) 等之理由，本實施形態中，特別係第 1 遮光膜 1 1 a 係沿掃瞄線 3 a 設置呈斑紋狀。

如圖 3 所示，液晶裝置係具備構成透明一方之基板之一例的 T F T 陣列基板 1 0，和構成對向配置於此之透明之另一方基板之一例之對向基板 2 0。T F T 陣列基板 1 0 係例如由石英基板所成，對向基板 2 0 係例如由玻璃基板或石英基板所成。於 T F T 陣列基板 1 0 中設有畫素

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(20)

電極 9 a，於該上側設置施以拋光處理等之所定配向處理的配向膜 1 6。畫素電極 9 a 係由 I T O (Indium Tin Oxide) 膜等之透明導電性膜所成。又，配向膜 1 6 係例如由聚醯亞胺薄膜等之有機薄膜所成。

又，於 T F T 陣列基板 1 0 中，於連接於各畫素電極 9 a 之位置，設置控制開關各畫素電極 9 a 的畫素開關用 T F T 3 0。

另外，於對向基板 2 0 中，於該整面，設置對向電極 (共通電極) 2 1，於該下側設置施以拋光處理等之所定配向處理的配向膜 2 2。對向電極 2 1 係例如 I T O 膜等之透明導電性薄膜所成。又，配向膜 2 2 係由聚醯亞胺等之有機薄膜所成。

於對向基板 2 0 中，更且如圖 3 所示，於各畫素之開口範圍以外之範圍，設置第 2 遮光膜 2 3。為此，自對向基板 2 0 側的入射光，不會侵入畫素開關用 T F T 3 0 之半導體層 1 a 之通道範圍 1 a' 或源極側 L D D (Light Doped Drain) 範圍 1 b 及汲極範圍 1 c。更且，第 2 遮光膜 2 3 係具有對比之提升，色材之混色防止等之機能。

如此地加以構成，於畫素電極 9 a 和對向電極 2 1 呈對面配置之 T F T 陣列基板 1 0 和對向基板 2 0 間，於經由後述密封材所包圍之空間封入液晶，形成液晶層 5 0。液晶層 5 0 係於未施加畫素電極 9 a 之電場的狀態下，經由配向膜 1 6 及 2 2，採用所定之配向狀態。液晶層 5 0 係例如混合一種或數種的絲狀液晶的液晶所成。密封材

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (21)

5 2 係令 T F T 陣列基板 1 0 及對向基板 2 0 ，於此等周邊貼上之例如光硬化性樹脂或熱硬化性樹脂所成黏著劑，混入令兩基間之距離呈所定值之玻璃纖維或玻璃短絲等之間隔。

如圖 3 所示，於畫素開關用 T F T 3 0 ，於各對向之位置，於 T F T 陣列基板 1 0 和各 1 畫素開關用 T F T 3 0 之間，各設置第 1 遮光膜 1 1 a 。第 1 遮光膜 1 1 a 係較佳為包含不透明之高融點金屬膜的 T i 、C r 、W 、T a 、M o 及 P o 中之至少一個的金屬單體、合金、金屬矽化物等所構成。由如此之材料構成之時，經由於 T F T 陣列基板 1 0 上之第 1 遮光膜 1 1 a 之形成工程後所進行之畫素開關用 T F T 3 0 之形成工程的高溫處理，可使第 1 遮光膜 1 1 a 被破壞不被熔融，形成第 1 遮光膜 1 1 a 之故，自 T F T 陣列基板 1 0 之側的回歸光等則可防範入射至畫素開關用 T F T 3 0 之通道範圍 1 a 或低濃度源極範圍 1 b 、低濃度汲極範圍 1 c 於未然，經由光電流之產生，不會產生畫素開關用 T F T 3 0 之特性。

更且，於第 1 遮光膜 1 1 a 和複數開關用 T F T 3 0 之間，設置第 1 層間絕緣膜 1 2 。第 1 層間絕緣膜 1 2 係將構成畫素用開關 T F T 3 0 之半導體層 1 a ，自第 1 遮光膜 1 1 a 呈電氣絕緣地加以設置者。

本實施形態中，將設於掃描線 3 a 之一部分所成閘極電極和半導體層 1 a 間的絕緣膜 2 ，自對向於掃描線 3 a 之位置加以延伸設置，做為介電質膜使用，加以延伸設置

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(22)

半導體層 1 a，呈第 1 蓄積容量電極 1 f，更且將對向於此之容量線 3 b 之一部，經由呈第 2 蓄積容量電極，構成蓄積容量 7 0。更詳細而言，半導體層 1 a 之高濃度汲極範圍 1 e 則延伸設置於資料線 6 a 及掃瞄線 3 a 之下，於沿同樣之資料線 6 a 及掃瞄線 3 a 延伸容量線 3 b 部分，介由絕緣薄膜 2 對向配置，呈第 1 蓄積容量電極 1 f。尤其，做為蓄積容量 7 0 之絕緣薄膜 2 係經由高溫氧化，形成於聚矽膜上的 T F T 3 0 之閘極絕緣膜之故，可呈薄且高耐壓之絕緣膜，蓄積容量 7 0 係以較小之面積，呈大容量之蓄積容量加以構成。

於圖 3 中，畫素開關用 T F T 3 0 係具備具有 L D D 構造，絕緣經由來自掃瞄線 3 a、掃瞄線 3 a 的電場，形成通道之半導體層 1 a 之通道範圍 1 a'、掃瞄線 3 a 和半導體層 1 a 的絕緣薄膜 2、資料線 6 a、半導體層 1 a 之低濃度源極範圍（源極側 L D D 範圍）1 b 及低濃度汲極範圍 1 d 以及高濃度汲極範圍 1 e。於高濃度汲極範圍 1 e 中，連接複數之畫素電極 9 a 中所對應之一個。低濃度源極 1 b 及高濃度源極範圍 1 d 以及低濃度汲極範圍 1 c 及高濃度汲極範圍 1 e 係如後述，對於半導體層 1 a，對應形成 n 型或 p 型之通道，經由滲雜所定濃度之 n 型用或 p 型用之滲離物加以形成。N 型通道之 T F T 係有動作快速之優點，做為畫素開關元件之畫素開關用 T F T 3 0 加以使用者為多。於本實施形態中，特別是資料線 6 a 係由 A 1 等之金屬膜或金屬矽化物等之合金膜等

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(23)

之遮光性薄膜所構成。又，於掃描線 3 a、絕緣薄膜 2 及第 1 層間絕緣膜 1 2 上，形成各形成向高濃度源極範圍

1 e 穿通之連接孔 5 及向高濃度源極範圍 1 e 穿通之連接孔 8 的第 2 層間絕緣膜 4。介由此向高濃度源極範圍 1 d 之連接孔 5，資料線 6 a 係電氣連接於向高濃度源極範圍 1 d。更且，於資料線 6 a 及第 2 層間絕緣膜 4 上，形成高濃度源極範圍 1 e 之連接孔 8 的第 3 層間絕緣膜 7。介由向高濃度源極範圍 1 e 之連接孔 8，畫素電極 9 a 係電氣連接於高濃度汲極範圍 1 e。前述畫素電極 9 a 係設於如此構成之第 3 層間絕緣膜 7 之上面。

畫素開關用 T F T 3 0 係較佳為具有如上述 L D D 之構成，亦可具有於低濃度源極範圍 1 b 及低濃度汲極範圍 1 c 不植入之偏移構造，令掃描線 3 a 之一部所成閘極電極，做為光罩於高濃度植入不純物離子，形成自我整合之高濃度源極範圍及高濃度汲極範圍的自我整合線型之 T F T。

又，於本實施形態中，將畫素開關用 T F T 3 0 之掃描線 3 a 的一部分所成閘極電極於高濃度源極範圍 1 d 及高濃度汲極範圍 1 e 間呈僅 1 個之配置的單閘極構成，於此等之間配置 2 個以上之閘極電極即可。於此等配置 2 個以上之閘極電極即可。此時，於各閘極電極施加同一之信號。如此地以雙閘極或三閘極以上構成 T F T 之時，可防止通道和源極、汲極範圍接合部之泄放電流，減低關閉時之電流。將此等之閘極電極之至少一個，呈 L D D 構造或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

偏移構造時，更可減低關閉電流，得安定之開關元件。

在此，一般而言，入射半導體層 1 a、低濃度源極範圍 1 b 及低濃度汲極範圍 1 c 等之多矽層係當光被入射時，經由光電變換效果，產生光電流，劣化畫素開關用 T F T 3 0 之電晶體特性，於本實施形態中，將掃描線 3 a 自上側重疊地，資料線 6 a 自 A 1 等之遮光性之金屬膜加以形成之故，可將至少半導體層 1 a 之通道範圍 1 a、及低濃度源極範圍 1 b、低濃度汲極範圍 1 c 之入射光的入射，有效地防止。又，如前所述，於畫素開關用 T F T 3 0 之下側，設置第 1 遮光膜 1 1 a 之故，可將至少半導體層 1 a 之通道範圍 1 a、及低濃度源極範圍 1 b、低濃度汲極範圍 1 c 之回歸光的入射，有效地防止。

然而，於本實施形態中，尤其第 1 遮光膜 1 1 a 係電氣連接於定電位源，呈定電位。因此，對於對向配置於第 1 遮光膜 1 1 a 之畫素開關用 T F T 3 0，第 1 遮光膜 1 1 a 之電位變動不會有不良之影響。此時，做為定電位源，供予驅動該液晶裝置之周邊電路（例如、掃描線驅動電路、資料線驅動電路等）的負電源、正電源等之定電位源，可列舉供予接地電源、對向電極 2 1 的定電位源等，本實施形態中，第 1 遮光膜 1 1 a 係連接於掃描驅動電路之負電源。如此地，利用周邊電路等之電源時，無需設置專用之電位配線或外部電路連接端子，可定電位第 1 遮光膜 1 1 a。

接著，對於液晶裝置之周邊電路的輸出入配線或周邊

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明 (25)

配線，參照圖 4 至圖 7 加以說明。

圖 4 係設置周邊配線之 T F T 陣列基板之部分平面圖，圖 5 係顯示擴大圖 4 之中繼配線及拉出配線部的擴大平面圖，圖 6 係圖 4 及圖 5 之 B - B ' 截面圖，圖 7 係圖 4 及圖 5 之 C - C ' 截面圖。

於圖 4 之中，自設於 T F T 基板陣列基板 1 0 之周邊部的外部電路連接端子 1 0 2，係於掃描驅動電路 1 0 4，配置掃描驅動信號線 1 0 5 a，於資料驅動電路 1 0 1 和配置封入液晶之密封材 5 2 的密封範圍之間的範圍，配置複數之畫像信號線 1 1 5。

然後，如圖 4 及圖 5 所示，取樣電路 1 0 3 係配置於較密封範圍內側中，為處理畫像顯示範圍和該畫像顯示範圍，做為設於對向基板 2 0 上的邊框的第 3 遮光膜 5 3（圖中右上之斜線範圍）下。又，於資料線 6 a 之延長線上的密封範圍下，設置包含自資料驅動電路 1 0 1 之取樣電路驅動信號線 1 1 4 之拉出配線 3 0 1 a 及自畫像信號線 1 1 5 的拉出配線 3 0 1 b 的資料線側之拉出配線 3 0 1。另一方面，於掃描線 3 a 之延長線上的密封範圍下，設置掃描線 3 a 之拉出配線 4 0 1 a。又，與掃描線側之拉出配線 4 0 1 並列地設置對向電極電位配線 1 1 2 亦可。此對向電極電位配線 1 1 2 係介由上下導通端子 1 0 6 a 及上下導通材 1 0 6，連接於形成於對向基板 2 0 的對向電極 2 1（參照圖 3），供予共通電位。又，於資料驅動電路 1 0 1 將為輸入所定檢查用之信號的檢查端子 1 1 1

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明 (26)

，鄰接於資料驅動電路 1 0 1 加以設置亦可。

如圖 6 之 B - B ' 截面圖所示，周邊配線之一例之畫像信號線 1 1 5 係形成資料線 6 a 時，以同一工程所形成之 A 1 等之金屬膜（第 3 導電膜）加以形成。另一方面，自畫像信號線 1 1 5 至拉出配線 3 0 1 b 的中繼配線

1 1 6 係由與形成掃描線 3 a 之多矽膜的同一膜所形成，電氣連接於介由連接孔 3 0 5 a 所對應之畫像信號線

1 1 5 的第 2 導電膜 1 1 6 a，及與第 1 遮光膜 1 1 a 同一之膜所形成，介由連接孔 3 0 5 b，電氣連接於中繼配線 1 1 6 a 的第 1 導電膜 1 1 6 b，於 T F T 陣列基板之厚度方向，具有呈二重地配置之二重配線構造。又，將拉出配線 3 0 1 b 設置為更低阻抗化之第 2 導電膜

1 1 6 a ' 及第 1 導電膜 1 1 6 b ' 亦可。

為此，較自如以往之單獨多矽膜形成中繼配線之時，中繼配線 1 6 之阻抗較導電性之第 1 導電帶 1 1 6 b 降得更低。更具體而言，第 1 導電膜 1 1 6 b 係由包含 W、

T i、C r、T a、M o 及 P b 等導電性高融點金屬膜所形成之故，將沿中繼現配線 1 1 6 之配線的方向阻抗，經由第 3 導電膜 1 1 6 b 之密封阻抗加以支配。即，多矽膜係例如膜厚為 3 0 0 n m 之時，具有 2 5 Ω / \square 程度之密封阻抗值之故，於對角 1 . 3 英吋或 0 . 9 英吋程度之小型液晶裝置時，具有 1 0 0 ~ 2 0 0 k Ω 程度之阻抗，例如雖具有十數 μ 秒程度之配線時定數，第 3 導電膜

1 1 6 b 係密封阻抗於膜厚 2 0 0 n m 時可減低至

（請先閱讀背面之注意事項再填寫本頁）

訂 線

五、發明說明(27)

1 0 0 5 Ω / \square 程度之故，可將此配線時定數減小至數 μ 秒程度。因此，可減低交叉於畫像信號線 1 1 5 下所配線之中繼配線 1 1 6 和與畫像信號線 1 1 5 之容量偶合的畫像信號之電位搖擺所產生之串訊、鬼影等之產生。然後，尤其令該液晶裝置如前所述，做為 X G A、S X G A 等之高驅動頻率的機種加以構成，即使增加串列—並列變換數 (N) 或畫像信號線 1 1 5 之條數 (N)，可抑制畫像信號之信號延遲之故，可實現高精細高品質的液晶裝置。

更甚至，由圖 6 得知，經由異物等，第 2 導電膜 1 1 6 a 及第 1 導電膜 1 1 6 b 之一方於中途斷線之時，可實現另一方導通之冗長構造。而且，第 2 導電膜 1 1 6 a 及第 1 導電膜 1 1 6 b 則突破第 1 層間絕緣膜 1 2，於相互短路之時，亦不會成為缺陷品。因此，根據本實施形態，不良品率為低，可實現可靠性高之高品質之畫像顯示的液晶裝置。而且，構築該中繼配線 1 1 6 中，與形成遮光畫素開關用 T F T 的第 1 遮光膜 1 1 a 的工程的同一工程，可形成第 1 導電膜 1 1 6 b 之故，可不增加工程，實現中繼配線 1 1 6 之低阻抗。

又，圖 4 及圖 5 所示取樣電路驅動信號線 1 1 4 係與圖 6 所示之中繼配線 1 1 6 同樣地，具有交叉畫像信號線 1 1 5 之下方的二重配線構造。呈如此之構造，較自如以往之單獨多矽膜所形成之時，可抑制取樣電路驅動信號線 1 1 4 之阻抗或時定數的增加，適用於高頻率驅動。

更且，如圖 6 及圖 7 所示，自密封範圍下之畫像信號

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(28)

線 1 1 5 a 的拉出配線 3 0 1 b 係第 2 導電膜 1 1 6 a 及第 1 導電膜 1 1 6 b 做爲冗長配線加以設置，具有三重配線構造。因此，呈極低阻抗之配線，而且如圖 5 所示，經由連接孔 3 0 5 a 及連接孔 3 0 5 b，於密封範圍下，於複數之處相互電氣連接，增加冗長度。此等之結果，拉出配線 3 0 1 b 之可靠性則非常高。然而，採用將第 2 導電膜 1 1 6 a 及第 1 導電膜 1 1 6 b 的任一者呈拉出配線 3 0 1 b 之冗長配線的二重配線構造時，可得同樣之效果。又，具有取樣電路驅動信號線 1 1 4 之拉出配線 3 0 1 a 亦同樣具有二重或三重以上之配線構造亦可。

另一方面，圖 4 所示掃瞄線側之拉出配線 4 0 1 係各向沿掃瞄線 3 a 方向延伸，相連接之配線間係置於間隔加以排列。然後，於拉出配線 4 0 1 之上，設置由與資料線 6 a 同樣之 A 1 膜所構成之虛擬配線。然而，對於掃瞄線側之拉出配線 4 0 1 的阻抗，通常雖沒有問題，與上述資料線側之拉出配線 3 0 1 同樣地，令掃瞄線側之拉出配線 4 0 1 具有二重或三重以上之配線構造亦可。

因此，於密封範圍，在於液晶層 5 0 之周圍，於 T F T 陣列基板 1 0 上，包含導電膜 1 1 6 b、1 1 6 b、第 2 導電膜 1 1 6 a、1 1 6 a、第 3 導電膜 (A 1 膜) 以及第 1 層間絕緣膜 1 2、第 2 層間絕緣膜 4 及第 3 層間絕緣膜 7 的堆積體則整遍加以形成，與畫像顯示範圍之左右邊的第 3 層間絕緣膜 7 之表面的高度一致之故，可抑制密封範圍整體之兩基板間之間隔的參差不

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(29)

齊。因此，例如於密封材中，混入具有所定外徑的間隔材，控制液晶格之間隔時，可令間隔控制更正確且良好地進行。尤其，呈如此之構成時，於密封範圍下，接受間隔材所產生之應力，拉出配線301或401斷線之時，為多重配線構造之故，不會成為致命之缺陷。

然而，如果重視如此間隔控制之目的（即，拉出配線之301之阻抗與驅動頻率等之關係，為充分低之時），如圖6所示，對拉出配線301b而言，停止電氣連接第2導電膜116a'及第1導電膜116b'，將此等之第2導電膜116a'及第1導電膜116b'做為間隔控制用之虛擬配線加以構成即可。

本實施形態中，如圖5所示，於密封範圍中，拉出配線301係具備條狀之平面圖案，於各別具有寬度L相鄰接之配線間，設置對應於配線間隔S之光透過用之間隙。因此，於使用光硬化性樹脂所成密封材52之時，介由TFT陣列基板10，入射光時，透過此積層構造之光透過用之間隙，於密封材52，可將光充分照射。因此，將光硬化性樹脂所成密封材52，經由自雙方之基板側的光，良好地可進行光硬化。尤其，如此地可光硬化之時，較熱硬化之時，可不供予多餘熱於液晶裝置即可之故，可防止液晶裝置之各構成要素的熱劣化，防止熱彎曲之裝置缺陷的產生之故，因此極為有利。又，光照射之時間可減少之故，於配向膜16及22（參照圖3）不會有何損失。因此，維持於液晶之傾斜角為高之狀態之故，可防止液晶

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(30)

之配向不良的畫質劣化。

又，於圖4及圖5中，於做為邊框之第3遮光膜53下，形成具有與構成畫像顯示範圍的畫素同一構成的虛擬畫素。無需於?藏液晶之配向不良範圍等設置之第3遮光膜53下構成顯示用之畫素，但為畫像顯示範圍之邊緣附近的畫素之特性安定化，如此地較畫像顯示範圍之邊緣之外，設置所定寬度之虛擬畫素亦可。

更且，於本實施形態中，尤其中繼配線116係自對向基板側視之，自遮光膜所成第2導電膜116a，則具有經由多矽膜所成第3導電膜116b所被覆的形狀者為佳。更具體，而言，例如於圖7中，第2導電膜116a之配線寬度 W_1 ，與第3導電膜116a之配線寬度 W_2 同樣或以上者，即 $W_1 > W_2$ 之關係於圖6所示畫像信號線115下及圖7所示之密封範圍下成立者為佳。如此加以構成時，於圖6中，可抑制於第3導電膜116b和畫像信號線115間之容量偶合之增加，可抑制此容量偶合所成畫像信號線115或中繼配線116之時定數的增大。尤其，於交叉之處，第2導電膜116a介於第3導電膜116b和畫像信號線115之間，第1導電膜116b和畫像信號線115係隔較大之距離之故，可抑制前述容量偶合之增大。

圖6及圖7所示之中繼配線116係雖採用自第2導電膜116a及第1導電膜116b所構成之二重配線構造，刪除此等圖示之二重配線構造之第2導電膜116a

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明 (31)

及 1 1 6 a'，如圖 8 及圖 9 所示，採用遮光膜所成第 1 導電膜 1 1 6 c 及 1 1 6 c' 所構成之一重配線構造亦可。如此構成之時，雖無法得到冗長構造之利益，圖 6 所示之畫像信號線 1 1 5 下之畫像信號線 1 1 5 和第 1 導電膜 1 1 6 c 間之容量係較設於第 1 層間絕緣膜 1 2 及第 2 層間絕緣膜 4 間的第 2 導電膜 1 1 6 a 構成中繼配線 1 1 6 之時，第 1 層間絕緣膜 1 2 存在者為較限小而有利。

另一方面，於圖 4 及圖 5 中，畫像信號線 1 1 5 係由形成於第 2 層間絕緣膜 4 上的第 1 導電膜 (A 1 膜) 所構成之故，對於與此交叉之資料驅動電路 1 0 1 至拉出配線 3 0 1 a 的取樣電路驅動信號線 1 1 4 而言，與圖 6 或圖 8 所示中繼配線 1 1 6 之情形相同地，不可由 A 1 膜構成。為此，通過畫像信號線 1 1 5 之下層或上層等之如圖 1 0 的立體中繼配線，必需用於取樣電路驅動信號線 1 1 4。又，中繼配線需儘可能令時定數下降地加以處理。因此，可有以下所述之方式。

於圖 1 0 (1) 中，第 1 導電膜 1 1 6 d 係由與第 1 遮光膜 1 1 a 同一膜的鎢等之高融點金屬膜或金屬合金膜所構成，與畫像信號線 1 1 5 交叉地，通過第 1 層間絕緣膜 1 2 之下。然後，於圖中，於畫像信號線 1 1 5 之兩側，介由開孔於第 1 層間絕緣膜 1 2 及第 2 層間絕緣膜 4 的連接孔，將資料驅動電路 1 0 1 側之取樣電路驅動信號線 1 1 4 和密封範圍側之拉出配線 3 0 1 a 各別加以電氣連接構成。採用此構成時，令中繼配線以低阻抗之高融點金

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(32)

屬等加以形成之故，可使配線阻抗下降，而不導致畫像信號之延遲。

於圖 10 (2) 中，中繼配線係由與掃瞄線 3 a 同一之多矽膜所成第 2 導電膜 1 1 6 e 和與第 1 遮光膜 1 1 a 同一之鎢等之高融點金屬膜或金屬合金膜所成第 1 導電膜 1 1 6 d 所成構成，與畫像信號線 1 1 5 加以交叉地，各別通過第 2 層間絕緣膜 4 及第 1 層間絕緣膜 1 2 之下。然後，於圖中，於畫像信號線 1 1 5 之兩側，介由在於第 1 層間絕緣膜 1 2 及第 2 層間絕緣膜 4 各別開孔之連接孔，各別電氣連接資料驅動電路 1 0 1 側之取樣電路驅動信號線 1 1 4 和密封範圍側之拉出配線 3 0 1 a 地加以構成。採用如此之構成時，於畫像信號線 1 1 5 之下層，介由第 1 層間絕緣膜 1 2 及第 2 層間絕緣膜 4，為形成第 1 導電膜 1 1 6 d 及第 2 導電膜 1 1 6 e，可實現冗長構造。又，第 1 導電膜 1 1 6 d 係由低阻抗之高融點金屬或金屬合金膜所成之故，可將線阻抗下降，而不招致畫像信號之信號延遲。然而，雖直接電氣連接第 1 導電膜 1 1 6 d 和第 2 導電膜 1 1 6 e，亦可直接電氣連接第 1 導電膜 1 1 6 d 和取樣電路驅動信號線 1 1 4 或密封範圍側之拉出配線 3 0 1 a。

圖 10 (3) 中，中繼配線係加上與圖 10 (2) 之冗長構造所成中繼配線幾近同樣的構成之第 1 導電膜 1 1 6 d 及第 2 導電膜 1 1 6 e，於第 3 層間絕緣膜 7 上，更甚之為規定至少一畫素開口範圍之一部分之高融點金

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(33)

屬膜或金屬合金膜等所成第4導電膜116f，則與畫像信號線115交叉地通過，於其上形成第4層間絕緣膜

117。然後於，畫像信號線115之兩側，介由開孔於第3層間絕緣膜7之連接孔，將資料驅動電路101側之取樣電路驅動信號線114和密封範圍側之拉出配線

301a，與第4導電膜電氣連接地加以構成。採用如此之構成時，於畫像信號線115之上下層，介由第1層間絕緣膜12、第2層間絕緣膜4及第3層間絕緣膜7，由第1導電膜116d、第2導電膜116e、第4導電膜116f之3層形成中繼配線之故，可形成更冗長構造。又，第1導電膜116d及第4導電膜116f係低阻抗之高融點金屬膜或金屬合金膜所成之故，可將配線阻抗下降一層，不會招致畫像信號之信號延遲。

如以上所說明，於本實施形態中，將畫像信號線或取樣電路驅動信號線用之中繼配線，利用與第1遮光膜

11a同一工程加以形成之第1導電膜，加以阻抗化，本發明之中繼配線之適用處係不限於此等之畫像信號線或取樣電路驅動信號線。例如，與於資料線驅動電路、掃瞄線驅動電路、取樣電路等之周邊電路內，於A1膜所成配線間呈交叉之處，介由層間絕緣膜形成之掃瞄線之同一工程所形成之多矽膜所成中繼配線等，將周邊電路內之任意之中繼配線利用第1導電膜，置換呈低阻抗化之單層或多重配線地加以構成者，可與上實施形態之情形相同。尤其，資料線驅動電路或掃瞄線驅動電路用的中繼配線之低阻抗

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(34)

化係可達成防止構成此等之電路的偏移暫存器之延遲的驅動高速化。又，取樣電路或預充電電路用之中繼配線之低阻抗化係可抑制取樣電路驅動信號或預充電電路驅動信號之鈍化。可使畫像信號良好地寫入，最終可達畫質提升。然而，中繼配線係由2層以上之導電膜構成多重配線亦無任何問題。

(液晶裝置之製造步驟)

接著，對於具有以上構成之液晶裝置之實施形態之製造步驟，參照圖11至圖14加以說明。圖11及圖12係令各工程之TF陣列基板側之各層，與圖6同樣地對應圖4之B-B'截面加以顯示之工程圖，圖13及圖14係令各工程之TF陣列基板側之各層，與圖3同樣地，對應圖2之A-A'截面加以顯示之工程圖。然而，B-B'截面之製造步驟和C-C'截面之製造步驟係其基本上同時並行加以進行之故，以下之說明亦對於兩步驟並列進行。

如圖11及圖13之工程(1)所示，準備石英基板、硬玻璃等之TF陣列基板10。在此，於較佳為 N_2 (氮)等之非活性氣體氣氛且約 $900 \sim 1300^\circ C$ 之高溫進行退火處理，為減少之後實施之高溫步驟之TF陣列基板10所產生之扭曲，進行前處理。即，於製造步驟之最高溫，配合高溫處理之溫度，於事前將TF陣列基板10以同樣溫度或以上之溫度加以熱處理即可。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (35)

於如此處理之 T F T 基板 1 0 之整面，將 T i 、 C r 、 W 、 T a 、 M o 及 P b 等之金屬或金屬矽化物等之金屬合金膜，經由濺射，形成 1 0 0 ~ 5 0 0 n m 程度之膜厚、較佳為 2 0 0 n m 之膜厚的遮光膜 1 1 。

接著，如圖 1 3 之工程 (2) 所示，於該形成之遮光膜上，經由光蝕刻，形成對應畫素 T F T 遮光用之第 1 遮光膜 1 1 a 的圖案 (參照圖 2) 的光阻罩，經由介由該光阻罩，第 1 遮光膜 1 1 進行蝕刻地，形成第 1 遮光膜 1 1 a 。

同時，如圖 1 1 之工程 (2) 所示，於該形成之遮光膜 1 1 上，經由光蝕刻形成對應中繼配線 1 1 6 或拉出配線 3 0 1 b 之圖案，形成光阻罩，介由該光阻罩，對遮光膜 1 1 ，經由進行蝕刻，形成第 1 導電膜 1 1 6 b 及 1 1 6 b ' 。

接著，如圖 1 1 及圖 1 3 之工程 (3) 所示，於第 1 遮光膜 1 1 a 及第 1 導電膜 1 1 6 b 上，例如經由常壓及減壓 C V D 法等，使用 T E O S 氣體、T E B 氣體、T M O P 氣體等，形成 N S G 、 P S G 、 B S G 、 B P S G 等之矽石玻璃膜、氮化矽膜或氧化矽膜等所成第 1 層間絕緣膜 1 2 。此第 1 層間絕緣膜 1 2 化膜厚係例如呈 5 0 0 ~ 2 0 0 0 n m 。

接著，如圖 1 1 及圖 1 3 之工程 (4) 所示，於第 1 層間絕緣膜 1 2 之上，以約 4 5 0 ~ 5 5 0 ° C ，較佳為 5 0 0 ° C 之較低溫度環境下，經由使用流量約 4 0 0 ~

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (36)

600CC / MIN 的單矽烷氣體、二矽烷氣體等減，壓 CVD (例如壓力約 20 ~ 40 Pa 之 CVD)，形成非晶質矽膜。之後，於氮氣氛中，於約 600 ~ 700 °C，約 1 ~ 10 小時，較佳經由施以 4 ~ 6 小時之退火處理，令多矽膜 1 呈約 50 ~ 200 nm 之厚度，較佳為呈約 100 nm 之厚度地固相成長。

此時，作成 n 通道型之畫素開關用 TFT30 之時，於該通道範圍，將 Sb、As、P 等之 V 族元素的滲離物，經由些微離子植入，進行滲雜亦可。又，令畫素開關用 TFT30，呈 p 通道型之時，將 B、Ga、In 等之 III 族元素的滲離物，經由些微離子植入，進行滲雜亦可。然而，不經由非晶質矽膜，經由減壓 CVD 法等，直接形成多矽膜亦可。或者經由減壓 CVD 法等堆積的多矽膜，植入矽離子，暫時非晶質化，之後經由退火處理等，再結晶化形成多矽膜 1 亦可。

接著，如圖 13 之工程 (5) 所示，經由光蝕刻工程，蝕刻工程等，如圖 2 所示，形成所定圖案之半導體層 1a。即，尤其，於沿掃描線 3a，形成容量線 3b 之範圍，形成自構成畫素開關用 TFT30 之半導體層 1a 延伸設置的第 1 蓄積容量電極 1f。

如圖 13 之工程 (6) 所示，與構成畫素開關用 TFT30 之半導體層 1a，將第 1 蓄積容量電極 1f 經由約 900 ~ 1300 °C 的溫度，經由較佳為約 1000 °C 之溫度的熱氧化，形成約 30 nm 之較薄厚度之熱氧化

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(37)

矽膜，更且經由減壓 C V D 法等，將高溫氧化矽膜（H T O 膜）或氮化矽膜堆積呈約 5 0 n m 之較薄的厚度，形成具多層構造的畫素開關用 T F T 3 0 之間極絕緣膜或容量形成用介電質膜的絕緣薄膜 2。結果，半導體層 1 a 之厚度係約 3 0 ~ 1 5 0 n m 之厚度，較佳為約 3 0 ~ 1 0 0 n m 之厚度。如此地，經由減短高溫熱氧化時間，尤其使用 8 英寸程度之大型基板時，可防止因熱產生之彎曲。但是僅經由熱氧化多矽膜 1，形成絕緣薄膜 2 亦可。

然而，於圖 1 3 之工程（6）中，雖未特別加以限制，於第 1 蓄積容量電極 1 f，將 P 離子以滲雜量約 $3 \times 10^{12} / \text{cm}^2$ 加以滲雜，而達低阻抗亦可。

接著，於圖 1 1 之工程（7）中，於第 1 層間絕緣膜 1 2 將到達第 1 導電膜 1 1 6 b 及 1 1 6 b' 之連接孔 3 0 5 a，經由反應性離子蝕刻、反應性離子束蝕刻等之乾蝕刻，或濕蝕刻加以形成。此時，經由如反應性離子蝕刻、反應性離子束蝕刻之向異性蝕刻，開孔連接孔 3 0 5 a 者，將開孔形狀呈與光罩形狀幾近相同者為有利者。但，組合乾蝕刻和濕蝕刻加以開孔時，可將此等連接孔 3 0 5 a 等呈推拔角之故，有可防止配線連接時之斷線的優點。

接著，如圖 1 1 及圖 1 3 之工程（8）所示，經由減壓 C V D 法等，堆積多矽膜 3 之後，熱擴散磷，將多矽膜 3 導電化。或，使用將 P 離子與多矽膜 3 之成膜同時導入的滲雜矽膜亦可。

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明 (38)

接著，如圖 1 3 之工程 (9) 所示，經由光蝕刻工程、蝕刻工程等，與如圖 2 所示所定圖案之掃描線 3 a，共同形成容量線 3 b。

同時如圖 1 1 之工程 (9) 所示，形成構成如圖 4 及圖 5 所示所定圖案之中繼配線 1 1 6 及拉出配線 3 0 1 b 的第 2 導電膜 1 1 6 a 及 1 1 6 a'。

接著，如圖 1 3 之工程 (10) 所示，將如圖 3 所示畫素開關用 T F T 3 0 呈具 L D D 構造的 n 通道型之

T F T 時，於半導體層 1 a，首先為形成低濃度源極範圍 1 b 及低濃度汲極範圍 1 c，將掃描線 3 a 呈擴散光罩，將 P 等之 V 族元素之滲雜物 1 7，以低濃度（例如將 P 離子呈 $1 \sim 3 \times 10^{13} / \text{cm}^2$ ）加以滲雜。由此，掃描線 3 a 下之半導體層 1 a 係呈通道範圍 1 a。

接著，如圖 1 3 之工程 (11) 所示，為形成構成畫素開關用 T F T 3 0 之高濃度源極範圍 1 d 及高濃度汲極範圍 1 e，以較於掃描線 3 a 之一部分的閘極電極寬廣光罩，將光阻層 1 8 形成於掃描線 3 a 上後，同樣地，將 P 等之 V 族元素的滲雜物 1 7'，以高濃度（例如將 P 離子呈 $1 \sim 3 \times 10^{15} / \text{cm}^2$ ）加以滲雜。又，令畫素開關用 T F T 3 0 呈 p 通道型之時，於半導體層 1 a，為形成低濃度源極範圍 1 b 及低濃度汲極範圍 1 c 以及高濃度源極範圍 1 d 及高濃度汲極範圍 1 e，使用 B 等之 III 族元素之滲雜物加以滲雜。然而，例如不進行低濃度之滲雜，做為偏移構造之 T F T 亦可。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明 (39)

並行於此等之工程，將具有 n 通道型 T F T 及 P 通道型 T F T 所構成之互補型構造的資料驅動電路 1 0 1 及掃描驅動電路 1 0 4 等之周邊電路，形成於 T F T 陣列基板 1 0 上之周邊部。如此，於本實施形態中，畫素開關用 T F T 3 0 係多矽 T F T 之故，於畫素開關用 T F T 3 0 之形成時，以幾近同一工程，可形成資料驅動電路 1 0 1 及掃描驅動電路 1 0 4 等之周邊電路之故，在形成為有利。

接著，如圖 1 2 及圖 1 4 之工程 (1 2) 所示，與畫素開關用 T F T 3 0 之掃描線 3 a ，一同將容量線 3 b 及掃描線 3 a 以 1 及第 2 導電膜 1 1 6 a 及 1 1 6 a ' 平面被覆地，例如以常壓或減壓 C V D 法，使用 T E O S 氣體等，形成 N S G 、 P S G 、 B S G 、 B P S G 等之矽石玻璃膜、氮化矽膜或氧化矽膜所成第 2 層間絕緣膜 4 。第 2 層間絕緣膜 4 之膜厚係約 5 0 0 ~ 1 5 0 0 n m 為佳。

接著，於圖 1 2 及圖 1 4 之工程 (1 3) 之階段，為活化高濃度源極範圍 1 d 及高濃度汲極範圍 1 e ，令約 1 0 0 0 ° C 之退火處理，進行 2 0 分鐘程度後，將對於資料線 6 a 之連接孔 5 ，經由反應離子蝕刻、反應離子束蝕刻等之乾蝕刻，或經由溼蝕刻加以形成。又，為電氣連接第 2 導電膜 1 1 6 a 和拉出配線 3 0 1 b 的連接孔 3 0 5 b ，亦經由與連接孔 5 同一的工程，開孔第 2 層間絕緣膜 4 。

接著，如圖 1 2 及圖 1 4 之工程 (1 4) 所示，於第

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(40)

2 層間絕緣膜 4 之上，經由濺射處理等，將遮光性之 A 1 等之低阻抗金屬或金屬矽化物等做為金屬膜 6，呈約 100 ~ 500 之厚度，較佳為呈約 300 nm 加以堆積，更且如工程(15)所示，經由光蝕刻工程、蝕刻工程等，形成資料線 6a 以及畫像信號線 115 及拉出配線 301b。

接著，如圖 12 及 14 之工程(16)所示，被覆資料線 6a 上地，例如以常壓或減壓 CVD 法使用 TEOS 氣體等，形成 NSG、PSG、BSG、BPSG 等之矽石玻璃膜、氮化矽膜或氧化矽膜等所成第 3 層間絕緣膜 7。第 3 層間絕緣膜 7 之膜厚係約 500 ~ 1500 nm 為佳。

接著，於圖 14 之工程(17)之階段，於畫素開關用 TFT30，將為電氣連接畫素電極 9a 和高濃度汲極範圍 1e 的連接孔 8，經由反應離子蝕刻、反應離子束蝕刻等之乾蝕刻加以形成。

接著，如圖 12 及圖 14 之工程(18)所示，於第 3 層間絕緣膜 7 上，經由濺射等，將 ITO 膜等之透明導電性薄膜 9，堆積約 50 ~ 200 nm 之厚度，更如圖 12 及圖 14 之工程(19)所示，經由光蝕刻工程、蝕刻工程等，形成畫素電極 9a。然而將該液晶裝置使用反射型之液晶裝置之時，形成 A1 等之反射率高的不透明材料所成畫素電極 9a 亦可。

接著，於畫素電極 9a 之上，塗布聚醯亞胺系之配向

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(41)

膜塗布液後，為具有所定之預傾斜角，且於所定方向施以打研磨處理等，形成配向膜 1 6。

另一方面，對於圖 3 所示對向基板 2 0，首先準備玻璃基板等，第 2 遮光膜 2 3 及第 3 遮光膜 5 3（參照圖 4 及圖 5），例如濺射金屬鉻之後，經由光蝕刻工程、蝕刻工程加以形成。然而，第 2 遮光膜 2 3 及第 3 遮光膜 5 3 係 Cr、Ni、Al 等之金屬材料之外，可由將碳或 Ti 光蝕刻分散之樹脂碳黑等之材料所成。

之後，於對向基板 2 0 之整面經由濺射處理等，將 ITO 等之透明導電性薄膜，經由堆積呈約 50 ~ 200 nm，形成對向電極 2 1。更且於對向電極 2 1 之整面，塗佈聚醯亞胺系之塗佈液之後，具有所定之預傾斜角地，且於所定方向施以研磨處理等，形成配向膜 2 2。

最後，如上述各層所形成之 TFT 陣列基板 1 0 和對向基板 2 0 係配向膜 1 6 及 2 2 呈對面地，經由密封材加以貼合，經由真空吸引等，於兩基板間之空間，例如吸引混合複數種類之絲狀液晶的液晶，形成所定膜厚之液晶層 5 0。

（液晶裝置之整體構成）

如以上所示，將構成之液晶裝置之各實施形態之整體構成，參照圖 1 5 及圖 1 6 加以說明。然而，圖 1 5 係將 TFT 陣列基板 1 0 形成於上之各構成要素的同時，自對向基板 2 0 之側所視的平面圖，圖 1 6 係包含對向基板

（請先閱讀背面之注意事項再填寫本頁）

訂線

五、發明說明(42)

20 所示之圖 16 之 H-H' 截面圖。

於圖 15 中，於 TFT 陣列基板 10 之上，密封材 52 沿該邊緣設置，並行於該內側，例如設置與第 2 遮光膜 23 同樣或不同材料所成邊框的第 3 遮光膜 53。於密封材 52 之外側之範圍，資料驅動電路 101 及外部電路連接端子 102 則沿 TFT 陣列基板 10 之一邊加以設置，掃描驅動電路 104 則沿鄰接此一邊的 2 邊加以設置。供予掃描線 3a 的掃描信號延遲如果沒有問題的話，掃描驅動電路 104 為單側亦可。又，將資料驅動電路 101 沿畫像顯示範圍之邊，配列於兩側亦可。例如奇數列之資料線係自沿畫像顯示範圍的一方之邊加以配設之資料線驅動電路，供予畫像信號，偶數列之資料線係自沿畫像顯示範圍的相反側之邊加以配設之資料線驅動電路，供予畫像信號亦可。如此地，將資料線 6a 呈梳齒狀加以驅動時，可擴充資料驅動電路 101 之占有面積之故，可構成複數電路。更且，TFT 陣列基板 10 所剩一邊，設有連接設於畫像顯示範圍之兩側的掃描驅動電路 104 間之複數配線 105。又，對向基板 20 之角落部之至少一處中，於 TFT 陣列基板 10 和對向基板 20 之間，設置電氣導通之上下導通材 106。然後如 16 所示，具有與如圖 15 所示密封材 52 幾近同樣的輪廓的對向基板 20，經由該密封材 52，固著於 TFT 陣列基板 10。

於以上參照圖 1 至圖 16 說明之實施形態的液晶裝置之 TFT 陣列基板 10 上，更為向畫像信號之資料線 6a

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(43)

的寫入負荷的減輕，對各資料線 6 a，於畫像信號在先行之時間，形成寫入所定預充電信號的預充電電路亦可，為檢查製造中途或出貨時之該液晶品質、缺陷等的檢查電路等亦可。又，代替將資料驅動電路 1 0 1、掃瞄驅動電路 1 0 4 等之周邊電路之一部分，設於 T F T 陣列基板 1 0 上，例如於安裝於 T A B (Tape Automated Bonding) 基板上的驅動用 L S I，介由設於 T F T 陣列基板 1 0 之周邊部的向異性導電薄膜，電氣性及機械性地加以連接亦可。又，入射對向基板 2 0 之投射光側及射出 T F T 陣列基板 1 0 之出射光側，各例如對應 T N (扭轉絲狀) 模式等之動作模式，或對應正常白模式 / 正常黑模式，偏光薄膜、相位差薄膜、偏光板等則以所定方向加以配置。

以上說明之本實施形態之液晶裝置，係為適用彩色液晶投影器，3 板之液晶裝置做為 R G B 用之燈泡各別加以 1 使用，於各面板，介由各 R G B 色分解用之分色鏡，分解之各色之光則做為投射光，各別加以入射。因此，本實施形態中，於對向基板 2 0，不設置彩色濾光片。可是，於對向於未形成第 2 遮光膜 2 3 之畫素電極 9 a 的所定範圍，將彩色濾光片與該保護膜，同時形成於對向基板 2 0 上。如此之時，於液晶投影器以外之直視型或反射型之彩色液晶電視等之彩色液晶裝置，適用實施形態之液晶裝置。更且，於對向基板 2 0 上，1 畫素對應 1 個地形成微透鏡即可。如此之時，提升入射光之聚光效率，可實現明亮之液晶裝置。更且，於對向基板 2 0 上，堆積多層之折射

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(44)

率不同的干涉層，利用光之干涉，形成作出R G B色之分色濾光片亦可。根據附有此分色濾光片之對向基板，可實現更明亮之彩色液晶裝置。

以上說明之實施形態的液晶裝置中，與以往同樣地，將入射光自對向基板20之側加以入射，設置第1遮光膜11a之故，自TF T陣列基板10之側入射入射光，自對向基板20之側加以出射亦可。即，如此地將液晶裝置安裝液晶投影器時，於半導體層1a之通道範圍1a'及低濃度源極範圍1b、低濃度汲極範圍1c，可防止入射之光，可顯示高畫質之畫像。在此，以往可防止TF T陣列基板10之背面側的反射，另外配置反射防止用之AR (Anti REFLECTION (被膜的偏光板，或需貼附AR薄膜。但是，本實施形態中，於TF T陣列基板10之表面和半導體層1a之至少通道範圍1a'及低濃度源極範圍1b、低濃度汲極範圍1c之間，形成第1遮光膜11a之故，使用如此AR被膜之偏光板或AR薄膜，將TF T陣列基板10無需使用AR處理之基板3。因此，根據本實施形態，削減材料成本，又於偏光板貼附時，由於灰塵、損傷等，不會使產率下降，而非常有利。又，耐光性優異之故，使用明亮之光源，經由偏光光束分散器偏光變換，提升光利用效率，而不產生光之串訊等之畫質劣化。

又，做為設於各畫素之開關元件，以正交錯型或刨光型之多矽TF T做了說明，對於逆交錯型之TF T或非晶質矽TF T等之其他之形式的TF T，實施形態亦為有效

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(45)

。

(電子機器)

接著，對於具備以上詳細說明之光電裝置的電子機器之實施形態，參照圖17至圖19加以說明。

首先，於圖17，做為如此光電裝置之一例，顯示具備液晶裝置100之電子機器的概略構成。

於圖17，電子機器係具備顯示資訊輸出源1000、顯示資訊處理電路1002、驅動電路1004、液晶裝置1000、時脈產生電路1008以及電源電路1010加以構成。顯示資訊輸出源1000包含同步ROM、RAM、光碟裝置等之記憶體、畫像信號加以輸出的同步電路等，根據自時脈產生電路1008之時脈信號，將所定格式之畫像信號等之顯示資訊，輸出至顯示資訊處理電路1002。顯示資訊處理電路1002係包含增幅、極性反轉電路、串列、並列變換電路、旋轉電路，伽瑪修正電路、箝位電路等之周知各種處理電路加以構成，根據時脈信號，自輸入顯示資訊順序生成數位信號，與時脈信號CLK同時，輸出驅動電路1004。驅動電路1004係驅動液晶裝置100。電源電路1010係於上述之各電路供予所定電源。然而，於構成液晶裝置100之TFT陣列基板上，搭載驅動電路1004亦可，更甚之搭載顯示資訊處理電路1002亦可。

接著，於自圖18至圖19，各別顯示如此構成之砲

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(46)

子機器的具體例。

圖 1 8 係顯示電子機器之一例的液晶投影器 1 1 0 0。於此液晶投影器 1 1 0 0 中，上述驅動電路 1 0 0 4 準備 3 個包含搭載於 T F T 陣列基板上之液晶裝置 1 0 0 的液晶顯示模組，做為各 R G B 用之燈泡 1 0 0 R、

1 0 0 G 及 1 0 0 B 加以使用。液晶投影器 1 1 0 0 中，發出自金屬鹵素燈等之白色光源之燈單元 1 1 0 2 的投射光時，經由 3 枚鏡 1 1 0 6 及 2 枚分色鏡 1 1 0 8，分為對應 R G B 三原色之光成分 R、G、B，引導至對應各色之燈泡 1 0 0 R、1 0 0 G 及 1 0 0 B。此時，尤其是 B 光係為防止長光路產生之光損失，介由入射鏡 1 1 2 2、接續透鏡 1 1 2 3 及射出透鏡 1 1 2 4 所成中繼透鏡系

1 1 2 1 加以引導。然後，經由燈泡 1 0 0 R、1 0 0 G 及 1 0 0 B，對應各調制之 3 原色的光成分係經由分色稜鏡 1 1 1 2，再度合成之後，介由投射透鏡 1 1 1 4，向螢幕以彩色影像加以投射。

圖 1 9 係顯示對應電子機之其他例之多媒體的膝上型之個人電腦 (P C) 1 2 0 0。上述液晶裝置 1 0 0 則設於上蓋殼體內，更且收容 C P U、記憶體、數據機等之同時，具備組合有鍵盤 1 2 0 2 之本體 1 2 0 4。

參照以上圖 1 8 至圖 1 9 說明電子機器之外，液晶電視、觀景型或監視直視型的錄影機、汽車導引裝置、電子筆記簿、計算機、文字處理機、工程用工作站 (E W S)、攜帶型電話、電視電話、P O S 終端、具備觸摸面板之

(請先閱讀背面之注意事項再填寫本頁)

訂線

五、發明說明(47)

裝置等，被做為圖 1 7 所示之電子機器加以列舉。

如以上所說明，根據本實施形態時，可實現製造效率為高，可達高品位之畫像顯示的液晶裝置的各種電子機器。

【發明之效果】

根據本發明之光電裝置時，利用遮光膜，經由低阻抗中繼配線等之周邊配線，供給畫像信號等之故，提高光電裝置之驅動頻率時，亦可減低畫像信號線等和中繼配線等之容量偶合的容量線之電位搖擺、串訊、鬼影等，進行高品位之畫像顯示。又，加上此點，由於異物容量線於中途斷線時，可實現遮光膜代替容量線之冗長構造，可靠性之高光電裝置可較容易取得。

【圖面之簡單說明】

【圖 1】

包含設於構成液晶裝置之實施形態之畫像形成範圍的矩陣狀之複數畫素的各種元件，配線等之等價電路以及周邊電路的液晶裝置之方塊圖。

【圖 2】

形成液晶裝置之實施形態之資料線、掃瞄線、畫素電極、遮光膜等之 T F T 陣列基板之相鄰接之複數畫素群的平面圖。

【圖 3】

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(48)

圖 2 之 A - A ' 截面圖。

【圖 4】

設置周邊配線之 T F T 陣列基板之部分平面圖。

【圖 5】

顯示擴大圖 4 之中繼配線及拉出配線部的擴大平面圖。

【圖 6】

圖 4 及圖 5 之 B - B ' 截面圖。

【圖 7】

圖 4 及圖 5 之 C - C ' 截面圖。

【圖 8】

顯示圖 4 及圖 5 之 B - B ' 截面之變形形態的截面圖。

【圖 9】

顯示圖 4 及圖 5 之 C - C ' 截面之變形形態的截面圖。

【圖 10】

顯示圖 5 截面之取樣電路驅動信號線用之中繼配線之各種形態的截面圖。

【圖 11】

將液晶裝置之實施形態之製造步驟，對於對應圖 6 部分，依順序加以顯示之工程圖（其 1）。

【圖 12】

將液晶裝置之實施形態之製造步驟，對於對應圖 6 部

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明(49)

分，依順序加以顯示之工程圖(其2)。

【圖13】

將液晶裝置之實施形態之製造步驟，對於對應圖3部分，依順序加以顯示之工程圖(其1)。

【圖14】

將液晶裝置之實施形態之製造步驟，對於對應圖3部分，依順序加以顯示之工程圖(其2)。

【圖15】

與將液晶裝置之實施形態之TFT陣列基板，形成於其上之各構成要件，一同自對向基板側所視之平面圖。

【圖16】

圖15之H-H'截面圖。

【圖17】

顯示本發明之電子機器之實施形態之概略構成的方塊圖。

【圖18】

顯示做為電子機器之一例的液晶投影器的截面圖。

【圖19】

顯示做為電子機器之其他之例的個人電腦的正面圖

【符號說明】

1 a ... 半導體層

1 a' ... 通道範圍

1 b ... 低濃度源極範圍(源極側LDD範圍)

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(50)

- 1 c … 低濃度汲極範圍 (汲極側 L D D 範圍)
- 1 d … 高濃度源極範圍
- 1 e … 高濃度汲極範圍
- 1 f … 第 1 蓄積容量電極
- 2 … 絕緣薄膜
- 3 a … 掃描線
- 3 b … 容量線
- 4 … 第 2 層間絕緣膜
- 5 … 連接孔
- 6 a … 資料線
- 7 … 第 3 層間絕緣膜
- 8 … 連接孔
- 9 a … 畫像電極
- 1 0 … T F T 陣列基板
- 1 1 a … 第 1 遮光膜
- 1 2 … 第 1 層間絕緣膜
- 2 0 … 對向基板
- 2 1 … 對向電極
- 2 3 … 第 2 遮光膜
- 3 0 … T F T
- 5 0 … 液晶層
- 5 2 … 密封材
- 5 3 … 第 3 遮光膜
- 7 0 … 蓄積容量

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(51)

- 1 0 1 … 資料驅動電路
- 1 0 3 . . 取樣電路
- 1 0 4 … 掃瞄驅動電路
- 1 1 4 … 取樣電路驅動信號線
- 1 1 5 … 畫像信號線
- 1 1 6 … 中繼配線
- 3 0 1 、 4 0 1 … 拉出配線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱：光電裝置及該製造方法以及電子機器)

本發明係一種光電裝置及該製造方法以及電子機，其課題係於周邊電路內藏型之液晶裝置等之光電裝置中，經由構成畫素部之有效利用，減低周邊電路之輸出入配線之電氣阻抗，可得高品質之畫像顯示者。解決手段係液晶裝置係具備挾持於一對基板間的液晶層(5)、和於TFT陣列基板(10)設置呈矩陣狀之畫素電極9a。高融點金屬所成第1遮光膜(11a)則形成於畫素開關用TFT(30)、掃瞄線(3a)、容量線(3b)等之下側。畫像信號線(115)等之周邊配線係包含與資料線(6a)同樣之金屬膜所成之第2配線部，和可與其立體交差，與掃瞄線同樣由多矽膜及遮光膜所成第1配線部者。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫此頁各欄)

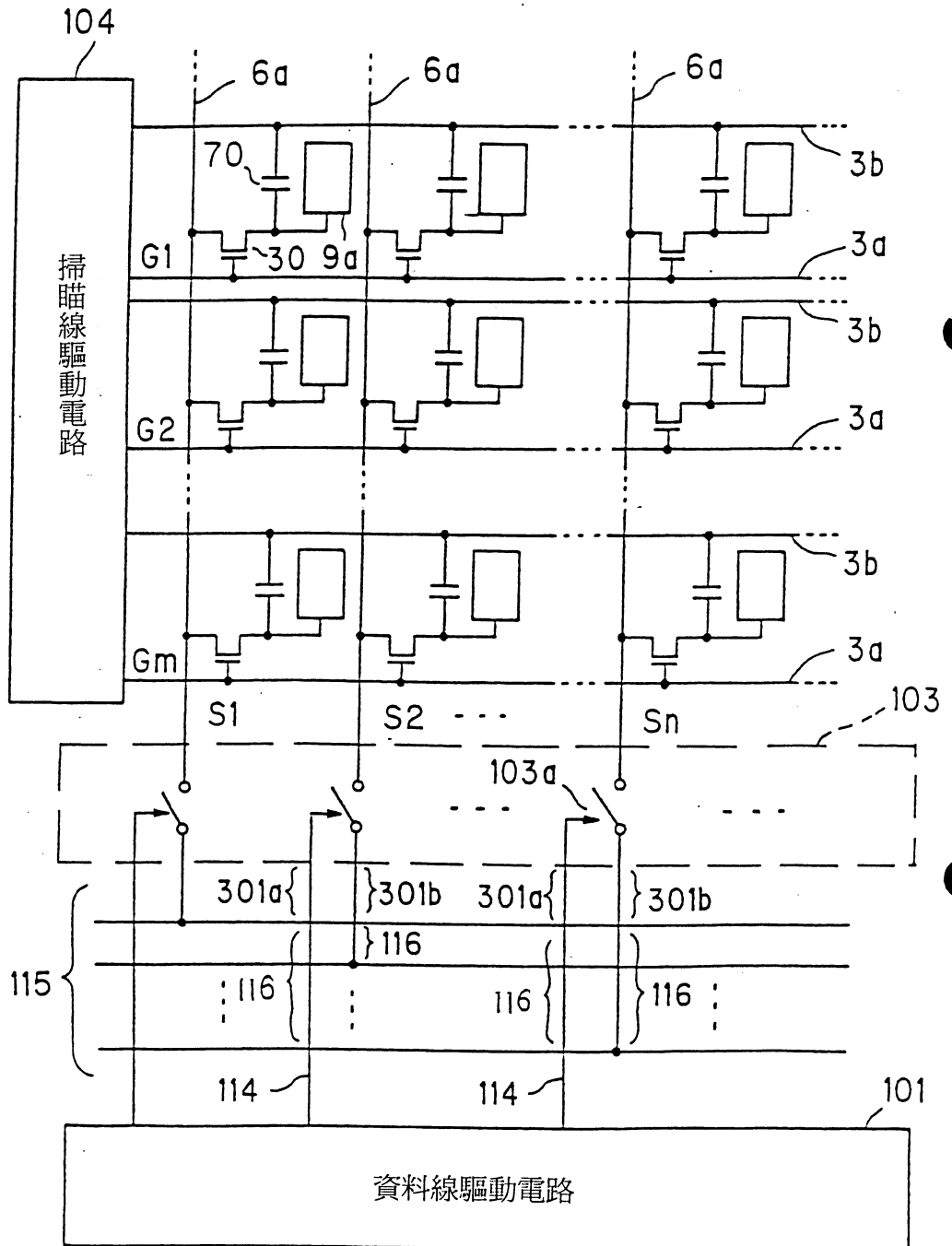
裝

訂

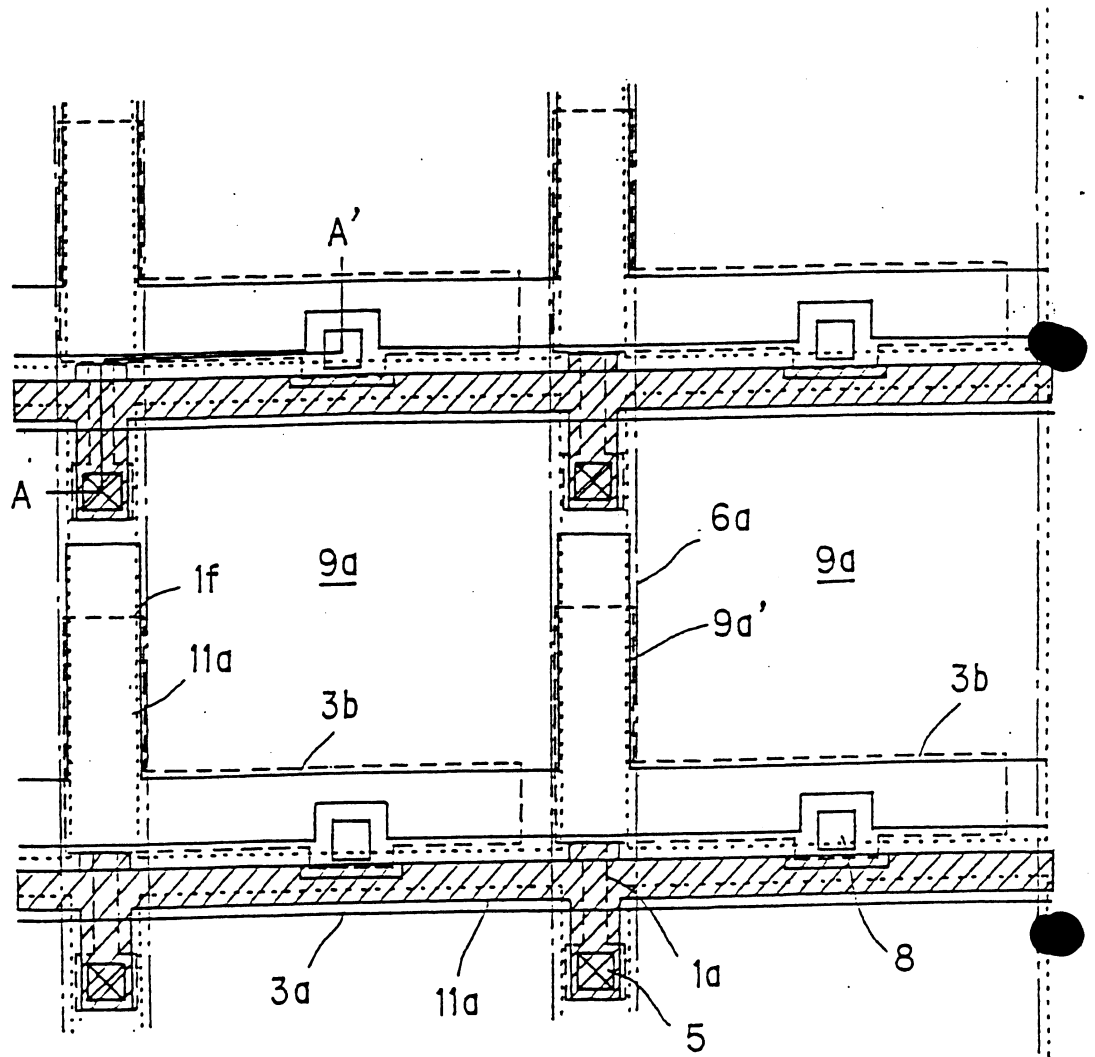
線

公告

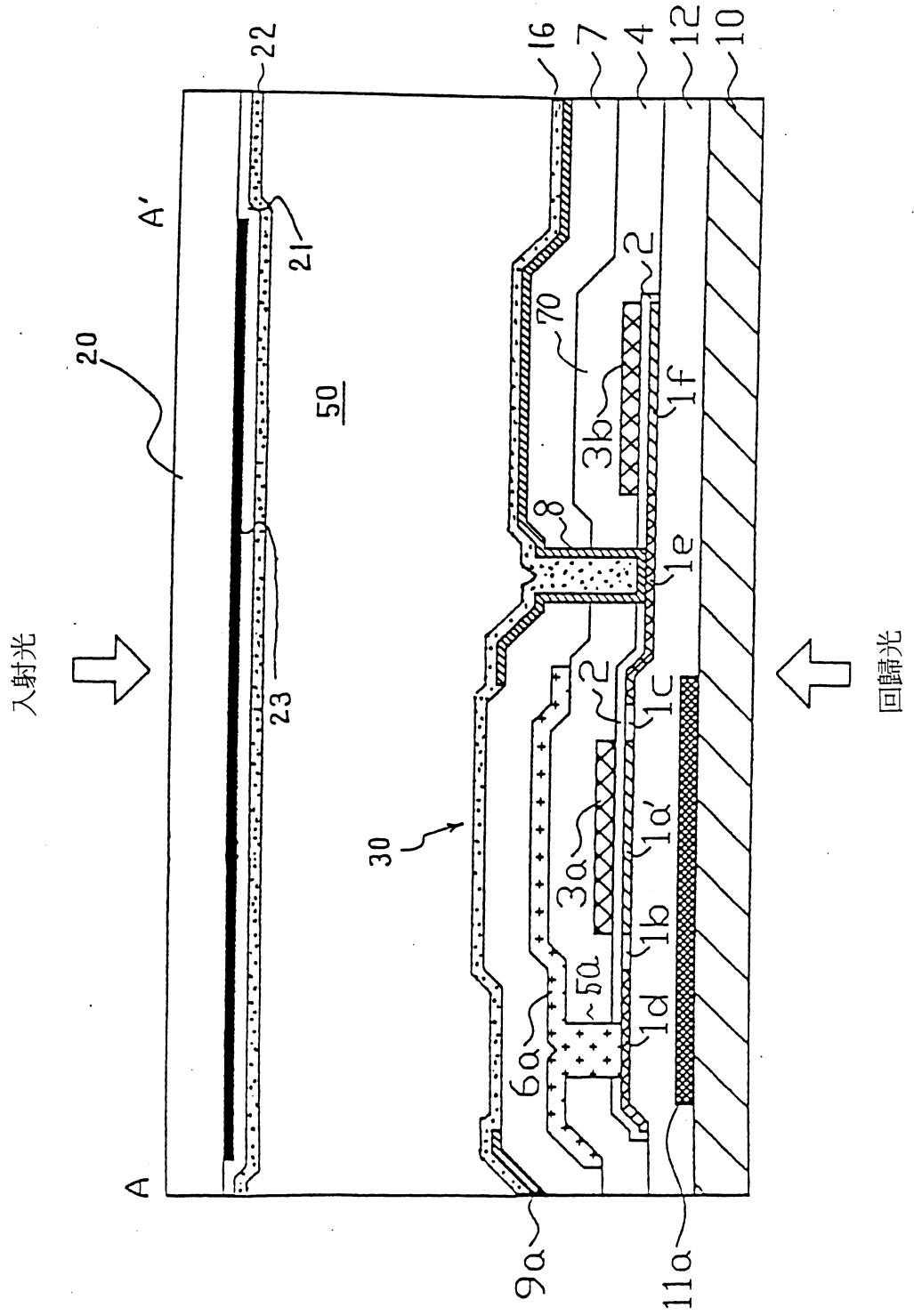
第 1 圖



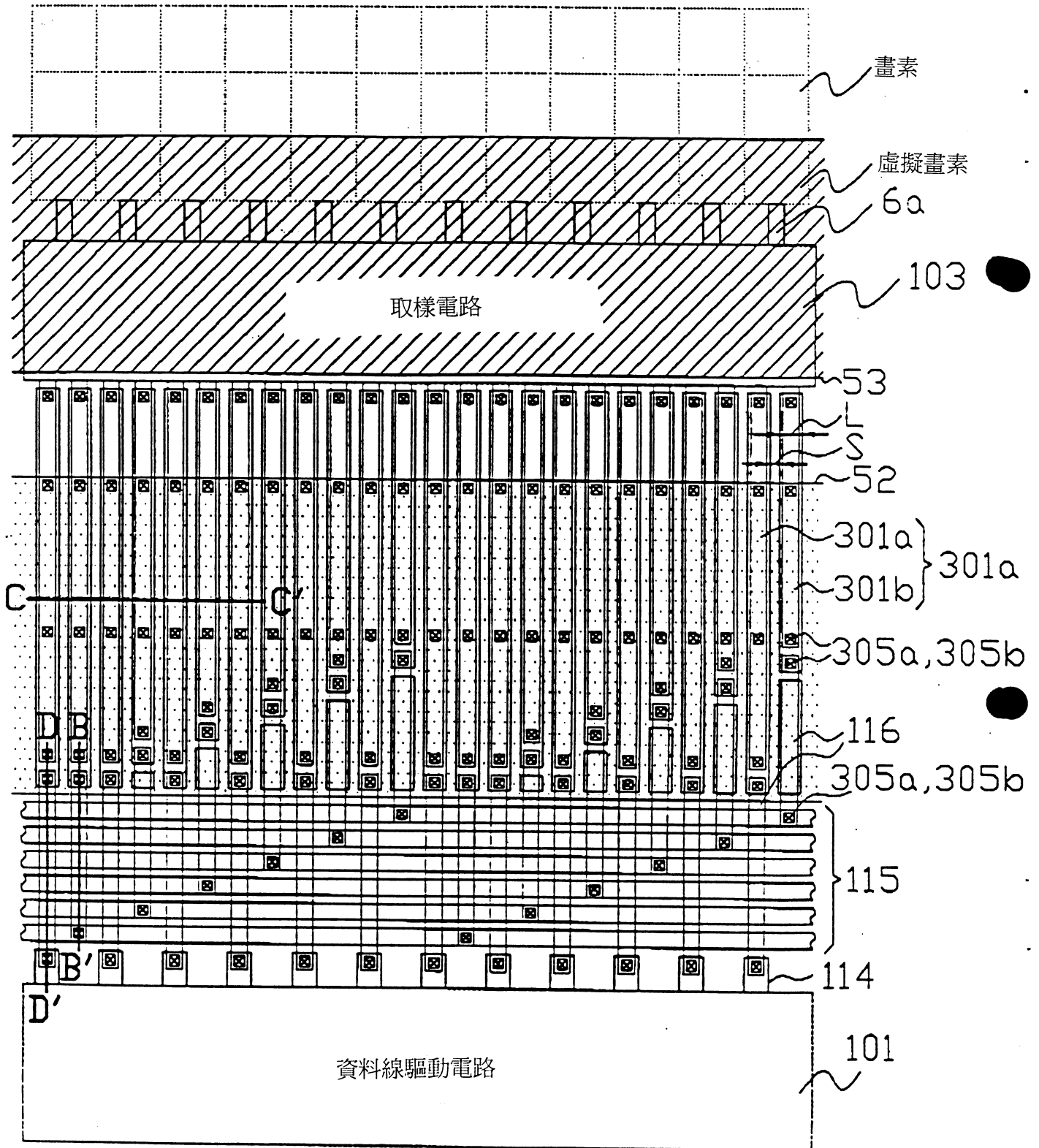
第 2 圖



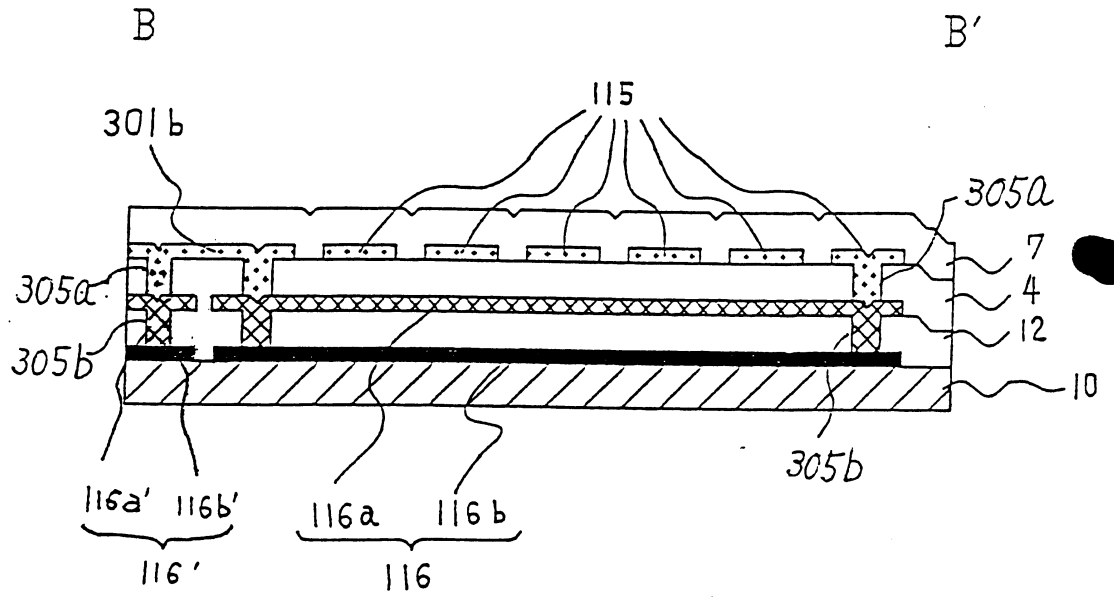
第 3 圖



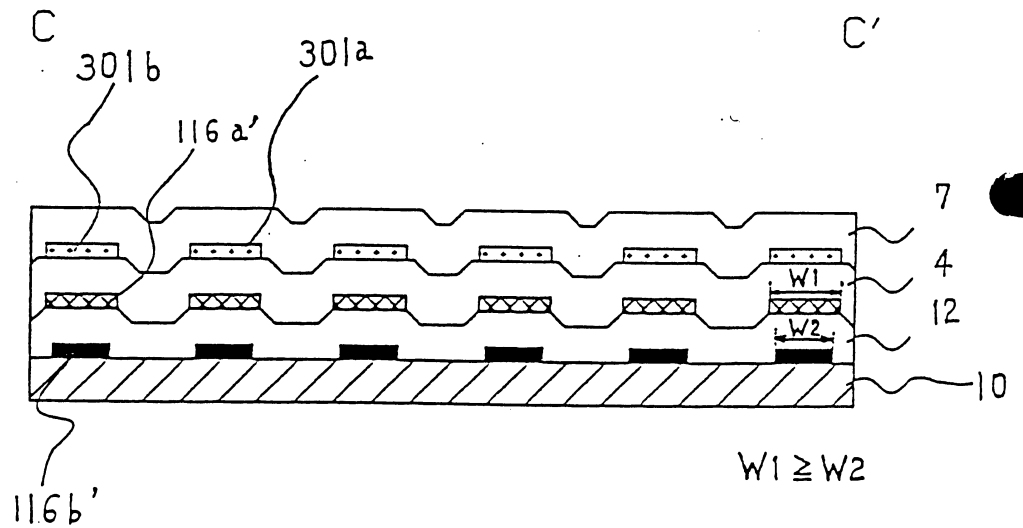
第 5 圖



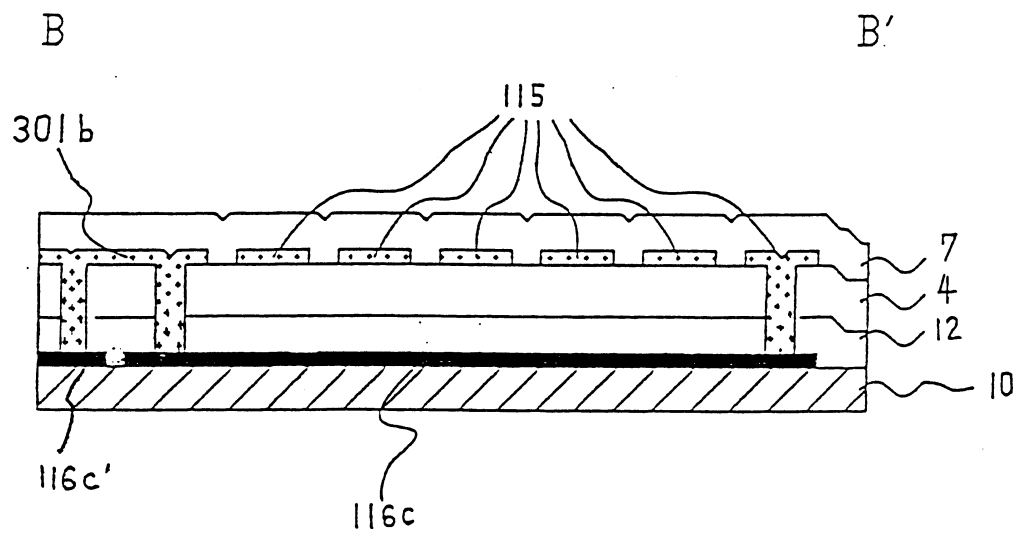
第 6 圖



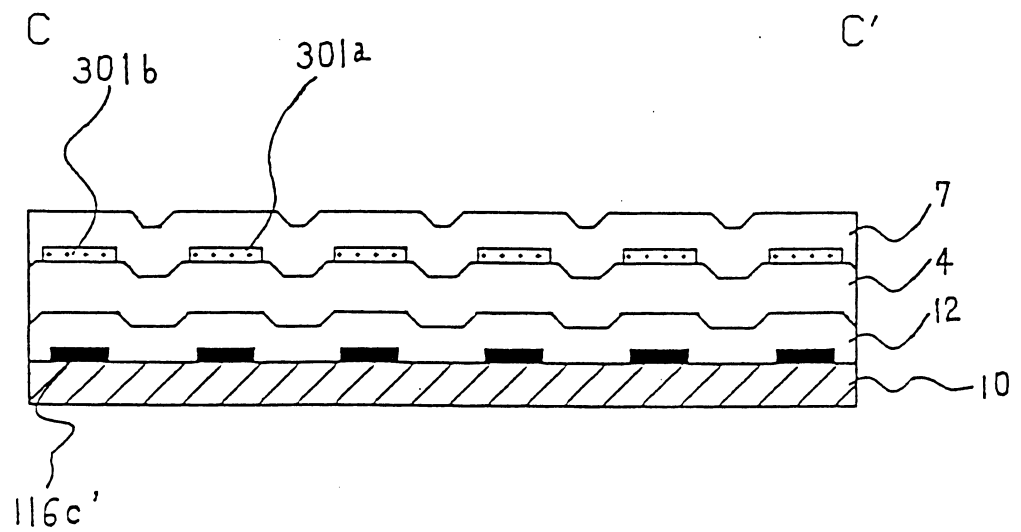
第 7 圖



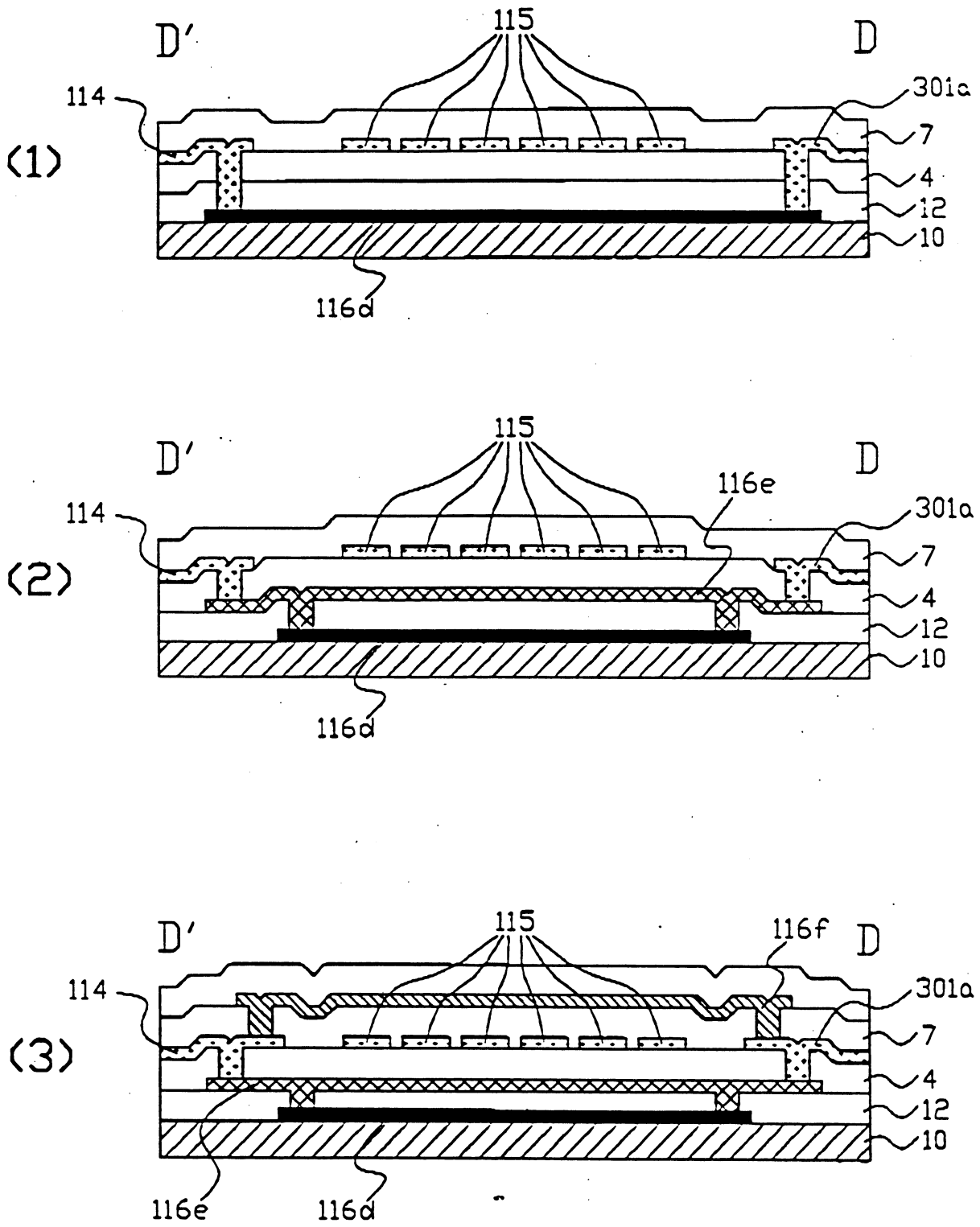
第 8 圖



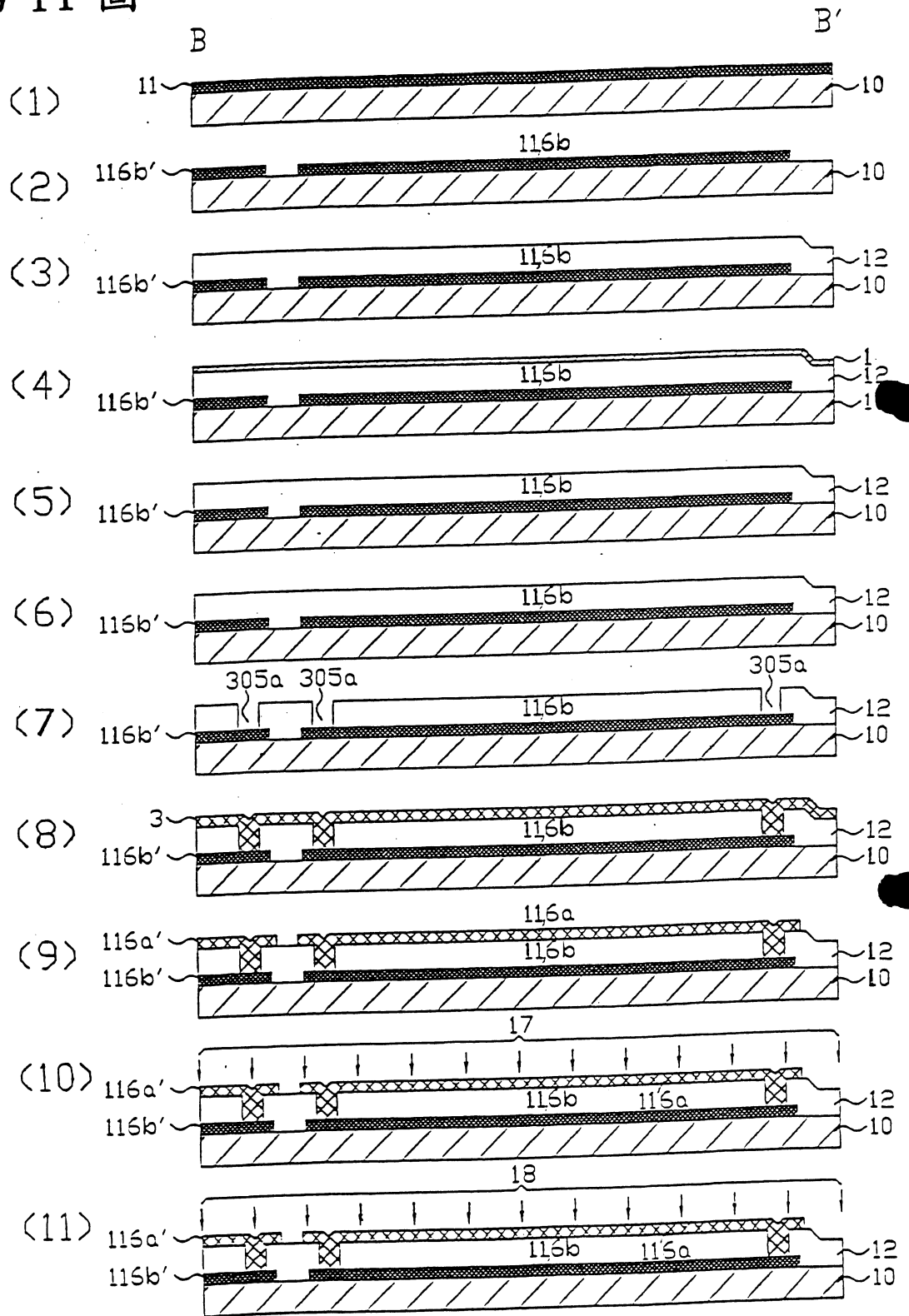
第 9 圖



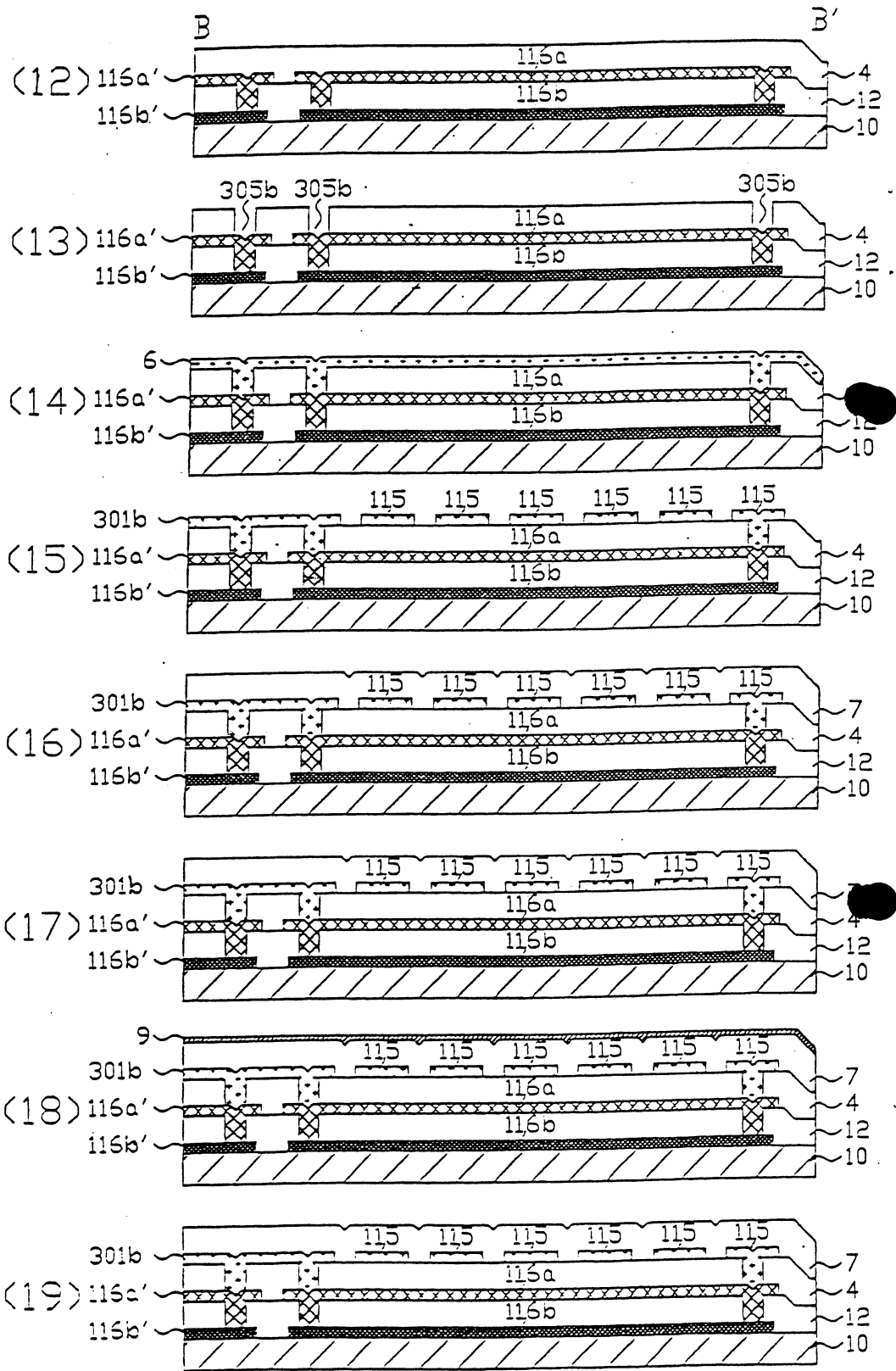
第 10 圖



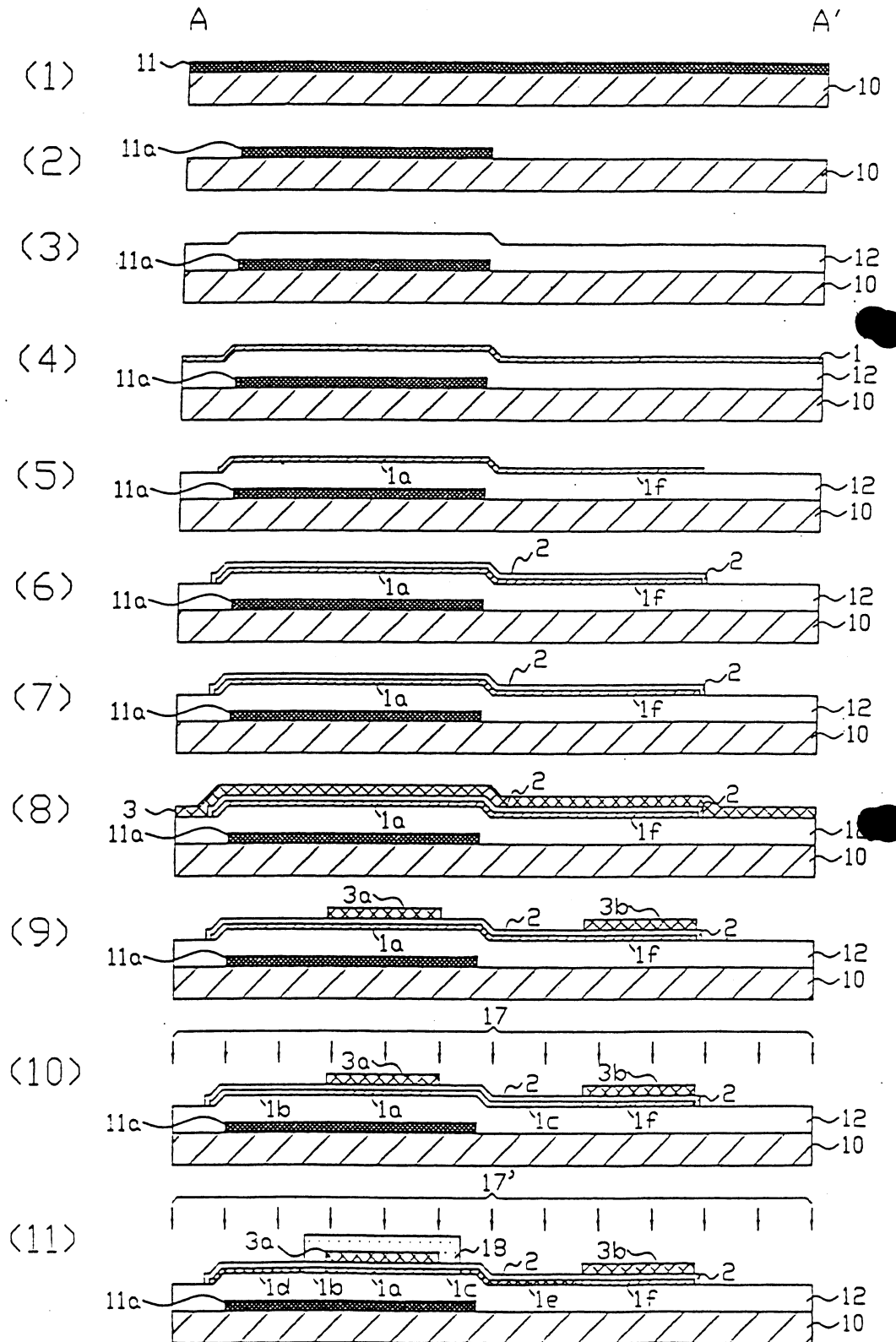
第 11 圖



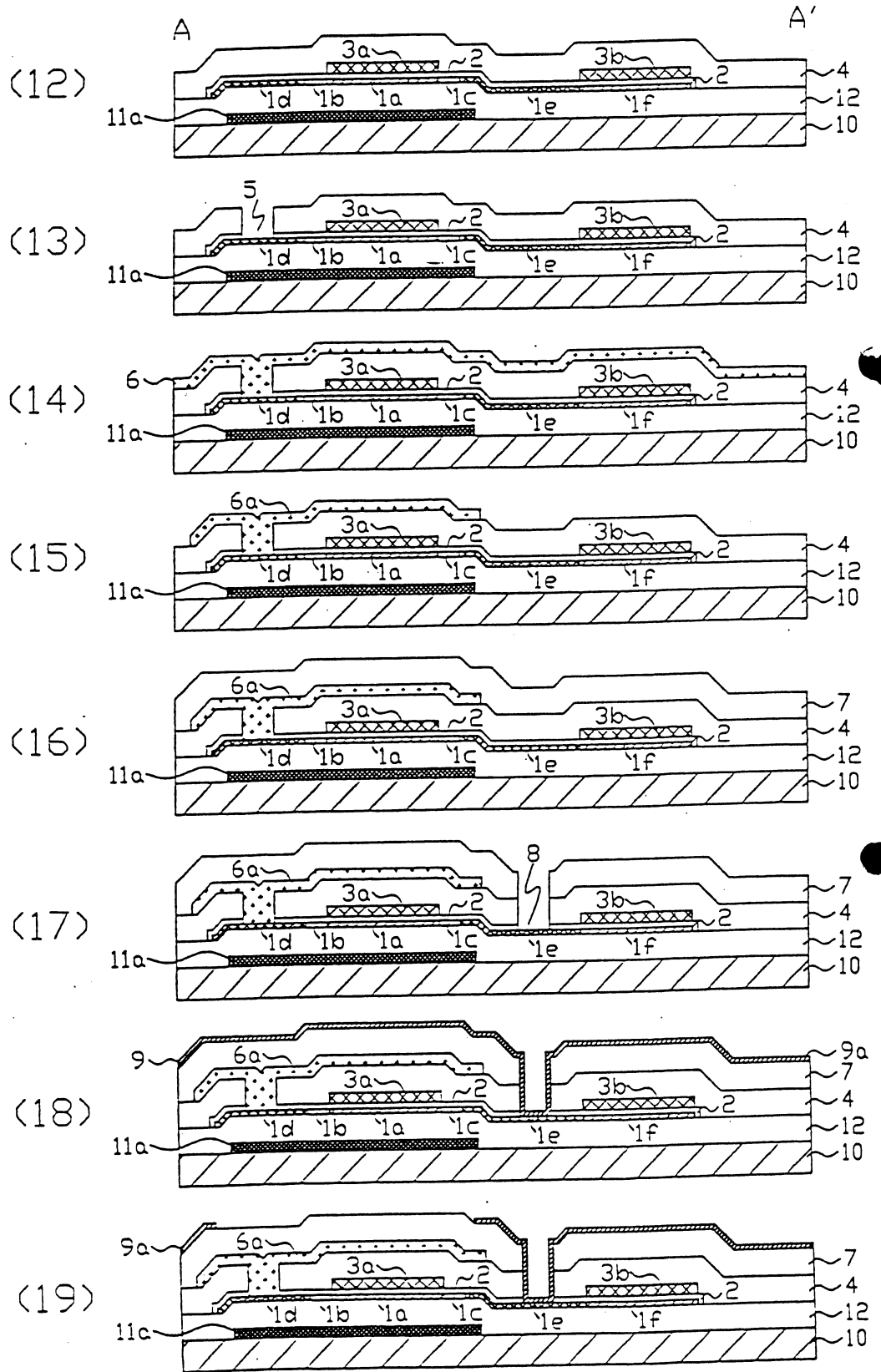
第 12 圖



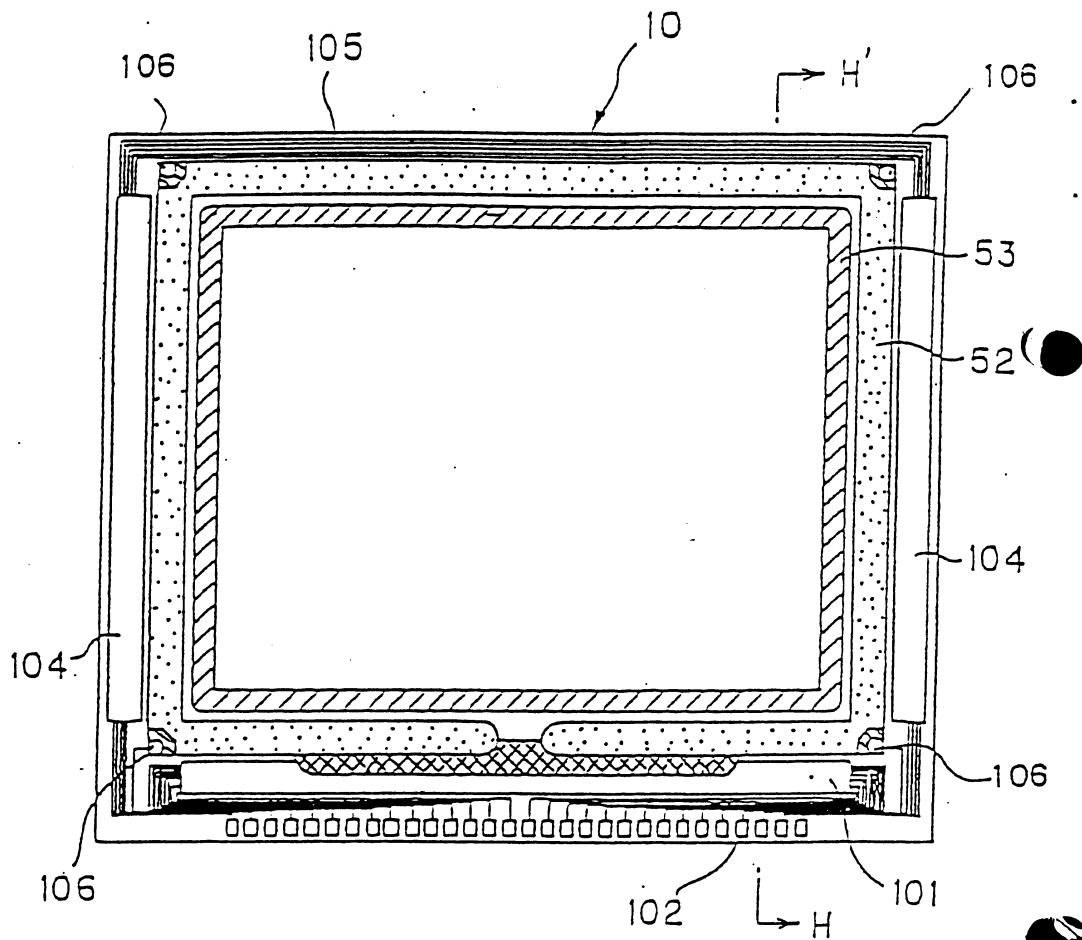
第 13 圖



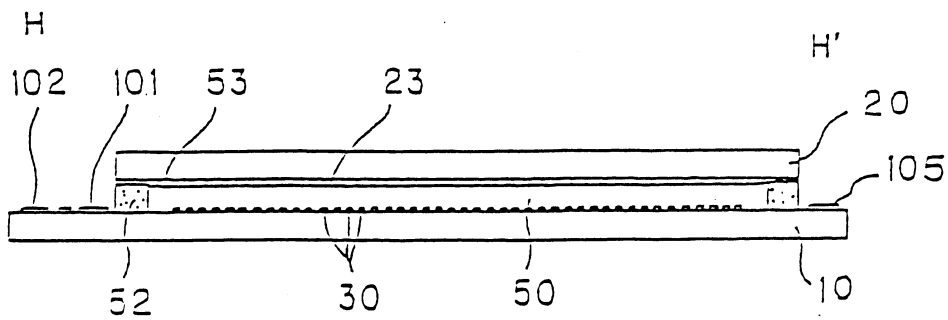
第 14 圖



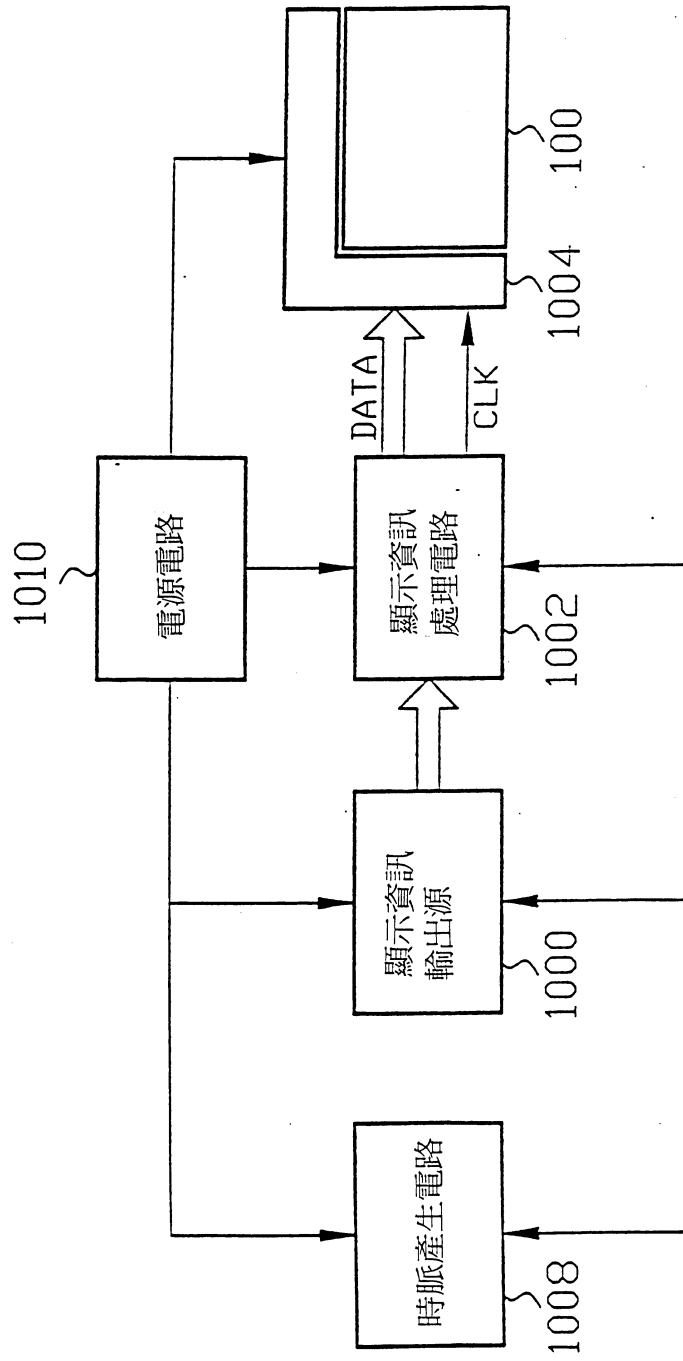
第 15 圖



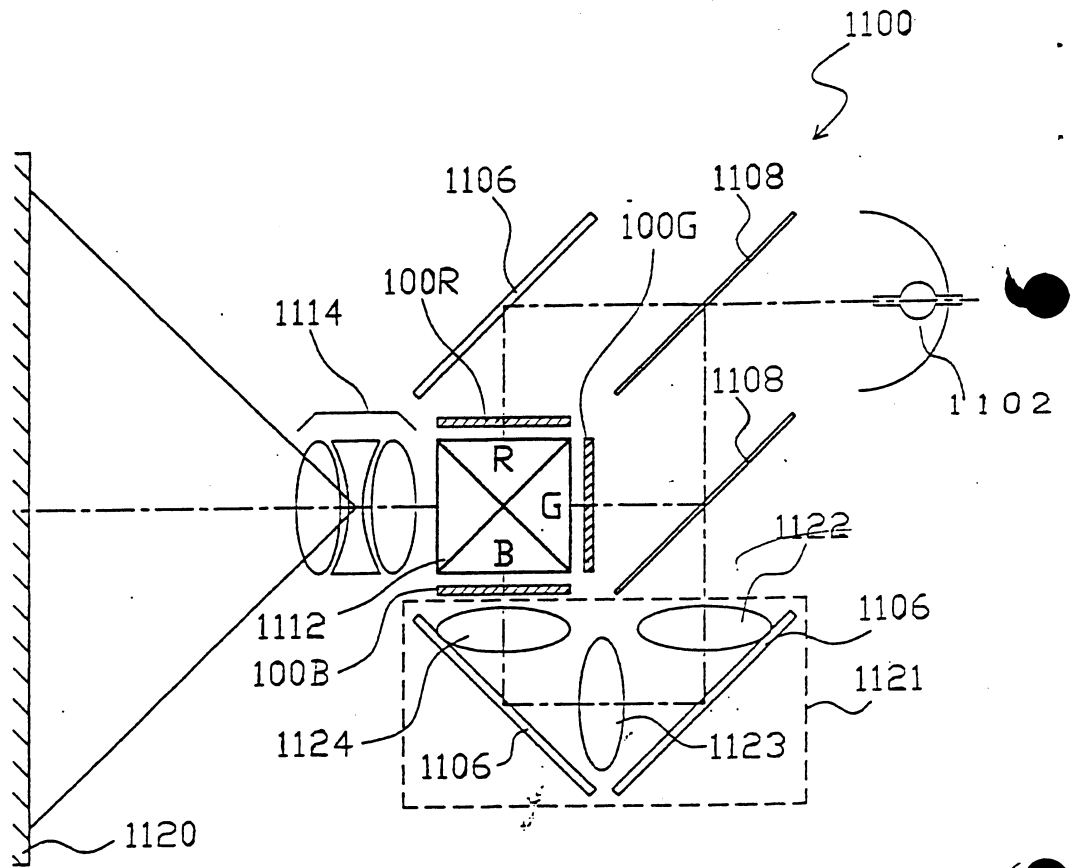
第 16 圖



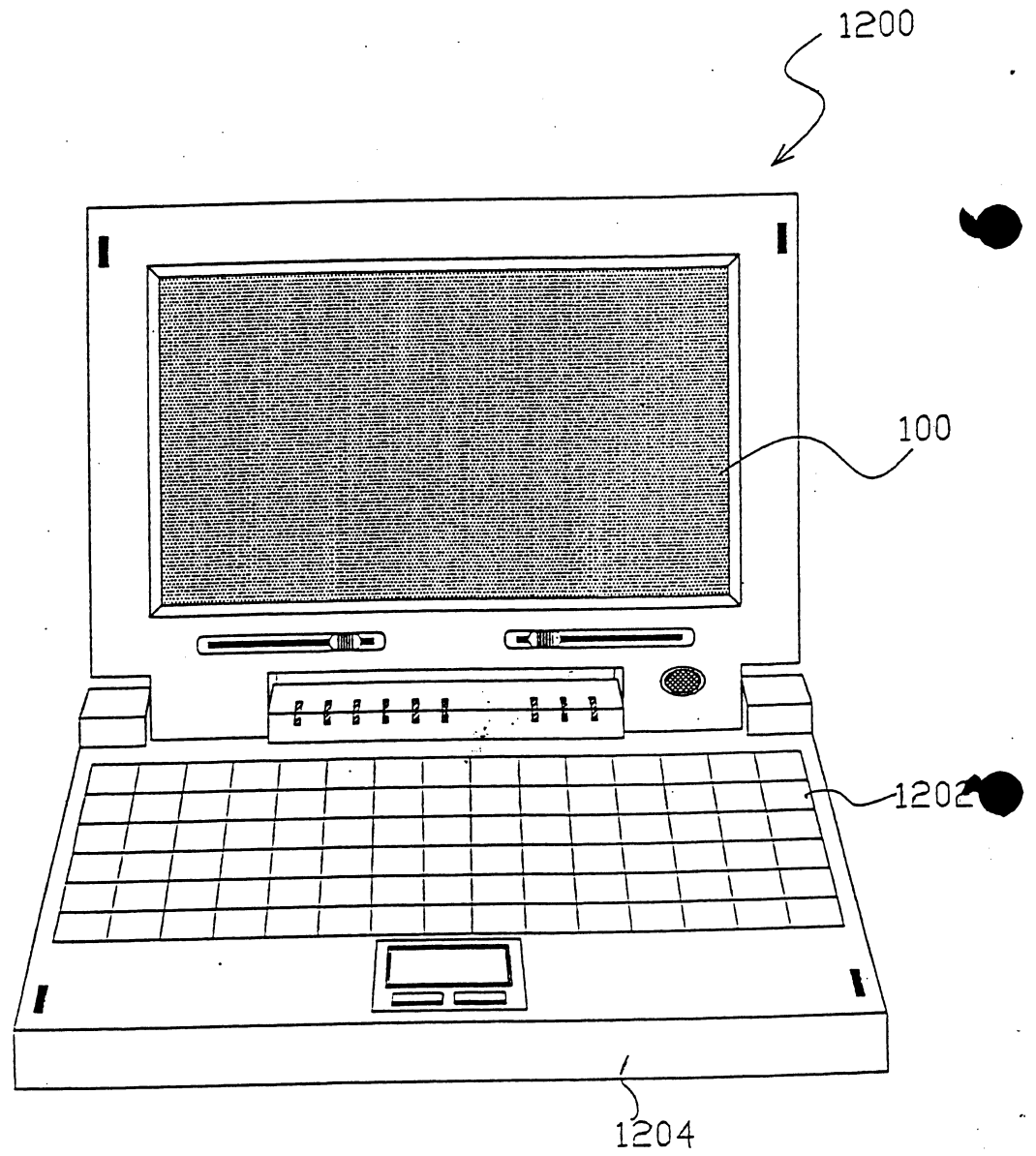
第 17 圖



第 18 圖



第 19 圖



六、申請專利範圍

第 88101403 號專利申請案

中文申請專利範圍修正本

民國 90 年 1 月修正

1. 一種光電裝置，其特徵係於基板上具備
 複數之掃描線，
 和複數之資料線，
 和連接於前述各掃描線和前述各資料線之薄膜電晶體
 ，
 和連接於前述薄膜電晶體之畫素電極，
 和於前述薄膜電晶體之至少通道範圍，呈平面加以被
 覆配置之導電性遮光膜，
 和為將信號供給至前述掃描線和前述資料線之至少一
 側之周邊電路，
 和連接於前述周邊電路之周邊配線；
 前述周邊配線係包含含有形成前述遮光膜之第 1 導電
 膜的第 1 配線部，
 和含有構成前述薄膜電晶體、前述資料線及前述掃描
 線的複數薄膜的至少一個導電膜的第 2 配線部者。
2. 如申請專利範圍第 1 項之光電裝置，其中，前述
 第 1 配線部係具有前述薄膜電晶體，構成前述資料線及前
 述掃描線的複數薄膜中之至少一個第 2 導電膜和前述第 1
 導電膜，前述第 2 配線部係包含有前述薄膜電晶體，與構
 成前述資料線及前述掃描線的複數薄膜中之第 2 導電膜不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

同之第 3 導電膜者。

3 . 如申請專利範圍第 2 項之光電裝置，其中，前述第 2 導電膜係較前述第 1 導電膜為高阻抗者。

4 . 如申請專利範圍第 2 項或第 3 項之光電裝置，其中，更具備介於前述遮光膜和前述薄膜電晶體間的第 1 層間絕緣膜，

和介於前述第 2 導電膜和前述第 3 導電膜間的第 2 層間絕緣膜；

前述第 1 配線部係電氣連接於前述第 2 配線部之一部分的同時，對於前述第 1 配線部之其他部分，各介由前述第 1 及第 2 層間絕緣膜，呈立體交叉的中斷配線所構成者。

5 . 如申請專利範圍第 4 項之光電裝置，其中，前述周邊配線係包含自外部電路連接端予供給前述畫像信號之畫像信號線；

前述周邊電路係包含為取樣前述畫像信號之取樣電路，

和將該取樣電路，以所定時間加以驅動，將前述畫像信號線上之前述畫像信號，介由前讀取樣電路，供予前述複數資料線的資料線驅動電路，和驅動前述掃描線之掃描線驅動電路者。

6 . 如申請專利範圍第 5 項之光電裝置，其中，前述畫像信號係被 N（唯 N 為 2 以上之自然數）序列一並行變換，前述畫像信號線係並列設置 N 條：

（請先閱讀背面之注意事項再填寫本頁）

訂
線

六、申請專利範圍

該 N 條畫像信號線係於相互交叉之處包含前述中斷配線者。

7 . 如申請專利範圍第 5 項之光電裝置，其中，更具備為自前述資料線驅動電路供給前述取樣電路驅動信號的複數之取樣電路驅動信號線；

前述取樣電路驅動信號線係至少交叉於前述；畫像信號線處為前述中斷配線所成者。

8 . 如申請專利範圍第 2 項或第 3 項之光電裝置，其中，構成前述第 1 配線部之前述第 1 導電膜及前述第 2 導電膜，係介由設於前述第 1 層間絕緣膜之連接孔，呈相互電氣連接者。

9 . 如申請專利範圍第 2 項或第 3 項之光電裝置，其中，前述第 3 導電膜係由形成前述資料線之金屬膜所成；

前述第 2 導電膜係由形成前述掃描線之多矽膜所成者。

10 . 如申請專利範圍第 2 項或第 3 項之光電裝置，其中，在於與對向於前述基板之對向基板間，挾持前述光電物質，前述基板和對向基板係經由密封材黏著，

對向於前述密封材之前述基板上之密封範圍中，對於光電物質之周圍，至少堆積前述第 1 導電膜、前述第 2 導電膜及前述第 3 導電膜，

介由前述密封範圍所導出之前述資料線及前述掃描線側之導出配線部，係各為由前述第 1 導電膜、前述第 2 導電膜及前述第 3 導電膜中至少一個所成者。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

1 1 . 如申請專利範圍第 1 0 項之光電裝置，其中，前述導出配線部係各為前述第 1 導電膜和第 2 導電膜和第 3 導電膜中之至少 2 個，互相介由連接孔加以電氣連接者。

1 2 . 如申請專利範圍第 1 0 項之光電裝置，其中，前述導出配線部係由各為前述第 1 導電膜和第 2 導電膜和第 3 導電膜中之一個所成配線所形成，

前述第 1 導電膜和第 2 導電膜和第 3 導電膜中之其他 2 個係由在於前述密封範圍，未能做為配線工作之虛擬配線所成者。

1 3 . 如申請專利範圍第 2 項或第 3 項之光電裝置，其中，於前述第 1 配線部，前述第 1 導電膜經由前述第 2 導電帶所被覆者。

1 4 . 如申請專利範圍第 1 3 項之光電裝置，其中，前述第 1 配線部中，前述第 1 導電膜之配線寬度為前述第 2 導電膜之配線寬度以下者。

1 5 . 一種光電裝置，其特徵係於基板上具備

複數之掃描線，

和複數之資料線，

和連接於各前述複數之掃描線和各前述資料線之薄膜電晶體，

和連接於該薄膜電晶體之畫素電極，

和將前述薄膜電晶體之至少通道範圍，呈平面加以被覆配置之導電性遮光膜，

六、申請專利範圍

和供給畫像信號之複數畫像信號線，和取樣供予該複數之畫像信號線之前述畫像信號，供予前述複數之資料線的取樣電路；

連接前述畫像信號線和前述取樣電路的配線之至少一部分，係由與前述遮光膜同一層所成之第 1 導電膜所成者。

1 6 . 如申請專利範圍第 1 5 項之光電裝置，其中，於前述取樣電路，供給取樣電路驅動信號之取樣電路驅動信號線之至少一部分係由前述第 1 導電膜所成者。

1 7 . 一種光電裝置之製造方法，針對於一對基板間插入光電物質，於該一對基板之一方之基板上，具備複數之掃描線，和複數之資料線，和連接於各前述複數之掃描線和各前述資料線之薄膜電晶體，和連接於前述薄膜電晶體之畫素電極，和設於將前述薄膜電晶體之至少通道範圍，呈平面加以被覆之位置之導電性遮光膜，和供給畫像信號之複數畫像信號線，和取樣供予該複數之畫像信號線之前述畫像信號，供予前述複數之資料線的取樣電路之光電物質之製造方法中；其特徵係具有

將呈連接前述畫像信號線和前述取樣電路的配線的一部分的第 1 導電膜和前述遮光膜，經由同一材料形成之工程，

和於前述第 1 導電膜及前述遮光膜上，形成第 1 層間絕緣膜之工程，

和形成在於該第 1 層間絕緣膜上，形成前述掃描線的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

同時，介由形成於前述第 1 層間絕緣膜之連接孔，連接於前述第 1 導電膜之第 2 導電膜的工程，

和於前述掃描線及前述第 2 導電膜上，形成第 2 層間絕緣膜之工程，

和介由前述第 2 層間絕緣膜之連接孔，形成連接於前述薄膜電晶體的前述資料線及連接於前述第 2 導電膜之前述畫像信號線的工程者。

18. 一種光電裝置之製造方法，針對於一對基板間插入光電物質，於該一對基板之一方之基板上，具備複數之掃描線，和複數之資料線，和連接於各前述複數之掃描線和各前述資料線之薄膜電晶體，和連接於該薄膜電晶體之畫素電極，和設於將前述薄膜電晶體之至少通道範圍，呈平面加以被覆之位置的導電性遮光膜，和供給畫像信號之複數畫像信號線，和取樣供予該複數之畫像信號線之前述畫像信號，供予前述複數之資料線的取樣電路之光電物質之製造方法中；其特徵係具有

將呈連接前述畫像信號線和前述取樣電路的配線的一部分的第 1 導電膜和前述遮光膜，經由同一材料形成之工程，

和於前述第 1 導電膜及前述遮光膜上，形成第 1 層間絕緣膜之工程，

和於前述第 1 層間絕緣膜上，順序堆積形成前述薄膜電晶體之源極及汲極所成之半導體層。閘極絕緣膜及閘極電極的工程，

六、申請專利範圍

和於前述閘極電極上，形成第 2 層間絕緣膜的工程，

和介由前述第 2 層間絕緣膜之連接孔，形成連接於前述薄膜電晶體的前述資料線，介由前述第 1 及第 2 層間絕緣膜之連接孔，形成連接於前述第 1 導電膜的畫像信號線的工程。

19. 一種電子機器，其特徵係具備如申請專利範圍第 1 至第 16 項之光電裝置者。

(請先閱讀背面之注意事項再填寫本頁)

訂
線