



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0038102
(43) 공개일자 2024년03월22일

- (51) 국제특허분류(Int. Cl.)
 H01L 21/8234 (2006.01) H01L 29/06 (2006.01)
 H01L 29/08 (2006.01) H01L 29/423 (2006.01)
 H01L 29/66 (2006.01) H01L 29/775 (2006.01)
 H01L 29/786 (2006.01)
- (52) CPC특허분류
 H01L 21/823481 (2013.01)
 H01L 21/823412 (2013.01)
- (21) 출원번호 10-2024-7007384
- (22) 출원일자(국제) 2022년08월05일
 심사청구일자 2024년03월05일
- (85) 번역문제출일자 2024년03월05일
- (86) 국제출원번호 PCT/US2022/039524
- (87) 국제공개번호 WO 2023/018610
 국제공개일자 2023년02월16일
- (30) 우선권주장
 63/230,806 2021년08월08일 미국(US)
 17/531,726 2021년11월20일 미국(US)
- (71) 출원인
 어플라이드 머티어리얼스, 인코포레이티드
 미국 95054 캘리포니아 산타 클라라 바우어스 애
 브뉴 3050
- (72) 발명자
 린, 산쿠에이
 미국 95054 캘리포니아 산타 클라라 바우어스 애
 브뉴 3050
 수브라마니안, 프라딥 케이.
 미국 95054 캘리포니아 산타 클라라 바우어스 애
 브뉴 3050
- (74) 대리인
 특허법인 남앤남

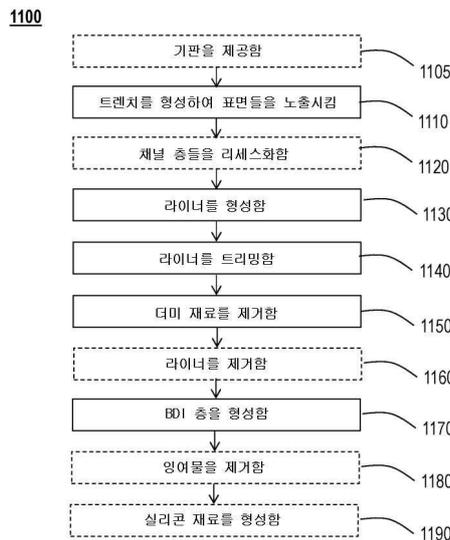
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **최하부 유전체 아이솔레이션 층들을 형성하는 방법**

(57) 요약

본 개시내용의 실시예들은 초격자 구조물 아래로부터 더미 재료를 제거하기 위한 방법들에 관한 것이다. 일부 실시예들에서, 더미 재료를 제거한 후에, 그것은 초격자 구조물 아래의 최하부 유전체 아이솔레이션 층으로 대체된다.

대표도 - 도11



(52) CPC특허분류

H01L 29/0673 (2013.01)

H01L 29/0847 (2013.01)

H01L 29/42392 (2013.01)

H01L 29/66439 (2013.01)

H01L 29/66545 (2013.01)

H01L 29/775 (2013.01)

H01L 29/78696 (2013.01)

명세서

청구범위

청구항 1

더미 재료(dummy material)를 제거하기 위한 프로세싱 방법으로서,

더미 재료 상의 복수의 교번하는 채널 층들 및 반도체 재료 층들을 포함하는 초격자 구조물을 관통해 트렌치를 형성하는 단계 - 상기 트렌치는 상기 복수의 채널 층들, 상기 복수의 반도체 재료 층들, 및 상기 더미 재료를 노출시킴 -;

상기 복수의 채널 층들, 상기 복수의 반도체 재료 층들, 및 상기 더미 재료 위에 라이너를 형성하는 단계;

상기 더미 재료로부터 상기 라이너를 제거하는 단계; 및

상기 라이너에 의해 커버되는 상기 채널 층들 및 상기 반도체 재료 층들에 실질적으로 영향을 끼치지 않으면서 상기 더미 재료를 제거하는 단계를 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 2

제1 항에 있어서,

상기 더미 재료는 실리콘(Si)을 필수적 요소로 하여 구성되는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 3

제1 항에 있어서,

상기 더미 재료는 실리콘-게르마늄(SiGe)을 필수적 요소로 하여 구성되는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 4

제1 항에 있어서,

상기 반도체 재료 층들 및 상기 채널 층들은 상이한 재료들이고, 실리콘(Si) 및 실리콘 게르마늄(SiGe)을 필수적 요소로 하여 각각 구성되는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 5

제1 항에 있어서,

상기 라이너는 실리콘 질화물(SiN), 실리콘 산화물(SiO), 실리콘 탄화물(SiC), 또는 이들의 조합을 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 6

제1 항에 있어서,

상기 라이너를 제거하는 단계는 방향성 에칭 프로세스를 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 7

제1 항에 있어서,

상기 더미 재료를 제거하는 단계는 상기 라이너 위의 상기 더미 재료에 선택적인 선택적 에칭 프로세스를 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 8

제1 항에 있어서,

상기 더미 재료를 제거하는 단계는 상기 채널 층 위의 상기 더미 재료 또는 상기 더미 재료에 인접한 상기 반도체 재료 층에 선택적인 선택적 에칭 프로세스를 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 9

제1 항에 있어서,

상기 더미 재료를 제거하는 단계 후에 상기 초격자 구조물 아래에 최하부 유전체 아이솔레이션 층(bottom dielectric isolation layer)을 증착하는 단계를 더 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 10

제9 항에 있어서,

상기 최하부 유전체 아이솔레이션 층은 유동성 증착 프로세스에 의해 증착되는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 11

제9 항에 있어서,

상기 최하부 유전체 아이솔레이션 층은 실리콘 산화물을 포함하는,

더미 재료를 제거하기 위한 프로세싱 방법.

청구항 12

프로세싱 방법으로서,

더미 재료 상의 복수의 교번하는 채널 층들 및 반도체 재료 층들을 포함하는 초격자 구조물을 관통해 소스 트랜치 및 드레인 트랜치를 형성하는 단계 - 상기 소스 트랜치 및 드레인 트랜치는 상기 복수의 채널 층들, 상기 복수의 반도체 재료 층들, 및 상기 더미 재료를 노출시킴 -;

일정 깊이의 채널 재료를 제거하도록 그리고 복수의 리세스된(recessed) 채널 층들을 형성하도록 상기 복수의 채널 층들을 리세스(recessing)하는 단계;

상기 복수의 리세스된 채널 층들, 상기 복수의 반도체 재료 층들 및 상기 더미 재료 위에 라이너를 형성하는 단계 - 상기 라이너는 등각성(conformal)이며 일정 두께를 가짐 -;

상기 복수의 리세스된 채널 층들 또는 상기 복수의 반도체 재료 층들을 노출시키지 않으면서 상기 더미 재료로부터 상기 라이너를 제거하는 단계;

상기 더미 재료를 제거하는 단계;

상기 라이너를 에칭하여 상기 복수의 반도체 재료 층들을 노출시키는 단계;

상기 초격자 구조물 아래에 최하부 유전체 아이솔레이션 층을 증착하는 단계; 및

상기 초격자 구조물을 채우기 위해 상기 최하부 유전체 아이솔레이션 층 상에 실리콘 재료를 증착하는 단계를

포함하는,
프로세싱 방법.

청구항 13

제12 항에 있어서,
상기 초격자 구조물의 총 두께는 약 30 nm 내지 약 80 nm의 범위인,
프로세싱 방법.

청구항 14

제12 항에 있어서,
상기 초격자 구조물은 3 개 내지 5 개의 쌍들의 채널 층들 및 반도체 재료 층들을 포함하는,
프로세싱 방법.

청구항 15

제12 항에 있어서,
상기 채널 층들 및 상기 반도체 재료 층들 각각은 약 4 nm 내지 약 10 nm의 범위의 두께를 갖는,
프로세싱 방법.

청구항 16

제12 항에 있어서,
상기 소스 트렌치와 상기 드레인 트렌치 사이의 측방향 거리는 약 20 nm 내지 약 60 nm의 범위인,
프로세싱 방법.

청구항 17

제12 항에 있어서,
상기 복수의 채널 층들로부터 제거되는 채널 재료의 깊이는 약 5 nm 내지 약 10 nm의 범위인,
프로세싱 방법.

청구항 18

제12 항에 있어서,
상기 라이너의 두께는 약 3 nm 내지 약 5 nm의 범위인,
프로세싱 방법.

청구항 19

제12 항에 있어서,
상기 더미 재료는 실리콘(Si)을 필수적 요소로 하여 구성되는,
프로세싱 방법.

청구항 20

제12 항에 있어서,
상기 더미 재료는 실리콘-게르마늄(SiGe)을 필수적 요소로 하여 구성되는,
프로세싱 방법.

발명의 설명

기술 분야

[0001] 본 개시내용의 실시예들은 일반적으로 최하부 유전체 아이솔레이션 층들을 형성하는 방법들에 관한 것이다. 특히, 본 개시내용의 실시예들은 초격자 구조물 아래로부터 더미 재료(dummy material)를 제거하고 초격자 구조물 아래에 최하부 유전체 아이솔레이션 층을 형성하기 위한 방법들에 관한 것이다.

배경 기술

[0002] 트랜지스터는 대부분의 집적 회로들의 핵심 컴포넌트이다. 트랜지스터의 구동 전류, 따라서 속도는 트랜지스터의 게이트 폭에 비례하기 때문에, 더 빠른 트랜지스터들은 일반적으로 더 큰 게이트 폭을 필요로 한다. 따라서, 트랜지스터 사이즈와 속도 사이에는 트레이드오프가 있으며, 최대 구동 전류 및 최소 사이즈를 갖는 트랜지스터의 상충하는 목표들을 해결하기 위해 "핀" 전계 효과 트랜지스터("fin" field-effect transistor; finFET)들이 개발되었다. FinFET들은 트랜지스터의 풋프린트를 크게 증가시키지 않으면서 트랜지스터의 사이즈를 크게 증가시키는 핀 형상의 채널 영역을 특징으로 하며 현재 많은 집적 회로들에서 적용되고 있다. 그러나, finFET들은 그들 고유의 결점들을 갖는다.

[0003] 더 큰 회로 밀도 및 더 높은 성능을 달성하기 위해 트랜지스터 디바이스들의 피치 사이즈들이 계속 축소됨에 따라, 정전 커플링을 개선하고 기생 커패시턴스 및 오프 상태 누설과 같은 부정적인 영향들을 감소시키기 위해 트랜지스터 디바이스 구조물을 개선할 필요가 있다. 트랜지스터 디바이스 구조물들의 예들은 평면 구조물, 핀 전계 효과 트랜지스터(fin field effect transistor; FinFET) 구조물, 및 수평 게이트 올 어라운드(horizontal gate all around; hGAA) 구조물을 포함한다. hGAA 디바이스 구조물은 적층식 구성으로 매달리며 소스/드레인 영역들에 의해 연결되는 여러 개의 격자 매칭 채널(lattice matched channel)들을 포함한다. hGAA 구조물은 우수한 정전기 제어를 제공하며 상보형 금속 산화물 반도체(complementary metal oxide semiconductor; CMOS) 웨이퍼 제조에서의 광범위한 채택을 확인할 수 있다.

[0004] 최하부 유전체 아이솔레이션(bottom dielectric isolation; BDI) 층의 존재는 나노시트 디바이스들의 주요 성능 향상 층이 되고 있다. BDI 층들은 다수의 이점들을 제공하는데, 다음의 것들을 포함한다: 서브 채널 누출을 억제하는 것 및 프로세스 변동들(예를 들면, 펀치스루 스톱퍼(punch-through stopper; PTS)들)을 방지하는 것). 따라서, 게이트 올 어라운드 디바이스들을 위한 최하부 유전체 아이솔레이션 층들을 형성하기 위한 개선된 방법들에 대한 필요성이 존재한다.

발명의 내용

[0005] 본 개시내용의 하나 이상의 실시예들은 더미 재료를 제거하기 위한 프로세싱 방법에 관한 것이다. 방법은 더미 재료 상의 복수의 적층된 쌍들로 교번적으로 배열되는 복수의 채널 층들 및 대응하는 복수의 반도체 재료 층들을 포함하는 초격자 구조물을 관통해 트렌치를 형성하는 단계를 포함한다. 트렌치는 복수의 채널 층들, 복수의 반도체 재료 층들, 및 더미 재료의 표면들을 노출시킨다. 노출된 표면들 위에 라이너(liner)가 형성된다. 라이너는 더미 재료로부터 제거된다. 더미 재료는 라이너에 의해 커버되는 채널 층들 및 반도체 재료 층들에 실질적으로 영향을 끼치지 않으면서 제거된다.

[0006] 본 개시내용의 추가적인 실시예들은 더미 재료 상의 복수의 적층된 쌍들로 교번적으로 배열되는 복수의 채널 층들 및 대응하는 복수의 반도체 재료 층들을 포함하는 초격자 구조물을 관통해 소스 트렌치 및 드레인 트렌치를 형성하는 단계를 포함하는 프로세싱 방법에 관한 것이다. 소스 트렌치 및 드레인 트렌치는 복수의 채널 층들, 복수의 반도체 재료 층들 및 더미 재료의 표면들을 노출시킨다. 복수의 채널 층들의 노출된 표면들은 일정 깊이의 채널 재료를 제거하도록 그리고 복수의 리세스된(recessed) 채널 층들을 형성하도록 리세스된다. 복수의 리세스된 채널 층들, 상기 복수의 반도체 재료 층들 및 더미 재료의 표면들 중 노출된 표면들 위에 라이너가 형성된다. 라이너는 등각성(conformal)이고 일정 두께를 갖는다. 라이너는 복수의 채널 층들 또는 복수의 반도체 재료 층들을 노출시키지 않으면서 더미 재료를 노출시키도록 트리밍된다. 더미 재료는 제거된다. 라이너는 반도체 재료 층들을 노출시키도록 트리밍된다. 최하부 유전체 아이솔레이션 층은 초격자 구조물 아래에 증착된다. 초격자 구조물을 채우기 위해 최하부 유전체 아이솔레이션 층 위에 실리콘 재료가 증착된다.

도면의 간단한 설명

[0007] 본 개시내용의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로, 앞서 간략히 요약된 본 개시내용의 보다 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있는데, 이러한 실시예들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 본 개시내용의 단지 전형적인 실시예들만을 예시하는 것이므로 본 개시내용의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

[0008] 도 1은 본 개시내용의 하나 이상의 실시예에 따른 프로세싱 이전의 예시적인 기판을 예시하고;

[0009] 도 2 내지 도 10은 본 개시내용의 하나 이상의 실시예에 따른 프로세싱 동안 도 1에 예시되는 예시적인 기판의 트렌치 영역의 최하부의 확대도를 예시하고; 그리고

[0010] 도 11은 본 개시내용의 하나 이상의 실시예에 따른 최하부 유전체 아이솔레이션 층을 형성하기 위한 예시적인 방법의 흐름도를 예시한다.

[0011] 이해를 용이하게 하기 위해, 도면들에 대해 공통인 동일한 엘리먼트들을 지정하기 위해, 가능한 경우, 동일한 참조 번호들이 사용되었다. 도면들은 실척대로 그려지지 않으며, 명확성을 위해 단순화될 수 있다. 일 실시예의 엘리먼트들 및 특징들은 추가의 언급 없이 다른 실시예들에 유익하게 통합될 수 있다.

발명을 실시하기 위한 구체적인 내용

[0008] [0012] 본 개시내용의 여러 예시적인 실시예들을 설명하기 전에, 본 개시내용이 다음의 설명에서 제시되는 구성 또는 프로세스 단계들의 세부사항들로 제한되지 않는다는 것이 이해되어야 한다. 본 개시내용은 다른 실시예들이 가능하며, 다양한 방식으로 실시되거나 수행될 수 있다.

[0009] [0013] 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, "기판"이라는 용어는, 프로세스가 작용하는 표면 또는 표면의 일부를 나타낸다. 또한, 문맥이 명백히 달리 표시하지 않는 한, 기판에 대한 언급이 또한, 기판의 일부만을 지칭할 수 있다는 것이 당업자들에 의해 이해될 것이다. 추가적으로, 기판 상의 증착에 대한 언급은, 베어 기판(bare substrate), 및 하나 이상의 막들 또는 피쳐들이 상부에 증착 또는 형성된 기판 둘 모두를 의미할 수 있다.

[0010] [0014] 본 명세서에서 사용되는 "기판"은, 제작 프로세스 중에 막 프로세싱이 수행되는, 임의의 기판, 또는 기판 상에 형성된 재료 표면을 의미한다. 예를 들면, 프로세싱이 수행될 수 있는 기판 표면은, 애플리케이션에 따라, 실리콘, 실리콘 산화물, 스트레인드 실리콘(strained silicon), 실리콘 온 인슐레이터(silicon on insulator; SOI), 탄소 도핑된 실리콘 산화물들, 실리콘 질화물, 도핑된 실리콘, 게르마늄, 갈륨 비화물, 유리, 사파이어와 같은 재료들, 및 임의의 다른 재료들 예컨대 금속들, 금속 질화물들, 금속 합금들, 및 다른 전도성 재료들을 포함한다. 기판들은 제한 없이, 반도체 웨이퍼들을 포함한다. 기판들은, 기판 표면을 연마, 에칭, 환원, 산화, 히드록실화(hydroxylate)(또는 다르게는 화학적 기능성을 부여하기 위해 목표 화학적 모이티티들을 생성 또는 접목함), 어닐링 및/또는 베이킹하기 위한 전처리 프로세스에 노출될 수 있다. 본 개시내용에서는, 기판의 표면 자체에 대해 직접 막을 프로세싱하는 것 외에도, 아래에서 보다 상세히 개시되는 바와 같이 기판 상에 형성된 하층에 대해서도, 개시된 막 프로세싱 단계들 중 임의의 단계가 또한 수행될 수 있으며, "기판 표면"이라는 용어는 맥락이 나타내는 것과 같은 그러한 하층을 포함하는 것으로 의도된다. 따라서, 예를 들면, 막/층 또는 부분 막/층이 기판 표면 상으로 증착된 경우, 새롭게 증착된 막/층의 노출된 표면은 기판 표면이 된다. 주어진 기판 표면이 포함하는 것은, 어떤 막들이 증착될 것인지 뿐만 아니라, 사용되는 특정한 화학 물질(chemistry)에 의존할 것이다.

[0011] [0015] 본 명세서 및 첨부된 청구항들에서 사용될 때, 용어들 "전구체", "반응물", "반응성 가스" 등은 기판 표면과 반응할 수 있는 임의의 가스상 종(gaseous species)들을 지칭하기 위해 상호 교환 가능하게 사용된다.

[0012] [0016] 트랜지스터들은 반도체 디바이스들 상에 종종 형성되는 회로 컴포넌트들 또는 엘리먼트들이다. 회로 설계에 따라, 커패시터들, 인덕터들, 저항기들, 다이오드들, 전도성 라인들, 또는 다른 엘리먼트들 외에도, 트랜지스터들이 반도체 디바이스 상에 형성된다. 일반적으로, 트랜지스터는 소스 영역과 드레인 영역 사이에 형성되는 게이트를 포함한다. 하나 이상의 실시예들에서, 소스 및 드레인 영역들은 기판의 도핑된 영역을 포함하고 특정한 애플리케이션에 적절한 도핑 프로파일을 나타낸다. 게이트는 채널 영역 위에 포지셔닝되며 기판의 게이트 전극과 채널 영역 사이에 개재되는 게이트 유전체를 포함한다.

[0013] [0017] 본원에서 사용될 때, 용어 "전계 효과 트랜지스터(field effect transistor)" 또는 "FET"는 디바이스의 전기적 거동을 제어하기 위해 전기장을 사용하는 트랜지스터를 지칭한다. 강화 모드(enhancement mode) 전계

효과 트랜지스터들은 일반적으로 낮은 온도들에서 매우 높은 입력 임피던스를 보인다. 드레인 단자와 소스 단자 사이의 전도성은 디바이스의 게이트와 본체(body) 사이의 전압 차이에 의해 생성되는 디바이스에서의 전기장에 의해 제어된다. FET의 세 개 단자들은 소스(S) - 이것을 통해 캐리어들이 채널에 진입함 - ; 드레인(D) - 이것을 통해 캐리어들이 채널을 떠남 - ; 및 채널 전도성을 조절하는 단자인 게이트(G)이다. 통상적으로, 소스(S)에서 채널에 진입하는 전류는 I_s 로 지정되고, 드레인(D)에서 채널에 진입하는 전류는 I_D 로서 지정된다. 드레인-소스 전압은 V_{DS} 로서 지정된다. 게이트(G)에 전압을 인가하는 것에 의해, 드레인(즉, I_D)에서 채널에 진입하는 전류가 제어될 수 있다.

[0014] [0018] 금속 산화물 반도체 전계효과 트랜지스터(metal-oxide-semiconductor field-effect transistor; MOSFET)는 전계 효과 트랜지스터(FET)의 한 타입이다. 그것은, 자신의 전압이 디바이스의 전도성을 결정하는 절연 게이트를 구비한다. 인가된 전압의 양에 따라 전도성을 변경시키는 이러한 능력은 전자 신호들을 증폭 또는 스위칭하기 위해 사용된다. MOSFET는 본체 전극과 본체 위에 로케이팅되며 게이트 유전체 층에 의해 모든 다른 디바이스 영역들로부터 절연되는 게이트 전극 사이의 금속 산화물 반도체(metal-oxide-semiconductor; MOS) 커패시턴스에 의한 전하 농도의 조절에 기초한다. MOS 커패시터와 비교하여, MOSFET는 두 개의 추가적인 단자들(소스 및 드레인)을 포함하는데, 각각은 본체 영역에 의해 분리되는 개개의 고농도로 도핑된(highly doped) 영역들에 연결된다. 이들 영역들은 p 타입 또는 n 타입 중 어느 하나일 수 있지만, 그들은 둘 모두 동일한 타입을 가지며, 본체 영역에 반대되는 타입을 갖는다. (본체와는 달리) 소스 및 드레인은 도핑의 타입 뒤에 "+" 기호에 의해 표시되는 바와 같이 고농도로 도핑된다.

[0015] [0019] MOSFET가 n 채널 또는 nMOS FET라면, 소스 및 드레인은 n+ 영역들이고 본체는 p 영역이다. MOSFET가 p 채널 또는 pMOS FET라면, 소스 및 드레인은 p+ 영역들이고 본체는 n 영역이다. 소스는, 채널을 통해 흐르는 전하 캐리어들(n 채널의 경우 전자들, p 채널의 경우 정공들)의 소스이기 때문에, 그렇게 명명된다; 마찬가지로, 드레인은 전하 캐리어들이 채널을 떠나는 곳이다.

[0016] [0020] 본원에서 사용될 때, 용어 "핀 전계 효과 트랜지스터(fin field-effect transistor; FinFET)"는, 게이트가 채널의 두 개의 또는 세 개의 면들 상에 배치되어, 이중 또는 삼중 게이트 구조물을 형성하는, 기판 상에 구축되는 MOSFET 트랜지스터를 지칭한다. 채널 영역이 기판 상에 "핀"을 형성하기 때문에 FinFET 디바이스들은 일반적인 이름 FinFET들을 부여받았다. FinFET 디바이스들은 빠른 스위칭 시간들 및 높은 전류 밀도를 갖는다.

[0017] [0021] 본원에서 사용될 때, 용어 "게이트 올 어라운드(GAA)"는, 게이트 재료가 채널 영역을 모든 면들 상에서 둘러싸는 전자 디바이스, 예를 들면, 트랜지스터를 지칭하기 위해 사용된다. GAA 트랜지스터의 채널 영역은 나노와이어들 또는 나노슬래브들, 또는 나노시트들, 막대 형상의 채널들, 또는 당업자에게 알려져 있는 다른 적절한 채널 구성들을 포함할 수 있다. 하나 이상의 실시예들에서, GAA 디바이스의 채널 영역은 수직으로 이격되는 다수의 수평 나노와이어들 또는 수평 막대들을 구비하여, GAA 트랜지스터를 적층형 수평 게이트 올 어라운드(hGAA) 트랜지스터로 만든다.

[0018] [0022] 본원에서 사용될 때, 용어 "나노와이어"는 대략 나노미터(10^{-9} 미터)의 직경을 갖는 나노구조물을 지칭한다. 나노와이어들은 길이 대 폭의 비율이 1000보다 더 큰 것으로 또한 정의될 수 있다. 대안적으로, 나노와이어들은 두께 또는 직경이 수십 나노미터 이하로 제한되고 제한되지 않은 길이를 갖는 구조물들로서 정의될 수 있다. 나노와이어들은 트랜지스터들 및 일부 레이저 애플리케이션들에서 사용되며, 하나 이상의 실시예들에서, 반전도성 재료들, 금속성 재료들, 절연성 재료들, 초전도성 재료들, 또는 분자 재료들로 만들어진다. 하나 이상의 실시예들에서, 나노와이어들은 로직 CPU, GPU, MPU, 및 휘발성(예를 들면, DRAM) 및 불휘발성(예를 들면, NAND) 디바이스들에 대한 트랜지스터들에서 사용된다. 본원에서 사용될 때, 용어 "나노시트"는 약 0.1 nm 내지 약 1000 nm의 스케일 범위의 두께를 갖는 이차원 나노구조물을 지칭한다.

[0019] [0023] 본 개시내용의 하나 이상의 실시예들은 최하부 유전체 아이솔레이션 층을 형성하는 방법들에 관한 것이다. 일부 실시예들은 hGAA 트랜지스터로부터 더미 재료를 제거하는 것에 의해 최하부 유전체 아이솔레이션 층을 형성한다. 일부 실시예들에서, hGAA 트랜지스터는 더미 재료 상에 "구축"되고, 더미 재료는 제거되고 최하부 유전체 아이솔레이션 층으로 대체된다.

[0020] [0024] 개시된 더미 재료가 임의의 특정한 재료 조성으로 제한되지는 않지만, 본 발명자들은, 유리하게도, 개시된 실시예들이 더미 재료로서 실리콘 및 실리콘-게르마늄 둘 모두의 사용을 가능하게 한다는 것을 발견하였다. 따라서, 개시된 실시예들을 현존하는 프로세싱 방식들에 통합하는 것은 유리하게도 간단하다.

[0021] [0025] 본 개시내용의 일부 실시예들은, 본 개시내용의 하나 이상의 실시예에 따라 디바이스들(예를 들면, 트랜

지스터들) 및 트랜지스터들을 형성하기 위한 프로세스들을 예시하는 도면들을 통해 설명된다. 도시되는 프로세스들은 단지 개시된 프로세스들에 대한 예시적인 가능한 용도들에 불과하며, 당업자는 개시된 프로세스들이 예시된 애플리케이션들로 제한되지 않는다는 것을 인식할 것이다.

[0022] [0026] 도 1 내지 도 10은 본 개시내용의 일부 실시예들에 따른 최하부 유전체 아이솔레이션 층의 제조의 스테이지(stage)들을 묘사한다. 도 11은 본 개시내용의 일부 실시예들에 따라 기판을 프로세싱하기 위한 방법(1100)에 대한 흐름도를 예시한다. 방법(1100)은 도 1 내지 도 10과 관련하여 하기에서 설명된다.

[0023] [0027] 도 1 내지 도 10은, 하나 이상의 실시예들에 따른, 전자 디바이스(예를 들면, GAA)의 단면도들이다. 방법(1100)은 반도체 디바이스의 다단계 제조 프로세스의 일부일 수 있다. 따라서, 방법(1100)은 클러스터 도구에 커플링되는 임의의 적절한 프로세스 챔버에서 수행될 수 있다. 클러스터 도구는 반도체 디바이스를 제조하기 위한 프로세스 챔버들, 예컨대 에칭, 증착, 물리적 기상 증착(physical vapor deposition; PVD), 화학적 기상 증착(chemical vapor deposition; CVD), 산화를 위해 구성되는 챔버들, 또는 반도체 디바이스의 제조를 위해 사용되는 임의의 다른 적절한 챔버를 포함할 수 있다.

[0024] [0028] 도 2 내지 도 10은 도 11의 동작(1110) 내지 동작(1190)의 결과적으로 나타나는 변화들을 도시한다. 도 11을 참조하면, 방법(1100)은 기판(102)을 제공하는 것에 의해 옵션 사항의 동작(1105)에서 시작된다. 일부 실시예들에서, 기판(102)은 벌크 반도체 기판일 수 있다. 본원에서 사용될 때, 용어 "벌크 반도체 기판"은 기판의 전체가 반도체 재료로 구성되는 기판을 지칭한다. 벌크 반도체 기판은 반도체 구조물을 형성하기 위한 임의의 적절한 반전도성 재료 및/또는 반전도성 재료들의 조합들을 포함할 수 있다. 예를 들면, 반전도성 층은 결정질 실리콘(예를 들면, Si<100> 또는 Si<111>), 실리콘 산화물, 스트레인드 실리콘(strained silicon), 실리콘 게르마늄, 도핑된 또는 도핑되지 않은 폴리실리콘, 도핑된 또는 도핑되지 않은 실리콘 웨이퍼들, 패터닝된 또는 패터닝되지 않은 웨이퍼들, 도핑된 실리콘, 게르마늄, 갈륨 비화물, 또는 다른 적절한 반전도성 재료들과 같은 하나 이상의 재료들을 포함할 수 있다. 일부 실시예들에서, 반도체 재료는 실리콘(Si)이다. 하나 이상의 실시예들에서, 반도체 기판(102)은 반도체 재료, 예를 들면, 실리콘(Si), 탄소(C), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 게르마늄 주석(GeSn), 다른 반도체 재료들, 또는 이들의 임의의 조합을 포함한다. 하나 이상의 실시예들에서, 기판(102)은 실리콘(Si), 게르마늄(Ge), 갈륨(Ga), 비소(As), 또는 인(P) 중 하나 이상을 포함한다. 기판이 형성될 수 있는 재료들의 일부 예들이 본원에서 설명되지만, 수동 및 능동 전자 디바이스들(예를 들면, 트랜지스터들, 메모리들, 커패시터들, 인덕터들, 저항기들, 스위치들, 집적 회로들, 증폭기들, 광 전자 디바이스들, 또는 임의의 다른 전자 디바이스들)이 상부에 구축될 수 있는 토대로서 역할을 할 수 있는 임의의 재료가 본 개시내용의 취지 및 범위 내에 속한다.

[0025] [0029] 일부 실시예들에서, 반도체 재료는 도핑된 재료, 예컨대 n 도핑된 실리콘(n-Si) 또는 p 도핑된 실리콘(p-Si)일 수 있다. 일부 실시예들에서, 기판은 이온 주입 프로세스와 같은 임의의 적절한 프로세스를 사용하여 도핑될 수 있다. 본원에서 사용될 때, 용어 "n 타입"은 제조 동안 진성 반도체를 전자 도너 원소로 도핑하는 것에 의해 생성되는 반도체들을 지칭한다. 용어 n 타입은 전자의 음전하로부터 유래한다. n 타입 반도체들에서, 전자들이 다수 캐리어들이고 정공들이 소수 캐리어들이다. 본원에서 사용될 때, 용어 "p 타입"은 우물(또는 정공)의 양전하를 지칭한다. n 타입 반도체들과는 대조적으로, p 타입 반도체들은 전자 농도보다 더 높은 정공 농도를 갖는다. p 타입 반도체들에서, 정공들이 다수 캐리어들이고 전자들이 소수 캐리어들이다. 하나 이상의 실시예들에서, 도펀트는 붕소(B), 갈륨(Ga), 인(P), 비소(As), 다른 반도체 도펀트들, 또는 이들의 조합들 중 하나 이상으로부터 선택된다.

[0026] [0030] 기판(102)의 표면 상에 더미 재료(103)가 형성된다. 일부 실시예들에서, 더미 재료(103)는 실리콘(Si)을 포함하거나 또는 실리콘(Si)을 필수적 요소로 하여 구성된다. 일부 실시예들에서, 더미 재료(103)는 실리콘-게르마늄(SiGe)을 포함하거나 또는 실리콘-게르마늄(SiGe)을 필수적 요소로 하여 구성된다. 일부 실시예들에서, 더미 재료(103)는 하기에서 설명되는 초격자 구조물(106)의 반도체 재료 층(110) 또는 채널 층(108)이다.

[0027] [0031] 일부 실시예들에서, 더미 재료(103)는 붕소, 인, 비소, 또는 게르마늄 중 하나 이상으로 도핑된다. 더미 재료(103)가 도핑되는 그들 실시예들에서, 더미 재료(103)는 약 2 원자 퍼센트 내지 약 10 원자 퍼센트의 범위의 도펀트 농도를 포함한다. 일부 실시예들에서, 더미 재료는 당해 기술 분야에 알려져 있는 임의의 적절한 종래의 증착 및 패터닝 프로세스, 예컨대 원자 층 증착, 플라즈마 강화 원자 층 증착, 플라즈마 강화 화학적 기상 증착 또는 저압 화학적 기상 증착을 사용하여 형성된다.

[0028] [0032] 일부 실시예들에서, 초격자 구조물(106)은 더미 재료(103)의 최상부(top) 표면 상에 형성된다. 일부 실시예들에서, 초격자 구조물(106)은 더미 재료(103)로서 작용하는 초격자 구조물(106)의 최하부 층과 함께 기판

(102)의 표면 상에 직접적으로 형성된다. 일부 실시예들에서, 초격자 구조물(106)은 더미 재료(103)로서 작용하는 초격자 구조물(106)의 제2 층과 함께 기관(102)의 표면 상에 직접적으로 형성된다. 의심의 방지를 위해, "제2 층"은 "최하부 층"에 수직으로 인접하여 포지셔닝되는 층이며; "최하부 층"은 기관(102)과 접촉하는 층이다.

[0029] [0033] 초격자 구조물(106)은 복수의 적층된 쌍들로 교번적으로 배열되는 복수의 반도체 재료 층들(110) 및 대응하는 복수의 채널 층들(108)을 포함한다. 일부 실시예들에서, 복수의 적층된 그룹들의 층들은 실리콘(Si) 및 실리콘 게르마늄(SiGe) 그룹을 포함한다. 일부 실시예들에서, 복수의 반도체 재료 층들(110)은 실리콘 게르마늄(SiGe)을 포함하고, 복수의 채널 층들(108)은 실리콘(Si)을 포함한다. 다른 실시예들에서, 복수의 채널 층들(108)은 실리콘 게르마늄(SiGe)을 포함하고, 복수의 반도체 재료 층들은 실리콘(Si)을 포함한다.

[0030] [0034] 일부 실시예들에서, 복수의 반도체 재료 층들(110) 및 대응하는 복수의 채널 층들(108)은 초격자 구조물(106)을 형성하는 데 적절한 임의의 수의 격자 매칭 재료 쌍들을 포함할 수 있다. 일부 실시예들에서, 복수의 반도체 재료 층들(110) 및 대응하는 복수의 채널 층들(108)은 약 2 개 내지 약 50 개의 쌍들 또는 약 3 개 내지 약 5 개의 쌍들의 격자 매칭 재료들을 포함한다. 일부 실시예들에서, 초격자 구조물은 3 개 또는 4 개 쌍들의 격자 매칭 재료들을 포함한다.

[0031] [0035] 하나 이상의 실시예들에서, 복수의 반도체 재료 층들(110) 및 복수의 채널 층들(108) 각각의 두께(t_1)는 동일하고 약 2 nm 내지 약 50 nm의 범위, 약 3 nm 내지 약 20 nm의 범위, 또는 약 4 nm 내지 약 10 nm의 범위이다. 일부 실시예들에서, 복수의 반도체 재료 층들(110) 각각은 약 6 nm 내지 약 10 nm의 범위이다. 일부 실시예들에서, 복수의 채널 층들(108) 각각은 약 4 nm 내지 약 10 nm의 범위이다. 따라서, 일부 실시예들에서, 채널 층과 반도체 재료 층의 단일의 쌍은 약 10 nm 내지 약 20 nm의 범위의 두께를 갖는다. 게다가, 초격자 구조물이 3 개 또는 4 개의 쌍들의 격자 매칭 재료들을 포함하는 이들 실시예들에서, 초격자 구조물의 총 두께는 약 30 nm 내지 약 80 nm의 범위이다.

[0032] [0036] 일부 실시예들에서, 대체 게이트 구조물(예를 들면, 더미 게이트 구조물(105))이 초격자 구조물(106) 정상에 형성된다. 더미 게이트 구조물(105)은 트랜지스터 디바이스의 채널 영역을 정의한다. 더미 게이트 구조물(105)은 당해 기술 분야에 알려져 있는 임의의 적절한 종래의 증착 및 패터닝 프로세스를 사용하여 형성될 수 있다. 하나 이상의 실시예들에서, 더미 게이트 구조물(105)은 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 텅스텐(W), 및 티타늄 알루미늄(TiAl) 중 하나 이상을 포함한다.

[0033] [0037] 일부 실시예들에서, 측벽 스페이서들은 더미 게이트 구조물(105)의 외부 측벽들을 따라 형성된다. 측벽 스페이서들은, 당해 기술 분야에 알려져 있는 적절한 절연성 재료들, 예를 들면, 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 실리콘 탄화물 등을 포함할 수 있다. 일부 실시예들에서, 측벽 스페이서들은 당해 기술 분야에 알려져 있는 임의의 적절한 종래의 증착 및 패터닝 프로세스, 예컨대 원자 층 증착, 플라즈마 강화 원자 층 증착, 플라즈마 강화 화학적 기상 증착 또는 저압 화학적 기상 증착을 사용하여 형성된다.

[0034] [0038] 동작(1110)에서, 초격자 구조물(106)을 인접한 초격자 구조물(106)로부터 분리하기 위해 채널 영역 또는 트렌치가 형성된다. 하나 이상의 실시예들에서, 소스 트렌치(113) 및 드레인 트렌치(114)는 초격자 구조물(106)에 인접하여(즉, 어느 한 쪽 상에) 형성된다. 일부 실시예들에서, 소스 트렌치(113) 및 드레인 트렌치는 약 20 nm 내지 약 60 nm 떨어져 이격되어 있다. 트렌치는 복수의 채널 층들(108), 복수의 반도체 재료 층들(110), 및 더미 재료(103)의 표면들을 노출시킨다.

[0035] [0039] 소스 트렌치(113) 및 드레인 트렌치(114)는 임의의 적절한 프로세스에 의해 형성될 수 있다. 일부 실시예들에서, 트렌치들은 소스/드레인 수직 에칭에 의해 형성된다. 일부 실시예들에서, 에칭 프로세스는 좁은(높은 종횡비) 트렌치의 수직 에칭을 가능하게 하는 높은 방향성을 갖는다.

[0036] [0040] 동작(1110)에서 트렌치를 형성한 이후, 일부 실시예들에서, 방법(1100)은 옵션 사항의 동작(1120)에 의해 계속된다. 동작(1120)에서, 복수의 채널 층들(108)은 깊이(D)의 복수의 채널 층들(108) 재료를 제거하도록 그리고 복수의 리세스된 채널 층들(109)을 형성하도록 리세스된다. 일부 실시예들에서, 초격자 구조물(106)의 각각의 측면으로부터 리세스되는 깊이(D)는 약 5 nm 내지 약 10 nm의 범위이다.

[0037] [0041] 채널 층들(108)의 리세싱(recessing)은 임의의 적절한 프로세스에 의해 수행될 수 있다. 일부 실시예들에서, 동작(1120)은 복수의 반도체 재료 층들(110)의 재료 위의 복수의 채널 층들(108)의 재료를 선택적으로 제거하는 선택적 에칭 프로세스에 의해 수행된다. 일부 실시예들에서, 복수의 채널 층들(108)을 리세싱하는 것은

실리콘 게르마늄보다 실리콘을 우선적으로 제거하는 선택적 에칭 프로세스에 의해 수행된다.

- [0038] [0042] 옵션 사항으로 복수의 채널 층들(108)을 리세스한 후에, 방법(1100)은 동작(1120)에서의 복수의 (리세스된) 채널 층들(108), 복수의 반도체 재료 층들(110) 및 더미 재료(103)의 노출된 표면들 위에 라이너(120)를 형성하는 것에 의해 동작(1130)에서 계속된다. 라이너(120)는 실리콘 질화물(SiN), 실리콘 산화물(SiO), 실리콘 탄화물(SiC), 실리콘 탄질화물(SiCN), 실리콘 탄소산질화물(SiCON), 또는 이들의 조합을 포함한다. 라이너(120)는 복수의 리세스된 채널 층들(108)의 임의의 리세스된 부분을 채우기에 충분한 두께(L)를 갖는다. 일부 실시예들에서, 라이너의 두께는 약 3 nm 내지 5 nm의 범위이다. 일부 실시예들에서, 라이너(120)는 등각성이며, 트렌치의 표면들에 걸쳐 +/-10 % 이하만큼 변화하는 두께를 갖는다. 일부 실시예들에서, 라이너(120)는 원자 층 증착에 의해 증착된다.
- [0039] [0043] 방법(1100)은 라이너(120)를 트리밍하는 것에 의해 동작(1140)에서 계속된다. 동작(1140)에서 라이너(120)를 트리밍하는 것은 더미 재료(103)의 표면으로부터 라이너(120)를 제거한다. 더미 재료(103)의 표면으로부터의 라이너(120)의 제거는 복수의 채널 층들(108) 또는 복수의 반도체 재료 층들(110)을 노출시키지 않는다. 일부 실시예들에서, 라이너는 복수의 채널 층들(108) 및 복수의 반도체 재료 층들(110)의 표면 위에서 연속적으로 계속된다. 일부 실시예들에서, 복수의 채널 층들(108) 및 복수의 반도체 재료 층들(110) 상에는 적어도 1 nm 또는 적어도 2 nm의 두께가 남아 있다.
- [0040] [0044] 일부 실시예들에서, 라이너(120)의 제거는 방향성 에칭 프로세스에 의해 수행된다. 일부 실시예들에서, 복수의 채널 층들(108) 및 복수의 반도체 재료 층들(110)의 표면들 상의 라이너(120)는 동작(1140)에 의해 영향을 받지 않는다. 일부 실시예들에서, 복수의 채널 층들(108) 및 복수의 반도체 재료 층들(110)의 표면들 상의 라이너는 복수의 채널 층들(108) 또는 복수의 반도체 재료 층들(110)의 표면들을 노출시키지 않으면서 박형화된다.
- [0041] [0045] 방법(1100)은 더미 재료(103)를 제거하는 것에 의해 동작(1150)에서 계속된다. 동작(1150)은 라이너(120)에 비해 더미 재료(103)에 대해 선택적인 선택적 에칭 프로세스에 의해 수행될 수 있다. 일부 실시예들에서, 선택적 에칭 프로세스는 또한, 초격자 구조물(106)의 최하부 재료에 비해 더미 재료(103)에 대해 또한 선택적이다.
- [0042] [0046] 일부 실시예들에서, 선택적 에칭 프로세스는 트리메틸암모늄 하이드록사이드(TMAH) 또는 암모늄 하이드록사이드 중 하나 이상을 사용한 습식 에칭 프로세스를 포함한다. 일부 실시예들에서, 습식 에칭 프로세스는 오존 및 물을 각각 포함하는 산화 및 제거 사이클을 포함한다.
- [0043] [0047] 일부 실시예들에서, 방법(1100)은 옵션 사항의 동작(1160)에서 계속된다. 동작(1160)에서, 라이너(120)는 복수의 반도체 재료 층들(110)의 표면으로부터 제거된다. 도 7에 도시되는 바와 같이, 복수의 채널 층들(108)이 리세스되는 그들 실시예들에서, 라이너(120)의 별개의 부분이 리세스된 공간에 남을 수 있다. 동작(1160)은 인산 또는 아세트산 중 하나 이상을 포함하는 습식 에칭 프로세스를 포함할 수 있다.
- [0044] [0048] 다음으로, 동작(1170)에서, 최하부 유전체 아이솔레이션 층(104)이 트렌치들을 통해 초격자 구조물(106) 아래에 증착된다. 일부 실시예들에서, 동작(1170)은 유동성 증착 프로세스에 의해 수행되어, 최하부 유전체 아이솔레이션 층(104)이 더미 재료(103)에 의해 비어 있는 공간을 채우는 것을 허용할 수 있다.
- [0045] [0049] 최하부 유전체 아이솔레이션(BDI) 층(104)은 당업자에게 알려져 있는 임의의 적절한 재료를 포함할 수 있다. 하나 이상의 실시예들에서, 최하부 유전체 아이솔레이션(BDI) 층(104)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN), 실리콘 탄화물(SiC), 이들의 조합, 또는 하이-k(high-k) 재료 중 하나 이상을 포함한다. 일부 실시예들에서, 하이-k 재료는 알루미늄 산화물(Al₂O₃), hafnium 산화물(HfO₂) 등 중 하나 이상으로부터 선택된다. 하나 이상의 특정한 실시예들에서, 최하부 유전체 아이솔레이션(BDI) 층(104)은 실리콘 산화물을 포함한다.
- [0046] [0050] 도 8에 도시되는 바와 같이, 일부 실시예들에서, 최하부 유전체 아이솔레이션 층(104)은 더미 재료(103)에 의해 이전에 점유된 공간 외부로 연장된다. 도시되는 바와 같이, 일부 실시예들에서, 최하부 유전체 아이솔레이션 층(104)의 재료는 트렌치의 측벽들 상에 또한 증착된다.
- [0047] [0051] 이들 실시예들에 대해, 방법(1100)은 동작(1180)에서 임의의 잉여(excess) 최하부 유전체 아이솔레이션 층 재료의 제거를 제공한다. 잉여 재료는 임의의 적절한 프로세스에 의해 제거될 수 있다.
- [0048] [0052] 마지막으로, 방법(1100)은 옵션 사항의 동작(1190)으로 종료된다. 동작(1190)에서, 초격자 구조물(106)을 채우기 위해 실리콘 재료(130)가 최하부 유전체 아이솔레이션 층(104)에 증착된다. 일부 실시예들에서,

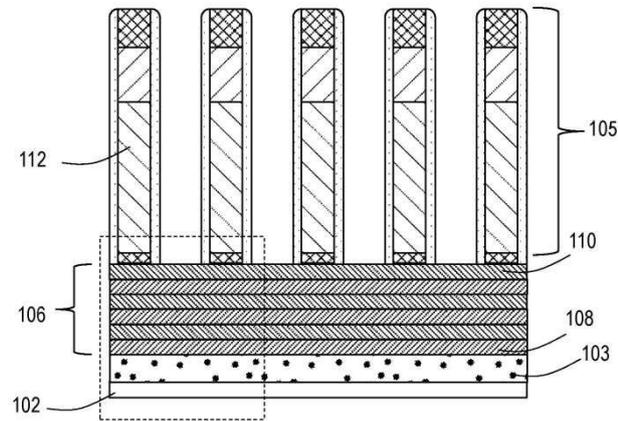
실리콘 재료(130)는 에피택셜하게 증착된다. 일부 실시예들에서, 실리콘 재료(130)는 인 또는 붕소로 도핑될 수 있다.

[0049] [0053] 본 명세서 전반에 걸쳐 "일 실시예", "특정 실시예들", "하나 이상의 실시예들" 또는 "실시예"에 대한 언급은, 실시예와 관련하여 설명되는 특정 특징, 구조, 재료, 또는 특성이 본 개시내용의 적어도 하나의 실시예에 포함된다는 것을 의미한다. 따라서, 본 명세서 전반에 걸쳐 다양한 위치들에서의 "하나 이상의 실시예들에서", "특정 실시예들에서", "일 실시예에서" 또는 "실시예에서"와 같은 문구들의 출현들은 반드시 본 개시내용의 동일한 실시예를 나타내는 것은 아니다. 게다가, 특정 특징들, 구조들, 재료들, 또는 특성들은 하나 이상의 실시예들에서 임의의 적절한 방식으로 조합될 수 있다.

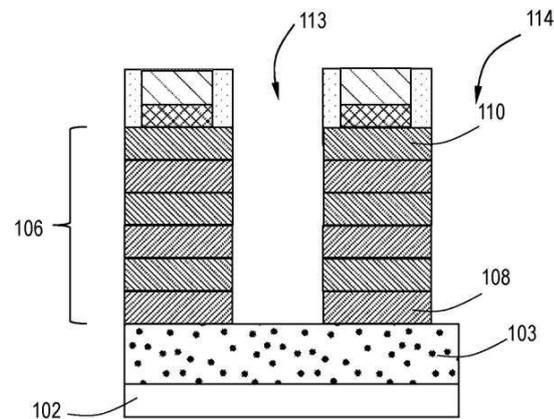
[0050] [0054] 본원의 개시내용이 특정 실시예들을 참조하여 설명되었지만, 당업자들은, 설명된 실시예들이 단지 본 개시내용의 원리들 및 애플리케이션들을 예시한다는 것을 이해할 것이다. 본 개시내용의 사상 및 범위를 벗어나지 않으면서 본 개시내용의 방법 및 장치에 대해 다양한 수정들 및 변형들이 이루어질 수 있음이 당업자들에게 자명할 것이다. 따라서, 본 개시내용은 첨부된 청구항들 및 그 등가물들의 범위 내에 있는 수정들 및 변형들을 포함할 수 있다.

도면

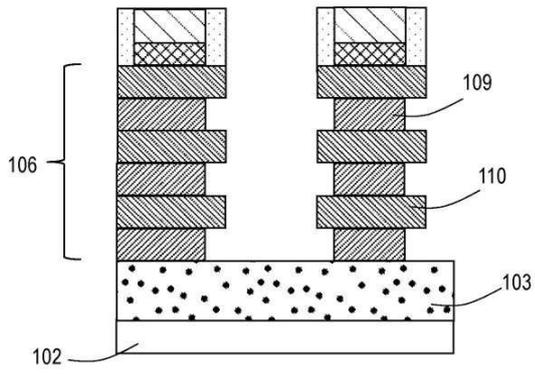
도면1



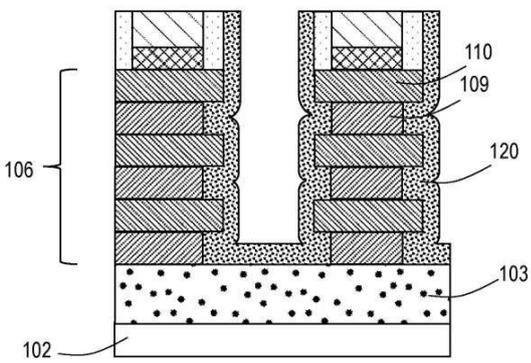
도면2



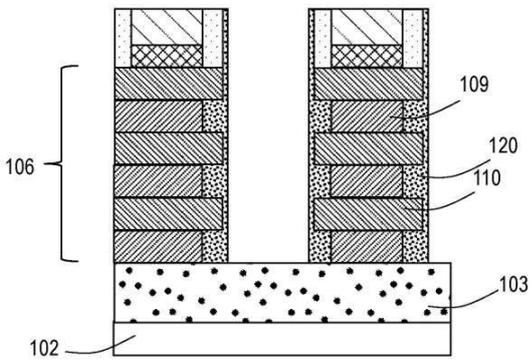
도면3



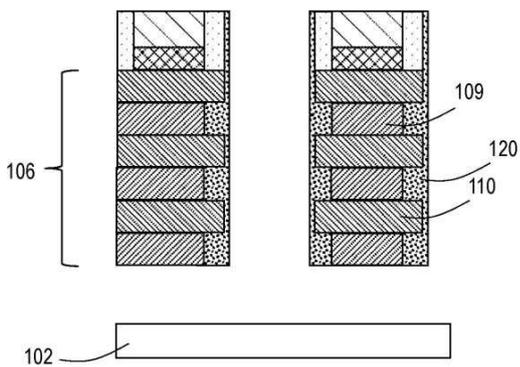
도면4



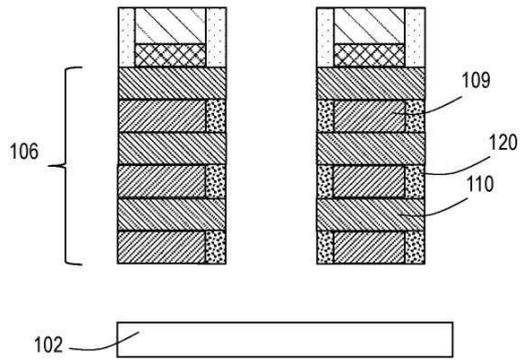
도면5



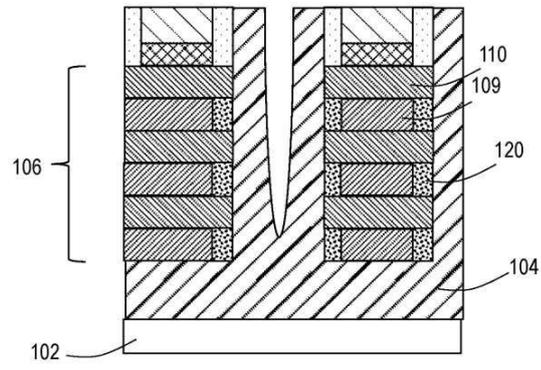
도면6



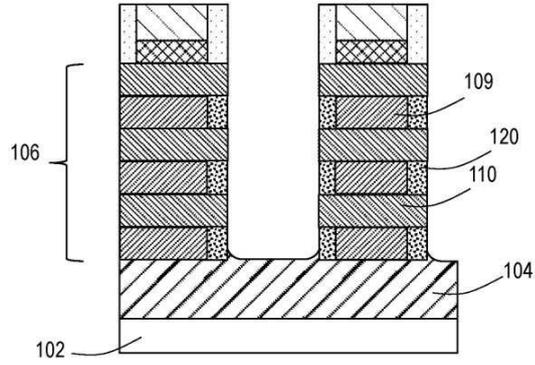
도면7



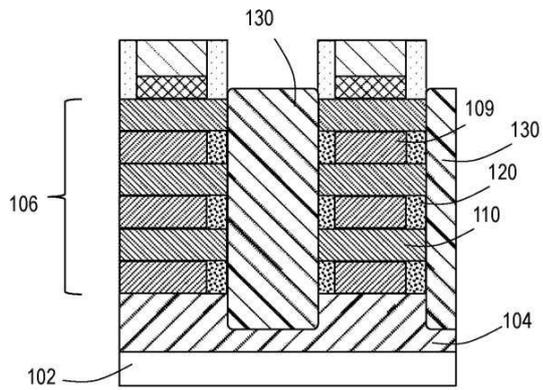
도면8



도면9



도면10



도면11

1100

