



(72) 발명자

**고에즈카 준이치**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

**사사키 도시나리**

일본 141-0001 도쿄도 시나가와쿠 기타시나가와  
5-8-15-405 도미타 가부시키키가이샤

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

산화물 반도체막;

상기 산화물 반도체막 위의 게이트 절연막;

상기 게이트 절연막 위의 게이트 전극층;

상기 산화물 반도체막, 상기 게이트 절연막 및 상기 게이트 전극층 위의 질화 실리콘막으로서, 상기 질화 실리콘막이 제1 개구부를 포함하는, 상기 질화 실리콘막; 및

상기 질화 실리콘막 위의 제1 전극층으로서, 상기 제1 전극층은 상기 제1 개구부를 통해 상기 산화물 반도체막 과 접촉하는, 상기 제1 전극층

을 포함하고,

상기 질화 실리콘막에 있어서, 승온 이탈 가스 분광법에서 500℃ 이하의 온도에서는 수소 분자의 이탈량의 피크 가 나타나지 않는, 반도체 장치.

#### 청구항 2

반도체 장치로서,

산화물 반도체막;

상기 산화물 반도체막 위의 게이트 절연막;

상기 게이트 절연막 위의 게이트 전극층;

상기 산화물 반도체막, 상기 게이트 절연막 및 상기 게이트 전극층 위의 질화 실리콘막으로서, 상기 질화 실리콘막이 제1 개구부를 포함하는, 상기 질화 실리콘막; 및

상기 질화 실리콘막 위의 제1 전극층으로서, 상기 제1 전극층은 상기 제1 개구부를 통해 상기 산화물 반도체막 과 접촉하는, 상기 제1 전극층

을 포함하고,

상기 질화 실리콘막에 있어서, 승온 이탈 가스 분광법에서 550℃ 이하의 온도에서는 수소 분자의 이탈량이  $1.5 \times 10^{20} / \text{cm}^3$  이하인, 반도체 장치.

#### 청구항 3

반도체 장치로서,

산화물 반도체막;

상기 산화물 반도체막 위의 게이트 절연막;

상기 게이트 절연막 위의 게이트 전극층;

상기 산화물 반도체막, 상기 게이트 절연막 및 상기 게이트 전극층 위의 질화 실리콘막으로서, 상기 질화 실리콘막이 제1 개구부를 포함하는, 상기 질화 실리콘막; 및

상기 질화 실리콘막 위의 제1 전극층으로서, 상기 제1 전극층은 상기 제1 개구부를 통해 상기 산화물 반도체막 과 접촉하는, 상기 제 1 전극층

을 포함하고,

상기 질화 실리콘막에 있어서, 승온 이탈 가스 분광법에서 500℃ 이상의 온도에서는 이탈된 수소 분자의 이탈량이  $1.0 \times 10^{20} / \text{cm}^3$  이상인, 반도체 장치.

**청구항 4**

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 산화물 반도체막은 상기 산화물 반도체막이 형성되는 면에 수직인 c축을 갖는 결정을 포함하는, 반도체 장치.

**청구항 5**

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 산화물 반도체막은 상기 제1 전극층과 접촉하는 영역에 인 또는 붕소를 포함하는, 반도체 장치.

**청구항 6**

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 질화 실리콘막 위의 제2 전극층을 더 포함하고,

상기 질화 실리콘막은 제2 개구부를 더 포함하고,

상기 제2 전극층은 상기 제2 개구부를 통해 상기 산화물 반도체막과 접촉하는, 반도체 장치.

**청구항 7**

삭제

**청구항 8**

삭제

**청구항 9**

삭제

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**발명의 설명**

**기술 분야**

- [0001] 본 발명의 일 형태는 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.
- [0002] 또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 기기 전반을 가리킨다. 예를 들어, 전기 광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치이다.

**배경 기술**

- [0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘막이 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체막이 주목을 받고 있다.
- [0004] 트랜지스터를 포함하는 반도체 장치의 고성능화에 따라, 산화물 반도체막을 포함하는 트랜지스터에 대해서도 온 특성을 향상시키고 고속 구동을 가능하게 하는 것이 요구되고 있다. 그래서, 질소를 주입하여 산화물 반도체막의 저항을 저감시킴으로써, 산화물 반도체막과 소스 전극층 및 드레인 전극층 사이의 접촉 저항을 저감시켜 트랜지스터의 온 특성을 향상시키는 방법이 알려져 있다.
- [0005] 예를 들어, 특허문헌 1에는 아연과 인듐과 산소를 함유한 비정질(amorphous) 산화물 반도체막을 사용하여, 산화물 반도체막에 이온 주입법에 의해 질소를 함유시킴으로써 저항을 저감시키고, 질소가 함유된 부분을 소스부 또는 드레인부로 하고 질소가 함유되지 않은 부분을 채널부로 하는 전계 효과형 트랜지스터가 기재되어 있다.

**선행기술문헌**

**특허문헌**

- [0006] (특허문헌 0001) 일본 특개2010-93070호 공보

**발명의 내용**

**해결하려는 과제**

- [0007] 그런데, 산화물 반도체막을 사용한 트랜지스터는 산화물 반도체막에 수소나 수분 등 의도하지 않는 불순물이 혼입됨으로써 캐리어가 형성되어, 트랜지스터의 전기적 특성이 변동된다는 문제가 있다.
- [0008] 그래서, 본 발명의 일 형태는 산화물 반도체막을 사용한 트랜지스터의 온 특성의 향상 및 고속 구동을 실현하고, 또 트랜지스터에 안정적인 전기적 특성을 부여하여 신뢰성을 향상시키는 것을 목적 중 하나로 한다. 또는, 산화물 반도체막을 사용한 트랜지스터의 온 특성을 향상시키는 것을 목적 중 하나로 한다. 또는, 트랜지스터에 안정적인 전기적 특성을 부여하여 신뢰성을 향상시키는 것을 목적 중 하나로 한다. 또는, 공정을 복잡화하지 않으면서 반도체 장치를 제작하는 것을 목적 중 하나로 한다.

**과제의 해결 수단**

- [0009] 산화물 반도체막과, 게이트 절연막과, 게이트 전극층과, 질화 실리콘막이 순차적으로 적층되고, 산화물 반도체막에 채널 형성 영역을 갖는 톱 게이트 구조의 트랜지스터에 있어서, 산화물 반도체막 위에 산화물 반도체막과 접촉하는 질화 실리콘막을 가짐으로써, 산화물 반도체막의 일부의 영역에 질소가 첨가되어 이 영역이 저저항 영역이 된다. 소스 전극층 및 드레인 전극층은 산화물 반도체막의 저저항 영역과 접촉한다. 산화물 반도체막 중 질화 실리콘막과 접촉하지 않은 영역(바꿔 말하면, 게이트 절연막 및 게이트 전극층과 중첩되는 영역)은 채널 형성 영역이 된다.
- [0010] 따라서, 본 발명의 일 형태는 채널 형성 영역 및 채널 형성 영역을 끼우고 질소를 함유한 한 쌍의 저저항 영역을 포함한 산화물 반도체막과, 채널 형성 영역 위의 게이트 절연막 및 게이트 전극층의 적층과, 저저항 영역에

접촉하는 질화 실리콘막과, 한 쌍의 저저항 영역 각각과 전기적으로 접속되는 소스 전극층 및 드레인 전극층을 구비하며, 질화 실리콘막은 승온 이탈 가스 분광법에서 500'℃ 이하에서는 수소 분자의 이탈량의 피크가 나타나지 않는, 반도체 장치이다.

[0011] 또는, 본 발명의 일 형태는, 예를 들어 산화물 반도체막과, 산화물 반도체막 위의 게이트 절연막과, 게이트 절연막 위의 게이트 전극층과, 산화물 반도체막 위, 게이트 절연막 위, 및 게이트 전극층 위에 있고, 산화물 반도체막에 이르는 개구부를 갖는 질화 실리콘막과, 질화 실리콘막 위에 있고 개구부를 통하여 산화물 반도체막과 접촉하는 소스 전극층 및 드레인 전극층을 구비하며, 질화 실리콘막은 승온 이탈 가스 분광법에서 500'℃ 이하에서는 수소 분자의 이탈량의 피크가 나타나지 않는, 반도체 장치이다.

[0012] 또한, 상기 질화 실리콘막은 승온 이탈 가스 분광법에서 550'℃ 이하에서는 수소 분자의 이탈량이  $1.5 \times 10^{20}$  개/cm<sup>3</sup> 이하, 바람직하게는  $1.0 \times 10^{20}$  개/cm<sup>3</sup> 이하, 더 바람직하게는  $7.5 \times 10^{19}$  개/cm<sup>3</sup> 이하로 한다. 또한, 승온 이탈 가스 분광법에서 500'℃ 이하에서는 수소 분자의 이탈량의 피크가 나타나지 않으며, 승온 이탈 가스 분광법에서는 수소 분자의 이탈량이  $1.0 \times 10^{20}$  개/cm<sup>3</sup> 이상이 되는 온도가 500'℃ 이상, 더 바람직하게는 550'℃ 이상으로 한다.

[0013] 채널 형성 영역 및 저저항 영역은 표면에 대해 대략 수직인 c축을 갖는 결정을 포함한 영역으로 할 수 있다. 또한, 채널 형성 영역은 표면에 대해 대략 수직인 c축을 갖는 결정을 포함한 영역으로 하고, 저저항 영역은 비정질 영역으로 하여도 좋다.

[0014] 질화 실리콘막은 산화물 반도체막, 게이트 절연막, 및 게이트 전극층 위를 덮는 층간 절연막으로 하여도 좋다. 또한, 질화 실리콘막을 게이트 절연막 및 게이트 전극층의 측면에 접촉하는 측벽 절연막으로 하여도 좋다.

[0015] 또한, 본 발명의 일 형태는 산화물 반도체막이, 게이트 전극층과 중첩되는 채널 형성 영역과, 측벽 절연막과 중첩되고 채널 형성 영역을 끼우고 질소를 함유한 한 쌍의 제 1 저저항 영역과, 채널 형성 영역 및 제 1 저저항 영역을 끼우고 불순물 원소를 함유하고 소스 전극층 및 드레인 전극층과 각각 접촉하는 한 쌍의 제 2 저저항 영역을 가지며, 불순물 원소는 인 또는 붕소이고, 제 2 저저항 영역의 저항은 제 1 저저항 영역보다 낮은, 반도체 장치이다.

[0016] 또한, 산화물 반도체막은 c축의 방향이 표면에 대해 대략 수직인 결정을 포함한 영역으로 하고, 제 2 저저항 영역은 비정질 영역으로 할 수 있다.

[0017] 또한, 본 발명의 다른 일 형태는 산화물 반도체막을 형성하고, 산화물 반도체막 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극층을 형성하고, 게이트 전극층을 마스크로서 이용하여 게이트 절연막을 에칭하여 산화물 반도체막의 일부를 노출시키고, 노출시킨 산화물 반도체막의 일부에 접촉하는, 승온 이탈 가스 분광법에서 500'℃ 이하에서는 수소 분자의 이탈량의 피크가 나타나지 않는 질화 실리콘막을 형성함으로써, 산화물 반도체막 중 질화 실리콘막과 접촉하는 영역에 질소를 첨가하여 저저항 영역을 형성하고, 저저항 영역과 전기적으로 접속되는 소스 전극층 또는 드레인 전극층을 형성하고, 질화 실리콘막의 성막(成膜) 가스로서 실란 및 질소를 함유한 혼합 가스를 사용하는, 반도체 장치의 제작 방법이다.

[0018] 또한, 본 발명의 다른 일 형태는 산화물 반도체막을 형성하고, 산화물 반도체막 위에 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극층을 형성하고, 게이트 전극층을 마스크로서 이용하여 게이트 절연막을 에칭하여 산화물 반도체막의 일부를 노출시키고, 노출시킨 산화물 반도체막의 일부에 접촉하는, 승온 이탈 가스 분광법에서 500'℃ 이하에서는 수소 분자의 이탈량의 피크가 나타나지 않는 질화 실리콘막을 형성함으로써, 산화물 반도체막 중 질화 실리콘막과 접촉하는 영역에 질소를 첨가하여 저저항 영역을 형성하고, 저저항 영역과 전기적으로 접속되는 소스 전극층 또는 드레인 전극층을 형성하고, 질화 실리콘막의 성막 가스로서 실란, 질소, 및 암모니아를 함유하고 성막 가스 내에 함유된 질소에 대한 암모니아의 유량비가 0.1배 이하인, 반도체 장치의 제작 방법이다.

[0019] 본 발명의 일 형태는 산화물 반도체막을 형성하고, 산화물 반도체막 위에 절연막을 형성하고, 절연막 위에 도전막을 형성하고, 도전막 및 절연막을 가공함으로써, 게이트 전극층 및 게이트 절연막을 형성하고, 산화물 반도체막 위, 게이트 절연막 위, 및 게이트 전극층 위에 질화 실리콘막을 형성함으로써, 산화물 반도체막 중 질화 실리콘막과 접촉하는 영역에 질소를 첨가하여 저저항 영역을 형성하고, 질화 실리콘막의 일부를 에칭함으로써 산화물 반도체막에 이르는 개구부를 형성하고, 산화물 반도체막 위 및 질화 실리콘막 위에 소스 전극층 또는 드레인 전극층을 형성하고, 질화 실리콘막은 실란, 질소, 및 암모니아를 함유한 성막 가스를 사용하여 형성되고, 성

막 가스 내에 함유된 질소에 대한 암모니아의 유량비가 0.1배 이하인, 반도체 장치의 제작 방법이다.

[0020] 또한, 게이트 전극층을 형성한 후, 게이트 전극층을 마스크로서 이용하여 산화물 반도체막에 불순물 원소로서 인 또는 붕소 등을 첨가하여도 좋다.

[0021] 질화 실리콘막을 에칭함으로써, 게이트 전극층의 측면에 접촉하는 측벽 절연막을 형성하고, 게이트 전극층 및 측벽 절연막을 마스크로서 이용하여 산화물 반도체막에 불순물 원소로서 인 또는 붕소 등을 첨가하여도 좋다.

[0022] 또한, 질화 실리콘막을 형성한 후에 열처리를 수행하여도 좋다.

**발명의 효과**

[0023] 본 발명의 일 형태에 의해, 산화물 반도체막을 사용한 트랜지스터의 온 특성을 향상시킬 수 있다. 또는, 산화물 반도체막을 사용한 트랜지스터에 안정적인 전기적 특성을 부여하여 신뢰성을 향상시킬 수 있다. 또한, 공정을 복잡화하지 않으면서 반도체 장치를 제작할 수 있다.

**도면의 간단한 설명**

[0024] 도 1a는 본 발명의 일 형태인 반도체 장치의 상면도이고, 도 1b는 그 단면도.

도 2a 내지 도 2c는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 3은 본 발명의 일 형태인 반도체 장치의 단면도.

도 4a는 본 발명의 일 형태인 반도체 장치의 상면도이고, 도 4b는 그 단면도.

도 5a 내지 도 5c는 본 발명의 일 형태인 반도체 장치의 제작 방법을 설명하기 위한 도면.

도 6a 및 도 6b는 본 발명의 일 형태인 반도체 장치의 단면도.

도 7은 본 발명의 일 형태인 반도체 장치의 단면도.

도 8a 및 도 8b는 본 발명의 일 형태인 반도체 장치의 회로도.

도 9a 및 도 9b는 본 발명의 일 형태인 반도체 장치의 회로도이고, 도 9c는 그 사시도.

도 10은 본 발명의 일 형태인 반도체 장치의 단면도.

도 11a 및 도 11b는 본 발명의 일 형태인 반도체 장치의 회로도.

도 12는 본 발명의 일 형태인 반도체 장치의 블록도.

도 13은 본 발명의 일 형태인 반도체 장치의 블록도.

도 14는 본 발명의 일 형태인 반도체 장치의 블록도.

도 15a 내지 도 15c는 본 발명의 일 형태인 전자 기기를 설명하기 위한 도면.

도 16은 실시예 1의, TDS 결과를 도시한 도면.

도 17a 및 도 17b는 실시예 1의, SIMS 및 RBS에 의한 분석 결과를 도시한 도면.

도 18a 및 도 18b는 실시예 2의, TDS 결과를 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

[0025] 이하에서는 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명하기로 한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것이 아니다.

[0026] 이하에서 설명하는 실시형태에 관해서, 동일한 것을 가리키는 부호는 다른 도면 간에서 공통적으로 사용하는 경우가 있다. 또한, 도면에 도시한 구성 요소, 즉 층이나 영역 등의 두께, 폭, 상대적인 위치 관계 등은 실시형태에서 설명함에 있어서 명확성을 위해 과장하여 도시한 경우가 있다.

[0027] 또한, 본 명세서 등에 있어서 '위'라는 용어는 구성 요소의 위치 관계가 '바로 위'인 것에 한정되지 않는다. 예를 들어, '절연막 위의 게이트 전극층'이라는 표현은 절연막과 게이트 전극층 사이에 다른 구성 요소를 포함

하는 것을 제외하지 않는다. 이것은 '아래'라는 용어에 대해서도 마찬가지이다.

- [0028] 또한, 본 명세서 등에서 '전극층'이나 '배선층'이라는 용어는 이들 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들어, '전극층'은 '배선층'의 일부로서 사용되는 경우가 있고, 그 반대로 마찬가지이다. 또한, '전극층'이나 '배선층'이라는 용어는 복수의 '전극층'이나 '배선층'이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0029] 또한, '소스'나 '드레인'의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀔 수 있다. 따라서, 본 명세서에서는 '소스'나 '드레인'이라는 용어는 바뀌 사용할 수 있다.
- [0030] 또한, 본 명세서 등에서 '전기적으로 접속'이라는 표현에는 '어떤 전기적 작용을 갖는 것'을 통하여 접속되는 경우가 포함된다. 여기서, '어떤 전기적 작용을 갖는 것'은 접속 대상 사이에서 전기 신호를 주고받고 할 수 있는 것이면 특별한 한정은 없다.
- [0031] 예를 들어, '어떤 전기적 작용을 갖는 것'에는 전극이나 배선 등이 포함된다.
- [0032] (실시형태 1)
- [0033] 본 실시형태에서는 본 발명의 일 형태의 반도체 장치에 대해서 도면을 사용하여 자세히 설명한다. 도 1a 및 도 1b에 본 발명의 일 형태의 반도체 장치인 트랜지스터(420)의 상면도 및 단면도를 도시하였다. 도 1a는 트랜지스터(420)의 상면도이고, 도 1b는 도 1a에 도시된 일점 쇄선 A-B 부분의 단면도이다.
- [0034] 도 1a 및 도 1b에 도시한 트랜지스터(420)는 기판(400) 위에 제공된 하지 절연막(436)과, 하지 절연막(436) 위에 제공되고 채널 형성 영역(403), 저저항 영역(404a), 및 저저항 영역(404b)을 포함한 산화물 반도체막(409)과, 채널 형성 영역(403) 위에 제공된 게이트 절연막(402) 및 게이트 전극층(401)과, 산화물 반도체막(409), 게이트 절연막(402), 및 게이트 전극층(401) 위의 질화 실리콘막(407)과, 질화 실리콘막(407) 위의 층간 절연막(411)과, 질화 실리콘막(407) 및 층간 절연막(411)에 형성된 개구부에서, 저저항 영역(404a) 및 저저항 영역(404b)과 각각 전기적으로 접속되는 소스 전극층(405a) 및 드레인 전극층(405b)을 갖는다.
- [0035] 질화 실리콘막(407)은 산화물 반도체막과 접촉하여 형성되기 때문에, 막 내의 수소 농도가 가능한 한 저감되어 있으며, 수소 분자의 이탈량이 저감된 막인 것이 바람직하다. 예를 들어, 승온 이탈 가스 분광법(TDS: Thermal Desorption Spectroscopy)을 이용한 측정에 의해, 500°C 이하에서는 수소 분자의 이탈량의 피크가 나타나지 않는 것이 좋다. 또한, TDS에 있어서, 수소 분자의 이탈량이 예를 들어 500°C 이하에서는  $1.5 \times 10^{20}$  개/cm<sup>3</sup> 이하, 바람직하게는  $1.0 \times 10^{20}$  개/cm<sup>3</sup> 이하, 더 바람직하게는  $7.5 \times 10^{19}$  개/cm<sup>3</sup> 이하이면 좋다. 또는, 수소 분자의 이탈량이  $1.0 \times 10^{20}$  개/cm<sup>3</sup> 이상이 되는 온도가 500°C 이상, 더 바람직하게는 550°C 이상이면 좋다.
- [0036] 또한, 질화 실리콘막 내의 수소 농도는 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 있어서,  $2.0 \times 10^{22}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $1.5 \times 10^{22}$  atoms/cm<sup>3</sup> 이하이면 좋다.
- [0037] 또한, 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)을 이용하여 질화 실리콘막 내의 조성을 측정할 경우에, 수소 농도가 15atomic% 이하, 바람직하게는 10atomic% 이하이면 좋다.
- [0038] 산화물 반도체막(409) 위에 질화 실리콘막(407)을 접촉하도록 형성함으로써, 산화물 반도체막(409) 중 질화 실리콘막과 접촉한 영역에 질소를 첨가하고, 저항이 저감된 영역(저저항 영역(404a) 및 저저항 영역(404b))을 형성한다. 저저항 영역(404a) 및 저저항 영역(404b)은 채널 형성 영역(403)보다 전기적 저항이 낮은 영역이다.
- [0039] 또한, 산화물 반도체막(409)은 c축의 방향이 표면에 대략 수직인 결정을 포함하는 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor라고도 함)막을 사용하는 것이 바람직하다. 본 실시형태에서는 산화물 반도체막(409)으로서 CAAC-OS막을 사용한다.
- [0040] 본 실시형태에서는 질화 실리콘막(407)의 형성 공정에 있어서, 산화물 반도체막(409)에 질소를 첨가하여 저저항 영역(404a) 및 저저항 영역(404b)을 형성하기 때문에, 저저항 영역(404a) 및 저저항 영역(404b)에서도 CAAC-OS막으로서의 결정성을 유지할 수 있다. 그러므로, 본 실시형태에 따른 산화물 반도체막(409)에서는 채널 형성 영역(403), 저저항 영역(404a), 및 저저항 영역(404b)은 c축의 방향이 표면에 대략 수직인 결정을 포함한다.
- [0041] 트랜지스터(420)는 산화물 반도체막(409) 중 저항이 낮은 영역에서, 산화물 반도체막(409)과 소스 전극층(405a)

및 드레인 전극층(405b)이 접촉하기 때문에, 산화물 반도체막(409)과 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항이 저감되어 있다. 따라서, 트랜지스터(420)는 온 특성(예를 들어, 온 전류나 전계 효과 이동도)이 높고 고속 동작, 고속 응답이 가능한 반도체 장치로 할 수 있다.

- [0042] 또한, 층간 절연막으로서 기능하는 질화 실리콘막(407)의 형성 공정에서, 산화물 반도체막(409)에 질소를 첨가하여 저저항 영역(404a) 및 저저항 영역(404b)을 형성할 수 있기 때문에, 공정을 복잡화하지 않으면서 트랜지스터(420)의 온 특성을 향상시킬 수 있다.
- [0043] 다음에, 트랜지스터(420)의 제작 방법에 대하여 도 2a 내지 도 2c를 사용하여 설명한다.
- [0044] 우선, 기판(400) 위에 하지 절연막(436) 및 하지 절연막(438)을 형성한다.
- [0045] 사용할 수 있는 기판에 큰 제한은 없지만, 적어도 나중의 열처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 바륨보로실리케이트 유리나 알루미늄보로실리케이트 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다.
- [0046] 또한, 기판(400)으로서 실리콘이나 탄화 실리콘 등으로 이루어진 단결정 반도체 기판, 다결정 반도체 기판, 또는 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판 등을 사용하여도 좋다. 또한, SOI 기판, 반도체 기판 위에 반도체 소자가 제공된 것 등을 사용할 수 있다.
- [0047] 하지 절연막(436) 및 하지 절연막(438)은 스퍼터링법, MBE(Molecular Beam Epitaxy)법, CVD(Chemical Vapor Deposition)법, 펄스 레이저 퇴적(Pulsed Laser Deposition: PLD)법, ALD(Atomic Layer Deposition)법 등을 적절히 이용할 수 있다. 또한, 하지 절연막(438)을 스퍼터링법을 이용하여 형성하면, 수소 등 불순물 원소를 저감시킬 수 있으며, 나중에 형성되는 산화물 반도체막에 수소가 혼입되는 것을 방지할 수 있다.
- [0048] 하지 절연막(436) 및 하지 절연막(438)으로서는 무기 절연막을 사용하면 좋다. 예를 들어, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막, 또는 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등을 사용하면 좋다. 또한, 이들 화합물을 단층 구조 또는 2층 이상의 적층 구조로 형성하여 사용할 수 있다. 또한, 하지 절연막(436) 및 하지 절연막(438)은 같은 재료를 사용한 막이어도 좋고, 상이한 재료를 사용한 막이어도 좋다.
- [0049] 여기서, 산화질화 실리콘이란, 그 구성에 있어서 질소 함유량보다 산소 함유량이 많은 것을 뜻하며, 예를 들어, 적어도 산소가 50atomic% 이상 70atomic% 이하, 질소가 0.5atomic% 이상 15atomic% 이하, 실리콘이 25atomic% 이상 35atomic% 이하의 범위로 함유되는 것을 가리킨다. 다만, 상기 범위는 러더포드 후방 산란법이나, 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 이용하여 측정된 경우의 값이다. 또한, 구성 원소의 함유 비율은 그 합계가 100atomic%를 초과하지 않는 값이다.
- [0050] 트랜지스터(420)에서, 하지 절연막(436)이 나중에 형성되는 산화물 반도체막(409)에 기판(400)으로부터 수소나 수분 등 불순물이 혼입되는 것을 방지하는 기능을 가지면 바람직하다. 따라서, 하지 절연막(436)으로서는 질화 실리콘막, 산화 알루미늄막, 산화질화 실리콘막, 질화 알루미늄막, 질화산화 알루미늄막 등 무기 절연막을 적합하게 사용할 수 있다. 특히, 수소나 수분 등 불순물, 및 산소 양쪽 모두에 대한 차단 효과(블록 효과)가 높은 질화 실리콘막이 적합하다.
- [0051] 하지 절연막(438)은 나중에 형성되는 산화물 반도체막(409)과 접촉하기 때문에, 층 내(벌크 내)에 적어도 화학양론적 조성을 초과하는 양의 산소가 존재하는 것이 바람직하다. 예를 들어, 하지 절연막(438)으로서, 산화 실리콘막을 사용하는 경우에는  $SiO_{(2+\alpha)}$ (다만  $\alpha > 0$ )로 한다.
- [0052] 또한, 나중에 형성되는 산화물 반도체막(409)의 평탄성을 높이기 위해서, 하지 절연막(438)에 평탄화 처리를 수행하여도 좋다. 평탄화 처리로서는 예를 들어, 화학적 기계적 연마(Chemical Mechanical Polishing: CMP) 처리, 드라이 에칭 처리 등을 수행하면 좋다. 여기서, 에칭 가스로서는, 염소, 염화 붕소, 염화 실리콘, 또는 사염화 탄소와 같은 염소계 가스, 사불화 탄소, 불화 황, 또는 불화 질소와 같은 불소계 가스 등을 사용하면 좋다.
- [0053] 또한, 기판(400)과 나중에 제공되는 산화물 반도체막(409) 사이의 절연성을 확보할 수 있다면, 하지 절연막을 제공하지 않는 구성으로 할 수도 있다.
- [0054] 본 실시형태에서는 하지 절연막(436)으로서 질화 실리콘막을 사용하고, 하지 절연막(438)으로서 산화 실리콘막을 사용한다.

- [0055] 다음에, 하지 절연막(438) 위에 산화물 반도체막(409)이 되는 산화물 반도체막을 형성한다.
- [0056] 산화물 반도체막은 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 또는, In과 Zn 양쪽 모두를 함유하는 것이 바람직하다. 또한, 이 산화물 반도체막을 사용한 트랜지스터의 전기적 특성의 편차를 줄이기 위해서, 이들과 함께, 하나 또는 복수의 스테빌라이저를 갖는 것이 바람직하다.
- [0057] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 다른 스테빌라이저로서는 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0058] 예를 들어, 산화물 반도체로서, 1원계 금속의 산화물인 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, 3원계 금속의 산화물인 In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.
- [0059] 여기서, 예를 들어 In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 함유한 산화물을 뜻하며, In, Ga, 및 Zn의 비율은 불문한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 함유되어 있어도 좋다.
- [0060] 또한, 산화물 반도체로서,  $InM_3(ZnO)_m$  ( $m>0$ , 및  $m$ 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 여기서,  $M$ 은 Ga, Fe, Mn, 및 Co 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서,  $In_2SnO_5(ZnO)_n$  ( $n>0$ , 및  $n$ 은 정수)로 표기되는 재료를 사용하여도 좋다.
- [0061] 예를 들어, 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=2:2:1, 또는 In:Ga:Zn=3:1:2인 In-Ga-Zn 산화물이나 그 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, 원자수비가 In:Sn:Zn=1:1:1, In:Sn:Zn=2:1:3, 또는 In:Sn:Zn=2:1:5인 In-Sn-Zn 산화물이나 그 근방의 조성을 갖는 산화물을 사용하면 좋다.
- [0062] 그러나, 상술한 것에 한정되지 않으며, 필요한 반도체 특성 및 전기적 특성(전계 효과 이동도, 문턱 전압, 편차 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요한 반도체 특성을 얻기 위해서 캐리어 밀도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절하게 하는 것이 바람직하다.
- [0063] 예를 들면, In-Sn-Zn 산화물에서는 높은 캐리어 이동도가 비교적 용이하게 얻어진다. 그러나, In-Ga-Zn 산화물을 사용한 경우에도 벌크 내 결합 밀도를 낮게 함으로써 캐리어 이동도를 향상시킬 수 있다.
- [0064] 또한, 본 실시형태에 사용하는 산화물 반도체막으로서의 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 산화물 반도체막을 사용한다. 이와 같이, 에너지 갭이 넓은 금속 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0065] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.
- [0066] 본 명세서에 있어서, '평행'이란, 2개의 직선이  $-10^\circ$  이상  $10^\circ$  이하의 각도로 배치된 상태를 말한다. 따라서,  $-5^\circ$  이상  $5^\circ$  이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이  $80^\circ$  이상  $100^\circ$  이하의 각도로 배치된 상태를 말한다. 따라서,  $85^\circ$  이상  $95^\circ$  이하의 경우도 그 범주에 포함된다.
- [0067] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0068] 산화물 반도체막은 단결정 산화물 반도체막 및 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS막 등을 말한다.
- [0069] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형이다.
- [0070] 미결정 산화물 반도체막은 예를 들어, 크기가 1nm 이상 10nm 미만인 미결정(나노 결정이라고도 함)을 포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 그러므로, 미결정

산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징을 갖는다.

- [0071] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 하나의 면이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 면이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징을 갖는다. 이하에서는, CAAC-OS막에 대하여 자세히 설명한다.
- [0072] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0073] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0074] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0075] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0076] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 InGaZnO<sub>4</sub>의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)의 피크가 31° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO<sub>4</sub>의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.
- [0077] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ의 피크가 56° 근방에 나타나는 경우가 있다. 이 피크는 InGaZnO<sub>4</sub>의 결정의 (110)면에 귀속된다. InGaZnO<sub>4</sub>의 단결정 산화물 반도체막의 경우에는, 2θ를 56° 근방에 고정하여, 시료면의 법선 벡터를 축(φ 축)으로 하여 시료를 회전시키면서 분석(φ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하여 φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0078] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부간에서 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은 결정의 ab면에 평행한 면이다.
- [0079] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 열처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우에는 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.
- [0080] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0081] 또한, InGaZnO<sub>4</sub>의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방인 피크에 더하여, 2θ가 36° 근방인 피크도 나타나는 경우가 있다. 2θ가 36° 근방인 피크는 CAAC-OS막의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS막은 2θ의 피크가 31° 근방에 나타나고, 2θ의 피크가 36° 근방에 나타나지 않는 것이 바람직하다.
- [0082] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기적 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.
- [0083] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이

상을 갖는 적층막이라도 좋다.

- [0084] 또한, 산화물 반도체막은 복수의 산화물 반도체막이 적층된 구조이어도 좋다. 예를 들어, 산화물 반도체막을 제 1 산화물 반도체막과 제 2 산화물 반도체막의 적층으로 하여, 제 1 산화물 반도체막과 제 2 산화물 반도체막에 조성이 상이한 금속 산화물을 사용하여도 좋다. 예를 들어, 제 1 산화물 반도체막에 2원계 금속 산화물 내지 4원계 금속 산화물 중 하나를 사용하고, 제 2 산화물 반도체막에 제 1 산화물 반도체막과는 다른 2원계 금속 산화물 내지 4원계 금속 산화물을 사용하여도 좋다.
- [0085] 또한, 제 1 산화물 반도체막과 제 2 산화물 반도체막의 구성 원소는 동일하게 하고, 조성을 서로 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하여도 좋다. 또한, 제 1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=2:1:3으로 하여도 좋다.
- [0086] 이 때, 제 1 산화물 반도체막과 제 2 산화물 반도체막 중, 나중에 형성하는 게이트 전극층(401)에 가까운 측(채널 측)의 산화물 반도체막의 In과 Ga의 함유율을 In>Ga로 하면 좋다. 또한, 게이트 전극층(401)으로부터 먼 측(백채널 측)의 산화물 반도체막의 In과 Ga의 함유율을 In≤Ga로 하면 좋다.
- [0087] 또한, 산화물 반도체막을 3층 구조로 하고, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막의 구성 원소를 동일하게 함과 함께 각각의 조성을 상이하게 하여도 좋다. 예를 들어, 제 1 산화물 반도체막의 원자수비를 In:Ga:Zn=1:3:2로 하고, 제 2 산화물 반도체막의 원자수비를 In:Ga:Zn=3:1:2로 하고, 제 3 산화물 반도체막의 원자수비를 In:Ga:Zn=1:1:1로 하여도 좋다.
- [0088] Ga 및 Zn보다 In의 원자수비가 작은 산화물 반도체막, 대표적으로는 원자수비가 In:Ga:Zn=1:3:2인 제 1 산화물 반도체막은 Ga 및 Zn보다 In의 원자수비가 큰 산화물 반도체막, 대표적으로는 제 2 산화물 반도체막, 및 Ga, Zn, 및 In의 원자수비가 동일한 산화물 반도체막, 대표적으로는 제 3 산화물 반도체막과 비교하여, 절연성이 높다. 그러므로, 제 1 산화물 반도체막을 게이트 전극층(401)에 가까운 측에 제공하여 게이트 절연막으로서 기능시켜도 좋다. 또한, 원자수비가 In:Ga:Zn=1:3:2인 제 1 산화물 반도체막이 비정질 구조이어도 좋다.
- [0089] 또한, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막의 구성 원소는 동일하기 때문에, 제 1 산화물 반도체막은 제 2 산화물 반도체막과의 계면에서 트랩 준위가 적다. 이로 인해, 산화물 반도체막을 상기 구조로 함으로써, 시간에 따른 변화나 광 BT 스트레스 시험으로 인한 트랜지스터의 문턱 전압의 변동량을 저감할 수 있다.
- [0090] 산화물 반도체에서는 주로 중금속의 s 궤도가 캐리어 전도에 기여하며, In의 함유율을 많이 함으로써 더 많은 s 궤도가 겹치기 때문에, 원자수비가 In>Ga인 산화물 반도체는 원자수비가 In≤Ga인 산화물 반도체와 비교하여 높은 캐리어 이동도를 구비한다. 또한, Ga는 In과 비교하여 산소 결손의 형성 에너지가 크고 산소 결손이 발생하기 어렵기 때문에 원자수비가 In≤Ga인 산화물 반도체는 원자수비가 In>Ga인 산화물 반도체와 비교하여 안정된 특성을 구비한다.
- [0091] 채널 측에 원자수비가 In>Ga인 산화물 반도체를 적용하고, 백채널 측에 원자수비가 In≤Ga인 산화물 반도체를 적용함으로써, 트랜지스터의 전계 효과 이동도 및 신뢰성을 더 높일 수 있다.
- [0092] 또한, 산화물 반도체막(409)을 적층 구조로 하는 경우에는, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막에, 결정성이 상이한 산화물 반도체막을 적용하여도 좋다. 즉 단결정 산화물 반도체막, 다결정 산화물 반도체막, 비정질 산화물 반도체막, 또는 CAAC-OS막을 적절히 조합한 구성으로 하여도 좋다. 또한, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막 중 어느 하나에 비정질 산화물 반도체막을 적용하면, 산화물 반도체막의 내부 응력이나 외부로부터의 응력을 완화하여, 트랜지스터의 특성 변동이 저감되고, 또 트랜지스터의 신뢰성을 더 높일 수 있다.
- [0093] 산화물 반도체막의 두께는 바람직하게는 1nm 이상 100nm 이하, 더 바람직하게는 1nm 이상 50nm 이하, 더 바람직하게는 1nm 이상 30nm 이하, 더 바람직하게는 3nm 이상 20nm 이하로 하는 것이 좋다.
- [0094] 산화물 반도체막에 있어서, 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)을 이용하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도가 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하이면 좋다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있으며, 트랜지스터의 오프 전류 상승의 원인이 되기 때문이다.
- [0095] 산화물 반도체막에 있어서, 이차 이온 질량 분석법을 이용하여 얻어지는 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바

람직하게는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 한다.

- [0096] 산화물 반도체막에 함유되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 됨과 함께, 산소가 이탈된 격자(또는 산소가 이탈된 부분)에는 결손이 형성된다. 또한, 수소의 일부가 산소와 결합됨으로써, 캐리어인 전자가 발생한다. 산화물 반도체막의 형성 공정에서, 수소를 함유한 불순물의 혼입을 매우 줄임으로써, 산화물 반도체막의 산소 농도를 저감할 수 있다. 수소를 가능한 한 제거하고 구순도화시킨 산화물 반도체막을 채널 형성 영역으로 함으로써, 문턱 전압의 음 방향 이동을 저감할 수 있다. 또한, 트랜지스터의 소스-드레인 사이의 채널 폭 1 μm당 누설 전류(오프 전류라고도 함)를 수yA/μm 내지 수zA/μm까지 저감할 수 있다. 따라서, 고순도화시킨 산화물 반도체막을 사용함으로써, 트랜지스터의 전기적 특성을 향상시킬 수 있다.
- [0097] 산화물 반도체막은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(laser ablation method) 등에 의해 형성한다.
- [0098] 스퍼터링법에 의해 산화물 반도체막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치로서 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 이용할 수 있다.
- [0099] 스퍼터링 가스로서는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 또한, 희가스 및 산소의 혼합 가스의 경우, 희가스에 비하여 산소의 가스 비율을 높이는 것이 바람직하다.
- [0100] 또한, 타깃은 형성하는 산화물 반도체막의 구성에 맞추어 적절히 선택하면 좋다.
- [0101] 또한, CAAC-OS막을 형성할 때는, 예를 들어 다결정인 산화물 반도체 스퍼터링용 타깃을 이용하여 스퍼터링법에 의해 형성한다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 갖는 평판 형상, 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우, 이 평판 형상의 스퍼터링 입자가 결정 구조를 유지한 채 기판에 도달함으로써 CAAC-OS막을 형성할 수 있다.
- [0102] 또한, CAAC-OS막을 형성하기 위해서, 다음과 같은 조건을 적용하는 것이 바람직하다.
- [0103] 막을 형성할 때의 불순물 혼입을 저감시킴으로써, 불순물에 의해 결정 구조가 흐트러지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화 탄소, 및 질소 등)를 저감시키면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 이용한다.
- [0104] 또한, 막을 형성할 때의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 막을 형성한다. 막을 형성할 때의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평평한 면이 기판에 부착된다.
- [0105] 또한, 성막 가스 중의 산소 비율을 높이고 전력을 최적화함으로써, 막을 형성할 때의 플라즈마로 인한 손상을 경감시키면 바람직하다. 성막 가스 중의 산소 비율은 30volume% 이상, 바람직하게는 100volume%로 한다.
- [0106] 이하에서는 스퍼터링용 타깃의 일례로서, In-Ga-Zn 산화물 타깃에 대하여 제시한다.
- [0107] InO<sub>x</sub> 분말, GaO<sub>y</sub> 분말 및 ZnO<sub>z</sub> 분말을 소정의 mol수로 혼합하고 가압 처리를 수행한 후, 1000℃ 이상 1500℃ 이하의 온도로 열처리함으로써 다결정인 In-Ga-Zn 산화물 타깃을 제작한다. 또한, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들어, InO<sub>x</sub> 분말, GaO<sub>y</sub> 분말, 및 ZnO<sub>z</sub> 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 타깃에 따라 적절히 변경하면 좋다.
- [0108] 또한, 산화물 반도체막을 형성한 후에 열처리를 수행하여, 산화물 반도체막의 탈수소화 또는 탈수화를 수행하여도 좋다. 열처리의 온도는 대표적으로는 150℃ 이상 기판의 변형점 미만, 바람직하게는 250℃ 이상 450℃

이하, 더 바람직하게는 300℃ 이상 450℃ 이하로 한다.

- [0109] 열처리는 헬륨, 네온, 아르곤, 크세논, 크립톤과 같은 희가스, 또는 질소를 함유한 불활성 가스 분위기하에서 수행한다. 또는 불활성 가스 분위기하에서 가열한 후, 산소 분위기하에서 가열하여도 좋다. 또한, 상기 불활성 분위기 및 산소 분위기에 수소나 물 등이 함유되지 않는 것이 바람직하다. 처리 시간은 3분~24시간으로 한다.
- [0110] 산화물 반도체막을 형성한 후에 열처리를 수행함으로써, 산화물 반도체막에서 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 미만,  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 미만,  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만,  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만,  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하,  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하, 또는  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 할 수 있다.
- [0111] 또한, 하지 절연막(438)으로서 산화물 절연막을 사용한 경우, 산화물 절연막 위에 산화물 반도체막이 제공된 상태에서 가열함으로써, 산화물 반도체막에 산소를 공급할 수 있어 산화물 반도체막의 산소 결함을 저감시키고 반도체 특성을 양호하게 할 수 있는 경우가 있다. 산화물 반도체막 및 산화물 절연막의 적어도 일부가 접촉한 상태에서 가열 공정을 수행함으로써 산화물 반도체막에 산소를 공급하여도 좋다.
- [0112] 다음에 산화물 반도체막 위에 포토리소그래피 공정에 의해 마스크를 형성한 후, 이 마스크를 이용하여 산화물 반도체막의 일부를 에칭함으로써, 도 2a에 도시한 바와 같이 산화물 반도체막(409)을 형성한다. 이 후, 마스크를 제거한다. 또한, 산화물 반도체막(409)에 하지 절연막(438)으로부터 산소를 공급하기 위한 열처리는 산화물 반도체막을 섬 형상으로 가공하기 전에 수행하여도 좋고, 섬 형상으로 가공한 후에 수행하여도 좋다. 다만, 섬 형상으로 가공하기 전에 열처리함으로써, 하지 절연막(438)으로부터 외부로 방출되는 산소의 양을 줄일 수 있기 때문에, 더 많은 산소를 산화물 반도체막(409)에 공급할 수 있다.
- [0113] 또한, 산화물 반도체막의 형성 방법으로서 인쇄법을 사용함으로써, 섬 형상의 산화물 반도체막(409)을 직접 형성할 수 있다.
- [0114] 이어서, 산화물 반도체막(409) 위에 게이트 절연막(402)이 되는 절연막을 형성한다.
- [0115] 게이트 절연막(402)의 재료로서, 산화 실리콘, 산화 갈륨, 산화 알루미늄, 산화질화 실리콘, 질화산화 실리콘, 산화 하프늄, 또는 산화 탄탈과 같은 산화물 절연막을 사용하는 것이 바람직하다. 또한, 산화 하프늄, 산화 이트륨, 하프늄 실리케이트(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 질소가 첨가된 하프늄 실리케이트, 하프늄 알루미늄에이트(HfAl<sub>x</sub>O<sub>y</sub>(x>0, y>0)), 산화 란타넘과 같은 High-k 재료를 이용함으로써 게이트 누설 전류를 저감할 수 있다. 또한, 게이트 절연막은 단층 구조로 하여도 좋고, 적층 구조로 하여도 좋다.
- [0116] 게이트 절연막(402)의 막 두께는 1nm 이상 100nm 이하로 하고 스퍼터링법, MBE법, CVD법, PLD법, ALD법 등을 적절히 이용하여 형성할 수 있다. 또한, 게이트 절연막은 스퍼터링용 타겟 표면에 대략 수직으로 복수의 기판 표면이 설치된 상태에서 막을 형성하는 스퍼터링 장치를 이용하여 형성하여도 좋다.
- [0117] 또한, 게이트 절연막(402)은 하지 절연막(438)과 마찬가지로 산화물 반도체막과 접촉하므로, 층 내(벌크 내)에 적어도 화학양론적 조성을 넘는 양의 산소가 존재하는 것이 바람직하다.
- [0118] 본 실시형태에서는 CVD법에 의해 산화질화 실리콘막을 20nm 형성한다.
- [0119] 이어서, 게이트 절연막(402) 위에 게이트 전극층(401)을 형성하고, 이 게이트 전극층을 마스크로서 이용하여 게이트 절연막을 에칭하여 산화물 반도체막의 일부를 노출시킨다. 여기까지가 도 2a에 도시한 구조이다.
- [0120] 게이트 전극층(401)은 폴리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 크롬, 네오디뮴, 스칸듐과 같은 금속 재료 또는 이들 중 어느 것을 주성분으로 함유한 합금 재료를 재료로서 사용하여 형성할 수 있다. 또한, 게이트 전극층(401)으로서 인과 같은 불순물 원소를 첨가한 다결정 실리콘막으로 대표되는 반도체막, 니켈 실리사이드 등의 실리사이드막을 사용하여도 좋다. 또한, 인듐 주석 산화물, 텅스텐 인듐 산화물, 텅스텐 인듐 아연 산화물, 티타늄 인듐 산화물, 티타늄 인듐 주석 산화물, 인듐 아연 산화물, 실리콘 인듐 주석 산화물과 같은 도전성 재료를 적용할 수도 있다. 또한, 상기 도전성 재료와 상기 금속 재료의 적층 구조로 할 수도 있다.
- [0121] 또한, 게이트 절연막(402)과 접촉하는 게이트 전극층(401)의 하나의 층으로서 질소를 함유한 금속 산화물막, 구체적으로는 질소를 함유한 In-Ga-Zn 산화물막이나, 질소를 함유한 In-Sn 산화물막이나, 질소를 함유한 In-Ga 산화물막이나, 질소를 함유한 In-Zn 산화물막이나, 질소를 함유한 Sn 산화물막이나, 질소를 함유한 In 산화물막이나, 금속 질화물(InN, SnN 등)을 사용할 수 있다. 이들 막은 5eV 이상 또는 5.5eV 이상의 일함수를 갖고, 게이트

트 전극층으로서 사용한 경우에는 트랜지스터의 문턱 전압을 양으로 할 수 있어, 소위 노멀리-오프 스위칭 소자를 실현할 수 있다.

- [0122] 게이트 전극층(401)의 막 두께는 50nm 이상 300nm 이하가 바람직하다. 본 실시형태에서는 스퍼터링법을 이용하여 막 두께 30nm의 질화 탄탈과 막 두께 200nm의 텅스텐의 적층을 형성한다.
- [0123] 게이트 전극층(401)을 형성한 후, 게이트 전극층(401)을 마스크로서 이용하여 게이트 절연막(402)을 에칭하여 산화물 반도체막(409)의 일부를 노출시킨다.
- [0124] 이어서, 산화물 반도체막(409), 게이트 절연막(402), 및 게이트 전극층(401) 위에 산화물 반도체막 중 노출된 영역과 접촉하도록 질화 실리콘막(407)을 형성한다. 질화 실리콘막(407)을 형성함으로써, 산화물 반도체막(409) 중 질화 실리콘막(407)과 접촉한 영역(게이트 절연막(402) 중 에칭에 의해 노출된 영역이라고도 할 수 있음)에 질소를 첨가하여 저저항 영역(404a) 및 저저항 영역(404b)을 형성한다. 또한, 산화물 반도체막(409) 중 노출되지 않은 영역(게이트 전극층(401) 및 게이트 절연막(402)과 중첩되는 영역이라고도 할 수 있음)에는 질소가 첨가되지 않아 채널 형성 영역(403)이 형성된다.
- [0125] 질화 실리콘막(407)의 형성에는 플라즈마 CVD법이나 스퍼터링법을 이용할 수 있다. 막 형성에는 성막 가스로서 실란( $\text{SiH}_4$ ) 및 질소( $\text{N}_2$ )의 혼합 가스나, 실란( $\text{SiH}_4$ ), 질소( $\text{N}_2$ ), 및 암모니아( $\text{NH}_3$ )의 혼합 가스를 사용할 수 있다.
- [0126] 질화 실리콘막(407)으로부터의 수소 분자의 이탈량을 저감하기 위해서는 성막 가스 내의 암모니아의 유량비가 가능한 한 적은 것이 좋다. 예를 들어, 성막 가스 내의 질소에 대한 암모니아의 유량비가 0.1배 이하, 바람직하게는 0.05배 이하, 더 바람직하게는 0.02배 이하(바뀌 말하면, 성막가스 내의 암모니아의 유량비에 비하여 질소의 유량비가 10배 이상, 바람직하게는 20배 이상, 더 바람직하게는 50배 이상)이면 좋다.
- [0127] 성막 가스로서 암모니아를 사용하면, 막을 형성할 때, 해리된 암모니아에 의해 실란 내의 실리콘 원자와 수소 원자의 결합이나, 질소 내의 질소 원자들의 삼중 결합이 절단되기 쉬워진다. 그러므로, 막을 형성할 때 실란이나 질소의 분해가 촉진되어, 치밀한 질화 실리콘막을 형성할 수 있다. 치밀한 질화 실리콘막을 형성함으로써, 외부로부터 산화물 반도체막으로 수소나 수분 등이 혼입되는 것을 방지할 수 있다. 따라서, 반도체 장치의 신뢰성을 높이기 위해서는, 상기 질화 실리콘막의 형성 시의 암모니아의 유량은 실란의 분해가 촉진될 정도의 양이고, 또 수소 분자의 이탈량을 억제할 수 있을 정도의 양으로 하는 것이 바람직하다.
- [0128] 또한, 막을 형성할 때, 기판을 질소 플라즈마 조건하에 놓은 채 성막 가스를 공급하지 않는 시간을 설정하여도 좋다. 기판을 질소 플라즈마 조건하에 놓음으로써, 산화물 반도체막 중 노출된 부분에 질소가 첨가되어 저항을 더 저감시킬 수 있는 경우가 있다.
- [0129] 또한, 질화 실리콘막(407)은 수소, 수분, 수산기, 또는 수소화물(수소 화합물이라고도 함)과 같은 불순물, 및 산소 양쪽 모두에 대해 막을 통과시키지 않도록 하는 차단 효과를 갖는다. 따라서, 질화 실리콘막은 제작 공정 중 및 제작 공정후에 변동 요인이 되는 수소나 수분과 같은 불순물이 산화물 반도체막에 혼입되는 것을 방지함과 함께, 산화물 반도체막의 주성분 재료인 산소의 외방 확산을 방지하는 보호막으로서 기능한다.
- [0130] 또한, 산화물 반도체막(409)에 질소를 첨가하기 위해서 질화 실리콘막(407)을 형성한 후에 열처리하여도 좋다. 열처리함으로써, 질화 실리콘막(407)으로부터 산화물 반도체막(409)에 질소를 첨가할 수 있다.
- [0131] 이어서, 질화 실리콘막(407) 위에 층간 절연막(411)을 형성한다. 층간 절연막(411)은 하지 절연막(436)과 같은 재료나 방법을 이용하여 형성할 수 있다. 또한, 층간 절연막(411)은 반드시 제공할 필요는 없다.
- [0132] 이어서, 질화 실리콘막(407) 및 층간 절연막(411)의 저저항 영역(404a) 및 저저항 영역(404b)과 중첩된 영역의 일부를 에칭하여, 저저항 영역(404a) 및 저저항 영역(404b)에 이르는 개구부를 형성한다. 개구부의 형성은 마스크 등을 이용한 선택적인 에칭에 의해 수행한다. 에칭은 드라이 에칭이든 웨트 에칭이든 어느 쪽을 이용하여도 좋고, 양쪽 모두를 조합하여 개구부를 형성하여도 좋다. 또한, 이 개구부는 저저항 영역(404a) 및 저저항 영역(404b)에 이르면 좋고, 형상은 특별히 한정되지 않는다.
- [0133] 다음에, 상기 개구부에 도전 재료를 형성함으로써, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다(도 2c 참조). 소스 전극층(405a) 및 드레인 전극층(405b)은 상술한 게이트 전극층(401)에 사용한 재료 및 방법과 마찬가지로의 재료 및 방법을 이용하여 제작할 수 있다.
- [0134] 상술한 공정을 거쳐, 트랜지스터(420)를 제작할 수 있다.

- [0135] 본 실시형태에서 제시한 트랜지스터는 산화물 반도체막 위에 질화 실리콘막을 형성함으로써 산화물 반도체막에 질소를 첨가하여 산화물 반도체막(409)에 저저항 영역을 형성할 수 있다. 또한, 이 저저항 영역에서, 산화물 반도체막과 소스 전극층 및 드레인 전극층이 전기적으로 접촉되기 때문에, 산화물 반도체막과 소스 전극층 및 드레인 전극층 사이의 접촉 저항이 저감되어 있다. 따라서, 온 특성이 우수하며 전기적 특성이 양호한 반도체 장치로 할 수 있다.
- [0136] 또한, 중간 절연막으로서 기능하는 질화 실리콘막(407)의 형성 공정에서, 산화물 반도체막(409)에 질소를 첨가하여 저저항 영역(404a) 및 저저항 영역(404b)을 형성할 수 있기 때문에, 공정을 복잡화하지 않으면서 트랜지스터(420)의 온 특성을 향상시킬 수 있다.
- [0137] 또한, 질화 실리콘막(407)은 수소 농도가 저감되어 있으며, 수소 분자 이탈량이 적은 막이다. 그러므로, 질화 실리콘막(407)으로부터 산화물 반도체막(409)에 수소나 수분과 같은 불순물이 혼입되는 것을 방지할 수 있다. 또한, 이 질화 실리콘막은 외부로부터 수소나 수분이 혼입되는 것을 방지할 수 있는 블로킹성을 갖는 막이다. 따라서, 외부로부터 수소나 수분 등 불순물이 혼입되는 것을 방지할 수 있다. 그러므로 전기적 특성이 안정된 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0138] 저저항 영역(404a) 및 저저항 영역(404b)은 질화 실리콘막(407)의 형성 공정에서 수행되는 질소의 첨가를 이용하여 형성하지만, 조합하여 산화물 반도체막을 저저항화시키는 불순물 원소의 첨가 공정을 수행하여도 좋다. 불순물 원소를 첨가함으로써, 저저항 영역(404a) 및 저저항 영역(404b)의 저항을 더 저감할 수 있다.
- [0139] 그러나, 형성된 후의 산화물 반도체막(409)에 불순물 원소를 첨가하면, 첨가 영역에서 결정성이 저하될 경우가 있다. 예를 들어, CAAC-OS막인 산화물 반도체막(409)에서, 막을 형성할 때의 질소 첨가 공정과, 불순물 원소의 첨가 공정을 수행하여 저저항 영역(404a) 및 저저항 영역(404b)을 형성하는 경우에, 저저항 영역(404a) 및 저저항 영역(404b)은 비정질 구조(또는 비정질 구조를 많이 함유한 상태)가 되는 경우가 있다. 이 경우에는 산화물 반도체막(409)에서, 채널 형성 영역(403)은 CAAC-OS막, 저저항 영역(404a) 및 저저항 영역(404b)은 비정질막(또는 비정질 구조를 많이 함유한 막)이 되는 경우가 있다.
- [0140] 불순물 원소의 첨가 방법으로는 이온 주입법이나 이온 도핑법 등을 이용할 수 있다.
- [0141] 첨가하는 불순물 원소에는 인, 붕소, 질소, 비소, 아르곤, 알루미늄, 또는 이들 중 어느 것을 포함한 분자 이온 등을 사용할 수 있다. 이들 원소의 도즈량은  $1 \times 10^{13}$  ions/cm<sup>2</sup> ~  $5 \times 10^{16}$  ions/cm<sup>2</sup>로 하는 것이 바람직하다. 또한, 불순물 원소로서 인을 첨가하는 경우에는, 가속 전압을 0.5kV~80kV로 하는 것이 바람직하다.
- [0142] 또한, 산화물 반도체막(409)에 불순물 원소를 첨가하는 처리는 복수회 수행하여도 좋다. 산화물 반도체막(409)에 불순물 원소를 첨가하는 처리를 복수회 수행하는 경우, 불순물 원소의 종류는 복수회의 첨가 처리 모두에서 동일하여도 좋고, 한 번의 처리마다 바꾸어도 좋다.
- [0143] 또한, 불순물 원소의 첨가는 산화물 반도체막(409)이 되는 산화물 반도체막의 형성 직후에 수행하여도 좋고, 산화물 반도체막을 섬 형상의 산화물 반도체막(409)으로 가공한 직후에 수행하여도 좋다. 또한, 게이트 절연막(402)이 되는 절연막을 형성한 후에 수행하여도 좋고, 게이트 절연막(402)을 형성하고 산화물 반도체막의 일부를 노출시킨 상태에서 수행하여도 좋다. 또한, 질화 실리콘막(407)을 형성한 후에 수행하여도 좋다. 게이트 절연막(402) 또는 질화 실리콘막(407)이 산화물 반도체막(409)을 덮은 상태로 불순물 원소를 첨가하는 경우, 게이트 절연막(402) 또는 질화 실리콘막(407)을 통과시켜 불순물 원소를 첨가하기 때문에, 산화물 반도체막(409)이 받는 손상이 적다.
- [0144] 또한, 비정질 구조의 산화물 반도체막은 CAAC-OS막 등 결정성을 갖는 산화물 반도체막으로부터 수소 등 도너가 되는 불순물을 흡수하기 쉽기 때문에, 채널 형성 영역(403)을 끼운 저저항 영역이 비정질 구조이면, 채널 형성 영역(403)으로부터 불순물을 흡수(게터링이라고도 표현할 수 있음)하여, 트랜지스터(420)의 전기적 특성을 양호하게 할 수 있는 경우가 있다.
- [0145] 또한, 도시하지 않았지만, 트랜지스터(420) 위에 절연막을 더 제공하여도 좋다. 절연막으로서는 대표적으로는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막, 또는 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등 무기 절연막의 단층 또는 적층을 사용할 수 있다.
- [0146] 절연막을 형성한 후, 가열 공정을 더 수행하여도 좋다. 예를 들어, 대기 중에서 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하의 가열 공정을 수행하여도 좋다. 이 가열 공정은 일정한 가열 온도를 유지하여 가열하여도

종고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도로의 승온(昇溫)과, 가열 온도로부터 실온까지의 강온(降溫)을 복수회 반복하여 수행하여도 좋다.

- [0147] 또한, 트랜지스터(420)에 기인하는 표면 요철을 저감시키기 위하여 평탄화 절연막을 형성하여도 좋다. 평탄화 절연막으로서는 폴리이미드 수지, 아크릴 수지, 벤조사이클로부텐계 수지 등 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 외에 저유전 재료(low-k 재료) 등을 사용할 수 있다. 또한, 상술한 재료로 형성되는 복수의 절연막을 적층시킴으로써 평탄화 절연막을 형성하여도 좋다.
- [0148] 또한, 본 실시형태에 제시된 트랜지스터는 상술한 구성에 한정되지 않는다. 예를 들어, 도 3에 도시한 트랜지스터(430)와 같이, 질화 실리콘막(407)을 형성하기 전에, 산화물 반도체막(409)과 접촉한 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하는 구성으로 하여도 좋다.
- [0149] 질화 실리콘막(407)을 형성하기 전에 소스 전극층(405a) 및 드레인 전극층(405b)을 형성함으로써, 소스 전극층(405a) 및 드레인 전극층(405b)과 중첩되는 영역의 산화물 반도체막(409)은 질화 실리콘막(407)을 형성할 때 질소가 첨가되지 않기 때문에, 저항이 저감되지 않아, 채널 형성 영역(403)과 같은 저항을 갖는 영역(403a) 및 영역(403b)이 형성된다.
- [0150] 또한, 도 3에 도시한 트랜지스터(430)에서는 소스 전극층(405a) 및 드레인 전극층(405b)과 접촉한 산화물 반도체막(409)의 단부가 저저항화되지 않기 때문에, 기생 채널의 발생이 저감된다. 또한, 채널 형성 영역(403)과 소스 전극층(405a) 및 드레인 전극층(405b) 사이에는 저저항 영역(404a) 및 저저항 영역(404b)이 형성되어 있기 때문에, 채널 형성 영역(403)과 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 저항은 저감할 수 있으며, 트랜지스터(430)의 전기적 특성을 양호하게 할 수 있다.
- [0151] 또한, 트랜지스터(430)의 온 특성을 중요시하여, 소스 전극층(405a) 및 드레인 전극층(405b)과 영역(403a) 및 영역(403b)의 저항을 저감하기 위해서는 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하기 전에 산화물 반도체막(409)에 불순물 원소를 첨가하면 좋다. 불순물 원소를 첨가함으로써, 소스 전극층(405a) 및 드레인 전극층(405b)과 중첩된 영역(403a) 및 영역(403b)의 저항을 저감할 수 있다. 이 경우에는 저저항 영역(404a) 및 저저항 영역(404b)에도 불순물 원소가 첨가되기 때문에, 저저항 영역(404a) 및 저저항 영역(404b)은 저항이 더 저감된다.
- [0152] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0153] (실시형태 2)
- [0154] 본 실시형태에서는 실시형태 1과 다른 본 발명의 일 형태인 트랜지스터에 대하여 설명한다. 또한, 본 실시형태에서는 실시형태 1과 같은 부분에는 동일한 부호를 사용하며 이들에 대한 상세한 설명은 생략한다.
- [0155] 도 4a 및 도 4b에 본 실시형태의 일 형태의 트랜지스터(520)를 도시하였다. 도 4a는 트랜지스터(520)의 상면도이고, 도 4b는 도 4a에 도시한 일점 쇄선 C-D 부분의 단면도이다.
- [0156] 트랜지스터(520)는 기판(400) 위의 하지 절연막(436) 및 하지 절연막(438)과, 하지 절연막(438) 위의 산화물 반도체막(509)과, 산화물 반도체막(509) 위의 게이트 절연막(402)과, 게이트 절연막(402) 위의 게이트 전극층(401)과, 게이트 절연막(402) 및 게이트 전극층(401)의 측면과 접촉하는 측벽 절연막(413a) 및 측벽 절연막(413b)과, 산화물 반도체막(509), 게이트 전극층(401), 측벽 절연막(413a) 및 측벽 절연막(413b) 위의 층간 절연막(411) 및 층간 절연막(414)과, 층간 절연막(411) 및 층간 절연막(414)에 형성된 개구부에서 산화물 반도체막(509)과 접촉하는 소스 전극층(405a) 및 드레인 전극층(405b)을 갖는다.
- [0157] 측벽 절연막(413a) 및 측벽 절연막(413b)은 실시형태 1에 제시된 질화 실리콘막(407)과 같은 조건을 이용하여 형성된 질화 실리콘막을 사용함으로써 형성된다.
- [0158] 산화물 반도체막(509)은 게이트 전극층(401)과 중첩된 채널 형성 영역(403)과, 채널 형성 영역(403)을 끼우고 측벽 절연막(413a) 및 측벽 절연막(413b)과 각각 중첩되는 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)과, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)을 끼우고 소스 전극층(405a) 및 드레인 전극층(405b)에 각각 전기적으로 접속된 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)을 갖는다.
- [0159] 제 1 저저항 영역(406a), 제 1 저저항 영역(406b), 제 2 저저항 영역(408a), 및 제 2 저저항 영역(408b)은 측벽 절연막(413a) 및 측벽 절연막(413b)이 되는 질화 실리콘막의 형성에 의해 질소가 첨가되어 저항이 저감되어 있다.

- [0160] 또한, 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)에는 게이트 전극층(401) 및 측벽 절연막(413a) 및 측벽 절연막(413b)을 마스크로서 이용하여 도전율을 저감시키는 불순물 원소가 첨가되어 있기 때문에, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)보다 저항이 더 저감되어 있다.
- [0161] 그러므로, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)은 LDD(Lightly Doped Drain) 영역으로서 기능한다. LDD 영역을 제공함으로써, 오프 전류를 저감시킬 수 있거나 또는 트랜지스터의 내압을 향상(신뢰성을 향상)시킬 수 있다.
- [0162] 또한, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)에는 불순물 원소(421)가 첨가되어 있지 않기 때문에, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)은 결정성 반도체막, CAAC-OS막 등의 결정(또는 비정질 구조보다 결정 구조가 많은) 상태를 갖는 막이다.
- [0163] 또한, 불순물 원소를 첨가함으로써, 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)은 채널 형성 영역(403), 제 1 저저항 영역(406a), 및 제 1 저저항 영역(406b)에 비하여 결정 성분보다 비정질 성분의 비율이 많아지는 경우가 있다. 비정질 구조의 산화물 반도체막은 CAAC-OS막 등 결정성을 갖는 산화물 반도체막으로부터 수소 등 도너가 되는 불순물을 흡수하기 쉬운 경우가 있기 때문에, 채널 형성 영역(403), 제 1 저저항 영역(406a), 및 제 1 저저항 영역(406b)으로부터 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)은 불순물을 흡수(게터링이라고도 표현할 수 있음)하여, 트랜지스터(520)의 전기적 특성을 양호하게 할 수 있다. 또한, 불순물 원소를 흡수하여 불순물 원소 농도가 높은 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b) 각각과 채널 형성 영역(403) 사이에 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)이 형성되어 있기 때문에, 채널 형성 영역(403)과 불순물 원소의 농도가 높은 영역이 접촉하지 않기 때문에, 트랜지스터(520)의 신뢰성을 향상시킬 수 있다.
- [0164] 다음에, 트랜지스터(520)의 제작 방법에 대하여 도 5a 내지 도 5c를 사용하여 설명한다. 또한, 실시형태 1과 같은 부분에 대해서는 자세한 설명을 생략한다.
- [0165] 도 5a에 도시한 반도체 장치는 도 2b에 도시한 반도체 장치에 대응한다. 따라서, 도 5a에 도시한 반도체 장치의 제작 방법은 실시형태 1에 대한 설명을 참조하면 좋다. 또한, 이 단계에서는 산화물 반도체막(409)은 질화 실리콘막(407)을 형성할 때 질소가 첨가되어 질화 실리콘막(407)과 접촉한 영역에 질소가 첨가됨으로써 저항이 저감되어 있기 때문에, 저저항 영역(404a), 저저항 영역(404b), 및 저저항 영역(404a)과 저저항 영역(404b)에 끼워진 채널 형성 영역(403)을 갖는다.
- [0166] 다음에, 질화 실리콘막(407)에 이방성 에칭을 수행하여 산화물 반도체막(409)의 일부를 노출시킨다. 또한, 이방성 에칭은 게이트 전극층(401)의 상면이 노출될 때까지 수행하면 좋다. 이방성 에칭에 의해 게이트 전극층(401)이 노출된 단계에서는 게이트 전극층(401) 및 게이트 절연막(402)의 측부에는 질화 실리콘막이 잔류한다. 따라서, 이 단계에서 에칭을 정지함으로써, 마스크를 이용하지 않고 자기 정합적으로 측벽 절연막(413a) 및 측벽 절연막(413b)을 형성할 수 있다. 마스크를 이용하지 않고 측벽 절연막(413a) 및 측벽 절연막(413b)을 제작함으로써, 마스크 수를 삭감하여 제작 비용을 줄일 수 있다.
- [0167] 이어서, 게이트 전극층(401), 측벽 절연막(413a) 및 측벽 절연막(413b)을 마스크로서 이용하여 산화물 반도체막(409)에 불순물 원소(421)를 첨가한다. 불순물 원소(421)의 첨가 방법으로는 이온 주입법, 이온 도핑법 등을 이용할 수 있다.
- [0168] 첨가하는 불순물 원소에는 인, 붕소, 질소, 비소, 아르곤, 알루미늄, 또는 이들 중 어느 것을 포함한 분자 이온 등을 사용할 수 있다. 이들 원소의 도즈량은  $1 \times 10^{13}$  ions/cm<sup>2</sup> 내지  $5 \times 10^{16}$  ions/cm<sup>2</sup>로 하는 것이 바람직하다. 또한, 불순물 원소로서 인을 첨가하는 경우에는, 가속 전압을 0.5kV 내지 80kV로 하는 것이 바람직하다.
- [0169] 또한, 산화물 반도체막(409)에 불순물 원소를 첨가하는 처리는 복수회 수행하여도 좋다. 산화물 반도체막(409)에 불순물 원소를 첨가하는 처리를 복수회 수행하는 경우, 불순물 원소의 종류는 복수회의 첨가 처리 모두에서 동일하여도 좋고, 한 번의 처리마다 바꾸어도 좋다.
- [0170] 여기서, 불순물 원소(421)를 첨가함으로써, 저저항 영역(404a)과 저저항 영역(404b) 중 노출된 영역(게이트 전극층(401), 측벽 절연막(413a) 및 측벽 절연막(413b)과 중첩되지 않은 영역)의 저항을 저감할 수 있다. 따라서, 여기서 산화물 반도체막(509)은 채널 형성 영역(403)과, 질화 실리콘막을 형성할 때 질소가 첨가됨으로써 저항이 저감된 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)과, 질화 실리콘막을 형성할 때 질소가 첨가됨으로써 또 불순물 원소(421)가 첨가됨으로써 저항이 저감된 제 2 저저항 영역(408a) 및 제 2 저저항 영역

(408b)을 포함한다(도 5b 참조).

- [0171] 제 1 저저항 영역(406a), 제 1 저저항 영역(406b), 제 2 저저항 영역(408a), 및 제 2 저저항 영역(408b)은 질화 실리콘막(407)을 형성할 때 질소가 첨가되어 저항이 저감된 영역이다. 또한, 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)은 불순물 원소(421)가 첨가됨으로써 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)보다 저항이 저감되어 저항이 낮은 영역이다.
- [0172] 또한, 불순물 원소(421)를 첨가할 때, 산화물 반도체막(509) 중 측벽 절연막(413a) 및 측벽 절연막(413b)과 중첩된 영역(제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b))에 측벽 절연막(413a) 및 측벽 절연막(413b)을 통과하여 불순물이 첨가되도록 불순물 원소의 가속 전압을 조정하여도 좋다. 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)에도 불순물 원소가 첨가됨으로써, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)의 저항을 더 저감시킬 수 있다. 또한, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)에도 불순물 원소가 첨가되는 경우, 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)에는 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)보다 많은 불순물 원소가 첨가되어 있어도 좋다.
- [0173] 다음에, 산화물 반도체막(509), 측벽 절연막(413a), 측벽 절연막(413b), 및 게이트 전극층(401) 위에 층간 절연막(411) 및 층간 절연막(414)을 형성한다. 층간 절연막(411) 및 층간 절연막(414)은 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막, 또는 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등 무기 절연막의 단층 또는 적층을 사용할 수 있다. 층간 절연막(411) 및 층간 절연막(414)은 상이한 막이어도 좋고, 동일한 막이어도 좋다. 여기서는 산화물 반도체막(509)에 산소를 공급하기 위해서 층간 절연막(411)을 화학양론적 조성보다 산소가 과잉으로 첨가된 산화 실리콘막으로 하고, 층간 절연막(414)을 산화물 반도체막에 외부로부터 수소나 물과 같은 불순물이 혼입되는 것을 방지하는 블로킹성을 갖는 질화 실리콘막으로 한다.
- [0174] 다음에, 층간 절연막(411) 및 층간 절연막(414)에, 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b) 각각에 이르는 개구부를 형성하고, 이 개구부에 도전 재료를 사용하여 소스 전극층(405a) 및 드레인 전극층(405b)을 형성한다(도 5c 참조).
- [0175] 소스 전극층(405a) 및 드레인 전극층(405b)은 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)에서 산화물 반도체막(509)과 접촉하기 때문에, 산화물 반도체막(509)과 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 접촉 저항을 저감시킬 수 있다.
- [0176] 여기서, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)은 LDD 영역으로서 기능하기 때문에, 오프 전류를 저감시키거나 또는 트랜지스터의 내압을 향상(신뢰성을 향상)시킬 수 있다.
- [0177] 상술한 공정을 거쳐 트랜지스터(520)를 제작할 수 있다.
- [0178] 본 실시형태에 제시된 트랜지스터는 산화물 반도체막, 게이트 절연막, 및 게이트 전극층 위의 질화 실리콘막을 형성함으로써, 산화물 반도체막 중 질화 실리콘막과 접촉한 영역에 질소를 확산시켜 저저항 영역을 형성한다. 이 저저항 영역에서 산화물 반도체막은 소스 전극층 및 드레인 전극층과 전기적으로 접촉하기 때문에, 소스 전극층 및 드레인 전극층과 산화물 반도체막 사이의 접촉 저항을 저감할 수 있다.
- [0179] 또한, 이 질화 실리콘막은 수소 농도가 저감되어 있으며, 수소 분자 이탈량이 적은 막이다. 그러므로, 질화 실리콘막으로부터 산화물 반도체막에 산화물 반도체막의 열화 요인이 되는 수소나 수분과 같은 불순물이 혼입되는 것을 방지할 수 있다. 또한, 이 질화 실리콘막은 외부로부터 수소나 수분이 혼입되는 것을 방지할 수 있는 블로킹성을 갖는 막이다. 따라서, 외부로부터 수소나 수분과 같은 불순물이 혼입되는 것을 방지하여, 전기적 특성이 안정된 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0180] 또한, 본 실시형태에 제시된 반도체 장치는 게이트 전극층 및 측벽 절연막을 마스크로서 이용하여 불순물 원소를 첨가함으로써, 자기 정합적으로 LDD 영역을 형성할 수 있다. LDD 영역을 형성함으로써, 트랜지스터의 오프 전류를 저감시키거나 또는 트랜지스터의 내압을 향상(신뢰성을 향상)시킬 수 있다.
- [0181] 또한, 본 실시형태에 제시된 트랜지스터는 상술한 구성에 한정되지 않는다. 예를 들어, 도 6a에 도시한 트랜지스터(530)와 같이, 산화물 반도체막(509)과 소스 전극층(405a) 및 드레인 전극층(405b)이 층간 절연막(411)에 형성된 개구부를 통하지 않고 접촉하는 구성으로 하여도 좋다. 또한, 게이트 전극층(401) 위에 절연막(412)을 형성하여도 좋다.
- [0182] 트랜지스터(530)의 제작 방법으로서의 우선, 산화물 반도체막을 형성하고, 산화물 반도체막(509) 위에 게이트

절연막(402) 및 게이트 전극층(401)을 형성한 후에 질화 실리콘막을 형성함으로써, 산화물 반도체막(509)에 질소를 첨가하여 저항을 저감시키고, 이 질화 실리콘막을 이방성 에칭을 수행함으로써, 측벽 절연막(413a) 및 측벽 절연막(413b)을 형성한다. 이 후, 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하고, 게이트 전극층(401), 측벽 절연막(413a), 측벽 절연막(413b), 소스 전극층(405a), 및 드레인 전극층(405b)을 마스크로서 이용하여 산화물 반도체막(509)에 불순물 원소를 첨가한다.

- [0183] 그러므로, 트랜지스터(530)의 산화물 반도체막(509)은 게이트 전극층(401)과 중첩되는 채널 형성 영역(403)과, 채널 형성 영역(403)을 끼우고 측벽 절연막(413a) 및 측벽 절연막(413b)과 중첩되는 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)과, 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)을 끼우고 불순물 원소의 첨가 처리에 의해 제 1 저저항 영역(406a) 및 제 1 저저항 영역(406b)보다 저항이 저감된 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)과, 제 2 저저항 영역(408a) 및 제 2 저저항 영역(408b)을 끼우고 소스 전극층(405a) 및 드레인 전극층(405b)과 접촉한 제 3 저저항 영역(410a) 및 제 3 저저항 영역(410b)을 갖는다.
- [0184] 트랜지스터(530)는 소스 전극층(405a) 및 드레인 전극층(405b)과 전기적으로 접속된 산화물 반도체막(509)의 단부가 저저항화되지 않기 때문에, 기생 채널의 발생이 저감되어 있다. 또한, 트랜지스터(530)의 온 특성을 중요시하는 경우에는 소스 전극층(405a) 및 드레인 전극층(405b)을 형성하기 전에 불순물 원소를 첨가함으로써, 소스 전극층(405a) 및 드레인 전극층(405b)과 중첩되는 제 3 저저항 영역(410a) 및 제 3 저저항 영역(410b)에도 불순물 원소를 첨가하여도 좋다.
- [0185] 또한, 본 실시형태의 다른 일 형태의 반도체 장치는 도 6b에 도시한 트랜지스터(540)와 마찬가지로, 게이트 전극층(401) 위의 절연막(412)을 갖고, 소스 전극층(405a) 및 드레인 전극층(405b)이 측벽 절연막(413a) 및 측벽 절연막(413b)의 측면과 접촉하고 산화물 반도체막(409)을 덮도록 형성된 구성으로 하여도 좋다.
- [0186] 트랜지스터(540)의 제작 방법으로서 트랜지스터(520)와 같은 방법을 이용하여 측벽 절연막(413a) 및 측벽 절연막(413b)을 형성한 후, 산화물 반도체막(509), 게이트 전극층(401), 측벽 절연막(413a), 및 측벽 절연막(413b) 위에 소스 전극층(405a) 및 드레인 전극층(405b)이 되는 도전막, 층간 절연막(411)이 되는 절연막을 형성한다. 이 도전막 및 절연막 중 게이트 전극층(401)과 중첩된 영역을 제거함으로써, 이 도전막을 분단하여 자기 정합적으로 소스 전극층(405a) 및 드레인 전극층(405b)을 형성할 수 있다.
- [0187] 도전막 및 절연막의 제거에는 화학적 기계적 연마 처리나 이방성 에칭 등을 이용할 수 있다.
- [0188] 게이트 전극층(401) 위에 제공된 절연막(412)에 의해, 게이트 전극층(401)과 소스 전극층(405a) 및 드레인 전극층(405b) 사이의 절연성을 확보할 수 있다.
- [0189] 본 실시형태는 다른 실시형태와 적절히 조합하여 사용할 수 있다.
- [0190] (실시형태 3)
- [0191] 본 실시형태에서는 실시형태 1 및 실시형태 2에서 제시한 트랜지스터를 사용한 반도체 장치의 일례에 대하여 도 7 내지 도 8b를 사용하여 설명한다.
- [0192] 도 7은 본 실시형태에 제시하는 반도체 장치의 단면도의 일부를 도시한 것이다. 또한, 도 7에 도시한 단면도는 일례이며, 본 실시형태에 제시하는 반도체 장치의 구조는 이것에 한정되지 않는다.
- [0193] 도 7에 도시한 반도체 장치는 하부에 제 1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 상부에 제 2 반도체 재료를 사용한 트랜지스터(162)를 갖는다. 트랜지스터(162)는 실시형태 1 및 실시형태 2에 제시된 트랜지스터와 같은 구성으로 할 수 있다. 여기서는 트랜지스터(162)로서 실시형태 1에 제시된 트랜지스터를 사용한다.
- [0194] 여기서, 제 1 반도체 재료와 제 2 반도체 재료는 서로 다른 에너지 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제 2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는 그 특성 때문에 장시간의 전하 유지를 가능하게 하여, 소비 전력을 저감시킬 수 있다.
- [0195] 도 7에 도시한 트랜지스터(160)는 반도체 재료(예를 들어, 실리콘 등)를 포함한 기판(100)에 제공된 하지 절연막(102)과, 하지 절연막(102) 위의 반도체층(116)과, 반도체층(116) 위의 게이트 절연막(108)과, 게이트 절연막(108) 위의 게이트 전극층(110)과, 게이트 절연막(108) 위에 있고 게이트 전극층(110)의 측면과 접촉한 측벽 절연막(120a) 및 측벽 절연막(120b)과, 반도체층(116), 게이트 절연막(108), 게이트 전극층(110), 측벽 절연막

(120a), 및 측벽 절연막(120b)을 덮는 절연막(125), 절연막(131), 및 절연막(133)의 적층과, 절연막(125), 절연막(131), 및 절연막(133)에 형성된 개구부를 통하여 반도체층(116)에 접촉한 소스 전극층(124a) 및 드레인 전극층(124b)을 갖는다.

- [0196] 또한, 고집적화를 실현하기 위해서는 트랜지스터(160)가 측벽 절연막(120a) 및 측벽 절연막(120b)을 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 중요시하는 경우에는 도 7에 도시한 바와 같이 측벽 절연막(120a) 및 측벽 절연막(120b)을 제공하면 좋다.
- [0197] 트랜지스터(160) 위에는 절연막(135)이 제공되어 있다. 절연막(135) 위에는 절연막(137)이 제공되어 있으며, 절연막(137)에 도전층(141a) 및 도전층(141b)이 제공되어 있다. 도전층(141a)은 절연막(135)에 형성된 개구부에서 트랜지스터(160)의 드레인 전극층(124b)과 전기적으로 접속되어 있다.
- [0198] 절연막(137) 위에는 절연막(151), 절연막(153), 절연막(155)이 제공되어 있다. 절연막(151) 및 절연막(153)은 트랜지스터(162)에 대해 트랜지스터(160)에 기인한 불순물이 첨가되지 않도록 블로킹성을 갖는 막을 사용하는 것이 바람직하다. 예를 들어, 산화 실리콘을 함유한 막을 절연막(151)에 사용하고, 질화 실리콘을 함유한 막을 절연막(153)에 사용하는 구성으로 하여도 좋다. 절연막(155)은 나중에 형성되는 산화물 반도체막(144)의 평탄성을 향상시켜 산화물 반도체막에 산소를 공급하는 막이다. 따라서, 절연막(155)으로서, 화학양론적 조성을 초과한 산소가 함유된 산화 실리콘막 등을 사용하며 이것을 CMP 처리 등에 의해 평탄성을 향상시킨 막으로 하면 좋다.
- [0199] 절연막(155) 위에는 트랜지스터(162)가 형성되어 있다. 트랜지스터(162)는 실시형태 1에 제시된 산화물 반도체를 사용한 트랜지스터이다. 트랜지스터(162)가 갖는 산화물 반도체막(144)은 게이트 전극층(148)을 마스크로서 이용한 불순물 원소의 첨가 처리와 산화물 반도체막(144) 위에 제공된 질화 실리콘막(143)의 형성에 의해 저저항화되어 있다. 따라서, 산화물 반도체막(144)은 저저항 영역(144a), 저저항 영역(144b), 저저항 영역(144c), 저저항 영역(144d), 및 채널 형성 영역(144e)을 포함한다. 또한, 불순물 원소의 첨가 처리는 게이트 전극층(148)을 형성한 후, 질화 실리콘막(143)을 형성하기 전에 수행된다.
- [0200] 저저항 영역(144a) 내지 저저항 영역(144d)에는 게이트 전극층(148)을 마스크로서 이용하여 불순물 원소가 첨가되어 있다. 따라서, 저저항 영역(144a) 내지 저저항 영역(144d)은 채널 형성 영역(144e)보다 불순물 원소의 농도가 높다. 불순물 원소의 농도를 높게 함으로써, 산화물 반도체막(144) 내의 캐리어 밀도가 증가되기 때문에, 배선층과 산화물 반도체막 사이에서 양호한 오믹 접촉을 가질 수 있어, 트랜지스터의 온 전류나 전계 효과 이동도가 향상된다.
- [0201] 이것에 더하여, 저저항 영역(144c) 및 저저항 영역(144d)은 산화물 반도체막(144) 위에 형성된 질화 실리콘막(143)의 형성에 의해 질소가 첨가되어 저항이 저감되어 있다. 따라서, 저저항 영역(144a) 및 저저항 영역(144b)보다 저항이 낮다.
- [0202] 트랜지스터(162)는 산화물 반도체막에 질화 실리콘막을 접촉하도록 형성함으로써, 산화물 반도체막에 질소가 첨가되어 산화물 반도체막(144)에 저저항 영역(144c) 및 저저항 영역(144d)을 형성할 수 있다. 따라서, 온 특성이 우수하며 전기적 특성이 양호한 트랜지스터를 실현할 수 있어, 반도체 장치의 고속 응답, 고속 동작을 가능하게 한다.
- [0203] 또한, 이 질화 실리콘막은 수소 농도가 저감되어 있으며, 외부로부터 수소나 수분이 혼입되는 것을 방지할 수 있는 블로킹성을 갖는 막이다. 따라서, 산화물 반도체막의 열화 요인이 되는 물이나 수소와 같은 불순물이 혼입되는 것을 방지하여, 전기적 특성이 안정된 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0204] 트랜지스터(162)는 상술한 산화물 반도체막(144)과, 산화물 반도체막(144) 위의 게이트 절연막(146)과, 게이트 절연막(146) 위의 게이트 전극층(148)과, 산화물 반도체막(144)의 저저항 영역(144a) 및 저저항 영역(144b)과 각각 접촉하는 소스 전극층(142a) 및 드레인 전극층(142b)과, 산화물 반도체막(144), 소스 전극층(142a), 드레인 전극층(142b), 게이트 절연막(146), 및 게이트 전극층(148)을 덮는 질화 실리콘막(143)을 갖는다. 또한, 소스 전극층(142a)은 절연막(151), 절연막(153), 및 절연막(155)에 형성된 개구부에서 도전층(141a)과 전기적으로 접속되어 있다.
- [0205] 트랜지스터(162) 위에는 절연막(147) 및 절연막(149)의 적층이 제공되어 있다. 절연막(147) 및 절연막(149)에는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막, 산화 갈륨막, 질화 실리콘막, 질화 알루미늄막, 질화산화 실리콘막, 질화산화 알루미늄막 등 무기 절연막을 사용하면 좋다.

절연막(147) 및 절연막(149)은 동일한 막이어도 좋고, 상이한 막이어도 좋다.

- [0206] 절연막(147) 및 절연막(149) 위에는 절연막(147) 및 절연막(149)에 형성된 개구부에서 소스 전극층(142a)과 전기적으로 접속되는 배선층(145)이 제공되어 있다. 배선층(145) 위에는 절연막(157)이 제공되고, 절연막(157) 위에 절연막(157)에 형성된 개구부에서 배선층(145)과 전기적으로 접속되는 배선층(159)이 제공되어 있다.
- [0207] 본 명세서에 제시되는 트랜지스터를 사용한 반도체 장치의 예로서, 논리 회로인 NOR형 회로 및 NAND형 회로를 도 8a 및 도 8b에 도시하였다. 도 8a는 NOR형 회로이고, 도 8b는 NAND형 회로이다.
- [0208] 도 8a 및 도 8b에 도시한 NOR형 회로 및 NAND형 회로에서는 트랜지스터(201), 트랜지스터(202), 트랜지스터(211), 트랜지스터(214)는 p채널형 트랜지스터이며, 도 7에 도시한 트랜지스터(160)와 같은 구조를 갖는 트랜지스터이다. 트랜지스터(203), 트랜지스터(204), 트랜지스터(212), 트랜지스터(213)는 n채널형 트랜지스터이며, 도 7에 도시한 트랜지스터(162) 또는 실시형태 1 및 실시형태 2에 제시된 트랜지스터와 같은 구조를 갖는 트랜지스터이다.
- [0209] 본 실시형태에서 제시하는 반도체 장치에서는, 채널 형성 영역에 산화물 반도체를 사용한 오프 전류가 매우 작은 트랜지스터를 트랜지스터(162)로서 적용함으로써 소비 전력을 충분히 저감할 수 있다. 또한, 실시형태 1 및 실시형태 2에 제시된 트랜지스터를 사용함으로써, 산화물 반도체막과 소스 전극층 및 드레인 전극층 사이의 접촉 저항이 저감되어 온 특성이 우수하기 때문에, 반도체 장치의 고속 응답, 고속 동작을 가능하게 한다.
- [0210] 또한, 상이한 반도체 재료를 사용한 반도체 소자를 적용함으로써, 미세화 및 고집적화를 실현하고 또 안정적인 고 높은 전기적 특성이 부여된 반도체 장치, 및 이 반도체 장치의 제작 방법을 제공할 수 있다.
- [0211] 본 실시형태에 제시된 구성이나 방법 등은 다른 실시형태에 제시되는 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0212] (실시형태 4)
- [0213] 본 실시형태에서는 본 명세서에 기재된 트랜지스터를 사용하여 전력이 공급되지 않는 상황에도 기억 내용을 유지할 수 있고, 또 기록 횟수에도 제한이 없는 반도체 장치(기억 장치)의 일례를 도면을 사용하여 설명한다.
- [0214] 도 9a는 본 실시형태의 반도체 장치를 도시한 회로도이다.
- [0215] 도 9a에 도시한 트랜지스터(260)는 도 7에 도시한 트랜지스터(160)와 같은 구조를 적용할 수 있으며, 고속 동작이 용이하다. 또한, 트랜지스터(262)에는 도 7에 도시한 트랜지스터(162), 실시형태 1 또는 실시형태 2에 제시된 트랜지스터와 같은 구성을 적용할 수 있고, 그 특성 때문에 장시간의 전하 유지를 가능하게 한다.
- [0216] 또한, 상기 트랜지스터는 모두 n채널형 트랜지스터인 것으로 하여 설명하지만, 본 실시형태에 제시하는 반도체 장치에 사용하는 트랜지스터로서는 p채널형 트랜지스터를 사용할 수도 있다.
- [0217] 도 9a에 있어서, 제 1 배선(1st Line)과 트랜지스터(260)의 소스 전극층은 전기적으로 접속되고, 제 2 배선(2nd Line)과 트랜지스터(260)의 드레인 전극층은 전기적으로 접속되어 있다. 또한, 제 3 배선(3rd Line)과 트랜지스터(262)의 소스 전극층 및 드레인 전극층 중 하나는 전기적으로 접속되고, 제 4 배선(4th Line)과 트랜지스터(262)의 게이트 전극층은 전기적으로 접속되어 있다. 그리고, 트랜지스터(260)의 게이트 전극층과 트랜지스터(262)의 소스 전극층 및 드레인 전극 중 다른 하나는 용량 소자(164)의 한쪽 전극과 전기적으로 접속되어 있고, 제 5 배선(5th Line)과 용량 소자(164)의 다른 쪽 전극은 전기적으로 접속되어 있다.
- [0218] 도 9a에 도시한 반도체 장치에서는, 트랜지스터(260)의 게이트 전극층의 전위를 유지할 수 있다는 특징을 살림으로써, 다음과 같이 정보의 기록, 유지, 판독이 가능하다.
- [0219] 정보의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선의 전위를 트랜지스터(262)가 온 상태가 되는 전위로 설정하여 트랜지스터(262)를 온 상태로 한다. 이로써, 제 3 배선의 전위가 트랜지스터(260)의 게이트 전극층 및 용량 소자(164)에 인가된다. 즉 트랜지스터(260)의 게이트 전극층에는 소정의 전하가 공급된다(기록). 여기서, 다른 2개의 전위 레벨을 부여하는 전하(이하에서 Low 레벨에 상당하는 전하, High 레벨에 상당하는 전하라고 함) 중 어느 것이 공급되는 것으로 한다. 이후, 제 4 배선의 전위를 트랜지스터(262)가 오프 상태가 되는 전위로 하여 트랜지스터(262)를 오프 상태로 함으로써, 트랜지스터(260)의 게이트 전극층에 공급된 전하가 유지된다(유지).
- [0220] 트랜지스터(262)의 오프 전류는 매우 작기 때문에, 트랜지스터(260)의 게이트 전극층의 전하는 장시간에 걸쳐

유지된다.

- [0221] 다음에, 정보의 판독에 대하여 설명한다. 제 1 배선에 소정의 전위(정(定)전위)를 인가한 상태에서 제 5 배선에 적절한 전위(판독 전위)를 인가하면, 트랜지스터(260)의 게이트 전극층에 유지된 전하량에 따라 제 2 배선의 전위는 달라진다. 일반적으로, 트랜지스터(260)를 n채널형으로 하면, 트랜지스터(260)의 게이트 전극에 High 레벨에 상당하는 전하가 공급되는 경우의 외견상 문턱 전압( $V_{th,H}$ )은 트랜지스터(260)의 게이트 전극에 Low 레벨에 상당하는 전하가 공급되는 경우의 외견상 문턱 전압( $V_{th,L}$ )보다 낮게 되기 때문이다. 여기서, 외견상 문턱 전압이란, 트랜지스터(260)를 '온 상태'로 하는 데 필요한 제 5 배선의 전위를 뜻한다. 따라서, 제 5 배선의 전위를  $V_{th,H}$ 와  $V_{th,L}$  사이의 전위  $V_0$ 으로 함으로써, 트랜지스터(260)의 게이트 전극층에 공급된 전하를 판별할 수 있다. 예를 들어, 기록에 있어서, High 레벨에 상당하는 전하가 인가되어 있는 경우에는, 제 5 배선의 전위가  $V_0(>V_{th,H})$ 가 되면, 트랜지스터(260)는 '온 상태'가 된다. Low 레벨에 상당하는 전하가 공급되어 있는 경우에는, 제 5 배선의 전위가  $V_0(<V_{th,L})$ 이 되어도 트랜지스터(260)는 그대로 '오프 상태'가 유지된다. 따라서, 제 2 배선의 전위로부터, 유지되어 있는 정보를 판독할 수 있다.
- [0222] 또한, 메모리 셀을 어레이 형태로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독할 수 있을 필요가 있다. 이와 같이 정보를 판독하지 않는 경우에는, 게이트 전극층의 상태에 상관없이 트랜지스터(260)가 '오프 상태'가 되는 전위, 즉  $V_{th,H}$ 보다 낮은 전위를 제 5 배선에 인가하면 좋다. 또는, 게이트 전극층의 상태에 상관없이 트랜지스터(260)가 '온 상태'가 되는 전위, 즉  $V_{th,L}$ 보다 큰 전위를 제 5 배선에 인가하면 좋다.
- [0223] 도 9b에 도 9a와 다른 기억 장치의 구조의 일 형태의 예를 도시하였다. 도 9b는 반도체 장치의 회로 구성의 일례를 도시한 것이고, 도 9c는 반도체 장치의 일례를 도시한 개념도이다. 우선, 도 9b에 도시한 장치에 대하여 설명하고, 이어서 도 9c에 도시한 반도체 장치에 대하여 설명한다.
- [0224] 도 9b에 도시한 반도체 장치에서 비트 라인 BL과 트랜지스터(262)의 소스 전극층 또는 드레인 전극층은 전기적으로 접속되어 있고, 워드 라인 WL과 트랜지스터(262)의 게이트 전극층은 전기적으로 접속되어 있고, 트랜지스터(262)의 소스 전극층 또는 드레인 전극층과 용량 소자(254)의 제 1 단자는 전기적으로 접속되어 있다.
- [0225] 산화물 반도체를 사용한 트랜지스터(262)는 오프 전류가 매우 작다는 특징을 갖는다. 그러므로, 트랜지스터(262)를 오프 상태로 함으로써 용량 소자(254)의 제 1 단자의 전위(또는, 용량 소자(254)에 축적된 전하)를 매우 장시간에 걸쳐 유지할 수 있다.
- [0226] 다음에, 도 9b에 도시한 반도체 장치(메모리 셀(250))에서 정보의 기록 및 정보의 유지를 수행하는 경우에 대하여 설명한다.
- [0227] 우선, 워드 라인 WL의 전위를 트랜지스터(262)가 온 상태가 되는 전위로 설정하여, 트랜지스터(262)를 온 상태로 한다. 이로써, 비트 라인 BL의 전위가 용량 소자(254)의 제 1 단자에 인가된다(기록). 이 후, 워드 라인 WL의 전위를 트랜지스터(262)가 오프 상태가 되는 전위로 설정하여 트랜지스터(262)를 오프 상태로 함으로써, 용량 소자(254)의 제 1 단자의 전위가 유지된다(유지).
- [0228] 트랜지스터(262)의 오프 전류는 매우 작기 때문에, 용량 소자(254)의 제 1 단자의 전위(또는 용량 소자에 축적된 전하)는 장시간에 걸쳐 유지할 수 있다.
- [0229] 다음에, 정보의 판독에 대하여 설명한다. 트랜지스터(262)가 온 상태가 되면, 부유 상태인 비트 라인 BL과 용량 소자(254) 사이가 도통되어, 비트 라인 BL과 용량 소자(254) 사이에서 전하가 재분배된다. 이로써, 비트 라인 BL의 전위가 변화된다. 비트 라인 BL의 전위의 변화량은 용량 소자(254)의 제 1 단자의 전위(또는, 용량 소자(254)에 축적된 전하)에 따라 값이 달라진다.
- [0230] 예를 들어, 용량 소자(254)의 제 1 단자의 전위를  $V$ , 용량 소자(254)의 용량을  $C$ , 비트 라인 BL이 갖는 용량 성분(이하에서, 비트 라인 용량이라고도 부름)을  $CB$ , 전하가 재분배되기 전의 비트 라인 BL의 전위를  $V_0$ 으로 하면, 전하가 재분배된 후의 비트 라인 BL의 전위는  $(CB \cdot V_0 + C \cdot V)/(CB+C)$ 가 된다. 따라서, 메모리 셀(250)의 상태로서 용량 소자(254)의 제 1 단자의 전위가  $V_1$ 과  $V_0(V_1 > V_0)$ 의 2가지 상태를 가지면, 전위  $V_1$ 을 유지하고 있는 경우의 비트 라인 BL의 전위( $= (CB \cdot V_0 + C \cdot V_1)/(CB+C)$ )는 전위  $V_0$ 을 유지하고 있는 경우의 비트 라인 BL의 전위( $= (CB \cdot V_0 + C \cdot V_0)/(CB+C)$ )보다 높은 것을 알 수 있다.
- [0231] 그리고, 비트 라인 BL의 전위를 소정의 전위와 비교함으로써, 정보를 판독할 수 있다.

- [0232] 이와 같이 도 9b에 도시한 반도체 장치는 트랜지스터(262)의 오프 전류가 매우 작다는 특징을 갖기 때문에, 용량 소자(254)에 축적된 전하는 장시간에 걸쳐 유지할 수 있다. 즉 리프레시 동작이 필요 없거나, 또는 리프레시 동작의 빈도를 극히 낮게 할 수 있으므로 소비 전력을 충분히 저감할 수 있다. 또한, 전력이 공급되지 않는 경우에도, 기억된 내용을 장기간 동안 유지할 수 있다.
- [0233] 다음에, 도 9c에 도시한 반도체 장치에 대하여 설명한다.
- [0234] 도 9c에 도시한 반도체 장치는 상부에 기억 회로로서 도 9b에 도시한 복수의 메모리 셀(250)을 갖는 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)를 갖고, 하부에 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))를 동작시키는 데에 필요한 주변 회로(253)를 갖는다. 또한, 주변 회로(253)는 메모리 셀 어레이(251)와 전기적으로 접속되어 있다.
- [0235] 도 9c에 도시한 구성으로 함으로써 주변 회로(253)를 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)) 바로 아래에 형성할 수 있기 때문에 반도체 장치를 소형화할 수 있다.
- [0236] 주변 회로(253)에 형성되는 트랜지스터로서는 트랜지스터(262)의 반도체 재료와 다른 반도체 재료를 사용하여 형성된 것이 더 바람직하다. 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등을 사용할 수 있으며, 단결정 반도체를 사용하는 것이 바람직하다. 이 외에 유기 반도체 재료 등을 사용하여도 좋다. 이러한 반도체 재료를 사용하는 트랜지스터는 충분한 고속 동작이 가능하다. 따라서, 상기 트랜지스터에 의하여 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 바람직하게 실현할 수 있다.
- [0237] 또한, 도 9c에 도시한 반도체 장치에서는 2개의 메모리 셀 어레이(251)(메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b))가 적층된 구성을 예시하였지만, 적층시키는 메모리 셀 어레이의 개수는 이것에 한정되지 않는다. 3개 이상의 메모리 셀 어레이를 적층하는 구성으로 하여도 좋다.
- [0238] 도 10은 도 9c에 도시한 반도체 장치의 단면도의 일례이다. 도 10에 도시한 단면도에는 주변 회로(253)에 포함되는 트랜지스터(260)와, 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)에 포함되는 트랜지스터(262)와 용량 소자(254)가 도시되어 있다.
- [0239] 또한, 트랜지스터(260) 및 트랜지스터(262)는 도 7에 도시한 트랜지스터(160) 및 트랜지스터(162)와 같은 구성의 트랜지스터를 각각 적용할 수 있기 때문에, 자세한 설명은 생략한다.
- [0240] 메모리 셀 어레이(251a) 및 메모리 셀 어레이(251b)가 갖는 용량 소자(254)는 트랜지스터(262)의 소스 전극층(142a), 질화 실리콘막(143), 절연막(147), 절연막(149), 및 도전층(242)을 갖는다. 즉 트랜지스터(262)의 소스 전극층(142a)은 용량 소자(254)의 한쪽 전극으로서 기능하고, 질화 실리콘막(143), 절연막(147), 및 절연막(149)은 용량 소자(254)의 유전체로서 기능하고, 도전층(242)은 용량 소자(254)의 다른 쪽 전극으로서 기능한다.
- [0241] 주변 회로(253)와 메모리 셀 어레이(251a) 사이에는 주변 회로(253) 및 메모리 셀 어레이(251a)를 전기적으로 접속하기 위한 배선층이 제공되어 있다. 배선층(258)은 주변 회로(253)가 갖는 트랜지스터(260)의 드레인 전극층과 도전층(256)을 전기적으로 접속시키고, 도전층(256)과 동일한 공정으로 형성된 도전층(257)은 배선층(259)을 통하여 메모리 셀 어레이(251a)가 갖는 트랜지스터(262)의 소스 전극층과 전기적으로 접속되어 있다.
- [0242] 메모리 셀 어레이(251a)와 메모리 셀 어레이(251b) 사이에도 마찬가지로, 메모리 셀 어레이(251a)와 메모리 셀 어레이(251b)를 전기적으로 접속시키기 위한 배선층이 제공되어 있다. 자세한 설명은 생략하지만, 배선층(271), 배선층(272), 도전층(273), 도전층(274), 도전층(275), 도전층(276), 및 도전층(277)을 통하여 메모리 셀 어레이(251a)와 메모리 셀 어레이(251b)가 전기적으로 접속되어 있다.
- [0243] 트랜지스터(262)로서 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 적용함으로써, 장시간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프레시 동작을 수행할 필요가 없거나, 또는 리프레시 동작의 빈도가 매우 적은 반도체 장치로 할 수 있으므로 소비 전력을 충분히 저감할 수 있다.
- [0244] 또한, 트랜지스터(262)로서 실시형태 1 및 실시형태 2에 제시된 트랜지스터를 사용할 수 있다. 트랜지스터(262)는 산화물 반도체막 위에 질화 실리콘막을 접촉하도록 형성함으로써, 산화물 반도체막에 질소를 첨가하여 산화물 반도체막(144)에 저저항 영역을 형성할 수 있다. 따라서, 온 특성이 우수하며 전기적 특성이 양호한 트랜지스터를 실현할 수 있어, 반도체 장치의 고속 응답, 고속 동작을 가능하게 한다.
- [0245] (실시형태 5)

- [0246] 본 실시형태에서는 상술한 실시형태에 기재된 반도체 장치를 휴대 전화, 스마트폰, 전자 서적 등의 전자 기기에 응용한 경우의 예를 도 11a 내지 도 14를 사용하여 설명한다.
- [0247] 휴대 전화, 스마트폰, 전자 서적 등 전자 기기에 있어서는, 화상 데이터의 임시 기억 등에 SRAM 또는 DRAM이 사용되고 있다. SRAM 또는 DRAM이 사용되는 이유는 플래시 메모리는 응답이 느리며 화상 처리에 적합하지 않기 때문이다. 한편, SRAM 또는 DRAM을 화상 데이터의 임시 기억에 사용한 경우에는 다음과 같은 특징이 있다.
- [0248] 일반적인 SRAM은 도 11a에 도시한 바와 같이, 하나의 메모리 셀이 트랜지스터(801) 내지 트랜지스터(806)의 6개의 트랜지스터로 구성되어 있고, 이것을 X디코더(807) 및 Y디코더(808)로 구동시킨다. 트랜지스터(803)와 트랜지스터(805), 및 트랜지스터(804)와 트랜지스터(806)는 인버터를 구성하며, 고속 구동을 가능하게 한다. 그러나, 하나의 메모리 셀이 6개의 트랜지스터로 구성되어 있기 때문에, 셀 면적이 크다는 단점이 있다. 디자인 룰의 최소 치수를 F로 하였을 때, SRAM의 메모리 셀 면적은 일반적으로  $100F^2 \sim 150F^2$ 이다. 그래서, SRAM은 비트당 단가가 각종 메모리 중에서 가장 비싸다.
- [0249] 한편, DRAM은 메모리 셀이 도 11b에 도시한 바와 같이, 트랜지스터(811) 및 유지 용량(812)으로 구성되어 있고, 이것을 X디코더(813) 및 Y디코더(814)로 구동시킨다. 하나의 셀이 하나의 트랜지스터, 하나의 용량을 갖는 구성이며 면적이 작다. DRAM의 메모리 셀 면적은 일반적으로는  $10F^2$  이하이다. 다만, DRAM은 항상 리프래시 동작을 수행할 필요가 있기 때문에 재기록을 수행하지 않는 경우에도 전력을 소비한다.
- [0250] 그러나, 상술한 실시형태에 기재된 반도체 장치의 메모리 셀 면적은  $10F^2$  전후이며 빈번한 리프래시 동작은 필요 없다. 따라서, 메모리 셀 면적을 축소하고 또 소비 전력을 저감할 수 있다. 또한, 상술한 실시형태에서 제시한 반도체 장치를 사용함으로써, 외부로부터 수소나 물 등이 혼입되는 것으로 인한 영향을 받기 어렵고 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0251] 도 12는 전자 기기의 블록도이다. 도 12에 도시한 전자 기기는 RF 회로(901), 아날로그 베이스밴드 회로(902), 디지털 베이스밴드 회로(903), 배터리(904), 전원 회로(905), 애플리케이션 프로세서(906), 플래시 메모리(910), 디스플레이 컨트롤러(911), 메모리 회로(912), 디스플레이(913), 터치 센서(919), 음성 회로(917), 키보드(918) 등으로 구성되어 있다. 디스플레이(913)는 표시부(914), 소스 드라이버(915), 및 게이트 드라이버(916)로 구성되어 있다. 애플리케이션 프로세서(906)는 CPU(907), DSP(908), 인터페이스(IF)(909)를 갖는다. 일반적으로 메모리 회로(912)는 SRAM 또는 DRAM으로 구성되어 있는데, 이 부분에 상술한 실시형태에서 설명한 반도체 장치를 채용함으로써, 정보의 기록 및 판독이 고속으로 수행되고, 장기간에 걸친 기억 유지가 가능하며, 소비 전력이 충분히 저감된 신뢰성이 높은 전자 기기를 제공할 수 있다.
- [0252] 도 13은 디스플레이의 메모리 회로(950)에 상술한 실시형태에서 설명한 반도체 장치를 사용한 예를 도시한 것이다. 도 13에 도시한 메모리 회로(950)는 메모리(952), 메모리(953), 스위치(954), 스위치(955), 및 메모리 컨트롤러(951)로 구성되어 있다. 또한, 메모리 회로는 신호선으로부터 입력된 화상 데이터(입력 화상 데이터)와 메모리(952) 및 메모리(953)에 기억된 데이터(기억 화상 데이터)의 판독 및 제어를 하는 디스플레이 컨트롤러(956)와, 디스플레이 컨트롤러(956)로부터의 신호에 의거하여 표시를 하는 디스플레이(957)가 접속되어 있다.
- [0253] 우선, 어느 화상 데이터가 애플리케이션 프로세서(도시되지 않았음)에 의하여 형성된다(입력 화상 데이터 A). 입력 화상 데이터 A는 스위치(954)를 통하여 메모리(952)에 기억된다. 그리고 메모리(952)에 기억된 화상 데이터(기억 화상 데이터 A)는 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 전송되어 표시된다.
- [0254] 입력 화상 데이터 A가 변경되지 않는 경우, 기억 화상 데이터 A는 디스플레이 컨트롤러(956)에 의하여 일반적으로 30Hz~60Hz 정도의 주기로 스위치(955)를 통하여 메모리(952)로부터 판독된다.
- [0255] 다음에, 예를 들어, 사용자가 화면의 재기록 조작을 하였을 때(즉, 입력 화상 데이터 A가 변경되는 경우), 애플리케이션 프로세서는 새로운 화상 데이터(입력 화상 데이터 B)를 형성한다. 입력 화상 데이터 B는 스위치(954)를 통하여 메모리(953)에 기억된다. 이 동안에도 정기적으로 메모리(952)로부터 스위치(955)를 통하여 기억 화상 데이터 A가 판독된다. 메모리(953)에 새로운 화상 데이터(기억 화상 데이터 B)가 모두 기억되면, 디스플레이(957)의 다음 프레임으로부터 기억 화상 데이터 B가 판독되고, 스위치(955) 및 디스플레이 컨트롤러(956)를 통하여 디스플레이(957)에 기억 화상 데이터 B가 전송되어 표시된다. 이 판독 동작은 또 다른 화상 데이터가 메모리(952)에 기억될 때까지 계속된다.

- [0256] 상술한 바와 같이 메모리(952) 및 메모리(953)는 화상 데이터의 기록과 판독을 교대로 수행함으로써 디스플레이(957)에 화상이 표시된다. 또한, 메모리(952) 및 메모리(953)는 별개의 메모리에 한정되지 않고 하나의 메모리를 분할하여 사용하여도 좋다. 상술한 실시형태에 기재된 반도체 장치를 메모리(952) 및 메모리(953)에 채용함으로써, 정보를 고속으로 기록 및 판독할 수 있고, 기억된 내용을 오랜 기간에 걸쳐 유지할 수 있고, 또 소비 전력을 충분히 저감시킬 수 있다. 또한, 외부로부터의 물이나 수분 등의 혼입의 영향을 받기 어려운 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0257] 도 14는 전자 서적의 블록도를 도시한 것이다. 도 14에 도시한 전자 서적은 배터리(1001), 전원 회로(1002), 마이크로 프로세서(1003), 플래시 메모리(1004), 음성 회로(1005), 키보드(1006), 메모리 회로(1007), 터치 패널(1008), 디스플레이(1009), 및 디스플레이 컨트롤러(1010)로 구성된다.
- [0258] 도 14의 메모리 회로(1007)에 상술한 실시형태에서 설명한 반도체 장치를 사용할 수 있다. 메모리 회로(1007)는 서적의 내용을 임시적으로 유지하는 기능을 갖는다. 예를 들어, 사용자가 하이라이트 기능을 사용하는 경우, 메모리 회로(1007)는 사용자가 지정한 부분의 정보를 기억하고 유지한다. 또한, 하이라이트 기능이란, 사용자가 전자 서적을 읽을 때 특정 부분을 마킹, 예를 들어 표시의 색깔을 바꾸거나, 밑줄을 긋거나, 문자를 굵게 하거나, 문자의 서체를 바꾸는 등에 의하여 마킹하여 주위와의 차이를 나타내는 것을 말한다. 메모리 회로(1007)는 정보의 단기적인 기억에 사용하고, 정보를 장기적으로 저장하기 위하여 메모리 회로(1007)에 유지된 데이터를 플래시 메모리(1004)에 복사하여도 좋다. 이와 같은 경우에 있어서도, 상술한 실시형태에서 설명한 반도체 장치를 채용함으로써 정보를 고속으로 기록 및 판독할 수 있고, 기억된 내용을 오랜 기간에 걸쳐 유지할 수 있고, 또 소비 전력을 충분히 저감시킬 수 있다. 또한, 외부로부터의 물이나 수분 등의 혼입의 영향을 받기 어려운 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0259] 도 15a 내지 도 15c에 전자 기기의 구체적인 예를 도시하였다. 도 15a 및 도 15b는 반으로 접을 수 있는 태블릿 단말이다. 도 15a는 펼친 상태를 도시한 것이며, 태블릿 단말은 하우징(9630), 표시부(9631a), 표시부(9631b), 표시 모드 전환 스위치(9034), 전원 스위치(9035), 전력 절약 모드 전환 스위치(9036), 후크(9033), 조작 스위치(9038)를 갖는다.
- [0260] 실시형태 1 또는 실시형태 2에서 제시한 반도체 장치는 표시부(9631a), 표시부(9631b)에 사용하는 것이 가능하며, 신뢰성이 높은 태블릿 단말로 할 수 있다. 또한, 상술한 실시형태에서 제시한 기억 장치를 본 실시형태의 반도체 장치에 적용하여도 좋다.
- [0261] 표시부(9631a)는 일부를 터치 패널의 영역(9632a)으로 할 수 있으며, 표시된 조작 키(9638)를 터치함으로써 데이터를 입력할 수 있다. 또한, 도면에는 일례로서 표시부(9631a)에 있어서 영역의 반이 표시만 하는 기능을 갖는 구성이고 영역의 나머지 반이 터치 패널 기능을 갖는 구성을 도시하였지만, 이 구성에 한정되지 않는다. 표시부(9631a)의 전체면에 키보드 버튼을 표시시켜 터치 패널로 하고, 표시부(9631b)를 표시 화면으로서 사용할 수 있다.
- [0262] 또한, 표시부(9631b)에서도 표시부(9631a)와 마찬가지로 표시부(9631b)의 일부를 터치 패널의 영역(9632b)으로 할 수 있다. 또한, 터치 패널의 키보드 표시 전환 버튼(9639)이 표시되어 있는 위치를 손가락이나 스타일러스 등으로 터치함으로써 표시부(9631b)에 키보드 버튼을 표시할 수 있다.
- [0263] 또한, 터치 패널의 영역(9632a)과 터치 패널의 영역(9632b)에 대하여 동시에 터치 입력을 수행할 수도 있다.
- [0264] 또한, 표시 모드 전환 스위치(9034)는 세로 표시 또는 가로 표시 등의 표시 방향을 전환하거나, 흑백 표시나 컬러 표시의 전환 등을 선택할 수 있다. 전력 절약 모드 전환 스위치(9036)는 태블릿 단말에 내장된 광 센서로 검출되는 사용시의 외광의 광량에 따라 표시의 휘도를 최적의 것으로 할 수 있다. 태블릿 단말은 광 센서뿐만 아니라, 자이로, 가속도 센서 등 기울기를 검출하는 센서와 같은 다른 검출 장치를 내장하여도 좋다.
- [0265] 또한, 도 15a에서는 표시부(9631b)와 표시부(9631a)의 표시 면적이 같은 예를 도시하였지만, 이것에 특별히 한정되지 않고, 서로 크기가 상이하여도 좋고 표시 품질도 상이하여도 좋다. 예를 들어, 한쪽이 다른 쪽보다 고 정세한 표시가 가능한 표시 패널로 하여도 좋다.
- [0266] 도 15b는 닫은 상태를 도시한 것이며, 태블릿 단말은 하우징(9630), 태양 전지(9633), 충전전 제어 회로(9634), 배터리(9635), DCDC 컨버터(9636)를 갖는다. 또한, 도 15b에는 충전전 제어 회로(9634)의 일례로서 배터리(9635), DCDC 컨버터(9636)를 갖는 구성을 도시하였다.
- [0267] 또한, 태블릿 단말은 접을 수 있기 때문에, 사용하지 않을 때는 하우징(9630)을 닫은 상태로 할 수 있다. 따라

서, 표시부(9631a) 및 표시부(9631b)를 보호할 수 있기 때문에 내구성이 우수하며 장기 사용의 관점에서 보아도 신뢰성이 우수한 태블릿 단말을 제공할 수 있다.

- [0268] 이 외에도 도 15a 및 도 15b에 도시된 태블릿 단말은 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시하는 기능, 달력, 날짜, 또는 시각 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 터치 입력으로 조작 또는 편집하는 터치 입력 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 가질 수 있다.
- [0269] 태블릿 단말의 표면에 장착된 태양 전지(9633)에 의해, 터치 패널, 표시부, 또는 영상 신호 처리부 등에 전력을 공급할 수 있다. 또한, 태양 전지(9633)를 하우징(9630)의 한쪽 또는 양쪽 면에 설치할 수 있으며, 배터리(9635)를 효율적으로 충전하는 구성으로 할 수 있다. 또한, 배터리(9635)로서는 리튬 이온 전지를 사용하면 소형화가 가능 등의 장점이 있다.
- [0270] 또한, 도 15b에 도시된 충방전 제어 회로(9634)의 구성 및 동작에 대하여 도 15c의 블록도를 참조로 설명한다. 도 15c는 태양 전지(9633), 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3), 표시부(9631)를 도시한 것이며, 배터리(9635), DCDC 컨버터(9636), 컨버터(9637), 스위치(SW1) 내지 스위치(SW3)가 도 15b에 도시한 충방전 제어 회로(9634)에 대응하는 부분이다.
- [0271] 우선, 외광을 이용하여 태양 전지(9633)에 의해 발전되는 경우의 동작의 예에 대하여 설명한다. 태양 전지에 의해 발전된 전력은 배터리(9635)를 충전하기 위한 전압이 되도록 DCDC 컨버터(9636)에 의해 승압 또는 강압된다. 또한, 표시부(9631)의 동작에 태양 전지(9633)로부터의 전력이 사용될 때는 스위치(SW1)를 온 상태로 하여, 컨버터(9637)에 의해 표시부(9631)에 필요한 전압으로 승압 또는 강압한다. 또한, 표시부(9631)에서의 표시를 수행하지 않을 때는 SW1을 온 상태로 하고 SW2를 온 상태로 하여, 배터리(9635)를 충전하는 구성으로 하면 좋다.
- [0272] 또한, 태양 전지(9633)에 관해서는 발전 수단의 일례로서 도시하였지만, 특별히 한정되지 않으며 압전 소자(피에조 소자)나 열전 변환 소자(펠티어 소자) 등 다른 발전 수단에 의해 배터리(9635)를 충전하는 구성이라도 좋다. 예를 들어, 무선(비접촉)으로 전력을 송수신하여 충전하는 무접점 전력 전송 모듈이나, 다른 충전 수단을 조합하여 수행하는 구성으로 하여도 좋다.
- [0273] 상술한 바와 같이, 본 실시형태에 제시된 휴대 기기에는 상술한 실시형태에 따른 반도체 장치가 탑재되어 있다. 따라서, 정보를 고속으로 판독할 수 있고, 기억된 내용을 오랜 기간에 걸쳐 유지할 수 있고, 또 소비 전력이 저감된 휴대 기기가 실현된다. 또한, 외부로부터의 물이나 수분 등의 혼입의 영향을 받기 어려운 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0274] 본 실시형태에 제시된 구성이나 방법 등은 다른 실시형태에 제시되는 구성이나 방법 등과 적절히 조합하여 사용할 수 있다.
- [0275] (실시예 1)
- [0276] 본 실시예에서는 본 발명의 일 형태의 반도체 장치에 적용할 수 있는 질화 실리콘막의 평가 결과에 대해서 설명한다. 자세하게는, TDS, SIMS, RBS에 의한 결과를 제시한다.
- [0277] 본 실시예에서 평가한 시료의 제작 방법에 대해서 설명한다.
- [0278] 시료 A1로서, 실리콘 웨이퍼 위에 두께 300nm의 질화 실리콘막을 형성하였다. 질화 실리콘막의 형성은 실리콘 웨이퍼를 플라즈마 CVD 장치의 처리실 내에 설치하고, 처리실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원으로 2000W의 전력을 공급하였다. 또한, 상기 플라즈마 CVD 장치는 전극 면적이 6000cm<sup>2</sup>인 평행 평판형 플라즈마 CVD 장치이며, 전력 밀도는 3.2×10<sup>-1</sup>W/cm<sup>2</sup>가 된다. 또한, 기판 온도는 350℃로 하였다. 공급 가스를 실란과 질소의 혼합 가스(SiH<sub>4</sub> 유량 200sccm: N<sub>2</sub> 유량 5000sccm)로 하였다.
- [0279] 시료 A2로서, 실리콘 웨이퍼 위에 두께 300nm의 질화 실리콘막을 형성하였다. 질화 실리콘막의 형성은 실리콘 웨이퍼를 플라즈마 CVD 장치의 처리실 내에 설치하고, 처리실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원으로 2000W의 전력(전력 밀도는 3.2×10<sup>-1</sup>W/cm<sup>2</sup>)을 공급하였다. 또한, 기판 온도는 350℃로 하였다. 공급 가스를 실란과 질소와 암모니아의 혼합 가스(SiH<sub>4</sub> 유량 200sccm: N<sub>2</sub> 유량 2000sccm: NH<sub>3</sub> 유량 100sccm)로 하였다.

- [0280] 또한, 비교예 시료로서, 실리콘 웨이퍼 위에 두께 300nm의 질화 실리콘막을 형성하였다. 질화 실리콘막의 형성은 실리콘 웨이퍼를 플라즈마 CVD 장치의 처리실 내에 설치하고, 처리실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원으로 2000W의 전력(전력 밀도는  $3.2 \times 10^{-1} \text{W/cm}^2$ )을 공급하였다. 또한, 기판 온도는 350℃로 하였다. 공급 가스를 실란과 질소와 암모니아의 혼합 가스( $\text{SiH}_4$  유량 200sccm:  $\text{N}_2$  유량 2000sccm:  $\text{NH}_3$  유량 2000sccm)로 하였다.
- [0281] 시료 A1 및 시료 A2는 본 발명의 일 형태의 반도체 장치에 사용하는 질화 실리콘막으로서 적합한, 공급 가스 내의 질소에 대한 암모니아의 유량비가 0.1배 이하를 만족시키는 조건으로 형성된 질화 실리콘막이다. 한편, 비교예 시료는 본 발명의 일 형태의 반도체 장치에 사용하는 질화 실리콘막으로서는 적합하지 않은 조건으로 형성된 질화 실리콘막이다.
- [0282] 시료 A1, 시료 A2, 및 비교예 시료에 대해 TDS 측정을 수행하였다. 도 16에 기판 온도에 대한 각 시료의 수소 분자 이탈량을 도시하였다. 도 16에서, 가로축은 기판 온도를 나타내고, 세로축은 수소 분자 이탈량에 상당하는 TDS 강도를 나타낸다.
- [0283] TDS의 결과를 나타내는 곡선에서의 피크는 분석한 시료(본 실시예에서는 시료 A1, 시료 A2, 비교예 시료)에 포함되는 원자 또는 분자가 외부로 이탈됨으로써 나타나는 피크이다. 또한, 외부로 이탈되는 원자 또는 분자의 총량은 각 곡선의 적분값에 비례한다. 그러므로, 상기 피크 강도의 고저(高低)에 따라, 질화 실리콘막에 포함되는 원자 또는 분자의 총량을 비교할 수 있다. 또한, 본 실시예에서는 50℃부터 570℃의 범위에서의 수소 분자의 이탈량을 정량값으로서 취득하였다.
- [0284] 도 16으로부터, 비교예 시료는 열처리에 의해 기판 온도 350℃ 부근부터 수소 분자가 이탈되기 시작하고 500℃ 부근에 그 수소 분자 이탈량의 피크를 갖는 것이 확인되었다. 한편, 시료 A1 및 시료 A2에는 500℃ 이하에서는 수소 분자의 이탈량의 피크가 보이지 않았다.
- [0285] 시료 A1, 시료 A2, 비교예 시료 각각의 수소 분자 이탈량의 정량값은 시료 A1이  $7.35 \times 10^{19}$  개/ $\text{cm}^3$ 이고, 시료 A2가  $9.00 \times 10^{19}$  개/ $\text{cm}^3$ 이고, 비교예 시료가  $7.75 \times 10^{20}$  개/ $\text{cm}^3$ 이었다.
- [0286] 이어서, 시료 A1, 시료 A2, 비교예 시료에 대해 SIMS를 수행하여 질화 실리콘막 내의 수소 농도를 측정하였다. 도 17a에 SIMS 결과를 도시하였다.
- [0287] 시료 A1에 함유된 수소 농도는  $1.25 \times 10^{22}$  atoms/ $\text{cm}^3$ 이고, 시료 A2에 함유된 수소 농도는  $1.67 \times 10^{22}$  atoms/ $\text{cm}^3$ 이고, 비교예 시료에 함유된 수소 농도는  $2.48 \times 10^{22}$  atoms/ $\text{cm}^3$ 이었다. 따라서, 시료 A1 및 시료 A2는 비교예 시료에 비하여 막 내에 함유된 수소 농도가 저감되어 있는 것이 확인되었다.
- [0288] 이어서, 시료 A1, 시료 A2, 비교예 시료의 조성을 RBS에 의해 측정하였다. 도 17b에 RBS 분석에서 얻어진 정량값을 도시하였다.
- [0289] 도 17b의 세로축은 각 시료가 함유한 실리콘(Si), 질소(N), 수소(H)의 비율(atomic%) 값이다. 시료 A1에는 실리콘 39.5atomic%, 질소 50.6atomic%, 수소 9.9atomic%가 함유되어 있는 것이 확인되었다. 시료 A2에는 실리콘 36.2atomic%, 질소 50.3atomic%, 수소 13.5atomic%가 함유되어 있는 것이 확인되었다. 비교예 시료에는 실리콘 31.6atomic%, 질소 47.6atomic%, 수소 20.8atomic%가 함유되어 있는 것이 확인되었다. 따라서, 시료 A1 및 시료 A2는 비교예 시료에 비하여 수소 비율이 저감되어 있는 것이 확인되었다.
- [0290] 본 실시예에서 제작된 막은 수소 분자의 이탈량이 적고, 또 막 내의 수소 농도도 저감되어 있다. 따라서, 상기 막은 본 발명의 일 형태의 반도체 장치에 적용되는 막으로서 적합하다.
- [0291] (실시예 2)
- [0292] 본 실시예에서는 본 발명의 일 형태의 반도체 장치에 사용하는 질화 실리콘막의 수소의 블로킹성에 대해 평가하였다. 평가 방법으로서 TDS를 수행하였다.
- [0293] 우선, 실리콘 웨이퍼 위에 막 두께 275nm의 질화 실리콘막 B1을 형성하였다. 질화 실리콘막 B1로서는 실시예 1에 제시된 비교예 시료와 동일한 조건을 이용하여 형성하였다.
- [0294] 도 18a에 질화 실리콘막 B1의 TDS 분석을 도시하였다. 도 18a의 가로축은 기판 온도를 나타내고, 세로축은 기판 온도에 대한 수소 분자의 이탈량을 나타낸다. 질화 실리콘막 B1은 TDS에 의한 가열에 의해, 350℃ 부근부터

수소 분자가 이탈되기 시작하고 500℃ 부근에 수소 분자 이탈량의 피크가 검출되었다. 또한, 도 18a에 도시한 TDS에 의한 수소 분자의 이탈량의 정량값은  $7.75 \times 10^{20}$  개/cm<sup>3</sup>이다.

[0295] 이어서, 질화 실리콘막 B1 위에, 실시예 1에서 제시한 바와 같이 본 발명의 일 형태의 반도체 장치에 적용할 수 있는 질화 실리콘막 B2를 막 두께 50nm로 적층하여, 시료 C를 제작하였다. 질화 실리콘막 B2는 실시예 1에 제시된 시료 A1에 사용한 질화 실리콘막과 동일한 조건을 이용하여 형성하였다.

[0296] 도 18b에 시료 C의 기판 온도에 대한 수소 분자 이탈량을 도시하였다.

[0297] 도 18b에 도시한 바와 같이, 시료 C는 550℃ 이하에서 수소 분자 이탈량의 피크가 보이지 않았다. 또한, 시료 C의 수소 분자 이탈량의 정량값은  $1.10 \times 10^{20}$  개/cm<sup>3</sup>이다. 따라서, 질화 실리콘막 B1 위에, 본 발명의 일 형태인 반도체 장치에 사용하는 질화 실리콘막 B2를 적층하여 제공함으로써, 질화 실리콘막 B1 단독의 경우에 관측된 수소 분자의 이탈을 억제할 수 있는 것이 확인되었다.

[0298] 따라서, 본 발명의 일 형태인 반도체 장치에 적용할 수 있는 질화 실리콘막은 수소에 대한 블로킹성을 갖는 것이 확인되었다.

**부호의 설명**

- [0299] 100: 기판
- 102: 하지 절연막
- 108: 게이트 절연막
- 110: 게이트 전극층
- 116: 반도체층
- 120a: 측벽 절연막
- 120b: 측벽 절연막
- 124a: 소스 전극층
- 124b: 드레인 전극층
- 125: 절연막
- 131: 절연막
- 133: 절연막
- 135: 절연막
- 137: 절연막
- 141a: 도전층
- 141b: 도전층
- 142a: 소스 전극층
- 142b: 드레인 전극층
- 143: 질화 실리콘막
- 144: 산화물 반도체막
- 144a: 저저항 영역
- 144b: 저저항 영역
- 144c: 저저항 영역
- 144d: 저저항 영역

- 144e: 채널 형성 영역
- 145: 배선층
- 146: 게이트 절연막
- 147: 절연막
- 148: 게이트 전극층
- 149: 절연막
- 151: 절연막
- 153: 절연막
- 155: 절연막
- 157: 절연막
- 159: 배선층
- 160: 트랜지스터
- 162: 트랜지스터
- 201: 트랜지스터
- 202: 트랜지스터
- 203: 트랜지스터
- 204: 트랜지스터
- 211: 트랜지스터
- 212: 트랜지스터
- 213: 트랜지스터
- 214: 트랜지스터
- 242: 도전층
- 250: 메모리 셀
- 251: 메모리 셀 어레이
- 251a: 메모리 셀 어레이
- 251b: 메모리 셀 어레이
- 253: 주변 회로
- 254: 용량 소자
- 256: 도전층
- 257: 도전층
- 258: 배선층
- 259: 배선층
- 260: 트랜지스터
- 262: 트랜지스터
- 264: 용량 소자
- 271: 배선층

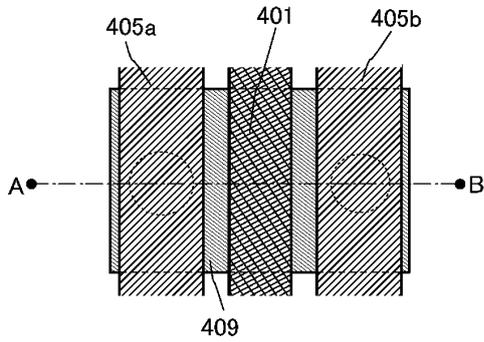
- 272: 배선층
- 273: 도전층
- 274: 도전층
- 275: 도전층
- 276: 도전층
- 277: 도전층
- 400: 기관
- 401: 게이트 전극층
- 402: 게이트 절연막
- 403: 채널 형성 영역
- 403a: 영역
- 403b: 영역
- 404a: 저저항 영역
- 404b: 저저항 영역
- 405a: 소스 전극층
- 405b: 드레인 전극층
- 406a: 저저항 영역
- 406b: 저저항 영역
- 407: 질화 실리콘막
- 408a: 저저항 영역
- 408b: 저저항 영역
- 409: 산화물 반도체막
- 410a: 저저항 영역
- 410b: 저저항 영역
- 411: 층간 절연막
- 412: 절연막
- 413a: 측벽 절연막
- 413b: 측벽 절연막
- 414: 층간 절연막
- 420: 트랜지스터
- 421: 불순물 원소
- 430: 트랜지스터
- 436: 하지 절연막
- 438: 하지 절연막
- 509: 산화물 반도체막
- 520: 트랜지스터

- 530: 트랜지스터
- 540: 트랜지스터
- 801: 트랜지스터
- 803: 트랜지스터
- 804: 트랜지스터
- 805: 트랜지스터
- 806: 트랜지스터
- 807: X 디코더
- 808: Y 디코더
- 811: 트랜지스터
- 812: 유지 용량
- 813: X 디코더
- 814: Y 디코더
- 901: RF 회로
- 902: 아날로그 베이스밴드 회로
- 903: 디지털 베이스밴드 회로
- 904: 배터리
- 905: 전원 회로
- 906: 애플리케이션 프로세서
- 907: CPU
- 908: DSP
- 910: 플래시 메모리
- 911: 디스플레이 컨트롤러
- 912: 메모리 회로
- 913: 디스플레이
- 914: 표시부
- 915: 소스 드라이버
- 916: 게이트 드라이버
- 917: 음성 회로
- 918: 키보드
- 919: 터치 센서
- 950: 메모리 회로
- 951: 메모리 컨트롤러
- 952: 메모리
- 953: 메모리
- 954: 스위치

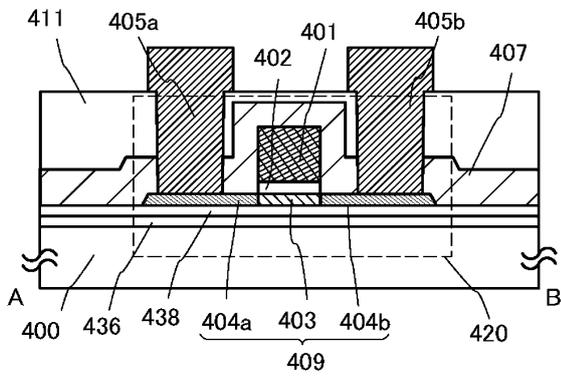
- 955: 스위치
- 956: 디스플레이 컨트롤러
- 957: 디스플레이
- 1001: 배터리
- 1002: 전원 회로
- 1003: 마이크로 프로세서
- 1004: 플래시 메모리
- 1005: 음성 회로
- 1006: 키보드
- 1007: 메모리 회로
- 1008: 터치 패널
- 1009: 디스플레이
- 1010: 디스플레이 컨트롤러
- 9033: 후크
- 9034: 스위치
- 9035: 전원 스위치
- 9036: 스위치
- 9038: 조작 스위치
- 9630: 하우징
- 9631: 표시부
- 9631a: 표시부
- 9631b: 표시부
- 9632a: 영역
- 9632b: 영역
- 9633: 태양 전지
- 9634: 충방전 제어 회로
- 9635: 배터리
- 9636: DCDC 컨버터
- 9637: 컨버터
- 9638: 조작 키
- 9639: 버튼

도면

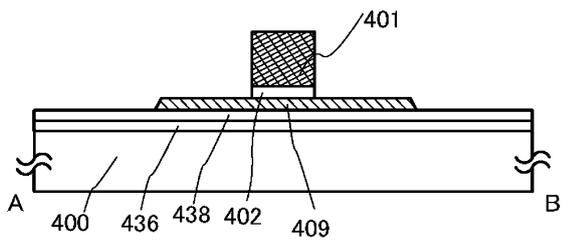
도면1a



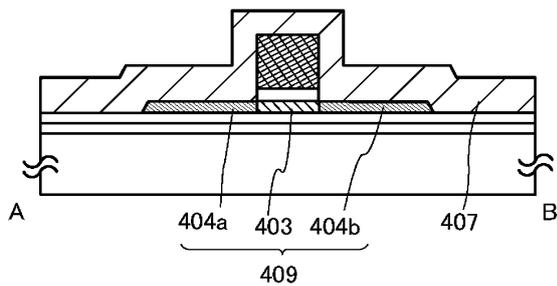
도면1b



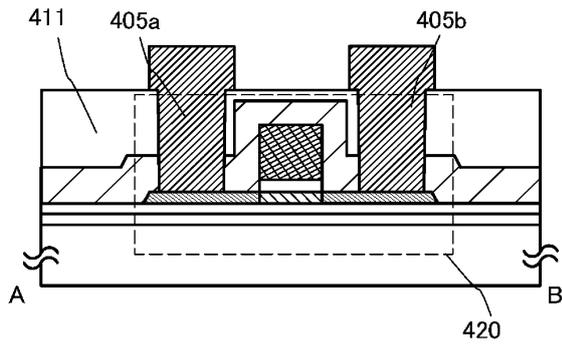
도면2a



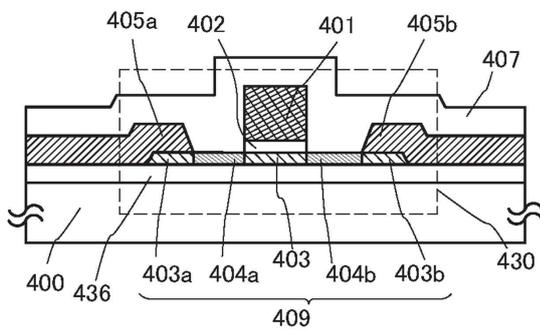
도면2b



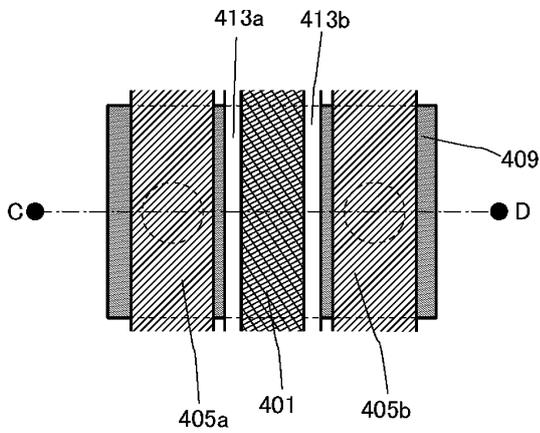
도면2c



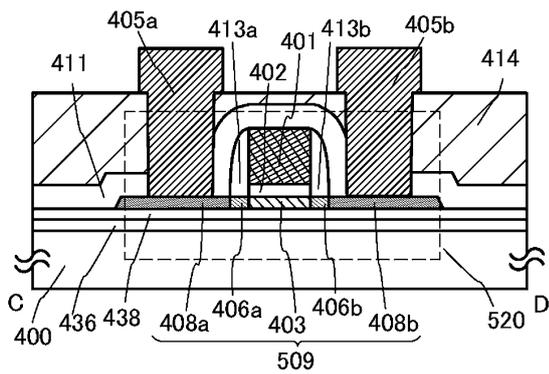
도면3



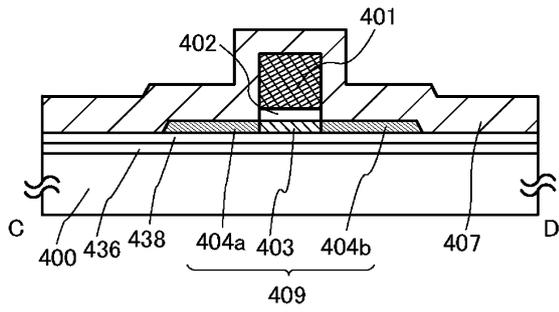
도면4a



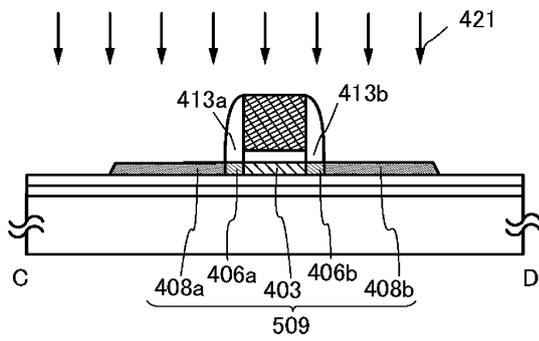
도면4b



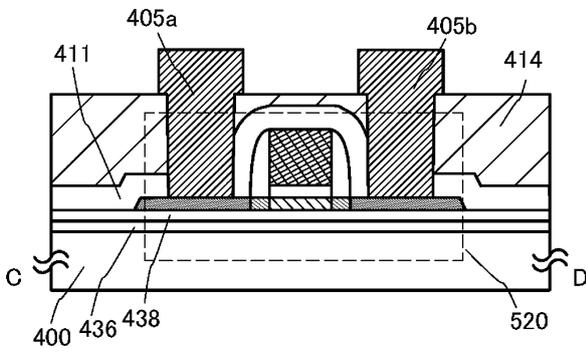
도면5a



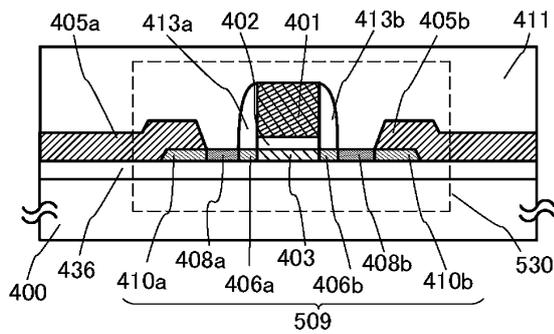
도면5b



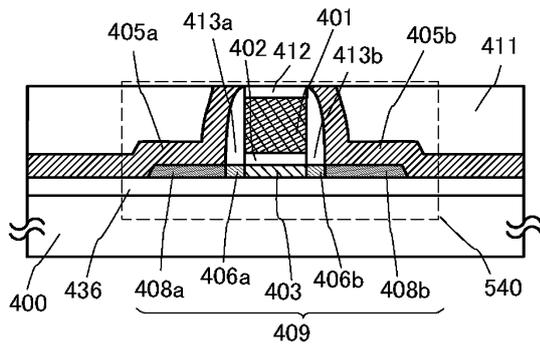
도면5c



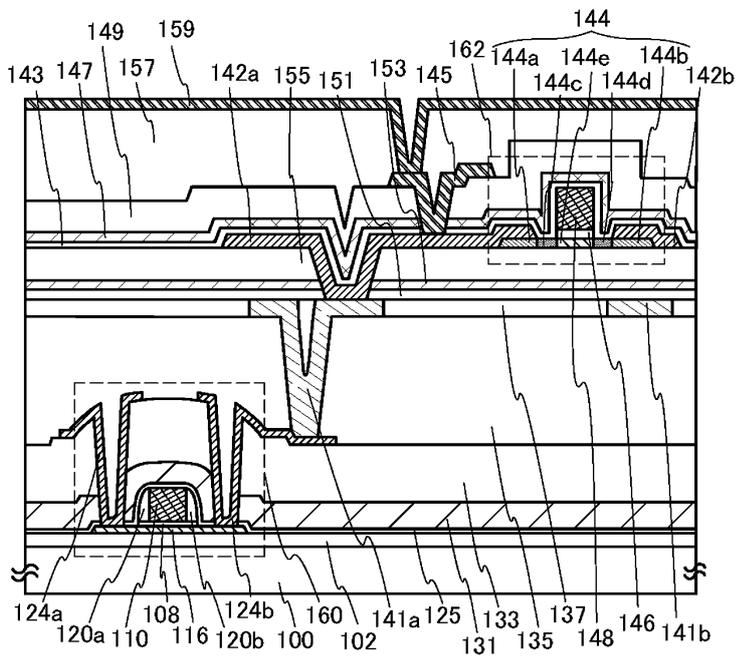
도면6a



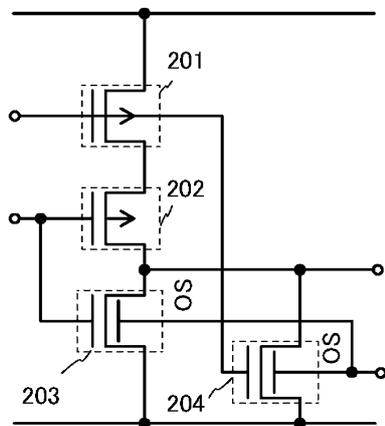
도면6b



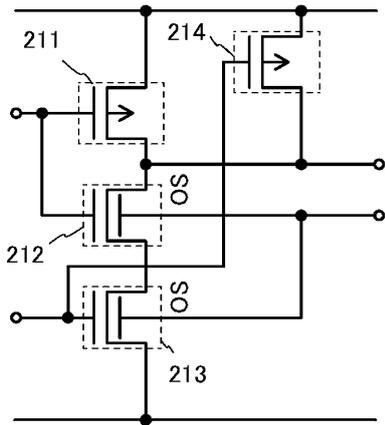
도면7



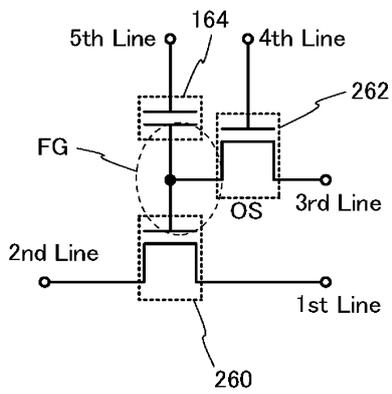
도면8a



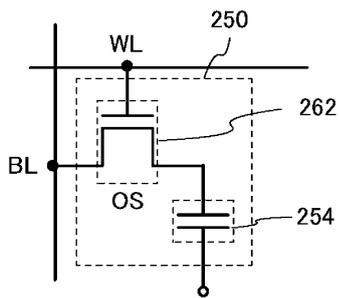
도면8b



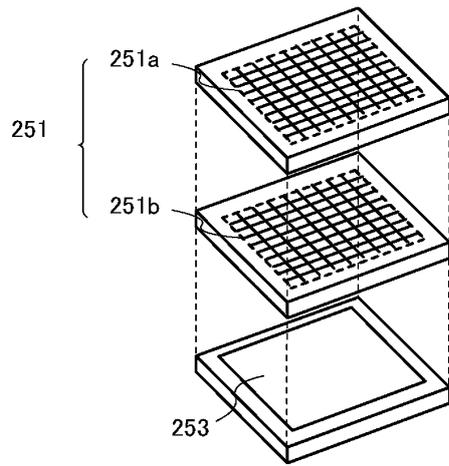
도면9a



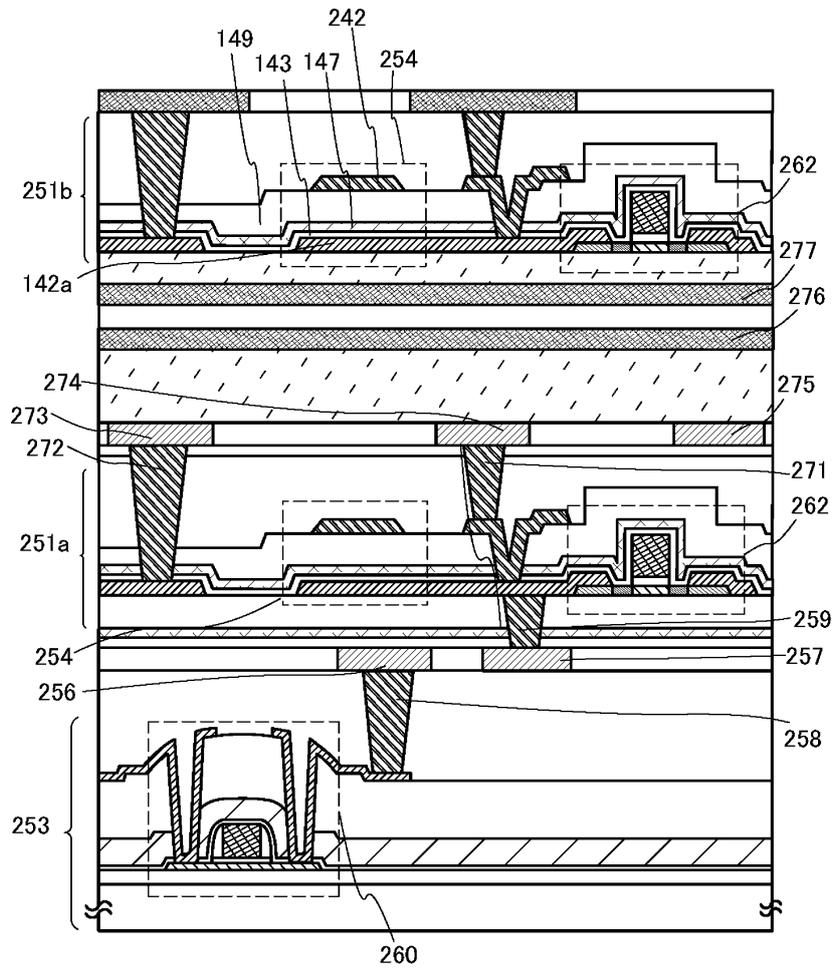
도면9b



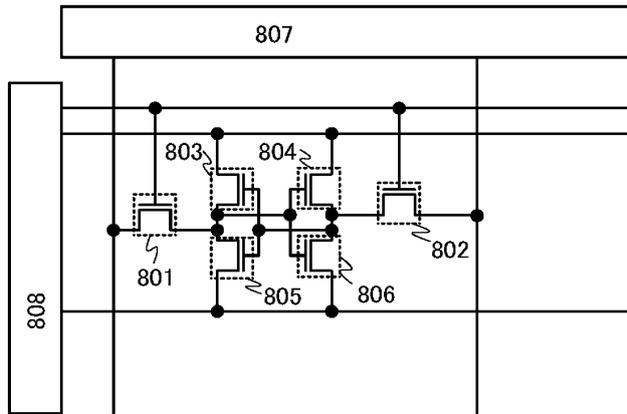
도면9c



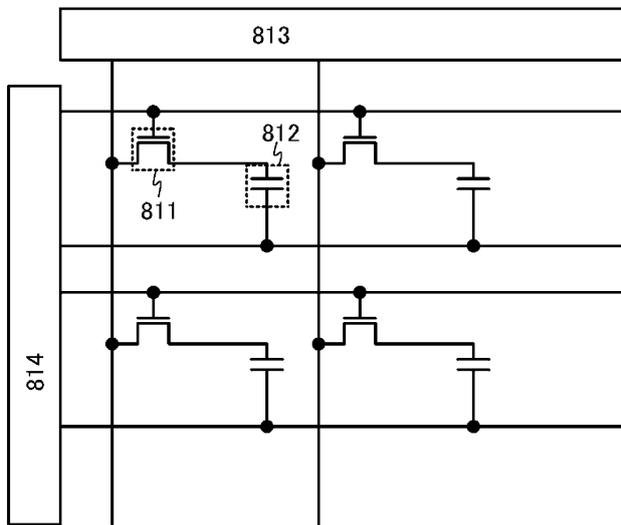
도면10



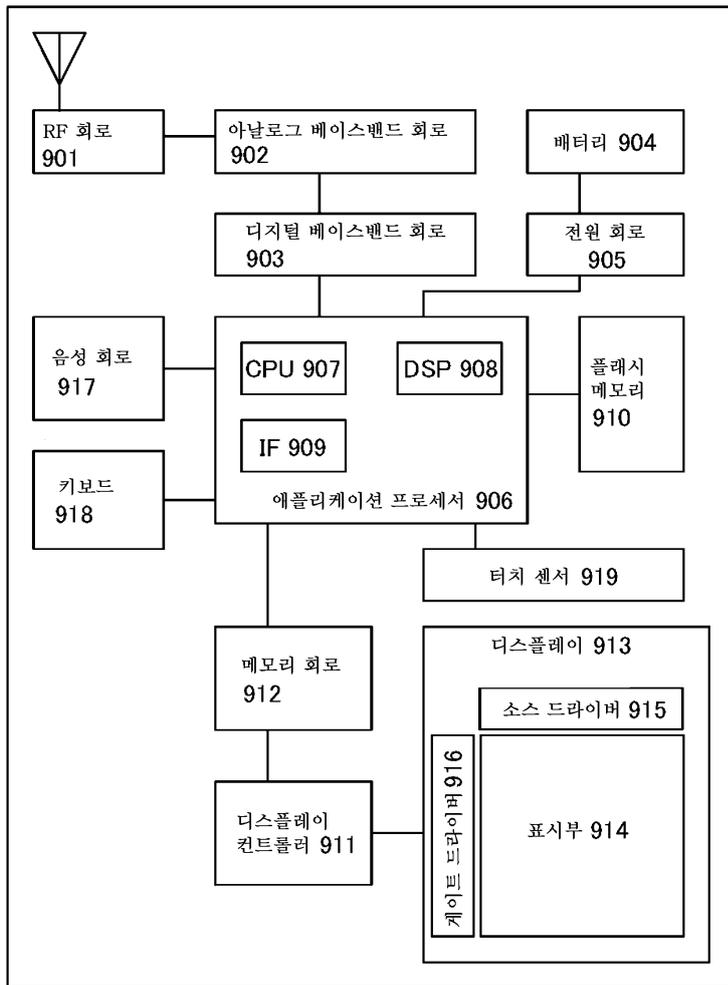
도면11a



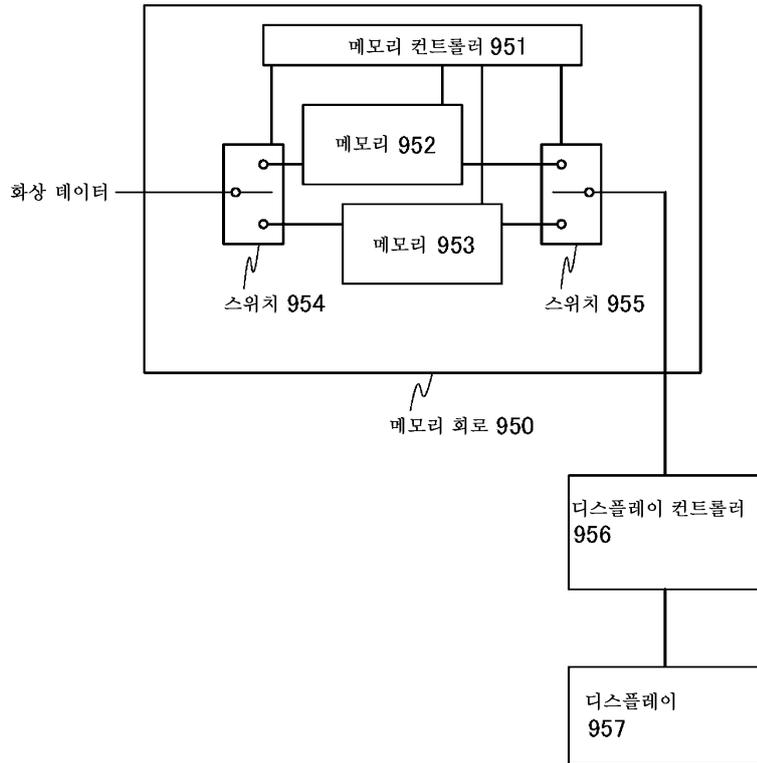
도면11b



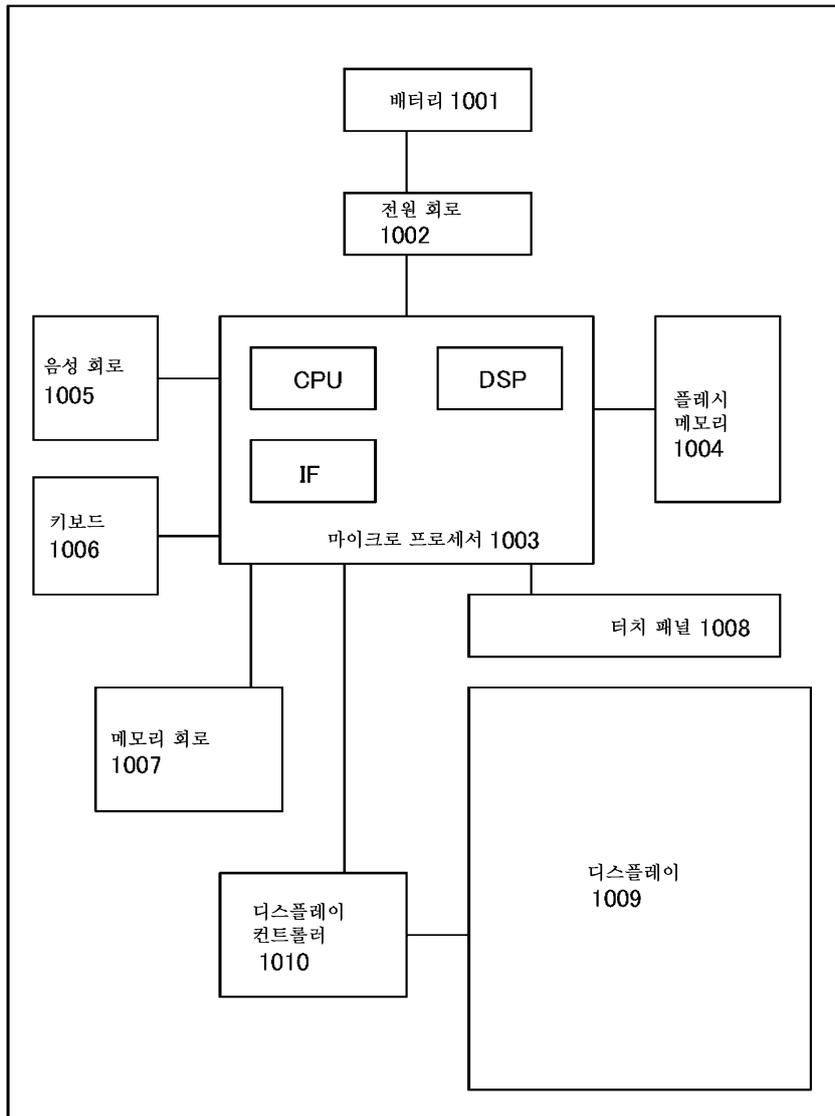
도면12



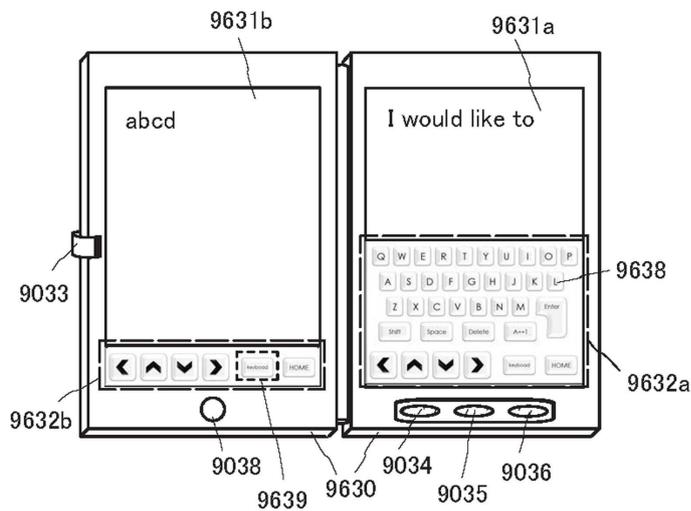
도면13



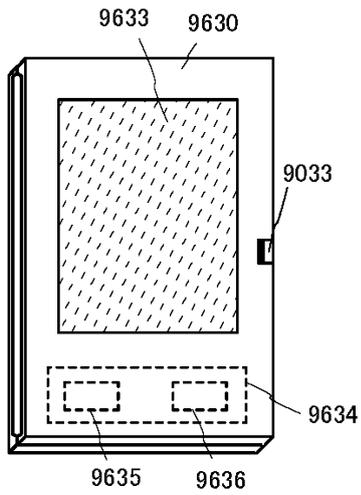
도면14



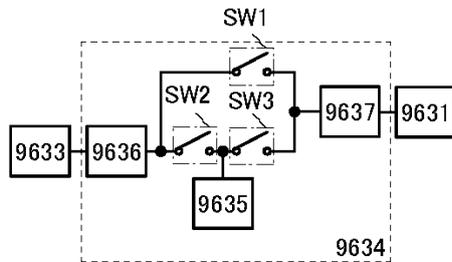
도면15a



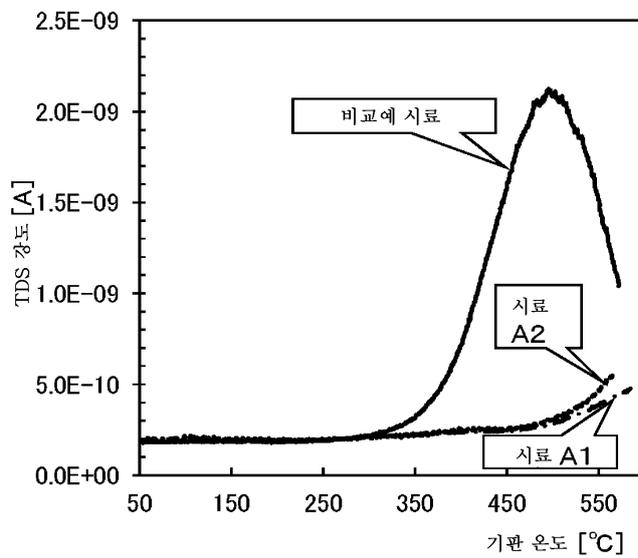
도면15b



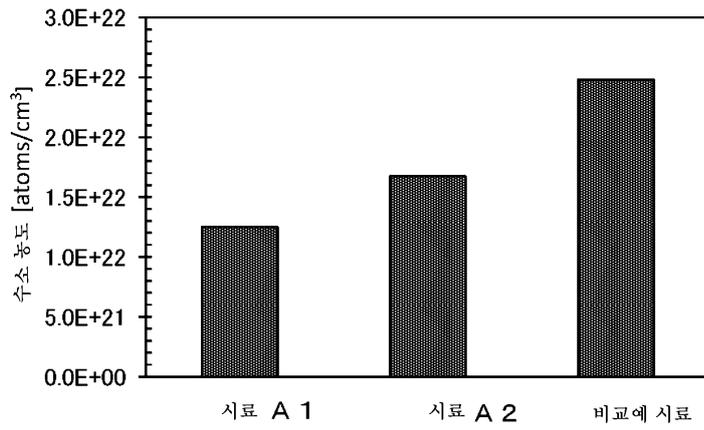
도면15c



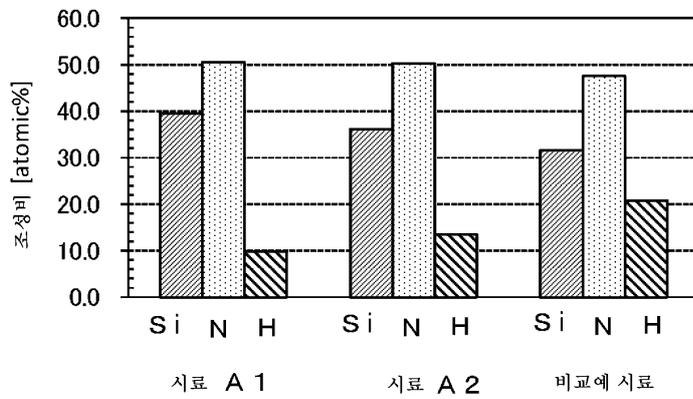
도면16



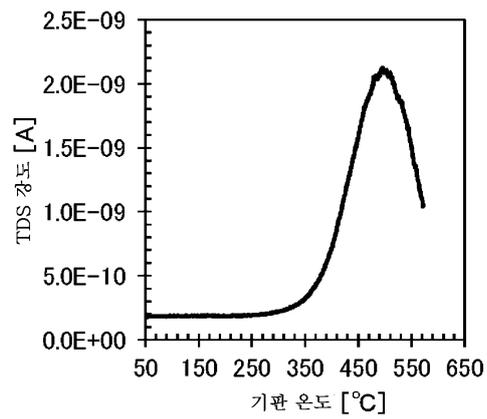
도면17a



도면17b



도면18a



도면18b

