

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3950547号

(P3950547)

(45) 発行日 平成19年8月1日(2007.8.1)

(24) 登録日 平成19年4月27日(2007.4.27)

(51) Int. Cl.

F I

H O 1 L 21/8242 (2006.01)

H O 1 L 27/10 6 8 1 B

H O 1 L 27/108 (2006.01)

H O 1 L 27/10 6 2 1 C

請求項の数 16 (全 13 頁)

(21) 出願番号	特願平10-122400	(73) 特許権者	397031108
(22) 出願日	平成10年5月1日(1998.5.1)		世界先進積體電路股▲ふん▼有限公司
(65) 公開番号	特開平11-307742		台湾新竹科学工業園区新竹県園区三路12
(43) 公開日	平成11年11月5日(1999.11.5)		3号
審査請求日	平成15年10月10日(2003.10.10)	(74) 代理人	100089705
(31) 優先権主張番号	87105867		弁理士 社本 一夫
(32) 優先日	平成10年4月17日(1998.4.17)	(74) 代理人	100071124
(33) 優先権主張国	台湾(TW)		弁理士 今井 庄亮
		(74) 代理人	100076691
			弁理士 増井 忠式
		(74) 代理人	100075236
			弁理士 栗田 忠彦
		(74) 代理人	100075270
			弁理士 小林 泰

最終頁に続く

(54) 【発明の名称】 低いビット線間結合容量を有する低抵抗ビット線構造の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に第1領域を用意して、前記半導体基板の周辺領域とするステップと、
前記半導体基板に第2領域を用意して、前記半導体基板のセルアレイ領域とするステップと、

前記半導体基板の前記周辺領域にゲート絶縁膜上のゲート構造およびソース/ドレイン領域を含む第1グループの伝達ゲートトランジスタを形成するステップと、

前記半導体基板の前記セルアレイ領域にゲート絶縁膜上のゲート構造およびソース/ドレイン領域を含む第2グループの伝達ゲートトランジスタを形成するステップと、

前記セルアレイ領域の第1絶縁膜中に開設した複数コンタクトホール内部にそれぞれポリシリコンコンタクトプラグ構造を形成して、下方に位置する前記した第2グループの伝達ゲートトランジスタの前記ソース/ドレイン領域とコンタクトさせるステップと、

前記ポリシリコンコンタクトプラグ構造のうち第1グループのポリシリコンコンタクトプラグ構造上にキャパシタ構造を形成するステップと、

第2絶縁膜を堆積するステップと、

前記半導体基板の前記周辺領域中の前記第2絶縁膜および前記第1絶縁膜中に第1金属嵌め込み開口を形成し、この第1金属嵌め込み開口が、前記第2絶縁膜中に位置する広くて深いトレンチ開口という上部、ならびに前記第2絶縁膜および前記第1絶縁膜中に位置する狭い開口という下部を有するとともに、前記第1金属嵌め込み開口が、前記第1グループの伝達ゲートトランジスタの前記ソース/ドレイン領域を露出させるステップと、

10

20

前記半導体基板の前記セルアレイ領域中の前記第2絶縁膜中に第2金属嵌め込み開口を形成し、この第2金属嵌め込み開口が、前記第2絶縁膜中に位置する広くて浅いトレンチ開口という上部、ならびに前記第2絶縁膜中に位置する狭い開口という下部を有するとともに、前記ポリシリコンコンタクトプラグ構造のうち第2グループのポリシリコンコンタクトプラグ構造の上表面を露出させるステップと、

前記第1金属嵌め込み開口中に第1ビット線を形成して、前記した広くて深いトレンチ開口中に厚い金属膜および下部を備えるとともに、この下部が、前記した狭い開口中に位置し、前記した第1グループの伝達ゲートトランジスターの前記ソース/ドレイン領域にコンタクトする金属プラグであるものとするステップと、

前記第2金属嵌め込み開口中に第2ビット線を形成して、前記した広くて浅いトレンチ開口中に薄い金属膜および下部を備えるとともに、この下部が、前記した狭い開口中に位置し、前記した第2グループのポリシリコンコンタクトプラグ構造の上表面にコンタクトする金属プラグであるものとするステップと

を具備するものである、低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項2】

上記第1ビット線構造の上記した厚い金属膜が、アルミニウム合金金属膜を含むものであり、その厚さを4000～6000の範囲とするものである請求項1記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項3】

上記第2ビット線構造の上記した薄い金属膜が、アルミニウム合金金属膜を含むものであり、その厚さを750～1250の範囲とするものである請求項1記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項4】

半導体基板に第1領域を用意して、前記半導体基板の周辺領域とするステップと、

前記半導体基板に第2領域を用意して、前記半導体基板のセルアレイ領域とするステップと、

前記半導体基板の前記周辺領域に、二酸化シリコンゲート絶縁膜上のポリサイドゲート構造およびソース/ドレイン領域を備えた第1グループの伝達ゲートトランジスターを形成するステップと、

前記半導体基板のセルアレイ領域に、二酸化シリコンゲート絶縁膜上のポリサイドゲート構造およびソース/ドレイン領域を備えた第2グループの伝達ゲートトランジスターを形成するステップと、

第1絶縁膜を堆積するステップと、

前記第1絶縁膜を平坦化するステップと、

前記半導体基板のセルアレイ領域の前記第1絶縁膜中に複数のコンタクトホールを形成して、前記した第2グループの伝達ゲートトランジスターのソース/ドレイン領域を露出させるステップと、

ポリシリコン膜を堆積するステップと、

前記ポリシリコン膜をパターニングして、前記した複数のコンタクトホール内部に複数のポリシリコンコンタクトプラグ構造を形成するステップと、

前記ポリシリコンコンタクトプラグ構造のうち第1グループのポリシリコンコンタクトプラグ構造上にスタック型キャパシター構造を形成するステップと、

第2絶縁膜を堆積するステップと、

前記第2絶縁膜を平坦化するステップと、

前記半導体基板の前記周辺領域の前記第2絶縁膜の上部に広くて深いトレンチ開口を形成するステップと、

前記半導体基板の前記セルアレイ領域の前記第2絶縁膜の上部に広くて浅いトレンチ開口を形成するステップと、

前記半導体基板の前記周辺領域の前記第2絶縁膜の下部および前記第1絶縁膜中に狭い

10

20

30

40

50

開口を形成して、前記した第1グループの伝達ゲートトランジスターのソース/ドレイン領域を露出させて第1金属嵌め込み開口を形成し、この第1金属嵌め込み開口が、広くて深いトレンチ開口および、この広くて深いトレンチ開口の下方に位置する狭い開口を有するものとするステップと、

前記半導体基板の前記セルアレイ領域の前記第2絶縁膜の前記下部中に狭い開口を形成して、前記ポリシリコンコンタクトプラグ構造のうち第2グループのポリシリコンコンタクトプラグ構造を露出させて第2金属嵌め込み開口を形成し、この第2金属嵌め込み開口が、広くて浅いトレンチ開口および、この広くて浅いトレンチ開口の下方に位置する狭い開口を有するものとするステップと、

金属膜を堆積するステップと、

前記半導体基板の前記周辺領域の前記第2絶縁膜表面の前記金属膜を除去し、前記第1金属嵌め込み開口中に低抵抗ビット線構造を形成するとともに、この低抵抗ビット線構造が、前記した広くて深いトレンチ開口中に厚い金属膜および、この厚い金属膜の下方に位置して、前記した第1グループの伝達ゲートトランジスターの前記ソース/ドレイン領域にコンタクトする前記した狭い開口中の狭い金属プラグを有するものとするステップと、

前記半導体基板の前記セルアレイ領域の前記第2絶縁膜表面の前記金属膜を除去し、前記第2金属嵌め込み開口中に低いビット線間結合容量のビット線構造を形成するとともに、このビット線構造が、前記した広くて浅いトレンチ開口中に薄い金属膜および、この薄い金属膜の下方に位置して、前記した第2グループのポリシリコンコンタクトプラグ構造の表面にコンタクトする前記した狭い開口中の金属プラグを有するものとするステップと

を具備する、低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項5】

上記ポリサイトゲート構造が、厚さを約1000~1500とするニケイ化タングステン膜および厚さを500~1500とするポリシリコン膜である請求項4記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項6】

上記コンタクトホールが、三フッ化メタンをエッチング剤とする異方性の反応性イオンエッチング工程により上記半導体基板の上記セルアレイ領域中の第1絶縁膜中に形成されるものである請求項4記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項7】

上記ポリシリコンコンタクトプラグ構造の形成方法が、先ず減圧化学気相堆積工程により上記コンタクトホール内部に厚さが2000~4000のポリシリコン膜を堆積し、次に、塩素をエッチング剤とする反応性イオンエッチング工程あるいは化学機械研磨工程により前記ポリシリコン膜をパターニングするものである請求項4記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項8】

上記金属膜が、アルミニウム合金金属膜またはタングステン金属膜あるいはケイ化タングステン膜を含むものである請求項4記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項9】

上記半導体基板の上記周辺領域中の上記低抵抗ビット線構造が、厚さを4000~6000とする上記した厚い金属膜および、この厚い金属膜の下方に位置し、上記第1グループの伝達ゲートトランジスターの上記ソース/ドレイン領域にコンタクトする上記した狭い金属プラグを含むものである請求項4記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項10】

上記半導体基板の上記セルアレイ領域中の上記した低いビット線間結合容量の上記ビット線構造が、厚さを750~1250とする上記した薄い金属膜および、この薄い金属膜の下方に位置し、上記第2グループのポリシリコンコンタクトプラグ構造の上表面にコ

10

20

30

40

50

ンタクトする上記した狭い金属プラグを含むものである請求項 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項 1 1】

上記第 1 絶縁膜が、減圧化学気相堆積工程あるいはプラズマ強化化学気相堆積工程により堆積した酸化シリコン膜、ホウ素リンシリケートガラス膜、ホウ素シリケートガラス膜、リンシリケートガラス膜よりなるグループから選択されるとともに、厚さを 5000 ~ 10000 とするものである請求項 1 または 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項 1 2】

上記第 2 絶縁膜が、酸化シリコン、ホウ素リンシリケートガラス、ホウ素シリケートガラス、リンシリケートガラスよりなるグループから選択されるものであるとともに、減圧化学気相堆積工程あるいはプラズマ強化化学気相堆積工程により形成され、厚さを 10000 ~ 15000 とするものである請求項 1 または 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項 1 3】

上記第 1 金属嵌め込み開口が、三フッ化メタンをエッチング剤とする異方性反応性イオンエッチング工程により、上記半導体基板の上記周辺領域の上記第 2 絶縁膜および上記第 1 絶縁膜中に形成されるものである請求項 1 または 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項 1 4】

上記第 2 金属嵌め込み開口が、三フッ化メタンをエッチング剤として、上記半導体基板の上記セルアレイ領域の上記第 2 絶縁膜中に形成されるものである請求項 1 または 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項 1 5】

上記第 1 金属嵌め込み開口という上部にある上記した広くて深いトレンチ開口が、上記第 2 絶縁膜中に形成されるとともに、深さを 4000 ~ 6000 の範囲とするものである請求項 1 または 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【請求項 1 6】

上記第 2 金属嵌め込み開口という上部にある上記した広くて浅いトレンチ開口が、上記第 2 絶縁膜中に形成されるとともに、深さを 750 ~ 1250 の範囲とするものである請求項 1 または 4 記載の低いビット線間結合容量を有する低抵抗ビット線構造の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、半導体デバイスの製造方法に関し、特に、高密度に集積される半導体基板、例えばダイナミックランダムアクセスメモリー (DRAM) のビット線構造における、低いビット線間結合容量を有する低抵抗ビット線構造の製造方法方法に関する。

【0002】

【従来の技術】

【発明が解決しようとする課題】

半導体産業においては、チップ性能を向上させると同時に、特定チップのコストを維持または削減することに努めている。微細化された、あるいはサブミクロンの半導体デバイス製造技術を背景として、チップコストの削減ならびにチップ性能の向上という目標は、順調に達成されているといえよう。サブミクロン技術の運用によって寄生容量退化 (degrade) の効果は低減したが、多くのチップがさらに小さなものとなり、小さなチップでも大きなチップに相当する集積度が得られるようになったため、特定の大きさの半導体基板 (ウェハ) 上により多くのチップを製造できるようになって、製造コストの削減が実現している。しかしながら、256メガビットあるいは、さらに大ビットのDRAMを製造す

10

20

30

40

50

る際には、その大きな集積密度がD R A M性能にとって不利なものとなっている。

【0003】

高密度D R A Mのセルアレイは、伝達ゲートトランジスター領域の寄生容量を減少させた
が、ビット線構造が緊密に集積された領域の結合容量が増加するものとなってD R A M性
能を後退させるものとなっている。H i d a k a等のアメリカ特許第5, 550, 769
号は、半導体メモリーデバイスのビット線構造を開示しているが、この発明の製造方法の
ように、D R A Mの周辺領域に低抵抗の厚いビット線構造を設け、D R A Mのセルアレイ
領域に低抵抗の薄いビット線構造を設けるものではなかった。

【0004】

そこで、この発明の第1の目的は、セルアレイ領域に低いビット線間結合容量を有する高
密度D R A Mチップの製造方法を提供することにある。この発明の第2の目的は、周辺領
域に低抵抗のビット線構造を有する高密度D R A Mチップの製造方法を提供することにあ
る。この発明の第3の目的は、高密度D R A Mチップの周辺領域の金属嵌め込み開口に低
抵抗ビット線構造用の深いトレンチを形成し、高密度D R A Mチップのセルアレイ領域の
金属嵌め込み開口にビット線構造用の浅いトレンチを形成して、低いビット線間結合容量
を実現することにある。

【0005】

【課題を解決するための手段】

上記した課題を解決し、その主要な目的を達成するために、低いビット線間結合容量を有
する低抵抗ビット線構造の製造方法において、半導体基板に第1領域を用意して、半導体
基板の周辺領域とするステップと、半導体基板に第2領域を用意して、半導体基板のセル
アレイ領域とするステップと、半導体基板の周辺領域にゲート絶縁膜上のゲート構造およ
びソース/ドレイン領域を含む第1グループの伝達ゲートトランジスターを形成するステ
ップと、半導体基板のセルアレイ領域にゲート絶縁膜上のゲート構造およびソース/ドレ
イン領域を含む第2グループの伝達ゲートトランジスターを形成するステップと、セルア
レイ領域の第1絶縁膜中に開設した複数のコンタクトホール内部にそれぞれポリシリコン
コンタクトプラグ構造を形成して、下方に位置する第2グループの伝達ゲートトランジス
ターの前記ソース/ドレイン領域とコンタクトさせるステップと、ポリシリコンコンタク
トプラグ構造のうち第1グループのポリシリコンコンタクトプラグ構造上にキャパシター
構造を形成するステップと、第2絶縁膜を堆積するステップと、半導体基板の周辺領域中
の第2絶縁膜および第1絶縁膜中に第1金属嵌め込み開口を形成し、この第1金属嵌め込
み開口が、第2絶縁膜中に位置する広くて深いトレンチ開口という上部、ならびに第2絶
縁膜および第1絶縁膜中に位置する狭い開口という下部を有するとともに、第1金属嵌め
込み開口が、第1グループの伝達ゲートトランジスターのソース/ドレイン領域を露出さ
せるステップと、半導体基板のセルアレイ領域中の第2絶縁膜中に第2金属嵌め込み開口
を形成し、この第2金属嵌め込み開口が、第2絶縁膜中に位置する広くて浅いトレンチ開
口という上部、ならびに第2絶縁膜中に位置する狭い開口という下部を有するとともに、
ポリシリコンコンタクトプラグ構造のうち第2グループのポリシリコンコンタクトプラグ
構造の上表面を露出させるステップと、第1金属嵌め込み開口中に第1ビット線を形成し
て、広くて深いトレンチ開口中に厚い金属膜および下部を備えるとともに、この下部が、
狭い開口中に位置し、第1グループの伝達ゲートトランジスターのソース/ドレイン領域
にコンタクトする金属プラグであるものとするステップと、第2金属嵌め込み開口中に第
2ビット線を形成して、広くて浅いトレンチ開口中に薄い金属膜および下部を備えるとと
もに、この下部が、狭い開口中に位置し、第2グループのポリシリコンコンタクトプラグ
構造の上表面にコンタクトする金属プラグであるものとするステップとから構成される。

【0006】

【作用】

この発明が提供する製造方法においては、高密度D R A Mデバイスが比較的小さな結合容
量を有するものとして行うことができる。この発明の製造方法によりD R A Mのセルアレイに
薄いビット線構造を採用して、低いビット線間結合容量を達成するので、ビット線構造の

10

20

30

40

50

縦方向キャパシターの生成を低減させている。反対に、周辺領域のビット線構造は厚い金属膜構造で形成しているため、DRAMチップのノンアレイセル領域(non-array-cell regions)では低抵抗ビット線構造を維持することができる。DRAMのセルアレイ領域に用いられる薄いビット線構造ならびにDRAMの周辺領域に用いられる厚いビット線構造は金属嵌め込み工程により形成されるもので、絶縁膜中の金属嵌め込み開口という上部が異なる深さを備えて、厚さの異なるビット線構造を収納することができる。

【0007】

【実施例】

以下、この発明にかかる好適な実施例を図面に基づいて説明する。

図1において、結晶方位が $\langle 100 \rangle$ のP形単結晶シリコン基板である半導体基板1を使用して、高密度に集積される半導体基板、例えばDRAMチップの第1領域を周辺領域30(図左側)として形成し、第2領域をセルアレイ領域40(図右側)として形成する。10
先ず、セルアレイ領域40の半導体基板1中にN形埋め込み層2を形成する。次に、厚いフィールド酸化物領域3を形成するが、この厚いフィールド酸化物領域3は、後に周辺領域30に形成されるPチャンネル金属酸化物電界効果半導体素子とNチャンネル金属酸化物電界効果半導体素子とを分離するために用いられ、セルアレイ領域40における素子分離にも用いられる。このフィールド酸化物領域3を形成する方法は、いずれも図示していないが、例えば、先ず標準的なリソグラフィおよびドライエッチングにより窒化シリコン/二酸化シリコンの複合膜をパターニングしてから、フォトレジストを除去した後で注意深く湿式洗浄を行い、酸素雰囲気において熱酸化反応を行うが、先にパターニングした窒化シリコン/二酸化シリコン複合膜を酸化反応に対するマスクとして、約850~1050
20
の温度で厚さが約3000~6000の二酸化シリコンのフィールド酸化物領域3を形成する。その後、酸化反応に対するマスクとしていた窒化シリコン/二酸化シリコン複合膜を除去するが、熱燐酸溶液で窒化シリコン膜を除去し、フッ化水素酸緩衝液で下方の二酸化シリコン膜を除去する。

【0008】

そして、リソグラフィおよびイオン注入によりNウェル4を形成するが、Nウェル4は、周辺領域30のうち半導体基板1の特定領域に形成され、P形金属酸化物電界効果型トランジスタ素子の形成に用いられる。一般的に、ヒ素イオン注入またはリンイオン注入によりNウェル4に必要なドーパントを提供するが、ヒ素イオン注入に使用するエネルギー量を約100~300KeVの範囲とし、使用するドーズ量を約 $1E11 \sim 1E12$ atoms/cm²の範囲とする。リンイオン注入に使用するエネルギー量を約400~1000KeVの範囲とし、使用するドーズ量を約 $1E12 \sim 1E13$ atoms/cm²の範囲とする。その後、プラズマ酸素エッチングおよび湿式洗浄によりNウェル4のフォトレジストを除去してから、次のリソグラフィおよびイオン注入を行う。約1000~2000KeVの範囲の注入エネルギー量ならびにドーズ量を約 $1E12 \sim 1E13$ atoms/cm²のドーズ量で、ホウ素イオンを注入してPウェル5を形成する。周辺領域30およびセルアレイ領域40の両方にあるPウェル5は、後に形成するNチャンネル金属酸化物電界効果型トランジスタ素子を作り込むためのものである。30

【0009】

図2において、周辺領域30およびセルアレイ領域40の両方における伝達ゲートトランジスタの形成を説明する。温度が約850~950の酸素雰囲気において、厚さが約50~200の二酸化シリコンのゲート絶縁膜6を熱成長させてから、減圧化学気相堆積により約550~650の温度で厚さが約500~1500のポリシリコン膜7を形成する。ポリシリコン膜7は、モノシラン雰囲気において直接堆積すると同時に(in situ)にリンまたはヒ素イオンをドーピングするか、あるいは堆積完了後にリンイオン注入することができる。リンイオン注入に使用するエネルギー量を約50~100KeVの範囲とし、使用するドーズ量を約 $1E15 \sim 1E16$ atoms/cm²の範囲とする。次に、減圧化学気相堆積によりニケイ化タンゲステンを含む金属シリサイド膜8を堆積し、その厚さを約1000~1500の範囲とする。再び、減圧化学気相堆積工程またはプラズマ強
40
50

化化学気相堆積工程により窒化シリコン膜 9 を堆積し、その厚さを約 1500 ~ 3000 の範囲とするが、窒化シリコン膜 9 を酸化シリコン膜に換えてもよい。標準的なリソグラフィおよびドライエッチング工程によりポリサイド（金属ポリサイド/ポリシリコン）ゲート構造するが、三フッ化メタンを窒化シリコン膜 9 に対するエッチング剤とし、塩素を金属ポリサイド膜 8 およびポリシリコン膜 7 に対するエッチング剤とする。

【0010】

プラズマ酸素エッチングおよび湿式洗浄によりポリサイドゲート構造の形成に用いたフォトレジスト（いずれも図示せず）を除去してから、従来技術のリソグラフィでフォトレジストマスクを形成し、これにより周辺領域 30 ならびにセルアレイ領域 40 中に N 形の薄くドーピングしたソース/ドレイン領域 10 を形成する。N 形の薄くドーピングしたソース/ドレイン領域 10 を形成するためのイオン注入は、リンイオン注入により行い、そのエネルギー量を約 40 ~ 100 KeV の範囲、そのドーズ量を約 $1E13 \sim 1E14$ atoms/cm² の範囲とする。その後、N 形の薄くドーピングしたソース/ドレイン領域 10 を選択的に形成するため用いたフォトレジストを除去し、類似したフォトレジストマスクおよびホウ素イオン注入によって、周辺領域 30 中に P 形の薄くドーピングしたソース/ドレイン領域 11 を形成する。ホウ素イオン注入のエネルギー量を約 5 ~ 20 KeV の範囲、そのドーズ量を約 $1E13 \sim 1E14$ atoms/cm² の範囲とする。そして、P 形の薄くドーピングしたソース/ドレイン領域 11 の形成に用いたフォトレジストを除去してから、減圧化学気相堆積工程またはプラズマ強化化学気相堆積工程により厚さが約 500 ~ 1500 の窒化シリコン膜または酸化シリコン膜（この実施例では窒化シリコン膜。いずれも図示せず）を堆積し、異方性の反応性イオンエッチングにより各ポリサイドゲート構造の側方に窒化シリコンサイドウォール 12 を形成する。次に、先に N 形および P 形の薄くドーピングしたソース/ドレイン領域 10, 11 の形成と同じ手順で、選択的に N 形の濃くドーピングしたソース/ドレイン領域 13 ならびに P 形の濃くドーピングしたソース/ドレイン領域 14 を形成する。N 形の濃くドーピングしたソース/ドレイン領域 13 は、リンまたはヒ素イオン注入により形成されるもので、そのエネルギー量を約 50 ~ 100 KeV の範囲、そのドーズ量を約 $1E15 \sim 5E15$ atoms/cm² の範囲とする。P 形の濃くドーピングしたソース/ドレイン領域 14 は、ホウ素イオン注入により形成されるもので、そのエネルギー量を約 5 ~ 20 KeV の範囲、そのドーズ量を約 $1E15 \sim 5E15$ atoms/cm² の範囲とする。

【0011】

図 3 において、減圧化学気相堆積工程またはプラズマ強化化学気相堆積工程により酸化シリコンを含む第 1 絶縁膜 15 を堆積するが、その厚さを約 5000 ~ 10000 の範囲とする。この第 1 絶縁膜 15 をホウ素リンシリケートガラス膜、ホウ素シリケートガラス膜あるいはリンシリケートガラス膜とすることができる。そして、化学機械研磨により第 1 絶縁膜 15 を平坦化して、第 1 絶縁膜 15 に平滑な表面を形成してから、従来技術のリソグラフィおよび三フッ化メタンをエッチング剤とする異方性の反応性イオンエッチングで第 1 絶縁膜 15 中にコンタクトホール 16（図示では 3 個）を形成し、セルアレイ領域 40 中の N 形の濃くドーピングしたソース/ドレイン領域 13 を露出させる。次に、減圧化学気相堆積により厚さが約 2000 ~ 4000 のポリシリコン膜（図示せず）を堆積して、コンタクトホール 16 を完全に充填する。ポリシリコン膜（図示せず）は、モノシラン雰囲気三水素化ヒ素（アルシンともいう）または水素化リン（ホスフィンともいう）を加えて直接堆積すると同時にドーピングを行うこともできるし、堆積終了後にヒ素またはリンイオンを注入することもできる。そして、化学機械研磨あるいは塩素をエッチング剤とした選択的な反応性イオンエッチングによって、不要なポリシリコン（図示せず）を除去することで、コンタクトホール 16 内部に第 2 グループのポリシリコンコンタクトプラグ構造 17（図示では 3 個）を形成する。

【0012】

図 4 において、第 1 グループのポリシリコンコンタクトプラグ構造 17（図右側の左右 2 個）の上表面にスタック型キャパシター（Stacked Capacitor）構造 18 を形成するが、

10

20

30

40

50

これら第1グループのポリシリコンコンタクトプラグ構造17はスタック型キャパシター構造18との電氣的接続に用いられる。つまり、タック型キャパシター構造18の形成は、いずれも符号を付していないが、第1グループのポリシリコンコンタクトプラグ構造17の上表面に先ずU字形のポリシリコン蓄積下部電極を形成して、平板な蓄積下部電極と比較して大きな表面を提供できるものとしてから、その上にキャパシター誘電膜を形成し、減圧化学気相堆積により別なポリシリコン膜を堆積し、リソグラフィおよび反応性イオンエッチングでポリシリコンセル電極を形成する。U字形ポリシリコン蓄積下部電極は、先ず、第1ポリシリコン膜を形成してから、この第1ポリシリコン膜上に絶縁膜を形成し、さらに第2ポリシリコン膜を形成して、異方性の反応性イオンエッチングによって絶縁膜の側方にポリシリコンサイドウォールを形成する。次に、ウェットエッチングにより露出されている絶縁膜を除去することでポリシリコンサイドウォールのU字形ポリシリコン蓄積下部電極を下方の第1ポリシリコン膜に接続することにより形成される。

10

【0013】

図5において、減圧化学気相堆積工程またはプラズマ強化化学気相堆積工程により、約400~700の温度で、厚さが約10000~15000の第2絶縁膜19を堆積するが、この第2絶縁膜19は、酸化シリコン膜、ホウ素リンシリケートガラス膜、リンシリケートガラス膜のいずれであってもよい。次に、化学機械研磨により第2絶縁膜19を平坦化して平滑な表面とする。その上にフォトレジスト20を形成し、周辺領域30中の第2絶縁膜19を一部露出させてから、三フッ化メタンをエッチング剤として異方性の反応性イオンエッチングにより第2絶縁膜19中に広くて深いトレンチ開口21を形成する。第2絶縁膜19中の広くて深いトレンチ開口21は、その深さを約4000~6000の範囲とし、後に第1金属嵌め込み開口という上部となる深いトレンチとなり、ビット線金属を充填するが、この深さが約4000~6000の広くて深いトレンチ開口21に金属を充填すると低抵抗ビット線構造を形成することができる(図8を参照)。

20

【0014】

図6において、プラズマ酸素エッチングおよび湿式洗浄でフォトレジスト20を除去してからフォトレジスト22を形成し、セルアレイ領域40の第2絶縁膜19を一部露出させ、三フッ化メタンをエッチング剤として異方性の反応性イオンエッチングにより第2絶縁膜19中に広くて浅いトレンチ開口21を形成する。第2絶縁膜19中の広くて浅いトレンチ開口21は、その深さを約750~1250の範囲とし、後に第2金属嵌め込み開口という上部となる浅いトレンチとして使用され、セルアレイ領域40のビット線構造となる(図8を参照)。セルアレイ領域40中に高密度に集積されたビット線構造については、金属を充填した浅いトレンチのほうが深いトレンチよりも結合容量の発生を減少させることができる。

30

【0015】

図7において、プラズマ酸素エッチングおよび湿式洗浄でフォトレジスト22を除去してからフォトレジスト24を形成し、さらに三フッ化メタンをエッチング剤として異方性の反応性イオンエッチングにより第1および第2金属嵌め込み開口という下部となる狭い開口25, 26をそれぞれ形成する。反応性イオンエッチングによりセルアレイ領域40の第2絶縁膜19に狭い開口26を形成して、下方のソース/ドレイン領域13にコンタクトしている第2グループのポリシリコンコンタクトプラグ構造17(図右側の中央に1個のみ図示)の上表面を露出させる。同時に、反応性イオンエッチングにより周辺領域30の第2絶縁膜19および第1絶縁膜15に狭い開口25を形成して、ソース/ドレイン領域13を露出させる。狭い開口26と比べると、深くなっている狭い開口25は、より多くエッチングしなければならないが、三フッ化メタンというエッチング剤の有する選択性を利用すれば、狭い開口25を多くエッチングする時でも、図右側中央にある第2グループのポリシリコンコンタクトプラグ構造17をエッチングしてしまうことはない。

40

【0016】

図8において、プラズマ酸素エッチングおよび湿式洗浄でフォトレジスト24を除去するとともに、化学気相堆積または高周波スパッタリングにより厚さが約4000~6000

50

の金属膜（図示せず）を形成して、第1および第2金属嵌め込み開口を完全に充填する。使用できる金属としては、銅およびシリコンを含んだアルミニウム合金、あるいはタングステンのような耐熱金属（高融点金属ともいう）、もしくはニケイ化タングステンのような金属シリサイドがある。続いて、化学機械研磨で不要な金属膜（図示せず）を除去して必要なビット線構造を形成する。周辺領域30に形成されるビット線構造は、低抵抗のビット線構造であり、深さが約4000～6000の金属を充填した広くて深いトレンチ27を有しており、その上部に厚い金属膜が形成され、その下部には金属プラグが形成される。セルアレイ領域40に形成されるビット線構造は、深さが約750～1250の金属を充填した広くて浅いトレンチ28を有しており、その上部に薄い金属膜が形成され、その下部には金属プラグが形成されるが、その結合容量を低減させる効果は広くて深いトレンチ（厚い金属膜）27よりも優れている。なお、コンタクトホールおよびコンタクト金属構造もキャパシターを形成するが、図示していない。

10

【0017】

以上のごとく、この発明を好適な実施例により開示したが、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされうるものであるから、その特許権保護の範囲は、特許請求の範囲を基準として定めなければならない。

【0018】

【発明の効果】

以上の説明で分かるように、この発明にかかる製造方法は、高密度DRAMチップ周辺領域の第1金属嵌め込み開口に低抵抗ビット線構造用の深いトレンチを形成し、セルアレイ領域の第2金属嵌め込み開口にビット線構造用の浅いトレンチを形成して、低いビット線間結合容量を実現しているため、DRAMの性能を安定させ、ひいては歩留りを高めるものであり、産業上の利用価値が高い。

20

【図面の簡単な説明】

【図1】この発明にかかる半導体基板に周辺領域およびセルアレイ領域を形成する工程を示す断面図である。

【図2】同じく、周辺領域およびセルアレイ領域に伝達ゲートトランジスターを形成する工程を示す断面図である。

【図3】同じく、セルアレイ領域にポリシリコンコンタクトプラグを形成する工程を示す断面図である。

30

【図4】同じく、セルアレイ領域にスタック型キャパシターを形成する工程を示す断面図である。

【図5】同じく、周辺領域に広くて深いトレンチ開口を形成する工程を示す断面図である。

【図6】同じく、セルアレイ領域に広くて浅いトレンチ開口を形成する工程を示す断面図である。

【図7】同じく、周辺領域およびセルアレイ領域にそれぞれ狭い開口を形成する工程を示す断面図である。

【図8】同じく、周辺領域に厚いビット線構造を、セルアレイ領域に薄いビット線構造をそれぞれ形成する工程を示す断面図である。

40

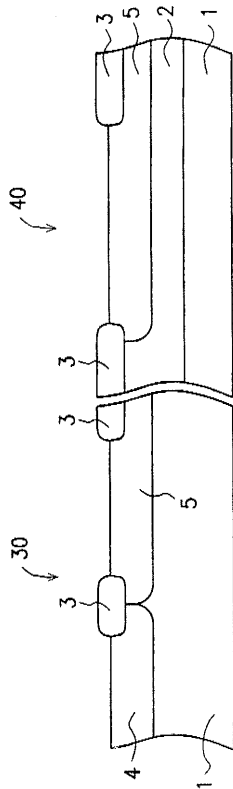
【符号の説明】

- 1 半導体基板（DRAMチップ）
- 6 二酸化シリコンゲート絶縁膜
- 7 ポリシリコン膜
- 8 金属シリサイド膜
- 15 第1絶縁膜
- 16 コンタクトホール
- 17 ポリシリコンコンタクトプラグ構造
- 18 スタック型キャパシター

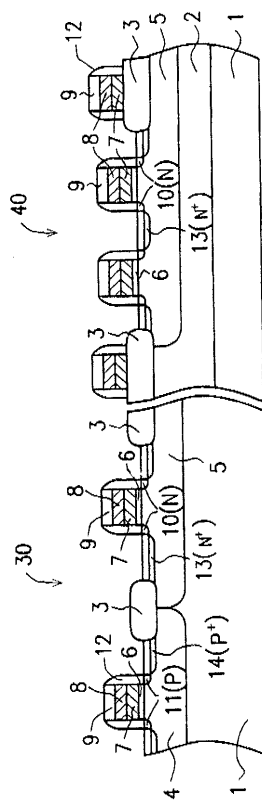
50

- 1 9 第2絶縁膜
- 2 1 広くて深い開口
- 2 3 広くて浅い開口
- 2 5 狭い開口
- 2 6 狭い開口
- 2 7 広くて深いトレンチ(厚い金属膜)
- 2 8 広くて浅いトレンチ(薄い金属膜)

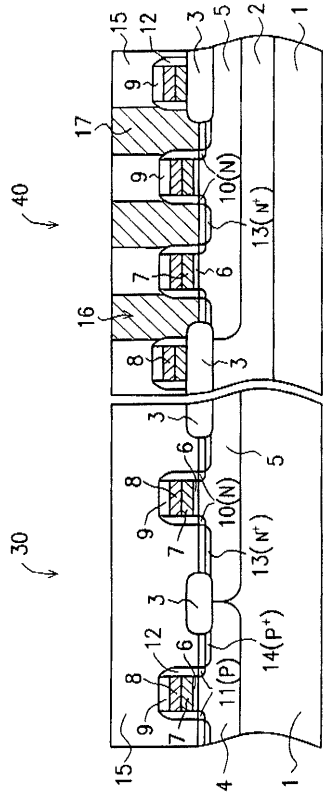
【図1】



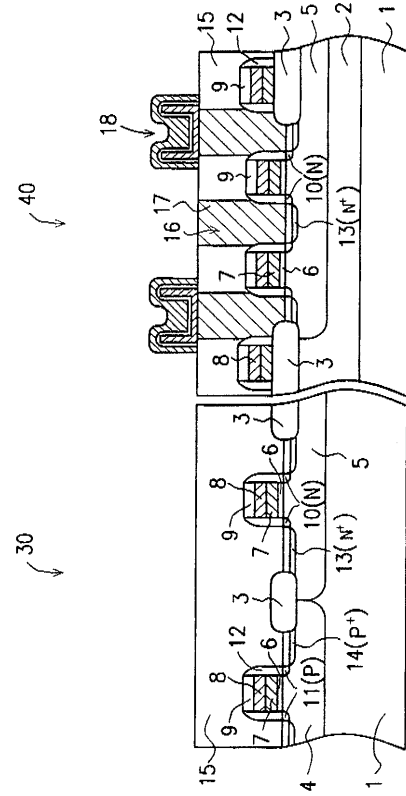
【図2】



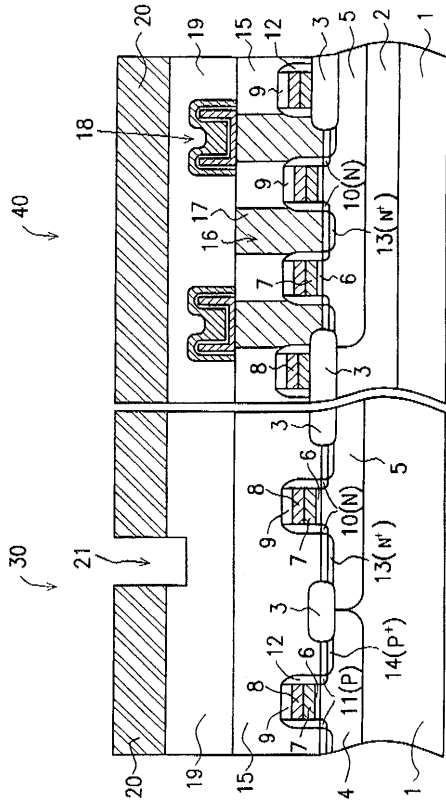
【 図 3 】



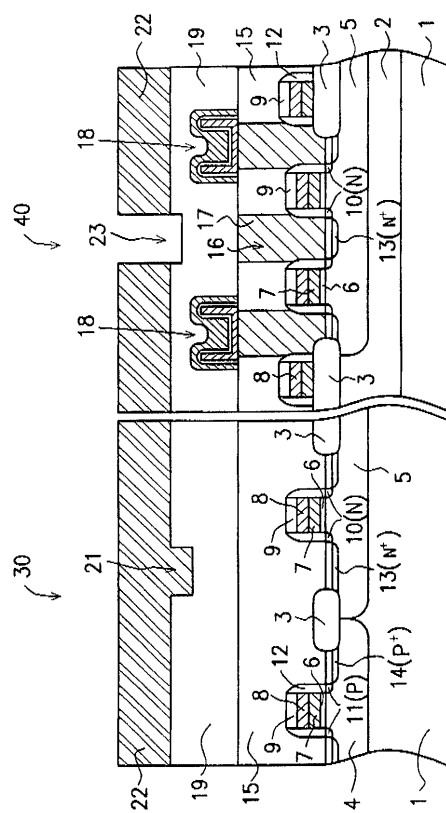
【 図 4 】



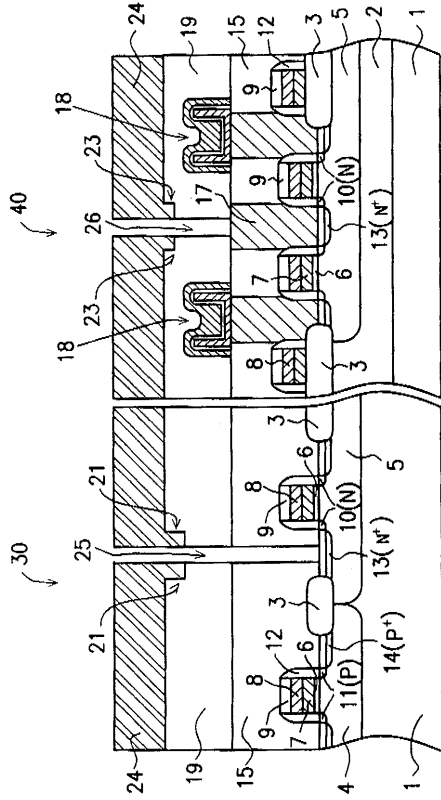
【 図 5 】



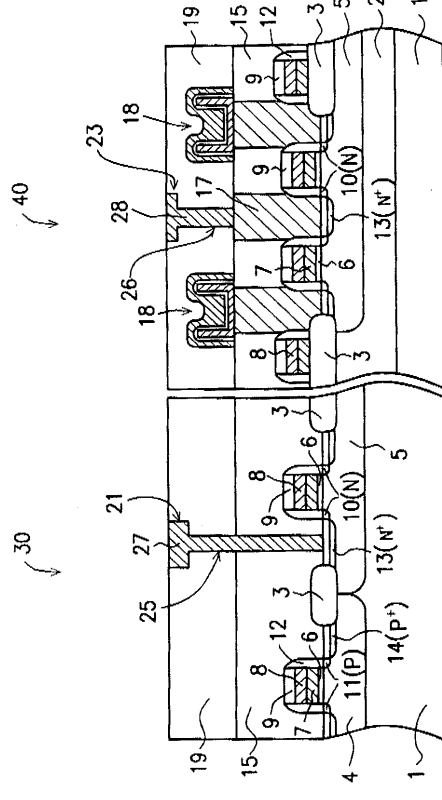
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100078787

弁理士 橋本 正男

(72)発明者 宋 建邁

台湾省桃園縣楊梅鎮埔心金門新村22號

審査官 井原 純

(56)参考文献 特開平09-321244(JP,A)

特表平10-507879(JP,A)

特開平05-160272(JP,A)

特開平10-200075(JP,A)

特開平10-223858(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108