



(12)发明专利

(10)授权公告号 CN 105742338 B

(45)授权公告日 2018.09.28

(21)申请号 201610148745.1

H01L 29/861(2006.01)

(22)申请日 2016.03.16

H01L 21/329(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 105742338 A

(43)申请公布日 2016.07.06

(73)专利权人 杭州立昂微电子股份有限公司

地址 310018 浙江省杭州市下沙经济技术
开发区20号大街199号

(56)对比文件

US 2003/0080355 A1,2003.05.01,

CN 101901807 A,2010.12.01,

US 2013/0026568 A1,2013.01.31,

CN 104701161 A,2015.06.10,

审查员 李水丽

(72)发明人 刘伟

(74)专利代理机构 杭州杭诚专利事务所有限公

司 33109

代理人 尉伟敏 胡寅旭

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/66(2006.01)

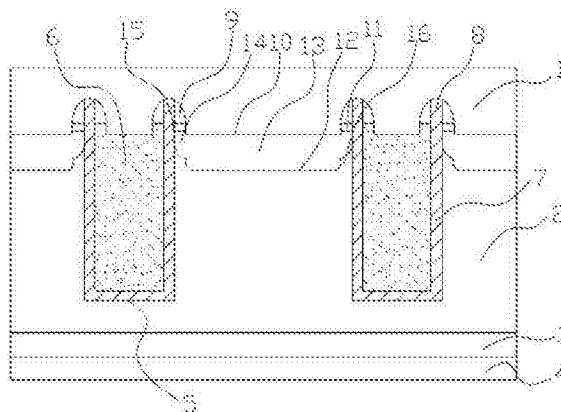
权利要求书2页 说明书5页 附图3页

(54)发明名称

一种半导体整流器及其制造方法

(57)摘要

本发明公开了一种半导体整流器,包括第一导电类型轻掺杂的外延层,外延层上部横向间隔设置有若干第一沟槽,第一沟槽内填充有导电多晶硅,导电多晶硅与第一沟槽之间设有隔离层,隔离层向上凸出形成介质墙壁,介质墙壁的两侧设有导电多晶硅侧墙,外延层上部与导电多晶硅侧墙之间的区域形成第二沟槽,外延层上部设有横向均匀掺杂区和梯度掺杂区,梯度掺杂区与隔离层接触形成沟道,外延层下部、横向均匀掺杂区、梯度掺杂区及隔离层之间设有间隔区。本发明采用沟槽栅结构,同时具有短沟道和沟道掺杂梯度分布,具有更佳的正向导通特性。本发明还公开了一种半导体整流器制造方法,工艺步骤简单,工艺窗口大,易于控制,光刻次数少,制造成本低。



1. 一种半导体整流器, 自上而下依次由阳极金属层(1)、第一导电类型轻掺杂的外延层(2)、第一导电类型重掺杂的单晶硅衬底(3)及阴极金属层(4)构成, 所述外延层上部横向间隔设置有若干第一沟槽(5), 所述第一沟槽内填充有导电多晶硅(6), 所述导电多晶硅(6)与第一沟槽(5)的内表面之间设有隔离层(7), 其特征在于, 所述隔离层向上凸出形成介质墙壁(8), 所述介质墙壁的两侧设有第一导电类型的导电多晶硅侧墙(9), 外延层上部与介质墙壁外侧的导电多晶硅侧墙之间的区域形成第二沟槽(10), 位于介质墙壁外侧的导电多晶硅侧墙底部设有高出于第二沟槽底部的第一导电类型重掺杂区(11), 所述外延层上部设有将第二沟槽、第一导电类型重掺杂区和外延层隔开的第二导电类型非均匀掺杂区(12), 所述第二导电类型非均匀掺杂区包括横向均匀掺杂区(13)和梯度掺杂区(14), 所述梯度掺杂区位于横向均匀掺杂区两侧的上部与隔离层接触形成沟道(15), 所述外延层下部、横向均匀掺杂区、梯度掺杂区及隔离层之间设有间隔区(16), 所述横向均匀掺杂区在纵向具有掺杂梯度分布。

2. 一种如权利要求1所述的半导体整流器制造方法, 其特征在于, 包括以下步骤:

(一) 在第一导电类型的重掺杂单晶硅衬底(3)上生长第一导电类型轻掺杂的外延层(2);

(二) 采用光刻和干法刻蚀在外延层中形成第一沟槽(5);

(三) 在整个结构顶层生长二氧化硅层作为隔离层(7);

(四) 在整个结构顶层沉积导电多晶硅(6), 使导电多晶硅填满第一沟槽;

(五) 采用干法刻蚀选择性去除部分导电多晶硅, 使导电多晶硅顶面与外延层顶面齐平;

(六) 采用干法刻蚀去除整个结构顶层的二氧化硅, 使第一沟槽两侧的外延层的顶部曝露出来;

(七) 采用干法刻蚀选择性去除部分导电多晶硅和外延层, 使隔离层高出外延层顶面, 隔离层高于外延层顶面的部分形成介质墙壁(8);

(八) 在整个结构顶层沉积第一导电类型导电多晶硅(22);

(九) 采用热处理使第一导电类型导电多晶硅中的杂质扩散入外延层顶部, 形成第一导电类型重掺杂区(11);

(十) 采用干法刻蚀去除部分第一导电类型导电多晶硅和外延层, 在介质墙壁的两侧形成第一导电类型导电多晶硅侧墙(9), 无侧墙阻挡的外延层中形成第二沟槽(10), 且第二沟槽的深度大于第一导电类型重掺杂区厚度;

(十一) 采用第一次离子注入在第二沟槽下方的外延层中引入第二导电类型的第一横向均匀分布杂质区(17), 在第一导电类型重掺杂区下方引入第二导电类型的第一梯度分布杂质区(18);

(十二) 采用第二次离子注入在第二沟槽下方的外延层中引入第二导电类型的第二横向均匀分布杂质区(19), 在第一导电类型重掺杂区下方引入第二导电类型的第二梯度分布杂质区(20);

(十三) 采用第三次离子注入在第二沟槽下方的外延层中引入第二导电类型的第三横向均匀分布杂质区(21);

(十四) 采用热处理激活注入的杂质, 第一横向均匀分布杂质区、第二横向均匀分布杂

质区、第三横向均匀分布杂质区构成横向均匀掺杂区(13),第一梯度分布杂质区、第二梯度分布杂质区构成梯度掺杂区(14),横向均匀掺杂区与梯度掺杂区构成第二导电类型非均匀掺杂区(12),以分隔开第一导电类型重掺杂区、第二沟槽和外延层下部;

(十五)在整个结构顶面沉积阳极金属层(1);

(十六)对第一导电类型重掺杂的单晶硅衬底减薄后,在底面沉积阴极金属层(4),即得到半导体整流器。

3.根据权利要求2所述的半导体整流器制造方法,其特征在于,步骤(十三)中第三次离子注入采用的注入能量低于步骤(十二)中第二次离子注入采用的注入能量。

一种半导体整流器及其制造方法

技术领域

[0001] 本发明涉及半导体器件制造技术领域,尤其是涉及一种半导体整流器及其制造方法。

背景技术

[0002] 半导体整流器作为电能的转换器件,出于系统效率提高的考虑,在降低正向导通压降、提高反向阻断电压、减小反向漏电、提高开关速度等性能提升上的要求越来越高。

[0003] 早先作为半导体整流器使用的PN结二极管,由于正向导通时需要克服PN结势垒导致正向导通压升高,以及正向导通时的少子注入导致开关速度慢,已经在很多应用领域被肖特基势垒二极管取代。肖特基势垒二极管通常由低掺杂浓度的N型外延层与顶面沉积的金属层接触形成肖特基势垒构成。器件正向导通时用于克服肖特基势垒所需要的电压低于PN结势垒,并且肖特基势垒二极管为多子导电器件,开关速度快。即便如此,由于肖特基势垒的存在,很小的正向导通电流也会产生一定的正向导通压降。通过选用不同的金属可以降低势垒高度从而减小该正向导通压降,但是反向漏电会随之增大,反向阻断电压也可能降低。同时,肖特基势垒二极管还存在势垒高度降低效应,即随着反向偏置电压升高势垒高度降低的现象,该现象会进一步增大反向漏电、降低反向阻断电压并降低器件可靠性,从而限制了低势垒高度在器件中的应用。为克服上述问题,美国专利 US 5365102 披露了一种沟槽肖特基势垒二极管,其显著特点是在N型外延层中存在若干周期排布的沟槽栅,而N型外延层与顶面沉积的金属层形成的肖特基势垒存在于沟槽栅之间。所述沟槽栅由延伸入N型外延层中的沟槽,覆盖在沟槽表面的隔离层,以及填充其中的与顶面沉积的金属层连接的导电材料组成。周期排布的沟槽栅结构降低了器件反向偏置时肖特基势垒处的电场强度,部分抑制了势垒高度降低效应,使器件可以采用较低的势垒高度。但是肖特基势垒依然存在,并且沟槽栅结构占用了可导电表面积,使得器件小电流下正向导通压降偏大的问题依然存在。

[0004] 美国专利 US 5818084 披露了一种不采用肖特基势垒的半导体整流器,该器件的阳极由沟槽MOSFET器件的栅极、源极、以及体电极短接构成,阴极由沟槽MOSFET器件的漏极构成。该技术的显著特点是采用沟槽栅结构,沟道垂直于半导体晶圆表面,利用MOSFET器件体效应降低开启阈值电压,使器件阳极加正电,即正向偏置时,形成导电沟道所需的电压低于PN结二极管正向开启电压。同时,因为该整流器正向导电通道为MOSFET器件沟道,所以正向导通过程无少子注入现象。将该整流器集成于沟槽MOSFET芯片内,可避免MOSFET寄生的PN结二极管开启,从而进一步避免寄生二极管从正向导通到反向关闭切换时引入的大反向恢复电流和高反向恢复电压尖峰的问题。然而,基于该技术的器件作为独立的半导体整流器,正向导通压降大于肖特基势垒二极管。美国专利 US 6420225 披露了一种基于平面MOSFET的半导体整流器,即器件阳极由平面MOSFET器件的栅极、源极和体电极短接构成,阴极由漏极构成。该器件通过各向异性刻蚀形成介质侧墙,利用侧墙保护下方的离子注入区域形成沟道。美国专利 US 6448160 披露了一种基于平面MOSFET的半导体整流器,该器件

通过氧等离子体各向同性刻蚀的方法部分剥离光刻胶,通过离子注入在光刻胶剥离掉的区域下方形成沟道。美国专利 US 6765264 披露了一种基于平面MOSFET的半导体整流器,该器件通过各向同性刻蚀的方法,使介质掩膜的侧壁由垂直硅晶圆表面变成具有一定坡度,透过该坡度侧壁进行离子注入,形成沟道,沟道掺杂浓度具有梯度。这些技术的显著特点是采用平面栅结构,沟道平行于半导体晶圆表面,沟道长度短。由于采用了短沟道并沟道掺杂梯度分布,形成导电沟道的阈值电压显著降低,从而降低了器件的正向导通压降,特别是小电流下的正向导通压降显著低于肖特基势垒二极管。然而,由于形成短沟道及沟道掺杂梯度分布的方法限制,这类器件通常基于平面栅结构,器件内部寄生有体掺杂区域构成的结型场效应管,寄生结型场效应管增大了导电通道上的串联电阻,同时限制导电沟道密度的提高;为了避免器件反向偏置时短沟道可能带来的穿通漏电,外延层掺杂浓度也通常较低,进一步增大了导电通道上的串联电阻;上述两点使器件大电流下的正向导通压降较高,通常高于沟槽肖特基势垒二极管。

[0005] 由此可见,现有技术半导体整流器正向导通压降上还有欠缺,进一步改善器件结构和制造方法具有重要意义。

发明内容

[0006] 本发明是为了解决现有技术的半导体整流器所存在的上述问题,提供了一种基于沟槽栅结构、同时具有短沟道和沟道掺杂梯度分布,具有更佳的正向导通特性,尤其是更佳的大电流下正向导通压降表现的半导体整流器。

[0007] 本发明还提供了一种半导体整流器的制造方法,该制造方法工艺窗口大,易于控制,制造步骤少,制造成本低,实现了基于沟槽栅结构的短沟道并沟道掺杂梯度分布,能有效提高器件的正向导通性能。

[0008] 为了实现上述目的,本发明采用以下技术方案:

[0009] 本发明的一种半导体整流器,自上而下依次由阳极金属层、第一导电类型轻掺杂的外延层、第一导电类型重掺杂的单晶硅衬底及阴极金属层构成,所述外延层上部横向间隔设置有若干第一沟槽,所述第一沟槽内填充有导电多晶硅,所述导电多晶硅与第一沟槽之间设有隔离层,所述隔离层向上凸出形成介质墙壁,所述介质墙壁的两侧设有第一导电类型的导电多晶硅侧墙,外延层上部与介质墙壁外侧的导电多晶硅侧墙之间的区域形成第二沟槽,位于介质墙壁外侧的导电多晶硅侧墙底部设有高出于第二沟槽底部的第一导电类型重掺杂区,所述外延层上部设有将第二沟槽、第一导电类型重掺杂区和外延层隔开的第二导电类型非均匀掺杂区,所述第二导电类型非均匀掺杂区包括横向均匀掺杂区和梯度掺杂区,所述梯度掺杂区位于横向均匀掺杂区两侧的上部与隔离层接触形成沟道,所述外延层下部、横向均匀掺杂区、梯度掺杂区及隔离层之间设有间隔区,所述横向均匀掺杂区在纵向具有掺杂梯度分布。

[0010] 一种半导体整流器制造方法,包括以下步骤:

[0011] (一)在第一导电类型的重掺杂单晶硅衬底上生长第一导电类型轻掺杂的外延层。

[0012] (二)采用光刻和干法刻蚀在外延层中形成第一沟槽。

[0013] (三)在整个结构顶层生长二氧化硅层作为隔离层。

[0014] (四)在整个结构顶层沉积导电多晶硅,使导电多晶硅填满第一沟槽。

[0015] (五)采用干法刻蚀选择性去除部分导电多晶硅,使导电多晶硅顶面与外延层顶面齐平。

[0016] (六)采用干法刻蚀去除整个结构顶层的二氧化硅,使第一沟槽两侧的外延层的顶部曝露出来。

[0017] (七)采用干法刻蚀选择性去除部分导电多晶硅和外延层,使隔离层高出外延层顶面,隔离层高于外延层顶面的部分形成介质墙壁。

[0018] (八)在整个结构顶层沉积第一导电类型导电多晶硅。

[0019] (九)采用热处理使第一导电类型导电多晶硅中的杂质扩散入外延层顶部,形成第一导电类型重掺杂区。

[0020] (十)采用干法刻蚀去除部分第一导电类型导电多晶硅和外延层,在介质墙壁的两侧形成第一导电类型导电多晶硅侧墙,无侧墙阻挡的外延层中形成第二沟槽,且第二沟槽的深度大于第一导电类型重掺杂区厚度。

[0021] (十一)采用第一次离子注入在第二沟槽下方的外延层中引入第二导电类型的第一横向均匀分布杂质区,在第一导电类型重掺杂区下方引入第二导电类型的第一梯度分布杂质区。

[0022] (十二)采用第二次离子注入在第二沟槽下方的外延层中引入第二导电类型的第二横向均匀分布杂质区,在第一导电类型重掺杂区下方引入第二导电类型的第二梯度分布杂质区。

[0023] (十三)采用第三次离子注入在第二沟槽下方的外延层中引入第二导电类型的第三横向均匀分布杂质区。

[0024] (十四)采用热处理激活注入的杂质,第一横向均匀分布杂质区、第二横向均匀分布杂质区、第三横向均匀分布杂质区构成横向均匀掺杂区,第一梯度分布杂质区、第二梯度分布杂质区构成梯度掺杂区,横向均匀掺杂区与梯度掺杂区构成第二导电类型非均匀掺杂区,以分隔开第一导电类型重掺杂区、第二沟槽和外延层下部。

[0025] (十五)在整个结构顶面沉积阳极金属层。

[0026] (十六)对第一导电类型重掺杂的单晶硅衬底减薄后,在底面沉积阴极金属层,即得到半导体整流器。

[0027] 作为优选,步骤(十三)中第三次离子注入采用的注入能量低于步骤(十二)中第二次离子注入采用的注入能量。

[0028] 因此,本发明具有如下有益效果:

[0029] (1)采用沟槽栅结构,消除了寄生结型场效应管,减少了导电通道上的串联电阻,可以降低器件正向导通压降;

[0030] (2)采用沟槽栅结构,易于提高导电沟道密度,可以降低器件正向导通压降;

[0031] (3)延伸入外延层中的相邻的沟槽栅,可以在器件反向偏置时形成夹断以保护沟道,降低沟道处电场强度,抑制短沟道穿通漏电,使得外延层可以采用更高的掺杂浓度,从而降低器件正向导通压降;

[0032] (4)器件中设置的间隔区,可以在器件反向偏置时形成夹断以保护沟道,进一步抑制短沟道穿通漏电,使得外延层可以采用更高的掺杂浓度,从而降低器件正向导通压降;

[0033] (5)沟道长度短且掺杂浓度可梯度调制,有效降低阈值电压,从而降低器件正向导

通压降,同时可以抑制器件反向偏置时可能发生的短沟道穿通漏电;

[0034] (6)沟道长度和沟道掺杂浓度可通过侧墙形貌调制,也可通过离子注入的能量、剂量、注入次数调制,易于实现短沟道;

[0035] (7)重掺杂区由导电多晶硅与外延层接触并热扩散实现,重掺杂区杂质浓度分布均匀,对沟道长度影响小,易于实现短沟道;

[0036] (8)隔离层延伸出外延层表面,不会因工艺过程损失等因素影响沟道长度,易于实现短沟道;

[0037] (9)间隔区宽度可以通过侧墙形貌调制,间隔区深度可以通过第二沟槽深度和离子注入的能量、注入次数调制,易形成夹断;

[0038] (10)工艺流程采用自对准工艺,工艺窗口大,易于控制,整个流程光刻次数少,制造步骤少,制造流程短,制造成本低。

附图说明

[0039] 图1是本发明的一种结构剖视图。

[0040] 图2是实施例1步骤(六)中的结构示意图。

[0041] 图3是实施例1步骤(九)中的结构示意图。

[0042] 图4是实施例1步骤(十三)中的结构示意图。

[0043] 图中:阳极金属层1,外延层2,单晶硅衬底3,阴极金属层4,第一沟槽5,导电多晶硅6,隔离层7,介质墙壁8,导电多晶硅侧墙9,第二沟槽10,第一导电类型重掺杂区11,第二导电类型非均匀掺杂区12,横向均匀掺杂区13,梯度掺杂区14,沟道15,间隔区16,第一横向均匀分布杂质区17,第一梯度分布杂质区18,第二横向均匀分布杂质区19,第二梯度分布杂质区20,第三横向均匀分布杂质区21,第一导电类型导电多晶硅22。

具体实施方式

[0044] 下面结合附图和具体实施方式对本发明做进一步的描述。

[0045] 实施例1

[0046] 如图1所示的一种半导体整流器,自上而下依次由阳极金属层1、第一导电类型轻掺杂的外延层2、第一导电类型重掺杂的单晶硅衬底3及阴极金属层4构成,外延层上部横向间隔设置有若干第一沟槽5,第一沟槽内填充有导电多晶硅6,导电多晶硅与第一沟槽之间设有隔离层7,隔离层向上凸出形成介质墙壁8,介质墙壁的两侧设有第一导电类型的导电多晶硅侧墙9,外延层上部与介质墙壁外侧的导电多晶硅侧墙之间的区域形成第二沟槽10,位于介质墙壁外侧的导电多晶硅侧墙底部设有高出于第二沟槽底部的第一导电类型重掺杂区11,外延层上部设有将第二沟槽、第一导电类型重掺杂区和外延层隔开的第二导电类型非均匀掺杂区12,第二导电类型非均匀掺杂区包括横向均匀掺杂区13和梯度掺杂区14,梯度掺杂区位于横向均匀掺杂区两侧的上部与隔离层接触形成沟道15,外延层下部、横向均匀掺杂区、梯度掺杂区及隔离层之间设有间隔区16,横向均匀掺杂区在纵向具有掺杂梯度分布。

[0047] 该半导体整流器通过以下方法制得:

[0048] (一)在第一导电类型的重掺杂单晶硅衬底3上生长第一导电类型轻掺杂的外延层

2;

[0049] (二)采用光刻和干法刻蚀在外延层中形成第一沟槽5;

[0050] (三)在整个结构顶层生长二氧化硅层作为隔离层7;

[0051] (四)在整个结构顶层沉积导电多晶硅6,使导电多晶硅填满第一沟槽;

[0052] (五)采用干法刻蚀选择性去除部分导电多晶硅,使导电多晶硅顶面与外延层顶面齐平;

[0053] (六)采用干法刻蚀去除整个结构顶层的二氧化硅,使第一沟槽两侧的外延层的顶部曝露出来(见图2);

[0054] (七)采用干法刻蚀选择性去除部分导电多晶硅和外延层,使隔离层高出外延层顶面,隔离层高于外延层顶面的部分形成介质墙壁8;

[0055] (八)在整个结构顶层沉积第一导电类型导电多晶硅22;

[0056] (九)采用热处理使第一导电类型导电多晶硅中的杂质扩散入外延层顶部,形成第一导电类型重掺杂区11(见图3);

[0057] (十)采用干法刻蚀去除部分第一导电类型的导电多晶硅和外延层,在介质墙壁的两侧形成第一导电类型的导电多晶硅侧墙9,无侧墙阻挡的外延层中形成第二沟槽10,且第二沟槽的深度大于第一导电类型重掺杂区厚度;

[0058] (十一)采用第一次离子注入在第二沟槽下方的外延层中引入第二导电类型的第一横向均匀分布杂质区17,在第一导电类型重掺杂区下方引入第二导电类型的第一梯度分布杂质区18;

[0059] (十二)采用第二次离子注入在第二沟槽下方的外延层中引入第二导电类型的第二横向均匀分布杂质区19,在第一导电类型重掺杂区下方引入第二导电类型的第二梯度分布杂质区20;

[0060] (十三)采用第三次离子注入在第二沟槽下方的外延层中引入第二导电类型的第三横向均匀分布杂质区21,第三次离子注入采用的注入能量低于第二次离子注入采用的注入能量(见图4);

[0061] (十四)采用热处理激活注入的杂质,第一横向均匀分布杂质区、第二横向均匀分布杂质区、第三横向均匀分布杂质区构成横向均匀掺杂区13,第一梯度分布杂质区、第二梯度分布杂质区构成梯度掺杂区14,横向均匀掺杂区与梯度掺杂区构成第二导电类型非均匀掺杂区12,以分隔开第一导电类型重掺杂区、第二沟槽和外延层下部;

[0062] (十五)在整个结构顶面沉积阳极金属层1;

[0063] (十六)对第一导电类型重掺杂的单晶硅衬底减薄后,在底面沉积阴极金属层4,即得到半导体整流器(见图1)。

[0064] 以上所述的实施例只是本发明的一种较佳的方案,并非对本发明作任何形式上的限制,在不超出权利要求所记载的技术方案的前提下还有其它的变体及改型。

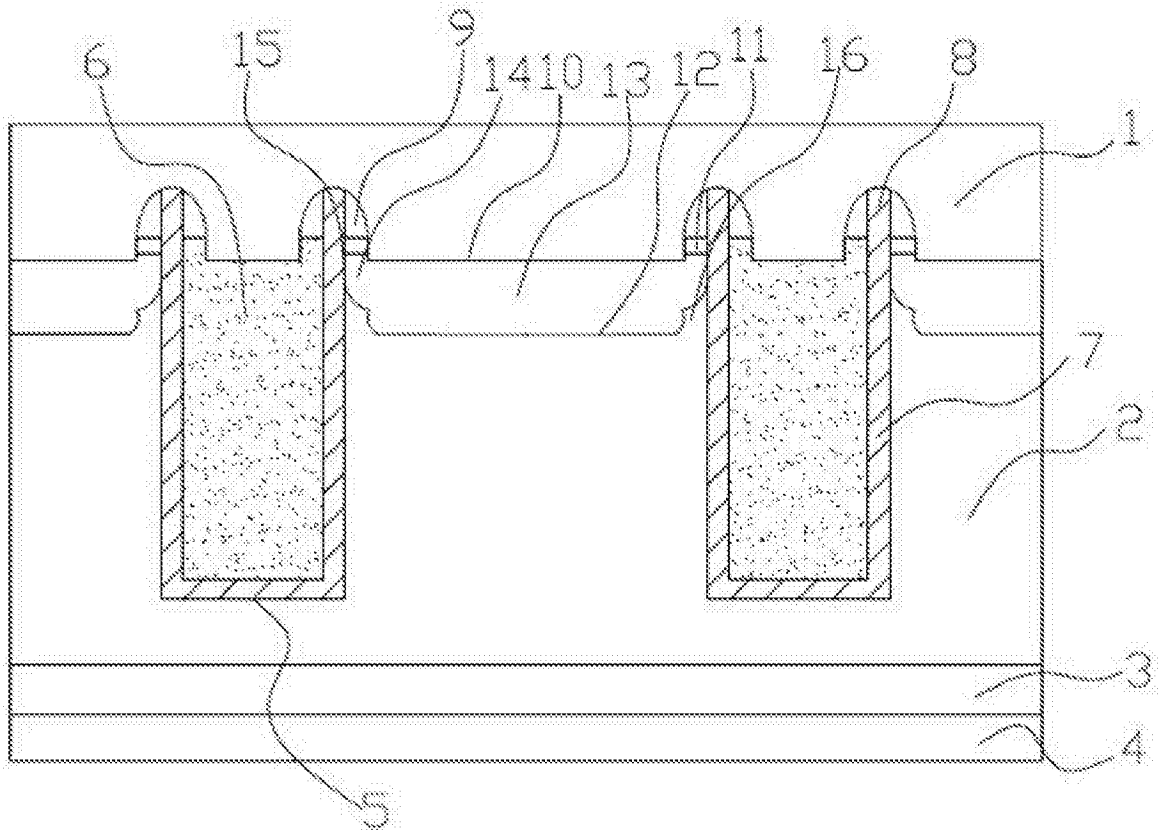


图1

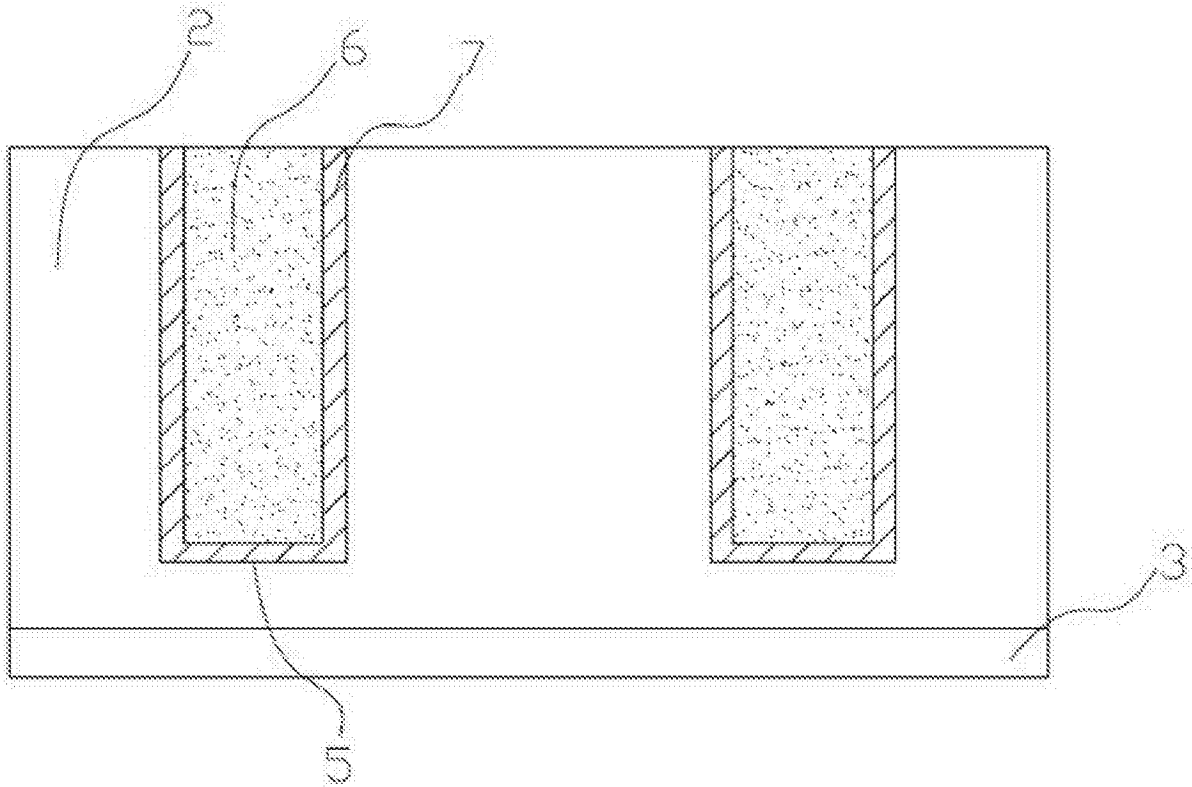


图2

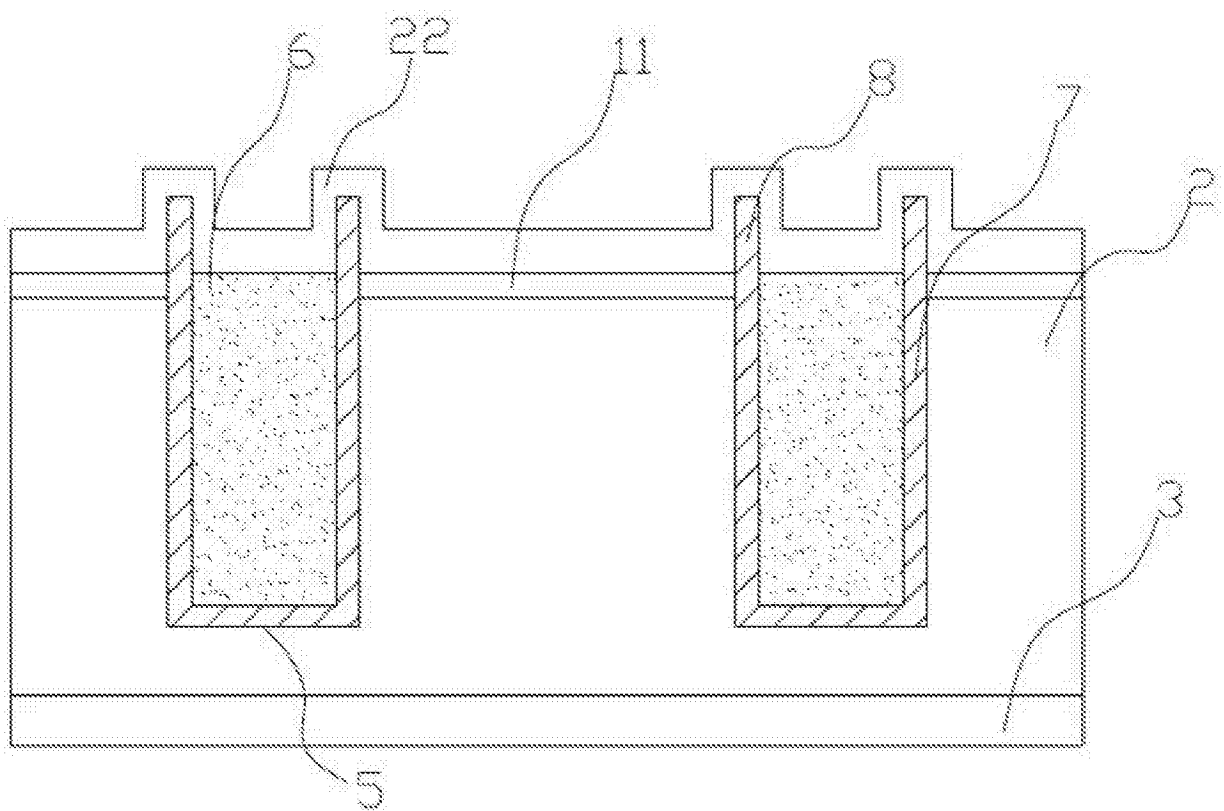


图3

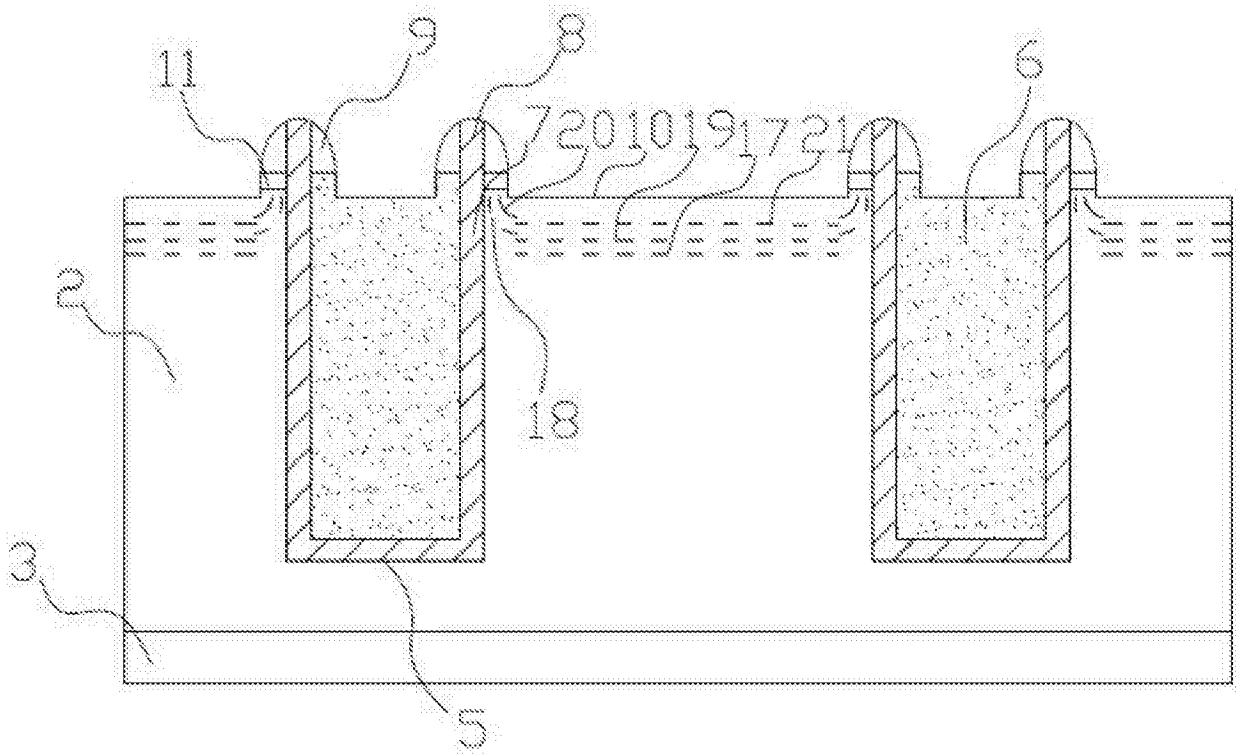


图4