

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97116542

※申請日期：97.5.5

※IPC 分類：G09G 3/16(2006.01)

一、發明名稱：(中文/英文)

掃描驅動器

Scan Driver

二、申請人：(共1人)

姓名或名稱：(中文/英文)

聯詠科技股份有限公司

NOVATEK MICROELECTRONICS CORP.

代表人：(中文/英文) 何泰舜 HO, TAI-SHUNG

住居所或營業所地址：(中文/英文)

新竹科學園區創新一路 13 號 2 樓

2F, No. 13 Innovation Road I, Hsinchu Science Park, HsinChu 300

Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 Taiwan(R.O.C.)

三、發明人：(共1人)

姓名：(中文/英文)

1. 洪敬和 HUNG, CHING-HO

國籍：(中文/英文)

1. 中華民國 (R.O.C.)

**四、聲明事項：**

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

### 五、中文發明摘要：(中文案件名稱：掃描驅動器)

一種掃描驅動器，包括電壓設定電路、計數器(Counter)電路、邏輯電路、動態解碼器(Dynamic Decoder)、N個位準轉換(Level Shift)電路及N個輸出級電路，N為自然數。電壓設定電路設定N個電壓訊號為第一位準。計數器電路提供計數資料至邏輯電路，邏輯電路根據計數資料產生M個控制訊號，M為自然數。動態解碼器包括多個電晶體，其排成N列以分別接收N個電壓訊號。此些電晶體更排成M行，其分別受控於M個控制訊號決定N個電壓訊號之位準。N個位準轉換電路分別提升N個電壓訊號之位準，N個輸出級電路分別根據位準提升後之N個位準輸出N個閘極訊號。

### 六、英文發明摘要：(英文案件名稱：Scan Driver)

A scan driver includes a voltage setting circuit, a counter circuit, a logic circuit, a dynamic decoder, N level shift circuits, and N output stage circuits. The voltage setting circuit sets the level of N voltage signals to a first level. The counter provides a count data to the logic circuit and the logic circuit generates M control signals based on the count data. N and M are nature numbers. The dynamic decoder includes a number of transistors positioned in N rows for respectively receiving the N voltage signals. Those

transistors further positioned in M columns. The M columns transistors are controlled by the M control signals and for controlling the level of the N voltage signals respectively. The N level shift circuits lift the level of the N voltage signals. The N output stage circuits output N gate signals based on the N voltage signals whose level are lifted.

## 七、指定代表圖：

(一)本案指定代表圖為：第(1)圖

(二)本代表圖之元件符號簡單說明：

10：掃描驅動器

12：計數器電路

14：邏輯電路

14\_0~14\_K：邏輯單元

16：動態解碼器

18\_0~18\_K-1：位準轉換電路

20\_0~20\_N-1：輸出級電路

22：電壓設定電路

22\_0~22\_N-1：電壓設定單元

T1、T2：電晶體

nd\_0~nd\_N-1：節點

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種掃描驅動器(Scan Driver)，且特別是有關於一種應用計數器(Counter)及解碼器(Decoder)來實現之掃描驅動器。

### 【先前技術】

在科技發展日新月異的現今時代中，液晶顯示器已廣泛地應用在電子顯示產品上，諸如電視、電腦螢幕、筆記型電腦、行動電話或個人數位助理等。液晶顯示器包括資料驅動器(Data Driver)、掃描驅動器(Scan Driver)及液晶顯示面板。液晶顯示面板中具有畫素陣列，而掃描驅動器用以依序開啟畫素陣列中之多個畫素列，以將資料驅動器輸出之畫素資料掃描至畫素，進而顯示出欲顯示之影像。

以計數器(Counter)搭配解碼器(Decoder)來實現掃描驅動器的技術係已存在。傳統上，多以靜態解碼器(Static Decoder)來實現掃描驅動器。然而，由於靜態解碼器具有電路面積較大及成本較高之問題，因此如何設計出面積較小及成本較低之移位暫存器乃業界所致力之方向之一。

### 【發明內容】

本發明係有關於一種掃描驅動器(Scan Driver)，相較於傳統掃描驅動器，本發明提出之掃描驅動器具有電路面積較小且成本較低之優點。

根據本發明提出一種掃描驅動器，包括電壓設定電路、計數器(Counter)電路、動態解碼器(Dynamic Decoder)、 $N$ 個位準轉換(Level Shift)電路及 $N$ 個輸出級電路。電壓設定電路用以在預先充電期間中設定 $N$ 個節點上之 $N$ 個第一電壓訊號實質上為第一位準。計數器電路產生計數資料，計數資料包括 $K$ 個位元資料，計數資料之數值每隔一個固定週期遞增1或改變其計數值， $K$ 為自然數。第一邏輯電路接收 $K$ 個位元資料，並對應地產生 $M$ 個第一控制訊號， $M$ 為大於 $K$ 之自然數。動態解碼器包括多個第一電晶體，其係排列形成 $N$ 列電晶體電路， $N$ 列電晶體電路分別耦接至 $N$ 個節點。第一電晶體更排列形成 $M$ 行電晶體電路，在一求值期間中， $M$ 行電晶體電路分別受控於 $M$ 個第一控制訊號，來決定 $N$ 個第一電壓訊號之位準， $N$ 為自然數。 $N$ 個位準轉換電路分別提升 $N$ 個第一電壓訊號之位準以產生 $N$ 個第二電壓訊號。 $N$ 個輸出級電路分別接收 $N$ 個第二電壓訊號，並分別輸出 $N$ 個閘極訊號。

根據本發明提出一種掃描驅動器，包括電壓設定電路、計數器電路、動態解碼器及 $N$ 個輸出級電路。電壓設定電路用以在預先充電期間中設定 $N$ 個節點上之 $N$ 個第一電壓訊號實質上為第一位準。計數器電路回應於產生計數資料，計數資料包括 $K$ 個位元資料，計數資料之數值每隔一個固定週期遞增1或改變其計數值， $K$ 為自然數。第一邏輯電路接收 $K$ 個位元資料，並對應地產生 $M$ 個第一控制訊號。第一邏輯電路更提升 $M$ 個第一控制訊號之位準以

產生  $M$  個第二控制訊號。動態解碼器包括多個第一電晶體，第一電晶體係排列形成  $N$  列電晶體電路， $N$  列電晶體電路分別耦接至  $N$  個節點。第一電晶體更排列形成  $M$  行電晶體電路，在一求值期間中， $M$  行電晶體電路分別受控於  $M$  個第二控制訊號來決定  $N$  個第一電壓訊號之位準， $N$  為自然數。 $N$  個輸出級電路分別接收  $N$  個第一電壓訊號，並分別輸出  $N$  個閘極訊號。

為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

本發明實施例提出之以動態解碼器(Dynamic Decoder)搭配計數器電路(Counter)來實現之掃描驅動器(Scan Driver)。

#### 第一實施例

本實施例提出以應用低電壓製程之反及閘平面電路(NAND Plane Circuit)之動態解碼器實現之掃描驅動器。請參照第 1 圖，其繪示依照本發明第一實施例之掃描驅動器的方塊圖。掃描驅動器 10 包括計數器電路 12、邏輯電路 14、動態解碼器 15、位準轉換電路  $18_0 \sim 18_{N-1}$ 、輸出級電路  $20_0 \sim 20_{N-1}$  及保持(Holding)電路  $24_0 \sim 24_{N-1}$ ， $N$  為自然數。動態解碼器 15 係包括 NAND 平面電路 16 及電壓設定電路 22。



98年1月6日修(更)正  
頁

請參照第 2 圖，其繪示乃第 1 圖之掃描驅動器的操作時序圖。掃描驅動器 10 之操作時序主要分為預先充電期間  $T_P$  及求值期間  $T_E$ 。在預先充電期間  $T_P$  中，電壓設定電路 22 用以對節點  $nd_0 \sim nd_{N-1}$  進行電壓位準設定，使節點  $nd_0 \sim nd_{N-1}$  上之電壓訊號  $Vo_1 \sim Vo_{N-1}$  等於第一位準。在求值期間  $T_E$  中，計數器 12 產生包括  $K$  個位元資料  $BD_0 \sim BD_{K-1}$  之計數資料。邏輯電路 14 根據位元資料  $BD_0 \sim BD_{K-1}$  產生  $M$  個控制訊號  $SC_0 \sim SC_{M-1}$ 。 $M$  個控制訊號  $SC_0 \sim SC_{M-1}$  用以在求值期間  $T_E$  中，控制 NAND 平面電路 16 之  $N$  列電晶體等效地形成  $N$  個位準控制電路，以分別控制電壓  $Vo_0 \sim Vo_{N-1}$  之位準。其中， $M$ 、 $N$  與  $K$  均為自然數。舉例來說， $M$  等於  $2K$ ， $N$  等於 2 的  $K$  次方。接下來，以  $K$ 、 $M$  及  $N$  分別等於 8、16 及 256 的例子來對掃描驅動器 10 之操作作進一步說明。

電壓設定電路 22 中包括  $N(=256)$  個電壓設定單元  $22_0$ 、 $22_1$ 、 $22_2$ 、... 及  $22_{N-1}(=255)$ ，其分別用以在電壓設定期間  $T_P$  中設定電壓訊號  $Vo_0 \sim Vo_{N-1}(=255)$  之位準至第一位準。第一位準例如等於掃描驅動器 10 之最高電壓之位準  $VDD$ 。各電壓設定單元  $22_0 \sim 22_{255}$  具有相近之電路結構與操作，接下來，以第  $i$  個電壓設定單元  $22_i$  為例對其他電壓設定單元之操作做說明。其中， $i$  為大於或等於 0，小於  $N(=256)$  之整數。

電壓設定單元  $22_i$  包括電晶體  $T1$  及  $T2$ 。電晶體  $T1$

之第一輸入端接收位準 VDD，第二輸入端耦接至節點  $nd_i$ ，控制端接收控制訊號 CTL。於預先充電期間  $T_P$  中，電晶體 T1 被控制訊號 CTL 致能，以使電壓訊號  $Vo_i$  之位準等於位準 VDD。舉例來說，控制訊號 CTL 在預先充電期間  $T_P$  中處於低位準，電晶體 T1 為 P 型金氧半 (Metal Oxide Semiconductor, MOS) 電晶體，以在預先充電期間  $T_P$  被低位準之控制訊號 CTL 致能。

電晶體 T2 之第一輸入端耦接至節點  $nd_i$ ，第二輸入端耦接至 NAND 平面電路 16 之第  $i$  列電晶體的輸出端，控制端接收控制訊號 CTL。於預先充電期間  $T_P$  中，電晶體 T2 被控制訊號 CTL 非致能，此時電晶體 T1 可提供位準 VDD 做為電壓訊號  $Vo_i$ 。於求值期間  $T_E$  中，電晶體 T2 被控制訊號 CTL 致能，此時第  $i$  列電晶體之輸出端耦接至節點  $nd_i$ ，此時第  $i$  列電晶體可對應地控制電壓  $Vo_i$  之位準。電晶體 T2 為 N 型 MOS 電晶體，以在求值期間  $T_E$  被高位準之控制訊號 CTL 致能。

如第 3 圖中所示，若上述的  $nd_i$  為電晶體 SC\_15 的汲極端，上述的 T2 電晶體可為該第  $i$  串 NAND 電路中的任一個 N 型 MOS 電晶體，即圖 3 中的控制訊號 SC\_1、SC\_3、... 及 SC\_15 所對應控制之電晶體中之任一個均可作為上述的 T2 電晶體。

第 1 圖中的電壓設定電路 22 中其他之電壓設定單元與電壓設定單元 22 $_i$  具有實質上相同之結構，以在預先充電期間  $T_P$  中控制對應之電壓訊號之位準等於位準

TW3958PA

VDD，並在求值期間 T<sub>E</sub> 中分別使 NAND 平面電路 16 中之 256 列電晶體之輸出端分別短路連接至節點 nd<sub>1</sub>~nd<sub>255</sub>。

計數器電路 12 用以產生在求值期間 T<sub>E</sub> 中產生所需之計數資料。舉遞增型計數器的例子來說，計數器電路 12 產生起始數值等於 0 之計數資料，並每隔一個固定週期使計數資料遞增 1 或改變其計數值。當計數資料之數值到達輸出個數 N 個之後，計數器電路 12 在下次開始計數前，將計數資料之數值重置為 0，並重新進行計數操作。如此，計數器電路 12 可依序地在 N 個連續之求值期間 T<sub>E</sub> 中或之前，輸出數值等於 0~255 之計數資料。

計數資料包括 K(=8)個位元資料 BD<sub>1</sub>~BD<sub>K-1</sub>(=7)，其例如分別為計數資料之最低位位元資料(Least Significant Bit, LSB)、次低位位元資料、... 及最高位位元資料(Most Significant Bit, MSB)。在本實施例中，計數器電路 12 輸出計數資料例如為格雷碼(Gray Code)格式。

邏輯電路 14 用以回應於位元資料 BD<sub>0</sub>~BD<sub>7</sub> 產生 M(=16)個控制訊號 SC<sub>0</sub>~SC<sub>M-1</sub>(=15)，並根據控制訊號 SC<sub>0</sub>~SC<sub>15</sub> 分別控制 NAND 平面電路 16 中之 16 行電晶體之操作(每一行依解碼條件決定有沒有電晶體)。邏輯電路 14 中包括 K(=8)個邏輯單元 14<sub>0</sub>~14<sub>K-1</sub>(=7)，邏輯單元 14<sub>0</sub>~14<sub>7</sub> 例如為膠合邏輯(Glue Logic)電路。各邏輯單元 14<sub>0</sub>~14<sub>7</sub> 具有實質上相近之操作，接下來僅以

第  $j$  個邏輯電路  $14_j$  之操作為例作說明， $j$  為大於或等於 0，小於  $K(=8)$  之整數。

邏輯電路  $14_j$  接收位元資料  $BD_j$ ，並以位元資料  $BD_j$  及位元資料  $BD_j$  之反相資料分別做為控制訊號  $SC_{2j}$  及  $SC_{2j+1}$  輸出。舉例來說， $j$  等於 0，邏輯電路  $14_1$  係接收位元資料  $BD_0$ ，並分別以位元資料  $BD_0$  及位元資料  $BD_0$  之反相資料做為控制訊號  $SC_0$  及  $SC_1$ 。邏輯電路  $14_0$  更分別輸出控制訊號  $SC_0$  及  $SC_1$  至  $M$  行電晶體中之第 1 行及第二行電晶體，以分別控制其之操作。

其他邏輯電路  $14_1 \sim 14_7$  執行與邏輯電路  $14_0$  實質上相近之操作，以分別提供位元資料  $BD_1 \sim BD_7$  做為控制訊號  $SC_2$ 、 $SC_4$ 、 $SC_6$ 、 $SC_8$ 、 $SC_{10}$ 、 $SC_{12}$  及  $SC_{14}$ ，並分別提供位元資料  $BD_2 \sim BD_7$  之反相訊號做為控制訊號  $SC_3$ 、 $SC_5$ 、 $SC_7$ 、 $SC_9$ 、 $SC_{11}$ 、 $SC_{13}$  及  $SC_{15}$ 。

NAND 平面電路 16 可採用多種不同之電路結構來實現，在本實施例中以其中之所有電晶體均為 N 型金氧半 (Metal Oxide Semiconductor, MOS) 電晶體，且 N 列電晶體實質上為 NAND 型電路之情形為例作說明。各  $N(=256)$  列電晶體包括  $K$  個串聯之電晶體，且此  $K$  個電晶體之串聯電路之一端形成各 N 列電晶體之輸出端，另一端接收第二位準。此第二位準例如為接地位準。由於各列電晶體之操作為實質上相近，接下來，僅以 N 列電晶體中之第  $x$  列電

晶體之操作為例作說明， $x$  為大於或等於 0，小於 256 之整數。

一般來說，NAND 平面電路係以 N 型 MOS 電晶體來實現，然而，NAND 平面電路亦可經由邏輯轉換而改以 P 型 MOS 電晶體來實現。或者 NAND 平面電路亦可以串聯連接之多個電晶體來實現。

第  $x$  列電晶體包括 8 個電晶體、一個電壓設定用的電晶體和一個求值開關的電晶體，其分別在求值期間  $T_E$  中受控於控制訊號  $SC_0 \sim SC_{255}$  中之 8 個控制訊號而導通或截止。第  $x$  列電晶體用以在計數資料之數值等於  $x$  時形成接地路徑，以拉低節點  $nd_x$  之位準至接地位準。在計數資料之數值不等於  $x$  時，節點  $nd_x$  之位準因  $T_P$  預先充電期間使之設定於位準  $VDD$ ，第  $x$  列電晶體因為形成斷路路徑，因此節點  $nd_x$  之位準持續地處於位準  $VDD$ 。

舉例來說， $x$  等於 0，第 0 列電晶體用以在計數資料之數值等於  $[00000000]_2$  時形成短路路徑。第 0 列電晶體中之串聯電晶體係包括閘極接收位元資料  $BD_0 \sim BD_7$  之反相資料的電晶體，即是第 0 列電晶體為閘極接收控制訊號  $SC_1$ 、 $SC_3$ 、 $SC_5$ 、 $SC_7$ 、 $SC_9$ 、 $SC_{11}$ 、 $SC_{13}$  及  $SC_{15}$  之 8 個電晶體之串聯電路，如第 3 圖所示。如此，第 0 列電晶體可在計數資料之數值等於 0 及 CTL 使電晶體 TC 導通時拉低節點  $nd_0$  之位準至接地位準。

在上述操作敘述中雖僅以  $x$  等於 0 的情形為例作說明，然而，當  $x$  等於 1~255 中之其他數值時，對應之第

1~第 255 列電晶體亦可執行與第 0 列電晶體實質上相近之操作，以對應地拉低節點  $nd_1 \sim nd_{255}$  之位準至接地位準。由上述操作敘述可知，在一個求值期間  $T_E$  中，係僅有一個電壓訊號處於接地位準。另外，當計數資料之數值每隔固定週期遞增 1，電壓訊號  $Vo_0 \sim Vo_{255}$  係依序地在 255 個連續地求值期間  $T_E$  中處於接地位準。

位準轉換電路  $18_0 \sim 18_{N-1} (=255)$  分別用以對節點  $nd_0 \sim nd_{255}$  上電壓訊號  $Vo_0 \sim Vo_{255}$  之位準進行轉換，以提升電壓訊號  $Vo_0 \sim Vo_{255}$  之位準，並對應得到電壓訊號  $Vo'_0 \sim Vo'_{255}$ 。輸出級電路

$20_0 \sim 20_{N-1} (=255)$  分別根據位準提升週電壓訊號  $Vo'_0 \sim Vo'_{255}$  輸出掃描訊號  $G_0 \sim G_{255}$ 。其中掃描訊號  $G_0 \sim G_{255}$  例如為高位準致能訊號，輸出級電路  $20_0 \sim 20_{255}$  例如具有反相輸出之特性，其實質上分別以電壓訊號  $Vo'_0 \sim Vo'_{255}$  之反相訊號做為掃描訊號  $G_0 \sim G_{255}$  輸出。其中，位準轉換電路  $18_0 \sim 18_{255}$  及輸出端電路  $20_0 \sim 20_{255}$  例如為高電壓製程之電路。

本實施例之掃描驅動器 10 係以具有 NAND 平面電路 16 及電壓設定電路 22 之動態解碼器 15 來搭配計數器 12 產生掃描訊號  $G_0 \sim G_{255}$ 。相較於傳統掃描驅動器，本實施例之掃描驅動器 10 具有解碼器所需之電晶體數目較少、電路面積較小且成本較低之優點。

另外，本實施例之 NAND 平面電路 16 及電壓設定電路 22 實質上為多條 N 型 MOS 電晶體之串聯電路。如此，

在電路佈局(Layout)規劃時，可透過使彼此串聯之兩相鄰電晶體共用源極(Source)與汲極(Drain)之方式來規劃。如此，可使本實施例之掃描驅動器 10 與動態解碼器 15 之電路尺寸可進一步地縮小。

另外，由於本實施例之計數資料為格雷碼格式，當計數資料遞增時，一次係僅變動一個位元資料之數值。如此，表示邏輯電路 14 在任何一次計數資料之數值遞增時僅需對應地調整兩個控制訊號之位準。舉例而言，當計數資料由數值 2 變動到數值 3 時，係僅將位元資料 BD\_0 由數值 1 改變為數值 0。邏輯單元 14 係僅需對應地調整控制訊號 SC\_0(=位元資料 BD\_0)由數值 1 變成數值 0，及調整控制訊號 SC\_1(=位元資料 BD\_0 之反相訊號)由數值 0 變成數值 1。如此，可降低邏輯電路 14 對 NAND 平面電路 16 進行控制時需耗損之電功率。

在本實施例中，控制訊號 CTL 例如為掃描驅動器 10 之閘極輸出致能(Gate Output Enable, GOE)訊號，其係於預先充電期間 T\_P 為低位準，以使掃描驅動器 10 停止輸出掃描訊號 G0~G255。GOE 訊號更於求值期間 T\_E 處於高位準，以致能掃描驅動器 10 輸出掃描訊號 G0~G255。

本實施例之掃描驅動器 10 於保持電路 24\_0~24\_N-1(=255)中更設計一迴授路徑，來維持電壓訊號 Vo'\_0~Vo'\_255 之位準，以避免電壓訊號 Vo'\_0~Vo'\_255 之位準受到動態損失(Dynamic Leakage)之影響而產生錯誤(例如在預先充電期間 T\_P 中，高位準

之電壓訊號  $V_{o'_1}$  被電路中之寄生接地路徑拉低至接近接地位準)。由於各保持電路 24\_0~24\_255 均具有實質上相同之設計，因此，接下來僅以其中輸出端電路 24\_y 為例作說明，y 為大於或等於 0，小於 256 之整數。

請參照第 4 圖，其繪示乃第 1 圖中保持電路 24\_y 的電路圖。保持電路 24\_y 包括反相器串聯電路 25 及電晶體 T3。反相器串聯電路 25 例如由  $t(t=s+j)$  級反相器串聯而成，其輸入端接收對應之第 y 串 NAND 電路提供之電壓訊號  $V_{o_y}$ ，其之輸出端用以提供位準轉換電路的輸入訊號。此例中的迴授路徑 VC 耦接到電晶體 T3 的閘極端，其中 VC 是第 s 級的反相器輸出，s 必須為奇數，控制訊號 VC 為電壓訊號  $V_{o'_y}$  之反相訊號。t 為奇數與否由輸出級相位決定。

在預先充電期間  $T_P$  中，電晶體 T3 持續地被低位準之控制訊號 VC 導通使電壓訊號  $V_{o_y}$  可持續地保持在高位準。而其他保持電路 24\_0~24\_{N-1} 亦與保持電路 24\_y 具有實質上相近之結構與操作，以在預先充電期間  $T_P$  中使對應之電壓訊號之位準保持在高位準。

同上，如將第 4 圖改為第 11 圖，為更佳實施例；多了一個控制上拉(Pull-up)的開關 T5，由控制信號 CTL2 決定開合，其 CTL2 與 CTL 之間的時序圖如第 14 圖所示，CTL2 與 CTL 為不重疊的信號，其中不重疊的重點在：

$$\Delta t_2 > 0。$$

如此可以避免當  $V_{o_y}$  由高電位轉為低電位瞬間的 DC



電流耗損。

本實施例之邏輯單元如第 1 圖中 14\_0~14\_K，更用以接收控制訊號 XON(掃描驅動器的應用功能之一)，並回應於控制訊號 XON 於全部致能期間 T\_ON 控制 NAND 平面電路 16 中所有之電晶體均為導通，以拉低電壓訊號 Vo\_0~Vo\_N-1(=255)之位準至接地位準。其中，控制訊號 XON 之訊號波形如第 2 圖所示。如此，可得到同時處於高位準之掃描訊號 G0~GN-1(=255)，即是得到全部為致能之掃描訊號 G0~G255。如此，本實施例之掃描驅動器 10 可具有掃描訊號 G0~G255 全部致能(All on)之功能。

在本實施例中雖僅以如第 1 圖中掃描驅動器 10 經由邏輯單元 14\_0~14\_K 導通 NAND 平面電路 16 和電壓設定電路 22 中所有電晶體，以達到輸出同時處於高位準之掃描訊號 G0~G255 的電路設計為例作說明，然，本實施例之掃描驅動器 10 並不侷限於採用前述電路設計，而更可透過其他形式之電路設計來達到實質上相同之操作。

舉例來說，亦可在各個電壓設定單元 22\_0~22\_255 中設計功能電路，以回應於控制訊號 XON 來分別將對應之電壓訊號 Vo\_0~Vo\_255 拉低為接地位準，如此，可產生全部為致能之掃描訊號 G0~G255。由於各電壓設定單元 22\_0~22\_255 中之功能電路均具有實質上相同之結構與操作，接下來以於電壓設定單元 22\_u 中之功能電路為例作說明，u 為大於或等於 0，小於 256 之整數。

請參照第 5 圖，其繪示乃電壓設定單元 22\_u 中之功

TW3958PA

能電路的電路圖。功能電路 28 包括電晶體 T4，第一端耦接至節點 nd\_u，第二端接收接地位準，控制端接收控制訊號 XON。電晶體 T4 例如為 N 型 MOS 電晶體，以回應於高位準之控制訊號 XON 導通，以拉低電壓訊號 Vo\_u 之位準至接地位準。如此，透過電晶體 T4 亦可有效地使電壓訊號 Vo\_u 等於接地位準，並使掃描訊號 Gu 為致能。而其他電壓設定單元中之功能電路亦可執行與功能電路 28 實質上相同之操作，以拉所有之電壓訊號 Vo\_0~Vo\_255 至接地位準，並致能所有之掃描訊號 G0~G255。

在本實施例中雖僅以計數資料為格雷碼格式的情形為例作說明，然，計數資料並不侷限於為格雷碼格式，而亦可為其他任何格式之二進位資料格式。

在本實施例中雖僅以如第 1 圖中 NAND 平面電路 16 和電壓設定電路 22 中之電晶體排列形成 N 列電晶體，且各 N 列電晶體實質上具有 NAND 型電路結構的情形為例作說明，然，NAND 平面電路 16 和電壓設定電路 22 中之電晶體並不侷限於排列成 N 列，而更可透過各種電路設計技巧來更進一步簡化 NAND 平面電路 16 和電壓設定電路 22 之電路結構。

在一個例子中，由於 NAND 平面電路 16 和電壓設定電路 22 中相鄰之兩列電晶體具有相近之電路結構，因此，可透過共用 NAND 平面電路 16 和電壓設定電路 22 中兩列電晶體中部分之電晶體電路來進一步簡化 NAND 平面

電路 16 和電壓設定電路 22 之電路結構。舉例來說，NAND 平面電路 16 中之第 0 列及第 1 列電晶體之電路結構差異僅在於其中之接收接地位準之電晶體分別為受控於控制訊號 SC\_1 及 SC\_0 之電晶體 Ta 及 Tb，如第 6 圖所示。由於第 0 列及第 1 列電晶體中其餘之電晶體電路具有相等之結構，使用者可透過耦接節點 nda 及 ndb，並省略電晶體 Td0~Td6 之電路。如此，本實施例之第 0 列及第 1 列電晶體可經由數量較少之電晶體達到實質上相同之操作。

前述電路簡化技巧亦可推及至 NAND 平面電路 16 中其他列電晶體中，以簡化各列電晶體之電路結構。在其他例子中，相似之電路簡化技巧亦可推及至使兩列以上之電晶體共用電晶體電路。

在本實施例中，雖僅以 GOE 訊號(掃描驅動器的應用功能之一)做為控制訊號 CTL 為的情形為例作說明，然，控制訊號 CTL 並不侷限於為 GOE 訊號，而更可為經由其他邏輯電路產生之訊號，例如本實施例中的 CTL 最好在控制訊號 XON 於全部致能期間，同時保持高電位，可預防如第 5 圖中的 T1 和 T4 同時導通而造成不必要的大電流。在本實施例中雖僅以 NAND 平面電路 16 中包含之電晶體均為 N 型 MOS 電晶體的情形為例作說明，然，NAND 平面電路 16 亦可由 P 型 MOS 電晶體來實現。

本實施例之掃描驅動器係以具有 NAND 平面電路之動態解碼器及搭配計數器實現。相較於傳統掃描驅動器，本實施例之掃描驅動器具有解碼器所需之電晶體數目較

少、電路面積較小且成本較低之優點。

另外，本實施例之動態解碼器實質上為多條 N 型 MOS 電晶體之串聯電路。如此，在佈局設計時，可透過使彼此串聯之兩相鄰電晶體共用源極與汲極之方式來設計。如此，可使本實施例之掃描驅動器可進一步地縮小。

另外，由於本實施例之計數資料為格雷碼格式，當計數資料遞增時，一次係僅變動一個位元資料之數值。如此，可降低邏輯電路對動態解碼器進行控制時需耗損之電功率，使本實施例之掃描驅動器具有較為省電之優點。

## 第二實施例

本實施例提出以應用高電壓製程之 NAND 平面電路之動態解碼器實現之掃描驅動器。請參照第 7 圖，其繪示依照本發明第二實施例之掃描驅動器的方塊圖。本實施例之掃描驅動器 30 與第一實施例中之掃描驅動器 10 不同之處，在於本實施例之掃描驅動器 30 係將位準轉換電路整合於邏輯電路 34 中。如此，本實施例之邏輯電路 34、動態解碼器 35(其係包括 NAND 平面電路 36 及電壓設定電路 42)及輸出級電路 40\_0~40\_255 均為高電壓製程之電路。

在本實施例之掃描驅動器 30 中，位準轉換電路係設置於動態解碼器 35 之輸入側。如此，本實施例之掃描驅動器 30 僅需設置  $K(=8)$  個位準轉換電路來轉換位元資料  $BD_0 \sim BD_7$  之位準。如此，相較於第一實施例之掃描驅

動器 10，掃描驅動器 30 所需使用之位準轉換電路之數目可大幅地自數值  $N(=256)$  下降為  $K(=8)$ 。這樣一來，相較於第一實施例之掃描驅動器 10，本實施例之掃描驅動器 30 更可進一步地縮小電路面積。而相較於傳統掃描驅動器，本實施例之掃描驅動器 30 亦具有解碼器所需之電晶體數目較少、電路面積較小、成本較低及解碼器之控制操作較為省電之優點。

因為動態解碼器 35 的輸出少了位準轉換電路，所以第 1 圖中保持電路可與輸出級電路結合，故輸出級電路如第 12 圖所示。輸出級電路的正反相位可依需求而改變。本實施例採用反相的輸出級電路 ( $S=1, J=0$ )，以節省元件個數。

同上，如多了一個控制上拉 (Pull-up) 的開關 T5，由控制信號 CTL2 決定開合，如第 13 圖所示。同前第一實施例所述，如此可以避免當  $Vo_y$  由高電位轉為低電位瞬間的 DC 電流耗損。

### 第三實施例

本實施例提出以應用低電壓製程之反或閘平面電路 (NOR Plane Circuit) 之動態解碼器實現之掃描驅動器。請參照第 8 圖，其繪示依照本發明第三實施例之掃描驅動器的方塊圖。本實施例之掃描驅動器 50 與第一實施例之掃描驅動器 10 不同之處在於其之動態解碼器 55 係具有 NOR 平面電路 56，其中係具有  $N(=256)$  列以 NOR 行電路

結構排列之電晶體。各列電晶體均包括  $K(=8)$  個並聯之電晶體，且此 8 個電晶體之第一端耦接至各列電晶體之輸出端，第二端接收接地位準。由於 NOR 平面電路 56 中之各列電晶體具有實質上相同之操作，接下來以 NOR 平面電路 56 中之第  $z$  列電晶體的操作為例作說明， $z$  為大於或等於 0，小於 256 之整數。

一般來說，NOR 平面電路係以 N 型 MOS 電晶體來實現，然而，NOR 平面電路亦可經由邏輯轉換而改以 P 型 MOS 電晶體來實現。或者 NOR 平面電路亦可以並聯連接之多個電晶體來實現。

第  $z$  列電晶體包括 8 個電晶體，其分別在求值期間  $T_E$  中受控於控制訊號  $SC_0 \sim SC_{255}$  中之 8 個控制訊號而導通或截止。第  $z$  列電晶體分別用以在計數資料之數值等於  $z$  時，等效地形成斷路路徑，使得對應之節點  $nd_z$  上之電壓訊號  $Vo_z$  可維持在位準  $VDD$ 。而當計數資料之數值不等於  $z$  時，第  $z$  列電晶體係等效地形成接地電路以拉低節點  $nd_z$  上電壓訊號  $Vo_z$  之位準至接地位準。

舉例來說， $z$  等於 0，第 0 列電晶體用以在計數資料之數值等於  $[00000000]_2$  時形成斷路路徑。第 0 列電晶體中之串聯電晶體係包括閘極接收位元資料  $BD'_1 \sim BD'_7$  的電晶體，即是第 0 列電晶體為閘極接收控制訊號  $SC'_0$ 、 $SC'_2$ 、 $SC'_4$ 、 $SC'_6$ 、 $SC'_8$ 、 $SC'_{10}$ 、 $SC'_{12}$  及  $SC'_{14}$  之 8 個電晶體之併聯電路，如第 9 圖所示。如此，第 0 列電晶體可在計數資料之數值等於 0 時形成斷路

路徑，使節點  $nd'_0$  上之電壓訊號  $Vo_0$  之位準維持在位準  $VDD$ 。而在計數資料之數值不等於 0 時，第 0 列電晶體中至少一個電晶體為導通，使得第 0 列電晶體形成接地路徑，以拉低節點  $nd'_0$  上之電壓訊號  $Vo_0$  之位準至接地位準。

在上述操作敘述中雖僅以  $z$  等於 0 的情形為例作說明，然而，當  $z$  等於 1~255 中之其他數值時，對應之第 1~第 255 列電晶體亦可執行與第 0 列電晶體實質上相近之操作，以對應地維持節點  $nd'_1 \sim nd'_{255}$  之位準為位準  $VDD$ 。由上述操作敘述可知，在一個求值期間  $T_E$  中，係僅有一個電壓訊號維持在位準  $VDD$ 。本實施例之輸出級電路  $60_0 \sim 60_{255}$  例如不具有反相輸出特性，而直接以電壓訊號  $Vo'_0 \sim Vo'_{255}$  做為高位準致能之掃描訊號輸出。

在本實施例中雖僅以動態解碼器 55 中之電壓設定電路 62 與第一實施例中之電壓設定電路 22 具有實質上相同之結構的情形為例作說明，然，本實施例之電壓設定電路 62 亦可省去其中之電晶體 T2，僅保留電晶體 T1，而將在第一例中的控制訊號 CTL，加入邏輯單元電路 54 一同運算，則可以低壓元件完成。其中保持電路同第一實施例中所述。

綜上所述，相較於傳統掃描驅動器，本實施例之掃描驅動器 50 亦具有解碼器所需之電晶體數目較少、電路面積較小、成本較低之優點。

#### 第四實施例

本實施例提出以應用高電壓製程之 NOR 平面電路之動態解碼器實現之掃描驅動器。請參照第 10 圖，其繪示依照本發明第四實施例之掃描驅動器的方塊圖。本實施例之掃描驅動器 70 與第三實施例中之掃描驅動器 50 不同之處在於本實施例之掃描驅動器 70 係將位準轉換電路整合於邏輯電路 74 中。如此，本實施例之邏輯電路 74、動態解碼器 75(其係包括 NOR 平面電路 76 及電壓設定電路 82) 及輸出級電路 80\_0~80\_255 均為高電壓製程之電路。如此，相較於第三實施例之掃描驅動器 50，本實施例之掃描驅動器 70 更可進一步地縮小電路面積。而相較於傳統掃描驅動器，本實施例之掃描驅動器 70 亦具有解碼器所需之電晶體數目較少、電路面積較小、成本較低優點。其中保持電路同第二實施例中所述。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。



**【圖式簡單說明】**

第 1 圖繪示依照本發明第一實施例之掃描驅動器的方塊圖。

第 2 圖繪示乃第 1 圖之掃描驅動器的操作時序圖。

第 3 圖繪示乃第 1 圖中動態解碼器 15 之第 0 列電晶體的電路圖。

第 4 圖繪示乃第 1 圖中保持電路 24\_y 的電路圖。

第 5 圖繪示乃電壓設定單元 22\_u 中之功能電路的電路圖。

第 6 圖繪示乃第 1 圖中反及閘平面電路 16 之第 0 列及第 1 列電晶體的電路圖

第 7 圖繪示依照本發明第二實施例之掃描驅動器的方塊圖。

第 8 圖繪示依照本發明第三實施例之掃描驅動器的方塊圖。

第 9 圖繪示乃第 8 圖中 NOR 平面電路 56 之第 0 列電晶體的電路圖。

第 10 圖繪示依照本發明第四實施例之掃描驅動器的方塊圖。

第 11 圖繪示繪示乃第 1 圖中保持電路 24\_y 的另一電路圖。

第 12 圖繪示依照本發明第二實施例之輸出級電路 20\_y 的電路圖。

第 13 圖繪示依照本發明第二實施例之輸出級電路

20\_y 的另一電路圖。

第 14 圖繪示依照本發明第一實施例之控制訊號 CTL 及 CTL2 的相關訊號時序圖。

【主要元件符號說明】

- 10、30、50、70：掃描驅動器
- 12、32、52、72：計數器電路
- 14、34、54、74：邏輯電路
- 14\_0~14\_K-1、34\_0~34\_K-1：邏輯單元
- 15、35：反及閘平面電路
- 55、75：反或閘平面電路
- 16、36：反及閘平面電路
- 22、42、62、82：電壓設定電路
- 22\_0~22\_N-1：電壓設定單元
- nd\_0~nd\_N-1、nda、ndb、nd\_u：節點
- 18\_0~18\_K-1、58\_0~58\_K-1：位準轉換電路
- 20\_0~20\_N-1、40\_0~40\_N-1、60\_0~60\_N-1、  
80\_0~80\_N-1：輸出級電路
- 24\_0~24\_N-1、64\_0~64\_N-1：保持電路
- 25：反相器串聯電路
- 26：第 s 級反相器
- 28：功能電路
- T\_P：預先充電期間
- T\_E：求值期間

TW3958PA

T\_ON : 全部致能期間

T1、T2、T3、T4、Ta、Tb、Tc0~Tc6、Td0~Td6、

TC : 電晶體

98年1月6日修(更)正頁

## 十、申請專利範圍：

### 1. 一種掃描驅動器(Scan Driver)，包括：

一計數器(Counter)電路，用以產生一計數資料，該計數資料包括  $K$  個位元資料，該計數資料之數值每隔一個固定週期遞增 1 或改變其計數值， $K$  為自然數；

一第一邏輯電路，接收該  $K$  個位元資料，並對應地產生  $M$  個第一控制訊號， $M$  為大於  $K$  之自然數；

### 一動態解碼器(Dynamic Decoder)，包括：

一電壓設定電路，用以在一預先充電期間中設定  $N$  個節點上之  $N$  個第一電壓訊號實質上為一第一位準， $N$  為自然數；及

複數個第一電晶體，係排列形成  $N$  列電晶體電路，該  $N$  列電晶體電路分別耦接至該  $N$  個節點，該些第一電晶體更排列形成  $M$  行電晶體電路，在一求值期間中，該  $M$  行電晶體電路分別受控於該  $M$  個第一控制訊號，來決定該  $N$  個第一電壓訊號之位準；

$N$  個位準轉換(Level Shift)電路，分別提升該  $N$  個第一電壓訊號之位準以產生  $N$  個第二電壓訊號；以及

$N$  個輸出級電路，分別接收該  $N$  個第二電壓訊號，並分別輸出  $N$  個閘極訊號。

2. 如申請專利範圍第 1 項所述之掃描驅動器，其中動態解碼器的  $N$  個輸出端分別耦接至  $N$  個保持(Holding)電路的輸入端，該  $N$  個保持電路的輸出端分別耦接至該  $N$  個位準轉換(Level Shift)電路的輸入端。

3. 如申請專利範圍第 1 項所述之掃描驅動器，其中該 N 列電晶體電路中之電晶體彼此串聯連接，該 N 列電晶體電路之一端分別耦接至該 N 個節點，另一端接收一第二位準。

4. 如申請專利範圍第 1 項所述之掃描驅動器，其中各該 N 列電晶體電路中之電晶體的第一輸入端耦接至對應之節點，第二輸入端接收一第二位準。

5. 如申請專利範圍第 1 項所述之掃描驅動器，其中該電壓設定電路包括：

N 個第二電晶體，第一輸入端分別耦接至該 N 個節點，第二輸入端分別接收一參考電壓，控制端接收一第二控制訊號，該 N 個第二電晶體於該預先充電期間中被該第二控制訊號導通，以分別提供該參考電壓至該 N 個節點。

6. 如申請專利範圍第 5 項所述之掃描驅動器，其中該電壓設定電路更包括：

N 個第三電晶體，第一輸入端分別耦接至該 N 個節點，第二輸入端分別耦接至該 N 個輸出端，控制端接收該第二控制訊號，該 N 個第三電晶體於該求值期間中被該第二控制訊號導通，以分別耦接該 N 個節點至該 N 個輸出端。

7. 如申請專利範圍第 5 項所述之掃描驅動器，其中該第二控制訊號為該掃描驅動器之一閘極輸出致能 (Gate Output Enable, GOE) 訊號。

8. 如申請專利範圍第 1 項所述之掃描驅動器，其中各該 N 個輸出級電路包括：

2012/12/6\_2<sup>nd</sup>修正

一反相器(Inverter)串聯電路，其中之第一級反相器之輸入端接收該 N 個轉換電路中對應之轉換電路提供之一第二電壓訊號，其中之第 i 級反相器之輸出端提供一第三控制訊號，該第三控制訊號與該第二電壓訊號實質上反相，i 為奇數；及

一第四電晶體，用以回應於該第三控制訊號來維持該第二電壓訊號之位準；

其中，該反相器串聯電路中之最後一級反相器之輸出端用以輸出該 N 個閘極訊號中對應之一閘極訊號。

9. 如申請專利範圍第 8 項所述之掃描驅動器，更包括：

一第五電晶體，與第四電晶體串聯，該第五電晶體受控於一第四控制訊號。

10. 如申請專利範圍第 1 項所述之掃描驅動器，更包括：

一功能電路，用以在一全部致能期間設定該 N 個第一電壓訊號等於一特定位準，使該 N 個閘極訊號全部為致能。

11. 如申請專利範圍第 1 項所述之掃描驅動器，其中該第一邏輯電路更用以接收一控制訊號，並回應於該控制訊號於一全部致能期間控制該 M 行第一電晶體以設定該 N 個第一電壓訊號等於一特定位準，使該 N 個閘極訊號全部為致能。

12. 如申請專利範圍第 1 項所述之掃描驅動器，其中

該計數資料例如為格雷碼(Gray Code)格式。

13. 如申請專利範圍第 1 項所述之掃描驅動器，其中：  
M 等於  $2K$ ，該 M 個第一控制訊號包括該 K 個位元資料及 K 個反相位元資料；

各該 M 行電晶體電路包括  $2$  的  $(K-1)$  次方個電晶體；  
及

N 等於  $2$  的 K 次方，各該 N 列電晶體電路包括 K 個電晶體。

14. 一種掃描驅動器(Scan Driver)，包括：

一計數器(Counter)電路，用以產生一計數資料，該計數資料包括 K 個位元資料，該計數資料之數值每隔一個固定週期遞增 1 或改變其計數值，K 為自然數；

一第一邏輯電路，接收該 K 個位元資料，並對應地產生 M 個第一控制訊號，該第一邏輯電路更包括一位準轉換(Level Shift)電路，用以提升該 M 個第一控制訊號之位準以產生 M 個第二控制訊號；

一動態解碼器(Dynamic Decoder)，包括：

一電壓設定電路，用以在預先充電期間中設定 N 個節點上之 N 個第一電壓訊號實質上為一第一位準，N 為自然數；及

複數個第一電晶體，排列形成 N 列電晶體電路，該 N 列電晶體電路分別耦接至該 N 個節點，該些第一電晶體更排列形成 M 行電晶體電路，在一求值期間中，該 M 行電晶體電路分別受控於該 M 個第二控制訊號，來決定該

N 個第一電壓訊號之位準；以及

N 個輸出級電路，分別接收該 N 個第一電壓訊號，並分別輸出 N 個閘極訊號。

15. 如申請專利範圍第 14 項所述之掃描驅動器，其中動態解碼器的 N 個輸出端耦接至 N 個保持(Holding)電路的輸入端，該 N 個保持電路的輸出端分別耦接至該 N 個輸出級電路的輸入端。

16. 如申請專利範圍第 14 項所述之掃描驅動器，其中該 N 列電晶體電路中之電晶體彼此串聯連接，該 N 列電晶體電路之一端分別耦接至該 N 個節點，另一端接收一第二位準。

17. 如申請專利範圍第 14 項所述之掃描驅動器，其中各該 N 列電晶體電路中之電晶體的第一輸入端耦接至對應之節點，第二輸入端接收一第二位準。

18. 如申請專利範圍第 14 項所述之掃描驅動器，其中該電壓設定電路包括：

N 個第二電晶體，第一輸入端分別耦接至該 N 個節點，第二輸入端分別接收一參考電壓，控制端接收一第二控制訊號，該 N 個第二電晶體於該預先充電期間中被該第二控制訊號導通，以分別提供該參考電壓制該 N 個節點。

19. 如申請專利範圍第 18 項所述之掃描驅動器，其中該電壓設定電路更包括：

N 個第三電晶體，第一輸入端分別耦接至該 N 個節點，第二輸入端分別耦接至該 N 個輸出端，控制端接收該



2012/12/6\_2<sup>nd</sup>修正

第二控制訊號，該 N 個第三電晶體於該求值期間中被該第二控制訊號導通，以分別耦接該 N 個節點至該 N 個輸出端。

20. 如申請專利範圍第 18 項所述之掃描驅動器，其中該第二控制訊號為該掃描驅動器之一閘極輸出致能 (Gate Output Enable, GOE) 訊號。

21. 如申請專利範圍第 14 項所述之掃描驅動器，其中各該 N 個輸出級電路包括：

一反相器 (Inverter) 串聯電路，其中之第一級反相器之輸入端接收該 N 個第一電壓訊號中對應之一第一電壓訊號，其中之第 i 級反相器之輸出端提供一第三控制訊號，該第三控制訊號與該第一電壓訊號實質上反相，i 為奇數；及

一第四電晶體，用以回應於該第三控制訊號來維持該第一電壓訊號之位準；

其中，該反相器串聯電路中之最後一級反相器之輸出端用以輸出該 N 個閘極訊號中對應之一閘極訊號。

22. 如申請專利範圍第 21 項所述之掃描驅動器，更包括：

一第五電晶體，與第四電晶體串聯，該第五電晶體受控於一第四控制訊號。

23. 如申請專利範圍第 14 項所述之掃描驅動器，更包括：

一功能電路，用以在一全部致能期間設定該 N 個第一電壓訊號等於一特定位準，使該 N 個閘極訊號全部為致

能。

24. 如申請專利範圍第 14 項所述之掃描驅動器，其中該第一邏輯電路更用以接收一控制訊號，並回應於該控制訊號於一全部致能期間控制該 M 行第一電晶體以設定該 N 個第一電壓訊號等於一特定位準，使該 N 個閘極訊號全部為致能。

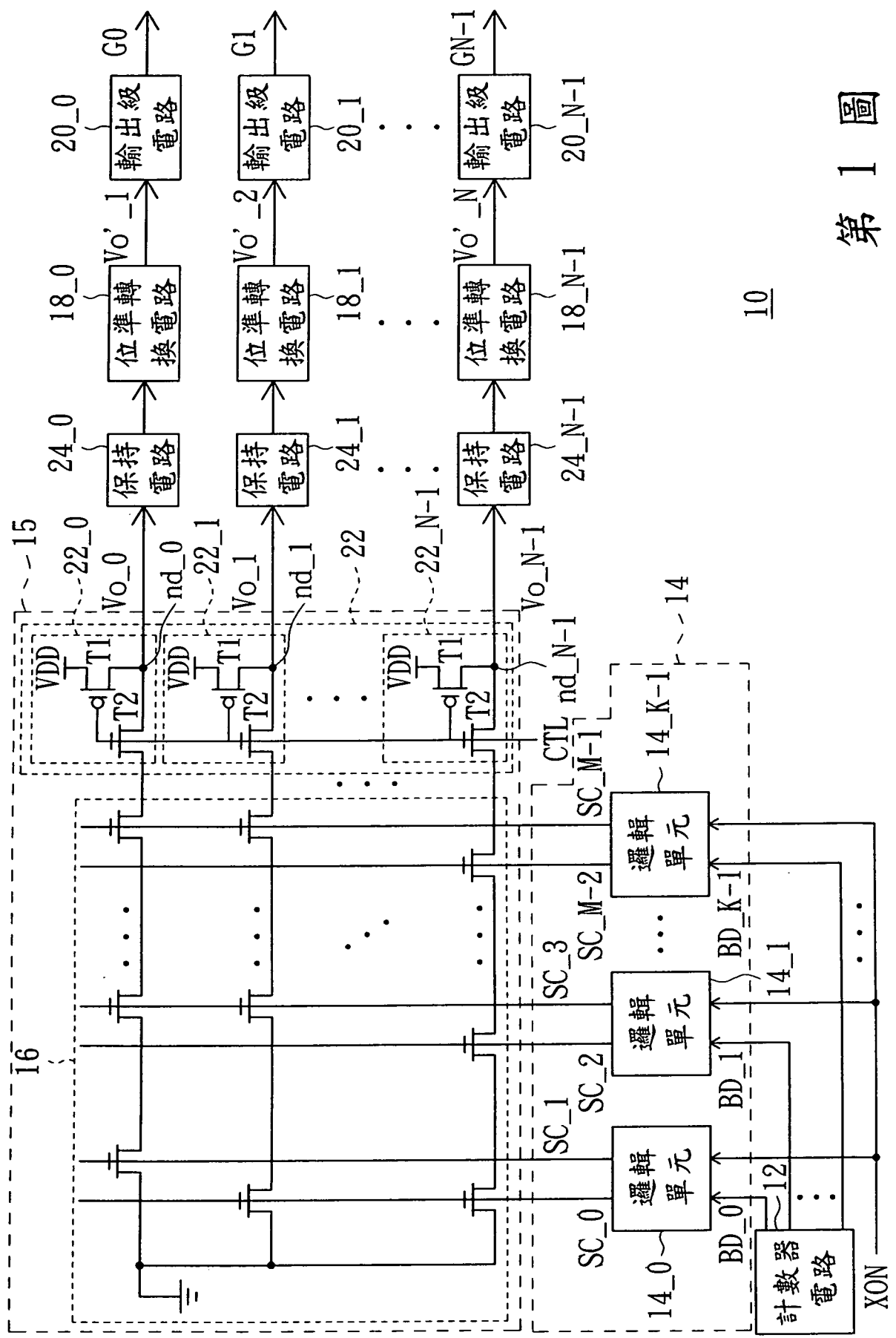
25. 如申請專利範圍第 14 項所述之掃描驅動器，其中該計數資料例如為格雷碼(Gray Code)格式。

26. 如申請專利範圍第 14 項所述之掃描驅動器，其中：

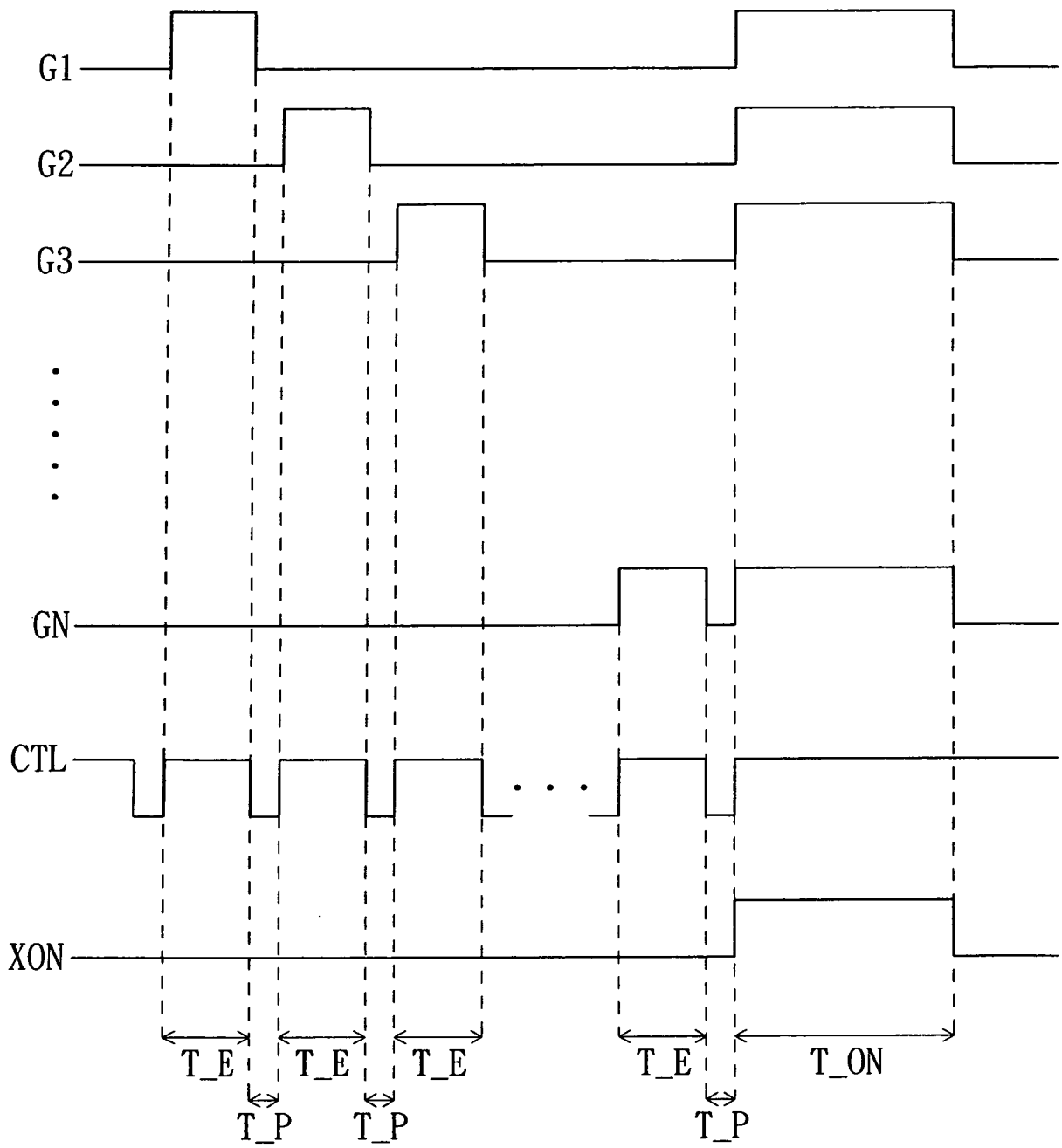
M 等於  $2K$ ，該 M 個第二控制訊號包括該 K 個位元資料及 K 個反相位元資料；

各該 M 行電晶體電路包括  $2$  的  $(K-1)$  次方個電晶體；  
及

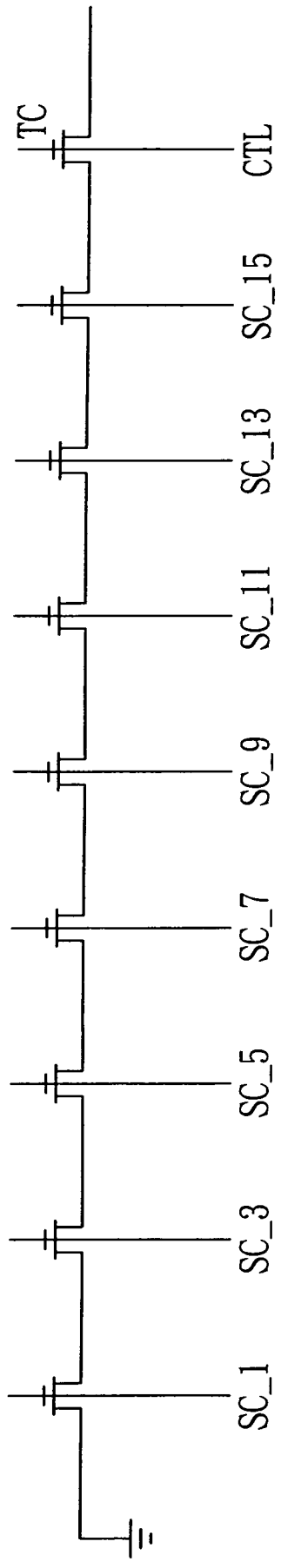
N 等於  $2$  的 K 次方，各該 N 列電晶體電路包括 K 個電晶體。



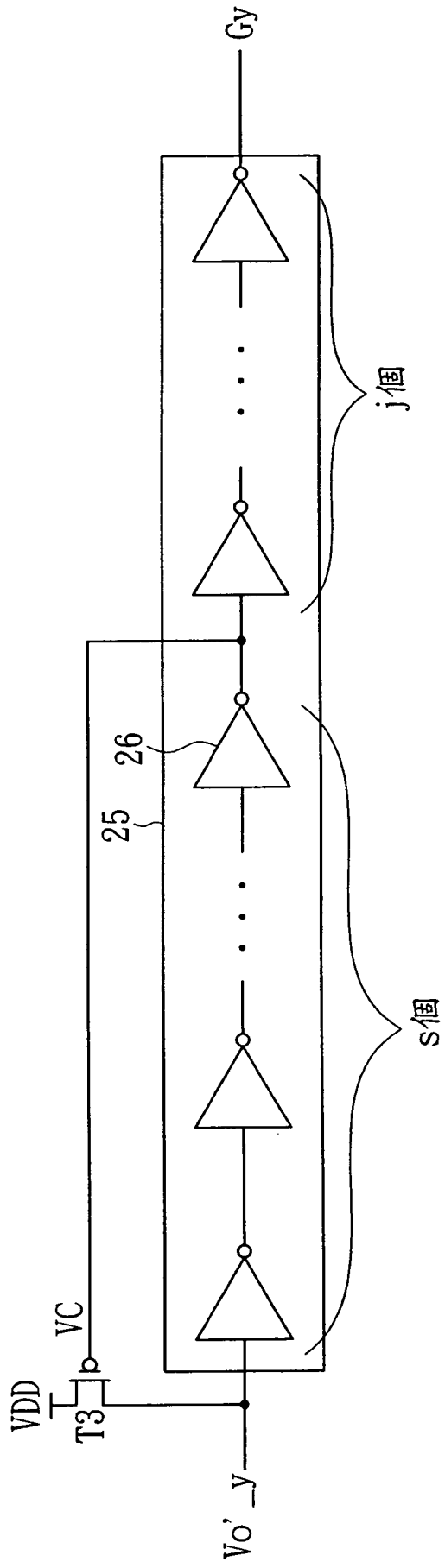
第 1 圖



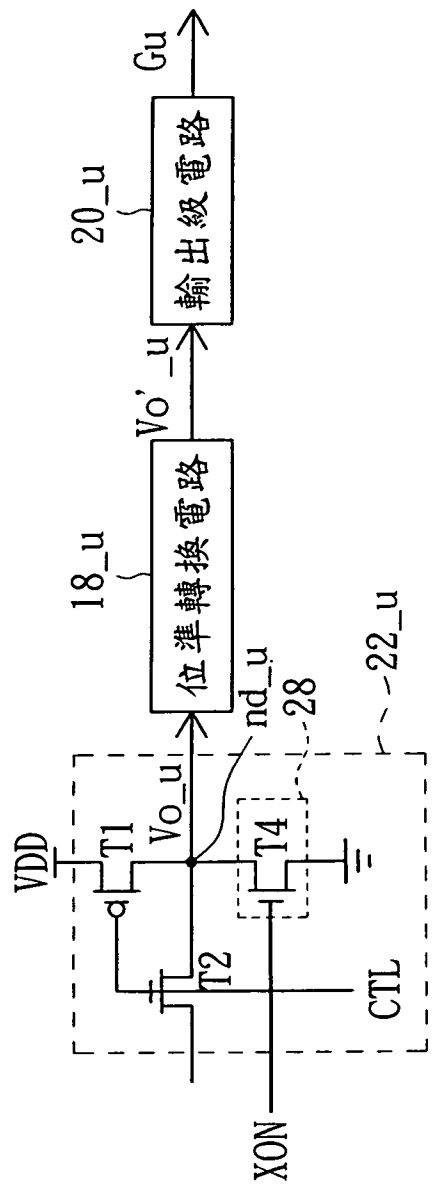
第 2 圖



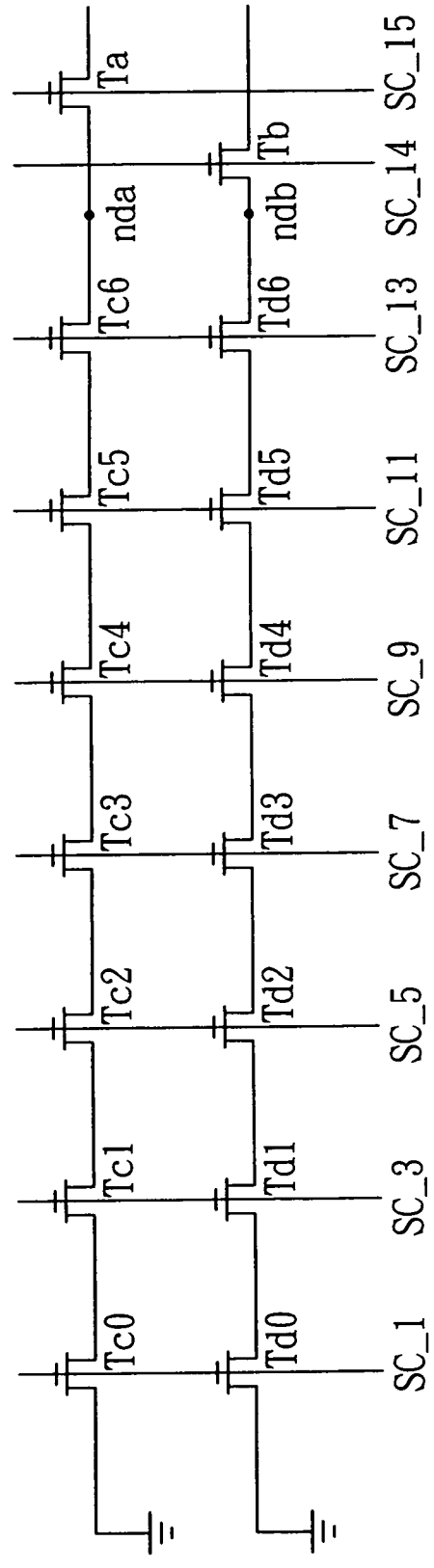
第 3 圖



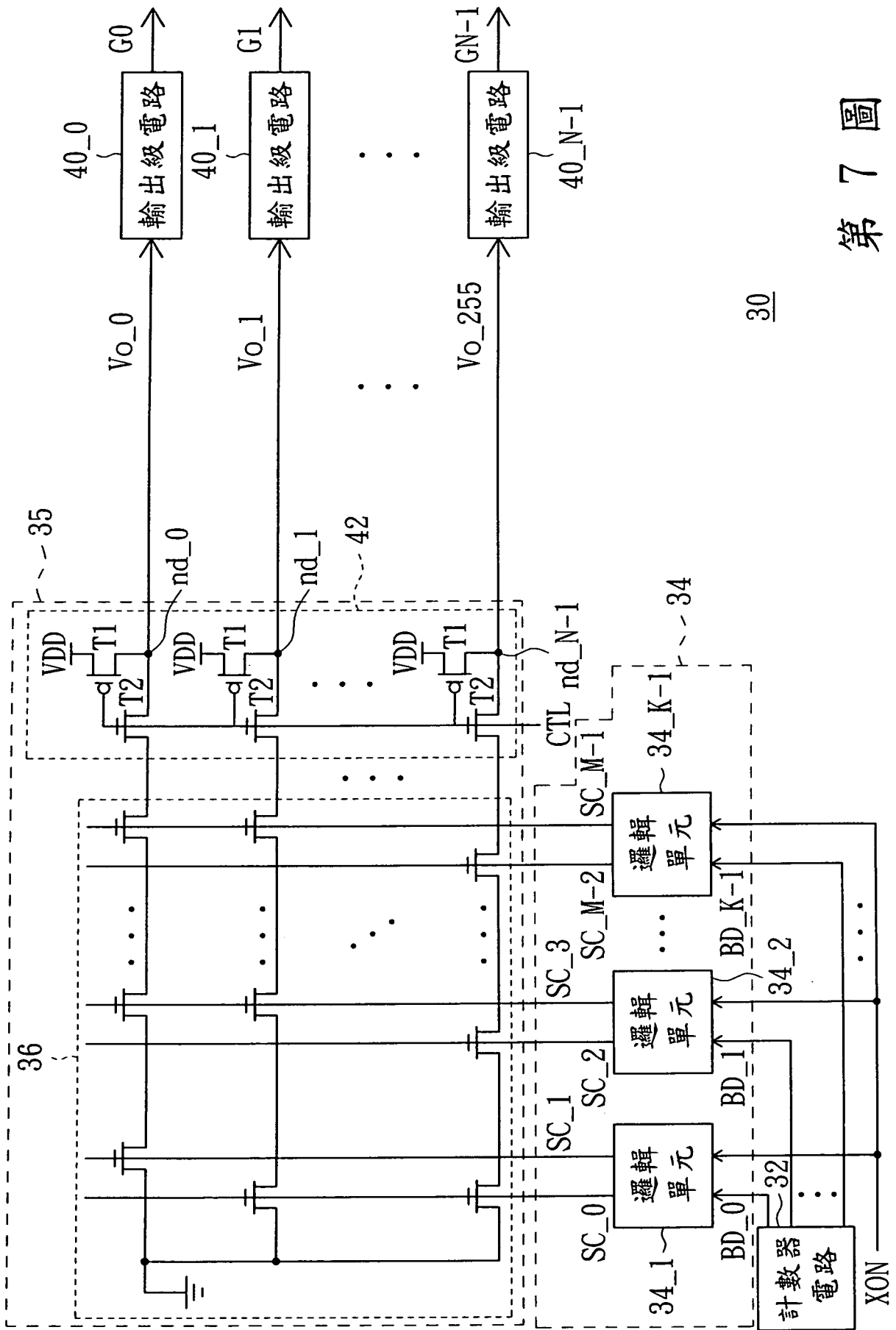
第 4 圖



第 5 圖

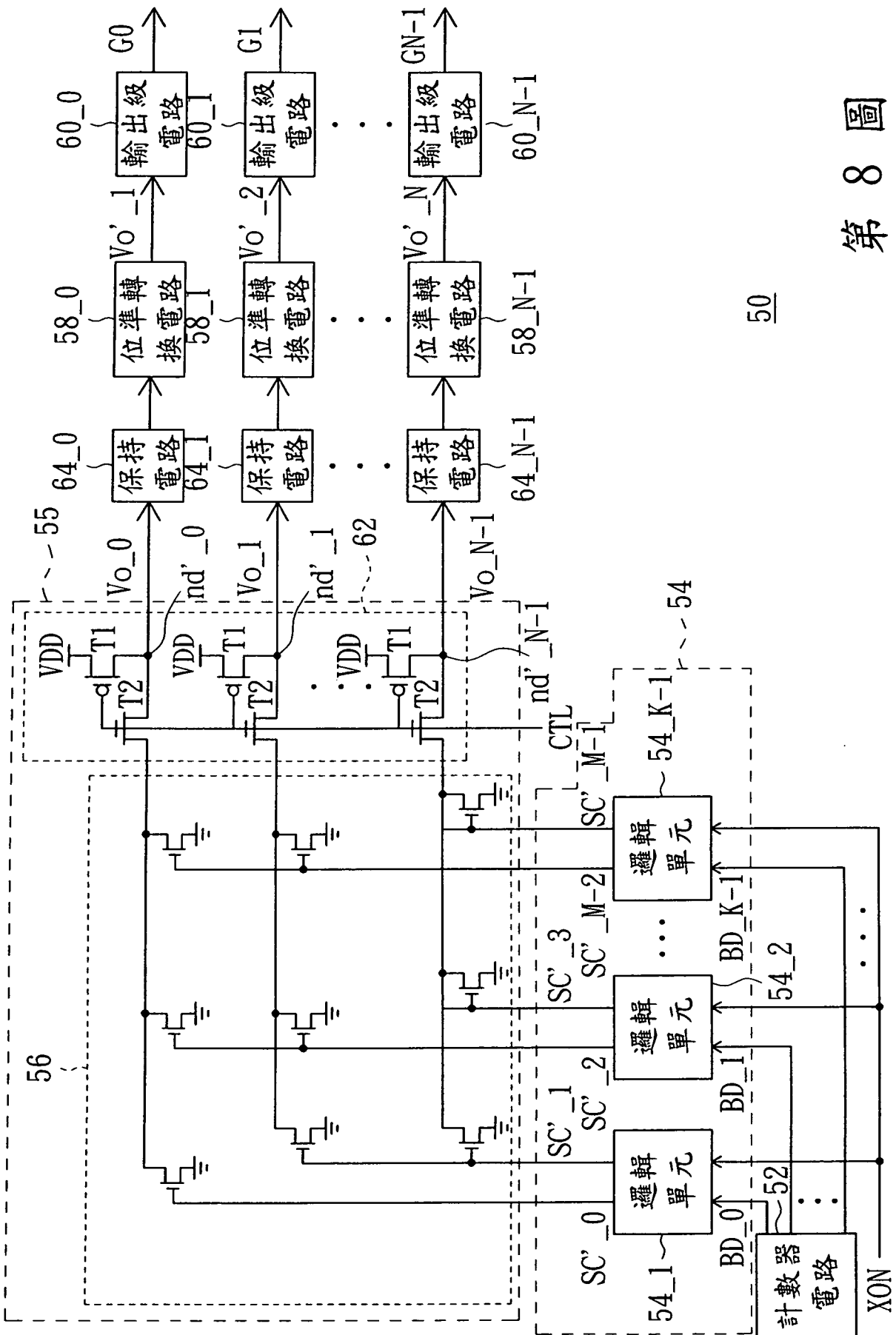


第 6 圖



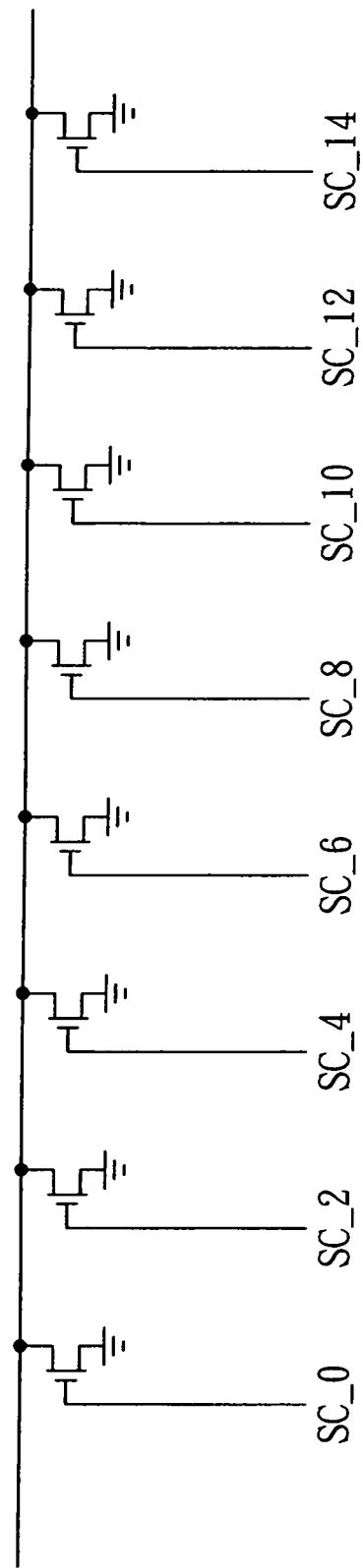
30

第 7 圖

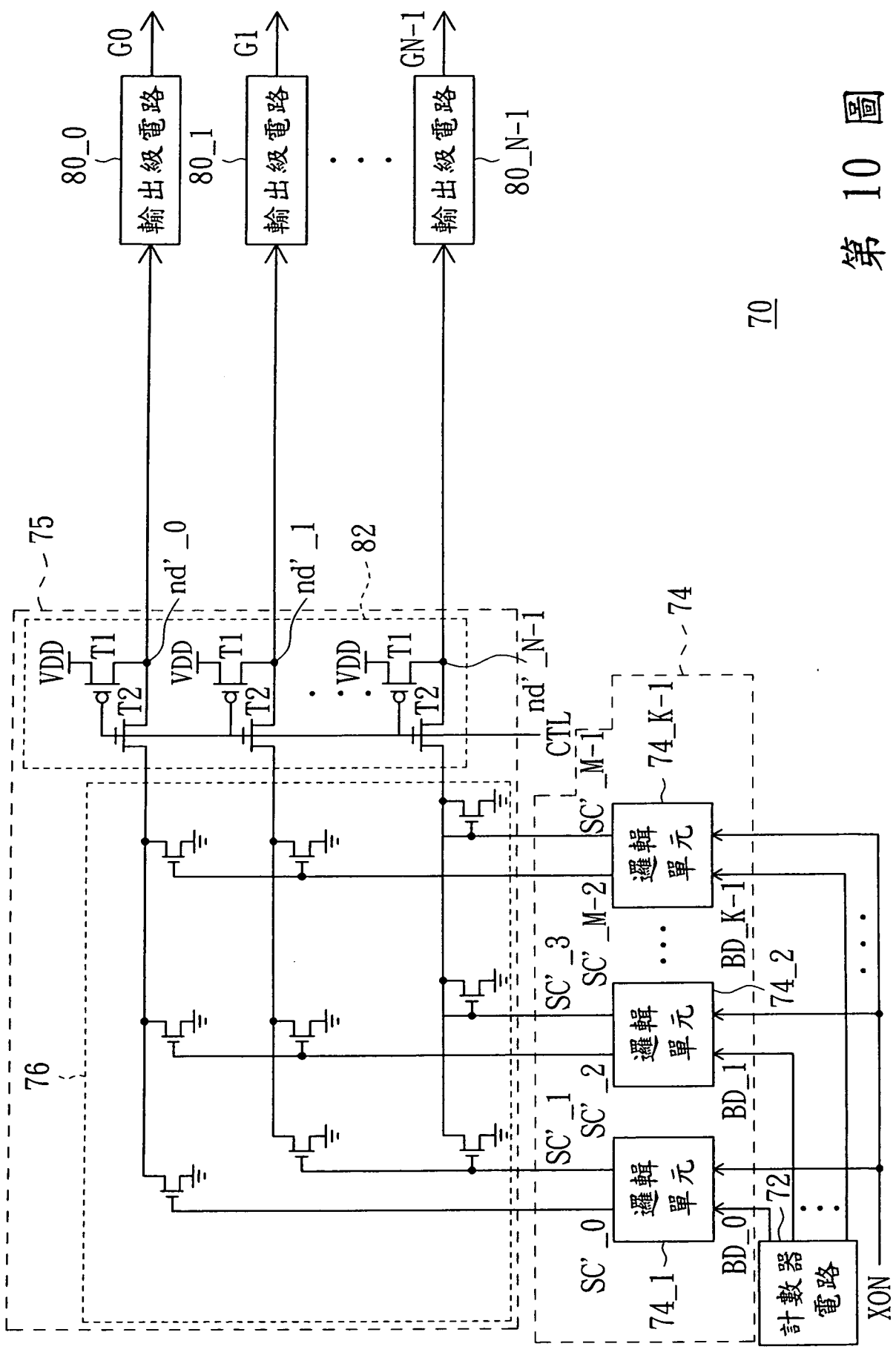


第 8 圖



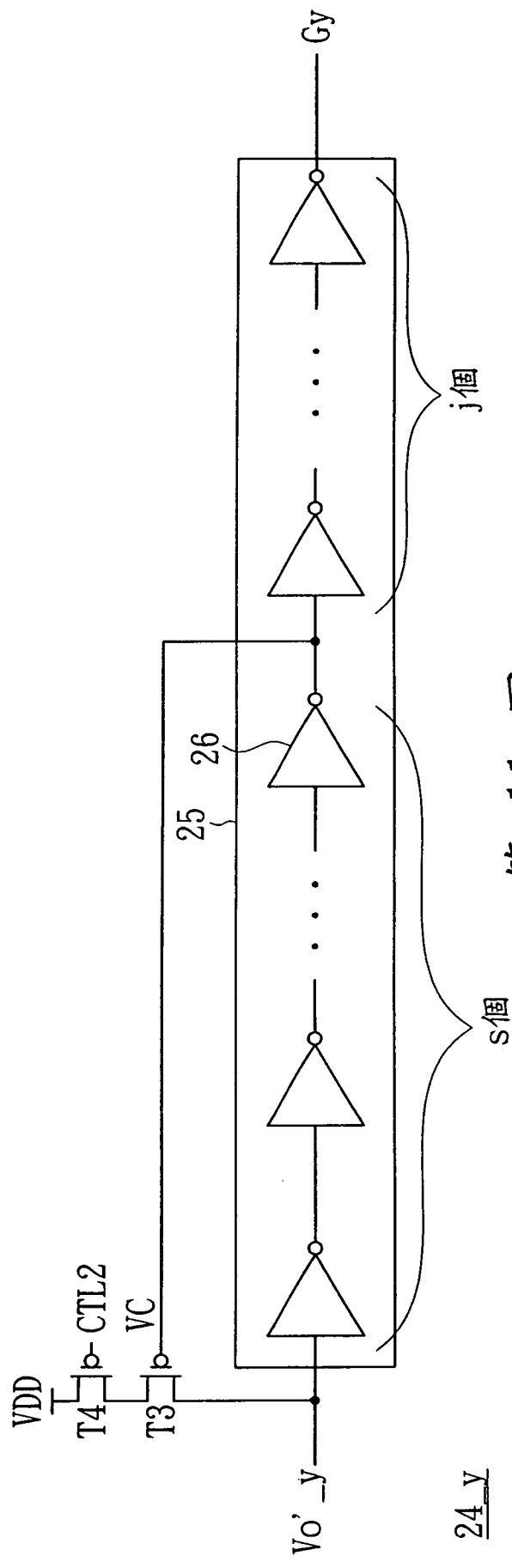


第 9 圖

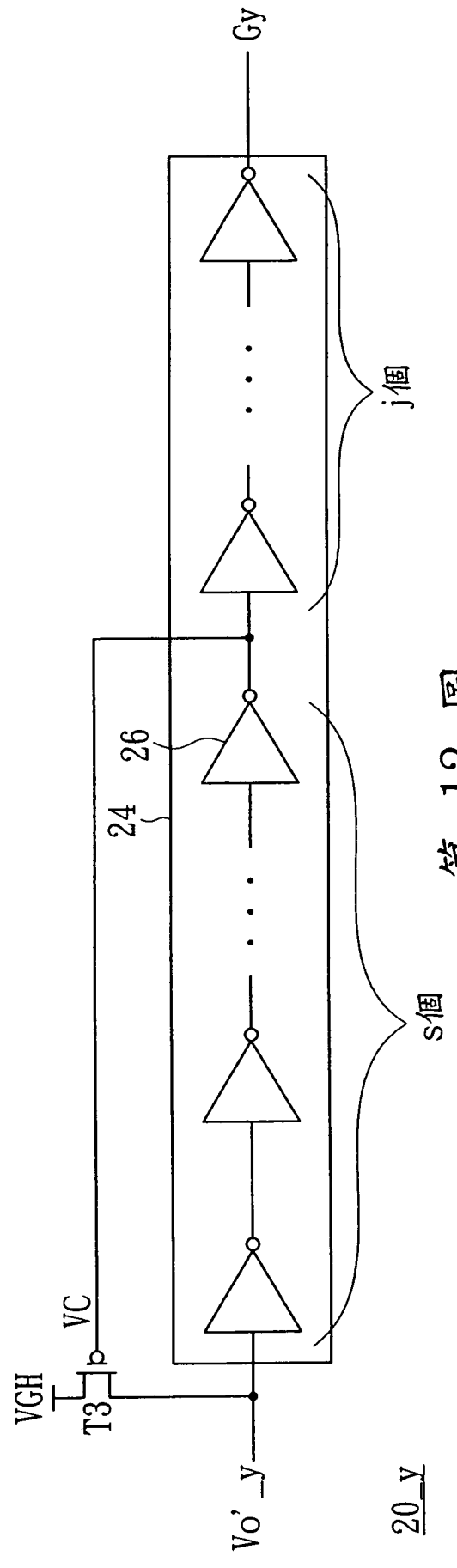


70

第 10 圖

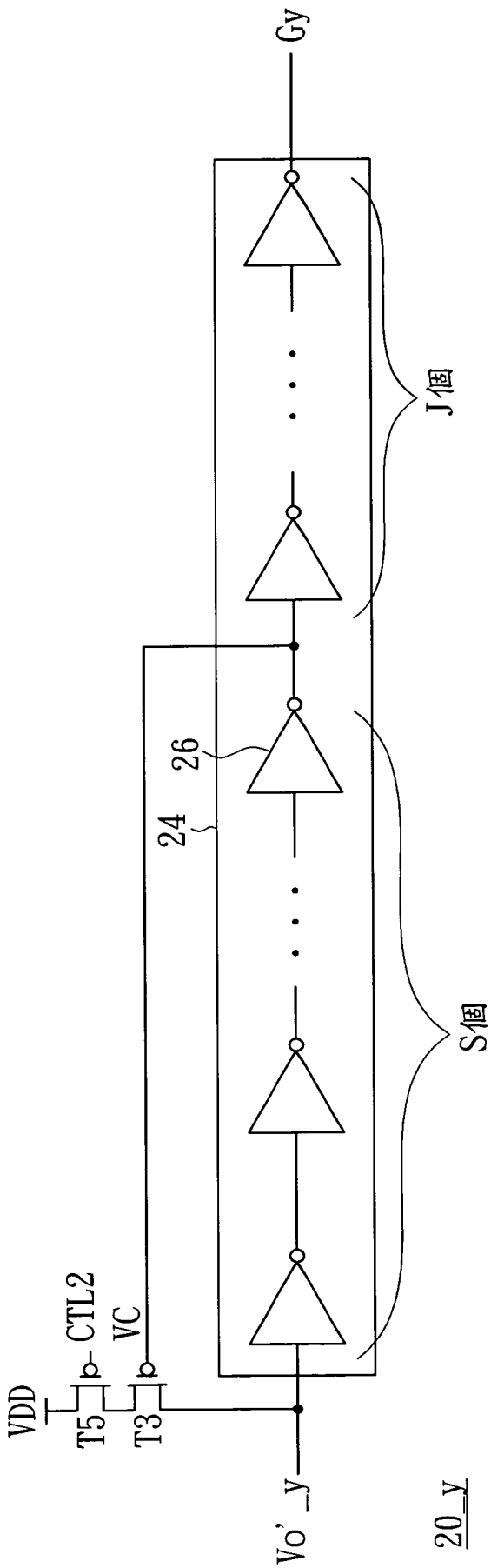


第 11 圖

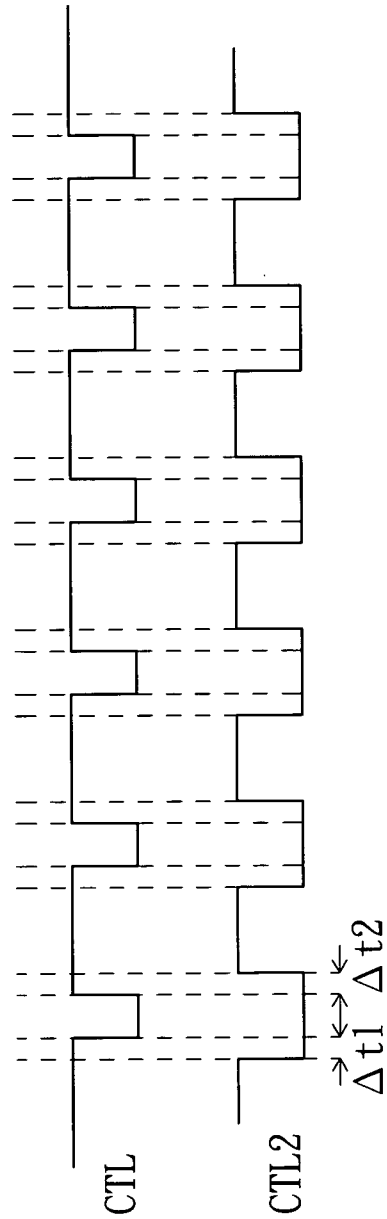


第 12 圖

98年1月6日修(更)正替換頁



第 13 圖



第 14 圖